



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0090096

(43) 공개일자 2015년08월05일

- (51) 국제특허분류(Int. Cl.)

G06F 1/08 (2006.01)

- (52) CPC특허분류

G06F 1/08 (2013.01)

- (21) 출원번호 10-2015-7014393

- (22) 출원일자(국제) 2013년11월25일

심사청구일자 없음

- (85) 번역문제출일자 2015년05월29일

- (86) 국제출원번호 PCT/US2013/071631

- (87) 국제공개번호 WO 2014/082029

국제공개일자 2014년05월30일

- (30) 우선권주장

61/729,699 2012년11월26일 미국(US)

14/087,844 2013년11월22일 미국(US)

- (71) 출원인

마이크로칩 테크놀로지 인코포레이티드

미국 85224-6199 아리조나 찬들러 웨스트 찬들러
블러바드 2355

- (72) 발명자

스테드만, 신

미국, 아리조나 85048, 피닉스, 이스트 록레지 로
드 2622

두벤하지, 패니

미국, 아리조나 85045, 피닉스, 사우스 29번 드라
이브 16414

- (74) 대리인

특허법인세신

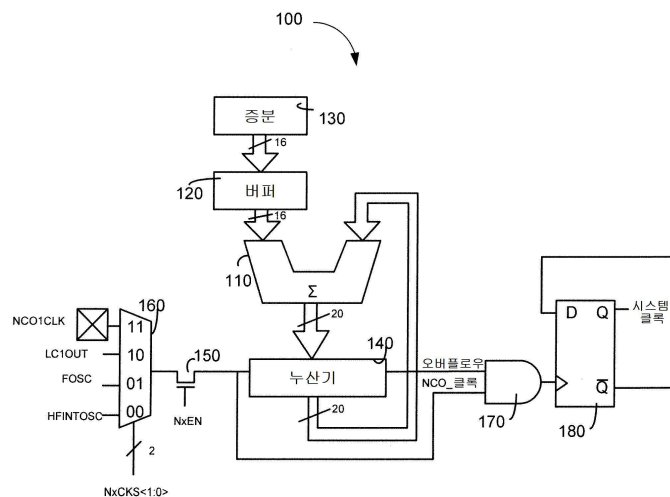
전체 청구항 수 : 총 24 항

- (54) 발명의 명칭 디지털 클록 소스를 구비한 마이크로컨트롤러

(57) 요약

마이크로컨트롤러는, 1차 클록 신호를 수신하고 상기 마이크로컨트롤러의 내부 시스템 클록을 제공하도록 구성되는 수치 제어 발진기를 갖는다. 마이크로컨트롤러를 동작시키기 위한 방법은: 복수의 클록 신호들로부터 1차 클록 신호를 선택하는 단계; 상기 1차 클록 신호를 수치 제어 발진기에 공급하는 단계; 수치 제어 클록 신호를 발생시키도록 상기 수치 제어 발진기를 구성하는 단계; 및 상기 마이크로컨트롤러에 상기 수치 제어 클록 신호를 내부 시스템 클록으로서 제공하는 단계를 수행한다.

대표도 - 토2



명세서

청구범위

청구항 1

1차 클록 신호를 수신하고 내부 시스템 클록을 제공하도록 구성되는 수치 제어 발진기를 포함하는 마이크로컨트롤러.

청구항 2

제 1 항에 있어서,

상기 수치 제어 발진기는 기준 클록($r(x)$) 및 수치 값(q)을 수신하고 출력 클록을 제공하며, 상기 수치 값은 레지스터에 의해 제공되는, 마이크로컨트롤러.

청구항 3

제 1 항에 있어서,

상기 출력 클록 $f(q) = r(x) * A$ 이고, A 는 수치 발진기 전달 함수인, 마이크로컨트롤러.

청구항 4

제 1 항에 있어서,

상기 시스템 클록은 상기 마이크로컨트롤러의 중앙 처리 코어를 동작시키는데 사용되는, 마이크로컨트롤러.

청구항 5

제 4 항에 있어서,

적어도 하나의 다른 내부 클록이 상기 내부 시스템 클록으로부터 얻어지는, 마이크로컨트롤러.

청구항 6

제 1 항에 있어서,

제 2 내부 클록을 제공하기 위한 또 하나의 수치 제어 발진기를 더 포함하는 마이크로컨트롤러.

청구항 7

제 1 항에 있어서,

적어도 하나의 내부 클록 신호 및 적어도 하나의 외부 클록 신호로부터 상기 1차 클록 신호를 선택하도록 동작 가능한 선택 유닛을 포함하는 마이크로컨트롤러.

청구항 8

제 1 항에 있어서,

상기 수치 제어 발진기는,

증분 레지스터와 결합된 제 1 입력부를 갖는 가산기, 및

상기 가산기의 출력부와 결합된 입력부 및 상기 가산기의 제 2 입력부와 결합된 출력부를 갖고 상기 1차 클록 신호에 의해 클로킹되는(clocked) 누산기를 포함하고,

상기 누산기의 오버플로우 출력부는 상기 내부 시스템 클록 신호를 제공하는, 마이크로컨트롤러.

청구항 9

제 8 항에 있어서,

복수의 클록 신호들을 수신하는 그리고 상기 복수의 클록 신호들 중 하나를 상기 1차 클록 신호로 선택하도록 제어되는 멀티플렉서를, 더 포함하는 마이크로컨트롤러.

청구항 10

제 8 항에 있어서,

상기 증분 레지스터는 버퍼링되는, 마이크로컨트롤러.

청구항 11

제 8 항에 있어서,

상기 오버플로우 출력부와 결합된 제 1 입력부 및 상기 1차 클록 신호를 수신하는 제 2 입력부를 갖는 AND 게이트를 더 포함하고,

상기 AND 게이트의 출력부는 상기 시스템 클록을 제공하는, 마이크로컨트롤러.

청구항 12

제 8 항에 있어서,

상기 수치 제어 발진기의 출력과 복수의 외부 및 내부 클록 신호들을 수신하는 멀티플렉서를 더 포함하고,

상기 멀티플렉서는 상기 내부 클록을 선택하도록 구성 레지스터에 의해 제어되는, 마이크로컨트롤러.

청구항 13

제 12 항에 있어서,

상기 1차 클록은 상기 마이크로컨트롤러의 내부 발진기에 의해 제공되는, 마이크로컨트롤러.

청구항 14

제 13 항에 있어서,

상기 내부 발진기는 디지털 트리밍 기능부를 갖는 RC-발진기인 것을 특징으로 하는, 마이크로컨트롤러.

청구항 15

마이크로컨트롤러를 동작시키기 위한 방법으로서,

복수의 클록 신호들로부터 1차 클록 신호를 선택하는 것,

상기 1차 클록 신호를 수치 제어 발진기에 공급하는 것,

수치 제어 클록 신호를 발생시키도록 상기 수치 제어 발진기를 구성하는 것, 및

상기 마이크로컨트롤러에 상기 수치 제어 클록 신호를 내부 시스템 클록으로서 제공하는 것을 포함하는, 마이크로컨트롤러 동작 방법.

청구항 16

제 15 항에 있어서,

상기 수치 제어 발진기는 기준 클록($r(x)$) 및 수치 값(q)을 수신하고 출력 클록을 제공하며, 상기 수치 값은 레지스터에 의해 제공되는, 마이크로컨트롤러 동작 방법.

청구항 17

제 16 항에 있어서,

상기 출력 클록 $f(q) = r(x) * A$ 이고, A 는 수치 발진기 전달 함수인, 마이크로컨트롤러 동작 방법.

청구항 18

제 17 항에 있어서,

상기 수치 발진기 전달 함수는 덧셈, 곱셈, 나눗셈, 뺄셈, 및 로그 함수로부터 선택되는 연산을 포함하는, 마이크로컨트롤러 동작 방법.

청구항 19

제 15 항에 있어서,

상기 시스템 클록은 상기 마이크로컨트롤러의 중앙 처리 코어를 동작시키는데 사용되는, 마이크로컨트롤러 동작 방법.

청구항 20

제 19 항에 있어서,

적어도 하나의 다른 내부 클록이 상기 내부 시스템 클록으로부터 얻어지는, 마이크로컨트롤러 동작 방법.

청구항 21

제 15 항에 있어서,

상기 수치 제어 발진기는,

중분 값을 누산기에 부가하는 단계 - 상기 누산기는 결합되는 입력부를 갖는 상기 1차 클록 신호에 의해 클로킹됨 -; 및

상기 내부 시스템 클록 신호를 제공하는 상기 누산기에 의해 오버플로우 출력 신호를 발생시키는 단계를 수행하는, 마이크로컨트롤러 동작 방법.

청구항 22

제 21 항에 있어서,

복수의 외부 및 내부 클록 신호들을 제공하는 것, 및

상기 복수의 외부 및 내부 클록 신호들 중 하나의 클록 신호 또는 상기 수치 제어 발진기의 출력 신호를 상기 내부 시스템 클록으로 선택하는 것을 포함하는, 마이크로컨트롤러 동작 방법.

청구항 23

제 22 항에 있어서,

상기 1차 클록은 상기 마이크로컨트롤러의 내부 발진기에 의해 제공되는, 마이크로컨트롤러 동작 방법.

청구항 24

제 23 항에 있어서,

상기 내부 발진기는 디지털 트리밍 기능부를 갖는 RC-발진기인 것을 특징으로 하는, 마이크로컨트롤러 동작 방법.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은, "MICROCONTROLLER WITH DIGITAL CLOCK SOURCE"라는 발명의 명칭으로 2012년 11월 26일 출원된 미국 가출원 번호 61/729,699 호의 이익을 주장하며, 상기 미국 가출원은 그 전체가 본 출원에 통합된다.

[0003] 기술 분야

[0004] 본 개시는 마이크로컨트롤러들에 관한 것으로, 특히, 집적된 클록 제어 유닛들을 구비한 마이크로컨트롤러들에 관한 것이다.

배경 기술

[0005] 대부분의 마이크로컨트롤러 클록 방식들은 표준 클록의 이진 분주기(binary divider)들을 기반으로 한다. 예를 들어, 종래의 마이크로컨트롤러 제품들에서는 16MHz 기본 클록이 시스템 클록으로 사용될 수 있다. 하지만, 사용자는, 특히 저전력 애플리케이션들에 대해, 이 주파수를 줄일 수 있다(scale down). 또한, 2^n 의 분주($n>1$)에 의해 이러한 시스템 클록으로부터 얻어진 클록 신호들이 주변 디바이스들에 공급될 수 있다. 예를 들어, 위의 경우에는 다음의 주파수들이 시스템 클록 또는 시스템 클록으로부터 얻어지는 다른 클록 신호들을 위해 선택될 수 있다: [8, 4, 2, 1, 0.5, 0.25, .03125]MHz. 이 선택 가능한 출력 주파수들은 각각 [2,4,8,16,32,64,512]의 분주기를 기반으로 한다.

발명의 내용

해결하려는 과제

[0006] 시스템 클록 및/또는 주변 디바이스들을 위한 클록 소스나 다른 용도로 사용될 수 있는 디지털 클록 소스의 보다 유연한 구성 가능성을 갖는 마이크로컨트롤러가 필요하다.

과제의 해결 수단

[0007] 실시예에 따르면, 마이크로컨트롤러는 1차 클록 신호를 수신하고 내부 시스템 클록을 제공하도록 구성되는 수치 제어 발진기를 포함할 수 있다.

[0008] 추가 실시예에 따르면, 상기 수치 제어 발진기는 기준 클록($r(x)$) 및 수치 값(q)을 수신하고 출력 클록을 제공할 수 있으며, 여기서 상기 수치 값은 레지스터에 의해 제공된다. 추가 실시예에 따르면, 상기 출력 클록 $f(q) = r(x) * A$ 이고, A 는 수치 발진기 전달 함수이다. 추가 실시예에 따르면, 상기 시스템 클록은 상기 마이크로컨트롤러의 중앙 처리 코어를 동작시키는데 사용될 수 있다. 추가 실시예에 따르면, 적어도 하나의 다른 내부 클록이 상기 내부 시스템 클록으로부터 얻어질 수 있다. 추가 실시예에 따르면, 상기 마이크로컨트롤러는 제 2 내부 클록을 제공하기 위한 또 하나의 수치 제어 발진기를 더 포함할 수 있다. 추가 실시예에 따르면, 상기 마이크로컨트롤러는 적어도 하나의 내부 클록 신호 및 적어도 하나의 외부 클록 신호로부터 상기 1차 클록 신호를 선택하도록 동작 가능한 선택 유닛을 포함할 수 있다. 추가 실시예에 따르면, 상기 수치 제어 발진기는, 증분 레지스터와 결합된 제 1 입력부를 갖는 가산기, 및 상기 가산기의 출력부와 결합된 입력부 및 상기 가산기의 제 2 입력부와 결합된 출력부를 갖고 상기 1차 클록 신호에 의해 클로킹되는(clocked) 누산기를 포함할 수 있으며, 여기서 상기 누산기의 오버플로우 출력부는 상기 내부 시스템 클록 신호를 제공한다. 추가 실시예에 따르면, 상기 마이크로컨트롤러는, 복수의 클록 신호들을 수신하는 그리고 상기 복수의 클록 신호들 중 하나를 상기 1차 클록 신호로 선택하도록 제어되는 멀티플렉서를 더 포함할 수 있다. 추가 실시예에 따르면, 상기 증분 레지스터는 버퍼링된다. 추가 실시예에 따르면, 상기 마이크로컨트롤러는 상기 오버플로우 출력부와 결합된 제 1 입력부 및 상기 1차 클록 신호를 수신하는 제 2 입력부를 갖는 AND 게이트를 더 포함할 수 있으며, 여기서 상기 AND 게이트의 출력부는 상기 시스템 클록을 제공한다. 추가 실시예에 따르면, 상기 마이크로컨트롤러는 상기 수치 제어 발진기의 출력과 복수의 외부 및 내부 클록 신호들을 수신하는 멀티플렉서를 더 포함할 수 있으며, 여기서 상기 멀티플렉서는 상기 내부 클록을 선택하도록 구성 레지스터에 의해 제어된다. 추가 실시예에 따르면, 상기 1차 클록은 상기 마이크로컨트롤러의 내부 발진기에 의해 제공될 수 있다. 추가 실시예에 따르면, 상기 내부 발진기는 디지털 트리밍 기능부를 갖는 RC-발진기일 수 있다.

[0009] 또 하나의 실시예에 따르면, 마이크로컨트롤러를 동작시키기 위한 방법은: 복수의 클록 신호들로부터 1차 클록 신호를 선택하는 것; 상기 1차 클록 신호를 수치 제어 발진기에 공급하는 것; 수치 제어 클록 신호를 발생시키도록 상기 수치 제어 발진기를 구성하는 것; 및 상기 마이크로컨트롤러에 상기 수치 제어 클록 신호를 내부 시스템 클록으로서 제공하는 것을 포함할 수 있다.

[0010] 상기 방법의 추가 실시예에 따르면, 상기 수치 제어 발진기는 기준 클록($r(x)$) 및 수치 값(q)을 수신하고 출력 클록을 제공할 수 있으며, 여기서 상기 수치 값은 레지스터에 의해 제공된다. 상기 방법의 추가 실시예에 따르면, 상기 출력 클록 $f(q) = r(x) * A$ 이고, A 는 수치 발진기 전달 함수이다. 상기 방법의 추가 실시예에 따르면, 상기 수치 발진기 전달 함수는 덧셈, 곱셈, 나눗셈, 뺄셈, 및 로그 함수로부터 선택되는 연산을 포함할 수

있다. 상기 방법의 추가 실시예에 따르면, 상기 시스템 클록은 상기 마이크로컨트롤러의 중앙 처리 코어를 동작 시키는데 사용될 수 있다. 상기 방법의 추가 실시예에 따르면, 적어도 하나의 다른 내부 클록이 상기 내부 시스템 클록으로부터 얻어질 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 수치 제어 발진기는, 증분 값을 누산기에 부가하는 단계 - 상기 누산기는 결합되는 입력부를 갖는 상기 1차 클록 신호에 의해 클로킹됨 -; 및 상기 내부 시스템 클록 신호를 제공하는 상기 누산기에 의해 오버플로우 출력 신호를 발생시키는 단계를 수행할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 방법은 복수의 외부 및 내부 클록 신호들을 제공하는 단계, 및 상기 복수의 외부 및 내부 클록 신호들 중 하나의 클록 신호 또는 상기 수치 제어 발진기의 출력 신호를 상기 내부 시스템 클록으로 선택하는 단계를 추가로 수행할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 1차 클록은 상기 마이크로컨트롤러의 내부 발진기에 의해 제공될 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 내부 발진기는 디지털 트리밍 기능부를 갖는 RC-발진기일 수 있다.

발명의 효과

[0011] 본 발명에 따라, 주변 디바이스들을 위한 시스템 클록 및/또는 클록 소스나 다른 용도로 사용될 수 있는 디지털 클록 소스의 보다 유연한 구성 가능성을 갖는 마이크로컨트롤러가 제공된다.

도면의 간단한 설명

[0012] 도 1은 시스템 클록 소스로 사용된 수치 제어 발진기의 예시적인 블록도를 도시한 도면이다.

도 2는 다양한 실시예들에 따른 클록 제어 회로의 제 1 실시예의 블록도이다.

도 3은 다양한 실시예들에 따른 클록 제어 회로의 또 하나의 실시예의 블록도이다.

도 4는 마이크로컨트롤러용 클록 선택 회로를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 다양한 실시예들에 따르면, 서로 다른 유형의 온(on)-칩 클록 주변기기는 프로그램 가능한 클록 소스를 제공하는데 사용될 수 있다. 예를 들어, 다양한 실시예들에 따른 수치 제어 발진기(numerically controlled oscillator; NCO)가 디지털 소스 클록 제공자로 사용될 수 있다. 다양한 실시예들에 따르면, 수치 제어 발진기는 두 개의 입력들, 즉 기준 클록($r(x)$) 및 수치 값(q)을 갖는 모듈이다. 도 1은, 예를 들어 마이크로컨트롤러의 시스템 클록 회로(10)에 내장된 이러한 일반적인 수치 발진기(20)를 도시한다. 수치 제어 발진기(20)는 기준 클록($r(x)$), 및 구성 레지스터(40)(예컨대, NCO와 연관된 특수 기능 레지스터)에 저장될 수 있는 수치 값(q)을 수신한다. 모듈에 입력된 수치 값(q)은 기준 클록에 따라 동작을 수행하여 출력 주파수($f(q)$)를 제공한다. 따라서, $f(q)=r(x)*A$ 이며, 여기서 A 는 수치 발진기 전달 함수이다. 상기 전달 함수는 더하기(addition)처럼 간단할 수 있다. 하지만, 덧셈, 뺄셈, 곱셈, 나눗셈, 로그 함수 등 다른 수학적 함수와 같은 다른 함수들이 구현될 수 있다. 이하의 예에서는 단순한 가산기가 수치 제어 발진기를 형성하는데 사용된다. 하지만, 위에 정의된 바와 같이 수치 제어 발진기는 상술한 대로 수치 제어 클록 신호를 제공하도록 다른 기능들을 가질 수 있다.

[0014] 도 1에서, 수치 제어 발진기(20)의 출력 신호는, 내부적으로 발생될 수 있거나 외부 소스로부터 공급될 수 있는 하나 이상의 다른 클록 신호들을 수신할 수 있는 멀티플렉서(30)에 공급된다. 대안으로, 크리스탈과 같은 외부 구성요소는 내부 발진기 회로를 제어하여 이 부가 클록 신호들 중 하나를 제공할 수 있다. 멀티플렉서(30)는, 예를 들어 클록 소스들 중 하나를 시스템 클록으로 선택하기 위해 비휘발성 구성 레지스터로부터, 제어 신호를 수신할 수 있다. 기준 클록($r(x)$)은 위의 예에서 신호들(클록 1 또는 클록 2) 중 하나일 수 있는 것이 바람직하다. 더욱이, 복수의 내부 및/또는 외부 클록 신호들로부터 기준 클록을 선택하기 위해 추가 멀티플렉서가 제공될 수 있다. 따라서, NCO(20)는, 예를 들어 마이크로컨트롤러에 시스템 클록을 제공하기 위해 사용될 수 있다.

[0015] 예를 들어, 주변기기로서 NCO가 사용자에게 고정 듀티-사이클, 주파수 제어 출력을 제공하기 위해 알려져 있다. 예를 들어, 마이크로컨트롤러 PIC10F320는 고정 듀티 사이클을 갖는 신호를 발생시키기 위해 또는 펄스 폭 제어를 제공하기 위해 NCO 주변기기를 포함할 수 있다. 이후 이러한 신호는 마이크로컨트롤러가 사용되는 애플리케이션에 사용될 수 있다.

[0016] 하지만, 다양한 실시예들에 따르면, 이러한 수치 제어 발진기는 또한 시스템 클록을 제공하는데 사용될 수 있다. 따라서, NCO에 의해 발생된 클록 신호는 마이크로컨트롤러의 시스템 클록들에 인가될 수 있다.

[0017] 상기 시스템 클록은 마이크로컨트롤러 모듈의 동작을 구동하는 클록이다. 상기 시스템 클록은 전형적으로, 내부

발진기 또는 외부 발진기일 수 있는 메인 발진기와 같은 아날로그 클록 소스로부터 얻어진다. 다양한 실시예들에 따르면, 메인 마이크로컨트롤러 발진기의 1차 클록 신호는 이후 NCO에 접속되고, 그런 다음 NCO는 자신의 출력에서 시스템 클록을 구동한다.

[0018]

NCO는 문제에 대한 디지털 솔루션이며, 여기서 클록 소스들은 아날로그 솔루션들(예를 들어, 내부 RC 발진기들, 크리스탈 발진기들 등)인 경향이 있다. 또한, 다양한 실시예들에 따르면, 두 가지 요구 사항들이 해결되어진다. 하나는 디지털 방식으로 제어될 수 있는 가변 클록 소스이며, NCO 주변기기에 의해 달성된다. 다른 하나는 마이크로컨트롤러의 내부 클록 주파수들이 이진 배수들이라는 점이며, 이로써 보다 큰 주파수들 사이의 단계 사이즈는 주파수가 증가함에 따라 더 커진다. NCO는 사용자가 전력, 특정 주파수 등과 같은 성능 문제들을 최적화할 수 있도록 이 주파수 증가들 사이의 갭(gap)들을 채우기 위해 적용될 수 있다.

[0019]

NCO 클록들은 사용자가 타이밍을 프로그램할 수 있도록 서로 다른 모듈들에 개별적으로 인가될 수 있다. 따라서, 그것(NCO 클록)은 시스템 클록, 위치독 타이머 주파수 소스, 주변 클록 소스 등으로 유리하게 사용될 수 있다. NCO 시스템 클록으로 인해, 사용자들이 성능을 최적화하고 이진 가중치들로부터 중간 주파수들을 선택할 수 있다.

[0020]

도 2는 다양한 실시예들에 따른 수치 제어 발진기(100)의 제 1 가능한 구현을 도시한다. 멀티플렉서(160)를 통해 다양한 클록 입력들이 선택될 수 있다. 예를 들어, 외부 핀(NCO1CLK)을 통한 외부 클록이 또는 몇몇 내부 클록 신호들(LC1OUT, FOSC, 또는 HFINTOSC) 중 하나가 상기 멀티플렉서를 통해 선택될 수 있다. 예를 들어, LC1OUT는 프로그램 가능한 로직 셀에 의해 제공된 출력 신호이며, FOSC 및 HFINTOSC는 내부 발진기 또는 집적된 발진기로부터 나오는 내부 클록 신호이다. 그런 다음 이 1차 클록은 도 1에 도시된 바와 같이, 수치 제어 발진기에 공급된다. 수치 제어 발진기는 가산기(110)의 제 1 입력부에 임의의 값을 공급하는 버퍼(120)와 결합된 증분 레지스터(130)를 포함한다. 가산기의 출력부는 누산기(accumulator)(140)와 결합되며, 누산기(140)의 출력부는 다시 가산기(110)의 제 2 입력부에 공급된다. 1차 입력 클록 신호는 인에이블 게이트(150)를 통해 공급되어 누산기(140)를 제어하고, 또한 AND 게이트(170)의 제 1 입력부에 공급된다. 누산기로부터 출력되는 오버플로우는 수치 제어 출력 클록을 발생시키기 위해 AND 게이트(170)의 제 2 입력부에 공급된다. AND 게이트(170)의 출력부는 D-플립-플롭(180)의 클록 입력부와 결합되며, D-플립-플롭(180)의 반전 출력부는 자신의 D-입력부와 결합된다. D-플립-플롭(180)의 비반전 출력부는 클록 출력을 제공하며, 이 클록 출력은 다양한 실시예들에 따라 시스템 클록으로 선택될 수 있다. 따라서, 매우 다양한 주파수들이 NCO(100)와 관련된 제어 레지스터들의 프로그래밍을 통해 직접 제어될 수 있다. 복수의 이러한 NCO들이 제공되어, 시스템 클록들 및/또는 주변 클록들과 같은 다수의 내부 클록들을 제공할 수 있다. 더욱이, 얻어진 내부 클록 신호들을 제공하기 위해 표준 디지털 분주기(divider)가 NCO의 출력부와 결합될 수 있다.

[0021]

도 3은 수치 제어 발진기(200)의 또 하나의 실시예를 도시한다. 여기서 증분 레지스터(130)는 가산기(110)와 직접 결합된다. 하지만, 버퍼는 도 2에 도시된 바와 같이 사용될 수 있다. 1차 클록 신호는 인에이블 게이트(150)를 통해 다시 라우팅되고, 또한 카운터(210)의 클록 입력부에 전달된다. 누산기(140)의 오버플로우 출력부는 RS-플립-플롭(220)의 세트 입력부와 결합된다. 멀티플렉서(250)는 카운터(210)의 비트들 중 하나를 선택하여 플립-플롭(220)을 리셋하도록 동작 가능하다. 카운터(210)는 플립-플롭(220)의 반전된 Q 출력에 의해 리셋된다. 멀티플렉서(230)는 D-플립-플롭(180)의 Q 출력과 RS-플립-플롭(220)의 Q 출력 중 하나를 수치 제어 발진기의 출력 신호로 선택하기 위해 제공된다. 일 실시예에 따르면, 누산기(140)의 오버플로우 출력은 또한, AND 게이트에 공급될 수 있는데, 도 1에서와 유사한 1차 클록 신호를 수신할 수 있다. 그리고 누산기(140)의 오버플로우 출력은 플립-플롭(220)에 공급되고, 그리고 플립-플롭(220)을 통해 멀티플렉서(230)에 공급된다.

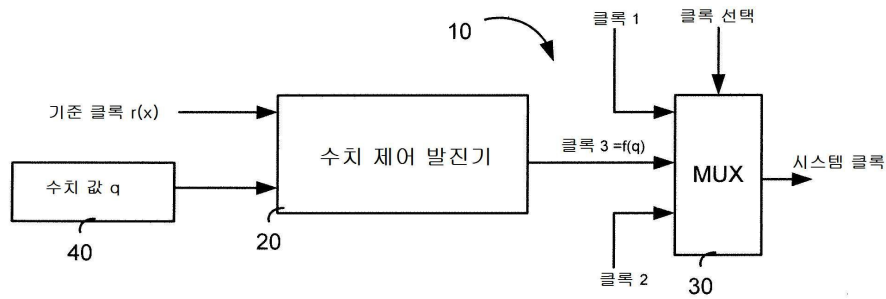
[0022]

도 4는 NCO가 선택 가능한 시스템 클록을 제공하기 위해 마이크로컨트롤러 내부에 어떻게 집적될 수 있는지의 실시예를 도시한다. 고주파 내부 발진기(320)가 온 칩으로 제공될 수 있다. 게다가, 외부의 고속 발진기(330) 및 외부의 저속 발진기(340)가 제공될 수 있다. 다른 내부 및 외부 클록 소스들이 사용될 수 있다. 실시예들에 따르면, NCO(310)는 내부의 고주파 발진기(320)로부터 직접 공급되며, 내부의 고주파 발진기(320)는 예를 들어, 디지털 트리밍 기능부(390)를 갖는 RC 발진기일 수 있다. 여기서, 예를 들어 구성 레지스터(380)나 임의의 다른 특수 기능 레지스터에 의해 제어될 수 있는, 시스템 클록 선택 멀티플렉서(350)가 제공된다. 따라서, 사용자는 구성 레지스터가 4개의 클록 소스들 중 어떠한 것이라도 선택할 수 있도록 프로그래밍할 수 있으며, 여기서 NCO(310)의 선택시에는 광범위의 추가 주파수들이 각각의 관련된 제어 레지스터에 의해 프로그래밍될 수 있다. 게다가, 예를 들어, 타이머들, 펄스 폭 변조기들 등과 같은 하나 이상의 주변 디바이스들을 위한, 제 2 내부 클록 신호를 선택하기 위해 또 하나의 멀티플렉서(360)가 제공될 수 있다. 그리고 상기 선택된 시스템 클록은 시

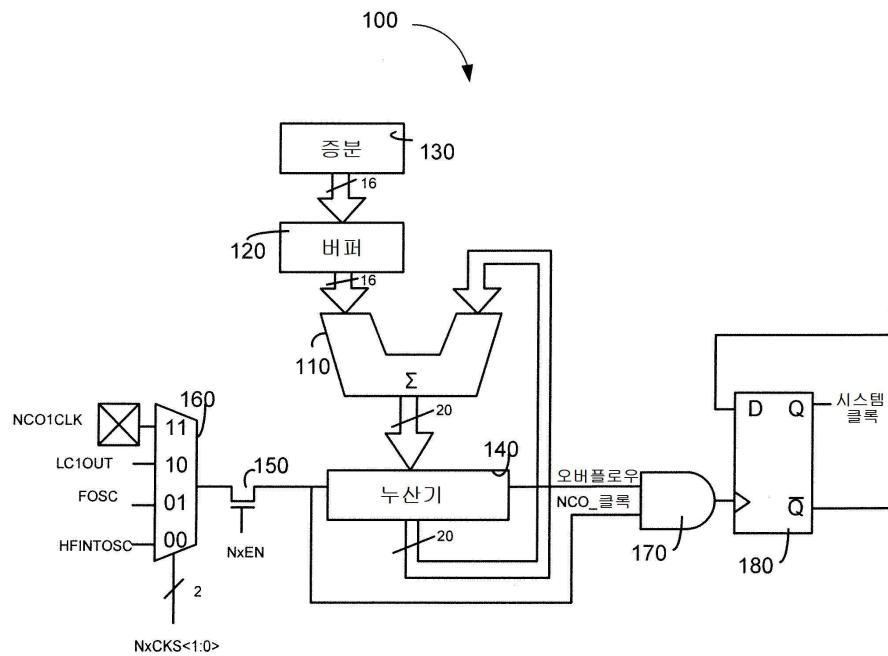
시스템 클록으로 직접 사용될 수 있거나, 또는 클록을 2^n 으로($n \geq 1$) 분주하는 분주기(370)에 공급될 수 있다.

도면

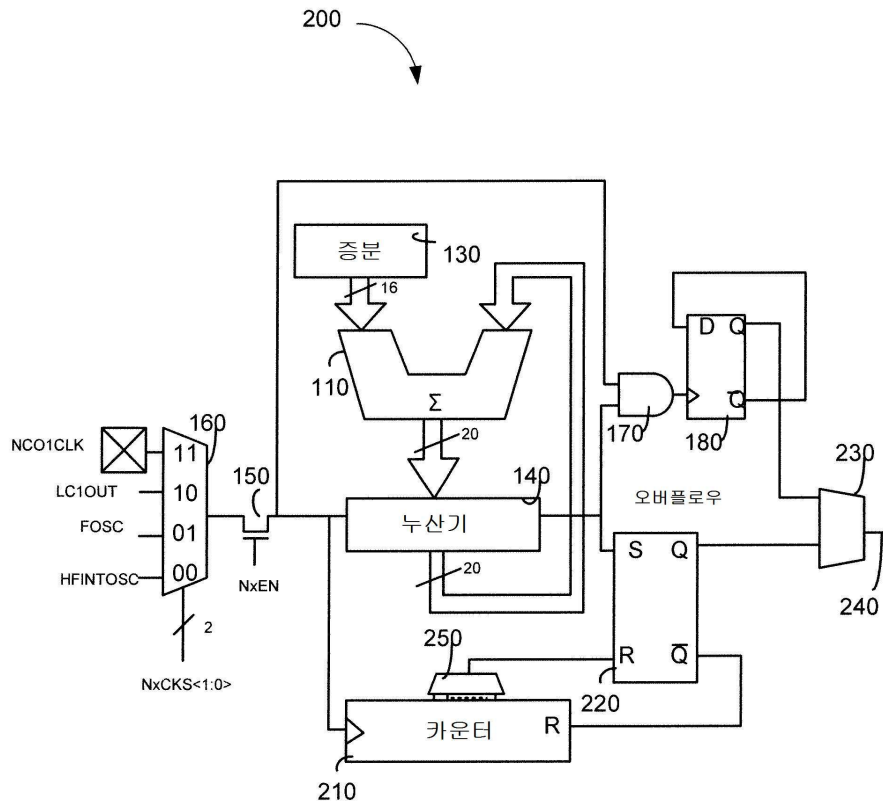
도면1



도면2



도면3



도면4

