



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

250998

(11)

(B1)

(51) Int. Cl.⁴

H 03 M 9/00

(22) Přihlášeno 23 12 85
(21) PV 9861-85

(40) Zveřejněno 14 08 86

(45) Vydáno 15 03 88

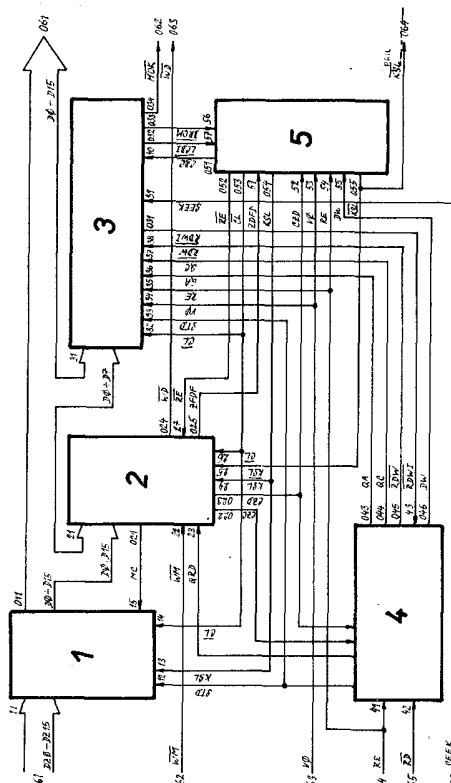
(75)

Autor vynálezu

SAPÁK VOJTĚCH ing., ŠMÍD ZBYNĚK ing., BRNO

(54) Zapojení datového adaptoru, zejména pro diskovou paměť

Cílem řešení je jednoduchý datový adaptor, zejména pro diskovou paměť, který ve spojení s rychlým počítačem, případně jeho procesorem, nahrazujícím řídící jednotku, tvoří celek o malém objemu a je-
hož lze použít při konstrukci nových řídících jednotek o malém objemu. Uvedeného cíle se dosáhne zapojením s posuvným registrem, kodérem, obvodem identifikace missingu, obvodem čtených dat a čítačem bitů. Zapojení lze využít zejména u diskových pamětí, například u diskové paměti s pružným magnetickým diskem.



Vynález se týká zapojení datového adaptoru, zejména pro diskovou paměť.

Datový adaptor transformuje data do tvaru vhodného pro zápis do diskové paměti a při čtení z diskové paměti. Disková paměť, například s pružným magnetickým diskem, je ovládána zpravidla samostatnou řídicí jednotkou, která je dále připojena na spolupracující zařízení, například počítač. Známé datové adaptory jsou součástí řídicí jednotky, jež je poměrně objemná a nelze jich použít jako samostatný funkční celek, neboť jsou konstruovány pro danou řídicí jednotku.

Uvedené nevýhody odstraňuje zapojení datového adaptoru, zejména pro diskovou paměť podle vynálezu, jehož podstatou je, že skupina vstupů prvního až posledního bitu posuvného registru tvoří současně skupinu vstupů prvního až posledního bitu zapojení, skupina výstupů prvního až posledního bitu posuvného registru, z nichž výstup prvního a posledního bitu je navíc připojen na skupinu vstupů prvního a posledního bitu kodéru a výstup prvního až osmého bitu je navíc připojen na skupinu vstupů prvního až osmého bitu identifikace missingu, tvoří současně skupinu výstupů prvního až posledního bitu zapojení, přepínací výstup kodéru je připojen na přepínací vstup posuvného registru, jehož druhý datový výstup tvoří současně datový výstup zapojení, řídicí výstup kodéru je připojen na první řídicí vstup čítače bitů, kdežto jeho první řídicí vstup tvoří současně první řídicí vstup zapojení, první synchronizační výstup kodéru je připojen na první synchronizační vstup obvodu čtených dat, kdežto jeho druhý synchronizační výstup je připojen na druhý synchronizační vstup obvodu čtených dat a na první synchronizační vstup čítače bitů, první řídicí vstup obvodu identifikace missingu je připojen na druhý řídicí vstup čítače bitů a tvoří současně druhý řídicí vstup zapojení, první řídicí vstup obvodu čtených dat je připojen na druhý řídicí vstup obvodu identifikace missingu, na třetí řídicí vstup čítače bitů a tvoří současně třetí řídicí vstup zapojení, datový vstup obvodu čtených dat tvoří současně datový vstup zapojení, první datový výstup obvodu čtených dat je připojen na datový vstup posuvného registru a na datový vstup obvodu identifikace missingu, druhý datový výstup obvodu čtených dat je připojen na první datový vstup kodéru, kdežto jeho první hodinový výstup je připojen na druhý hodinový vstup obvodu identifikace missingu, druhý hodinový výstup obvodu čtených dat je připojen na třetí hodinový vstup obvodu identifikace missingu, kdežto jeho řídicí výstup je připojen na třetí řídicí vstup obvodu identifikace missingu, třetí hodinový výstup obvodu čtených dat je připojen na hodinový vstup čítače bitů, jehož první synchronizační výstup je připojen na synchronizační vstup obvodu identifikace missingu, čtvrtý řídicí vstup obvodu identifikace missingu tvoří současně čtvrtý řídicí vstup zapojení, kdežto jeho první řídicí výstup je připojen na druhý řídicí vstup obvodu čtených dat, první řídicí výstup obvodu identifikace missingu je připojen na třetí řídicí vstup čítače bitů, kdežto jeho první blokovací výstup je připojen na blokovací vstup čítače bitů a jeho druhý blokovací výstup tvoří současně blokovací výstup zapojení, řídicí výstup čítače bitů je připojen na druhý řídicí vstup kodéru, kdežto jeho hodinový výstup je připojen na první hodinový vstup obvodu identifikace missingu, na hodinový vstup kodéru a na hodinový vstup posuvného registru, druhý synchronizační výstup čítače bitů je připojen na první synchronizační vstup kodéru a na synchronizační vstup posuvného registru, kdežto jeho třetí synchronizační výstup je připojen na druhý synchronizační vstup kodéru a tvoří současně synchronizační výstup zapojení.

Výhodou zapojení datového adaptoru, zejména pro diskovou paměť podle vynálezu je jeho jednoduchost, spolu s rychlým počítačem, případně jeho procesorem, nahrazujícím řídicí jednotku, tvoří celek o malém objemu, a sice menším nežli dosavadní řídicí jednotky diskových pamětí, přičemž jako samostatné jednotky lze datového adaptoru použít při konstrukci nových řídicích jednotek o malém objemu.

Příklad zapojení datového adaptoru, zejména pro diskovou paměť podle vynálezu je znázorněn na připojeném výkrese v blokovém schématu.

Skupina vstupů 11 prvního až šestnáctého bitu šestnáctibitového posuvného registru 1 pro signál DZ0 až DZ15 tvoří současně skupinu vstupů 61 prvního až šestnáctého bitu zapojení pro připojení na neznázorněný počítač. Skupina výstupů 011 prvního až šestnáctého bitu šestnáctibitového posuvného registru 1 pro signál D0 až D15, z nichž výstup prvního a šestnáctého bitu pro signál D0 a D15 je navíc na skupinu vstupů 21 prvního a šestnáctého bitu kodéru 2 a výstup prvního až osmého bitu pro signál D0 až D7 je navíc připojen na skupinu vstupů 31 prvního až osmého bitu obvodu 3 identifikace missingu, tvoří současně skupinu výstupů 061 prvního až šestnáctého bitu zapojení pro připojení na počítač.

Přepínací výstup 021 kodéru 2 pro signál MC je připojen na přepínací vstup 15 šestnáctibitového posuvného registru 1, jehož druhý datový výstup 024 pro signál $\overline{WD}$ tvoří současně datový výstup 063 zapojení pro připojení na neznázorněnou diskovou paměť.

Řídicí výstup 025 kodéru 2 pro signál ZFDF je připojen na první řídicí vstup 51 čítače 5 bitů, kdežto jeho první řídicí vstup 22 pro signál $\overline{WM}$ tvoří současně první řídicí vstup 62 zapojení pro připojení na počítač. První synchronizační výstup 022 kodéru 2 pro signál CZC je připojen na první synchronizační vstup 45 obvodu 4 čtených dat, kdežto jeho druhý synchronizační výstup 023 pro signál CZD je připojen na druhý synchronizační vstup 44 obvodu 4 čtených dat a na první synchronizační vstup 52 čítače 5 bitů.

První řídicí vstup 34 obvodu 3 identifikace missingu pro signál V0 je připojen na druhý řídicí vstup 53 čítače 5 bitů a tvoří současně druhý řídicí vstup 63 zapojení pro připojení na počítač. První řídicí vstup 41 obvodu 4 čtených dat pro signál RE je připojen na druhý řídicí vstup 35 obvodu 3 identifikace missingu, na třetí řídicí vstup 54 čítače 5 bitů a tvoří současně třetí řídicí vstup 64 zapojení pro připojení na počítač.

Datový vstup 42 obvodu 4 čtených dat pro signál $\overline{RD}$ tvoří současně datový vstup 65 zapojení pro připojení na diskovou paměť. První datový výstup 041 obvodu 4 čtených dat pro signál STD je připojen na datový vstup 12 šestnáctibitového posuvného registru 1 a na datový vstup 33 obvodu 3 identifikace missingu.

Druhý datový výstup 042 obvodu 4 čtených dat pro signál QRD je připojen na první datový vstup 23 kodéru 2, kdežto jeho první hodinový výstup 043 pro signál QA je připojen na druhý hodinový vstup 36 obvodu 3 identifikace missingu. Druhý hodinový výstup 044 obvodu 4 čtených dat pro signál QC je připojen na třetí hodinový vstup 37 obvodu 3 identifikace missingu, kdežto jeho řídicí vstup 045 pro signál $\overline{RDW}$ je připojen na třetí řídicí vstup 38 obvodu 3 identifikace missingu.

Třetí hodinový výstup 046 obvodu 4 čtených dat pro signál DW je připojen na hodinový vstup 55 čítače 5 bitů, jehož první synchronizační výstup 051 pro signál CBC je připojen na synchronizační vstup 40 obvodu 3 identifikace missingu.

Čtvrtý řídicí vstup 39 obvodu 3 identifikace missingu pro signál SEEK tvoří současně čtvrtý řídicí vstup 66 zapojení pro připojení na počítač, kdežto jeho první řídicí výstup 031 pro signál $\overline{RDW}$ je připojen na druhý řídicí vstup 43 obvodu 4 čtených dat. První řídicí výstup 032 obvodu 3 identifikace missingu pro signál $\overline{CB}$ je připojen na třetí řídicí vstup 57 čítače 5 bitů, kdežto jeho první blokovací výstup 033 pro signál $\overline{BROM}$ je připojen na blokovací vstup 56 čítače 5 bitů a jeho druhý blokovací výstup 034 pro signál MOK tvoří současně blokovací výstup 062 zapojení pro připojení na počítač.

Řídicí výstup 052 čítače 5 bitů pro signál RE je připojen na druhý řídicí vstup 27 kodéru 2, kdežto jeho hodinový výstup 053 pro signál $\overline{CL}$ je připojen na první hodinový vstup 32 obvodu 3 identifikace missingu, na hodinový vstup 26 kodéru 2 a na hodinový vstup 14 šestnáctibitového posuvného registru 1. Druhý synchronizační výstup 054 čítače 5 bitů pro signál KSI je připojen na první synchronizační vstup 24 kodéru 2 a na synchronizační vstup 13 šestnáctibitového posuvného registru 1, kdežto jeho třetí synchronizační

výstup 055 pro signál $\overline{KSL}$ je připojen na druhý synchronizační vstup 25 kodéru 2 a tvoří současně synchronizační výstup 064 zapojení pro připojení na počítač.

Zapojení bude pracovat i s osmibitovým posuvným registrem, přičemž čítač 5 bitů bude nastaven na čítání do osmi bitů.

Činnost adaptoru lze popsat v souvislosti se dvěma režimy, a sice s režimem čtení dat a režimem zápisu dat. Režim čtení dat se dělí na dva podrežimy, a to na čtení dat, která jsou kódována metodou DF a na čtení dat, která jsou kódována metodou MFM. Volba těchto podrežimů se provádí hladinou signálu VO, a to hladina L signálu VO nastavuje čtení dat kódovaných metodou DF a hladina H signálu VO nastavuje čtení dat kódovaných metodou MFM.

Po celou dobu režimu čtení dat se nesmí hladina signálu VO měnit. Režim čtení dat začíná přechodem hladiny L na H signálu RE. Signál SEEK má hladinu L. Hladina H signálu RE přepne obvod čtených dat na vyhodnocování čtených dat. Po přečtení několika bitů čtených dat signálu $\overline{RD}$ se dotáhne řízený vnitřní oscilátor obvodu 4 čtených dat na frekvenci čtených dat a výstupní signál upravených čtených dat STD je synchronní se signálem DW, který reprezentuje čtené hodinové impulsy pro seriový zápis do šestnáctibitového posuvného registru 1 a posouvání čtených dat v tomto posuvném registru 1. Vlastní zápis a posouvání čtených dat v šestnáctibitovém posuvném registru 1 se provádí pomocí změny hladiny z H na L signálu CL, který je vytvořen na přepínači hodinových impulsů v čítači 5 bitů. Tento přepínač je řízen signálem RE a to tak, že hladina L signálu RE přepne přepínač na signál zápisových impulsů CZD a hladina H signálu RE přepne přepínač na signál čtených hodinových impulsů DW.

Vyhodnocování čtených dat signálu $\overline{RD}$ v obvodu 4 čtených dat probíhá následovně. Přechod hladiny H na L signálu RD způsobí změnu hladiny L na H signálu QRD. Tato změna uvolní v časovém zdroji kodéru 2 generování zpožděného impulsu signálu CZD, který je v režimu čtení dat využíván pro vyhodnocení čtených dat. Tento zpožděný signál CZD zajišťuje přechod hladiny H na signálu QRD. Má-li signál QRD hladinu H nebo L, pak přechod hladiny z H na L signálu QC zajistí změnu hladiny L na H nebo H na L signálu STD.

Rozdíl v přechodech hladin signálů QRD a STD je využíván v obvodu 4 čtených dat na neustálé nastavování správné fáze signálu DW vzhledem ke střednímu kmitočtu čtených dat RD. V režimu zápis dat hladina L signálu RE způsobí, že obvod 4 čtených dat ignoruje signál $\overline{RD}$ a je v tomto režimu nastavován na kmitočet zápisových hodinových impulsů pomocí signálů CZC a CZD, které jsou navzájem synchronní. Samotnému čtení dat předchází proces nastavení správné fáze signálu čtených hodinových impulsů DW vzhledem k obsahu čtených dat, pomocí signálů $\overline{RDW}$ a $\overline{RDWI}$, nastavení čítače 5 bitů tak, aby čtená data byla správně oddělována po bytech pomocí signálu $\overline{LCBI}$ a identifikace missingového bytu v datech kódovaných metodou DF nebo identifikace missingových bytů v datech kódovaných metodou MFM.

Veškerou tuto činnost zajišťuje obvod 3 identifikace missingu pomocí všech vstupních signálů. Hladina L signálu RE vyřazuje tento obvod z činnosti a zajišťuje, že výstupní signály $\overline{MOK}$, $\overline{LCBI}$ a $\overline{RDWI}$ mají hladinu H a signál $\overline{BROM}$ má hladinu L. Má-li signál RE hladinu H a signál SEEK hladinu L, pak jsou-li identifikována čtená data v opačné fázi vůči signálu čtených hodinových impulsů DW, obvod 3 identifikace missingu zajistí přechod hladiny H na L signálu $\overline{RDWI}$.

Tento přechod zajistí změnu fáze signálu čtených hodinových impulsů DW v obvodu 4 čtených dat o 180° a současně hladiny H na L signálu $\overline{RDW}$, který v obvodu 3 identifikace missingu zajistí zpětný přechod hladiny L na H signálu $\overline{RDWI}$ a tento opět v obvodu 4 čtených dat zpětný přechod hladiny L na H signálu $\overline{RDW}$. Je-li počítačem vyhodnoceno několik definovaných bytů, které předcházejí missingovému bytu, změní počítač hladinu L na H signálu SEEK. Přečte-li se definovaný obsah dat, který znamená začátek missingového

bytu, obvod 3 identifikace missingu zajistí vytvoření impulsu, to je přechod hladiny H na L zpět signálu $\overline{LCBI}$, který nastavuje čítač 5 bitů do správného stavu vzhledem ke čteným datům.

Následující data missingového bytu jsou vyhodnocena co do obsahu i co do synchronizace jednotlivých bytů a je-li identifikován missingový byte v datech kódovaných metodou DF nebo posloupnost missingových bytů v datech kódovaných metodou MFM, pak obvod 3 identifikace missingu zajistí přechod hladiny H na L signálu $\overline{MOK}$, počítač je informován o tom, že missing byl identifikován a začíná vlastní čtení dat, které následuje bezprostředně za missingovým bytem.

Pro identifikaci missingu jsou využívány signál QA a CBC, které jsou synchronní se signálem čtených hodinových impulsů DW, případně $\overline{CL}$. Signál QC slouží v obvodu 3 identifikace missingu k odstranění nežádoucích parazitních impulsů, které vznikají v obvodu 3 identifikace missingu při posouvání čtených dat šestnáctibitovým posuvným registrem 1. Čtená data jsou paralelizována v šestnáctibitovém posuvném registru 1 a do počítače jsou odesílána po datové sběrnici se signály D0 až D15 a mají platnost při přechodu hladiny H na L signálu $\overline{KSL}$, který je do počítače přenášen spolu se signály D0 až D15.

Režim zápis dat do diskové paměti začíná přechodem hladiny H na L signálu RE. Signál SEEK má přechod hladiny H na L současně se signálem RE nebo má trvale hladinu L, a to po celou dobu režimu zápis dat. Data, která se zapisují, jsou z datové sběrnice se signály DZ0 až DZ15 přivedena na paralelní vstupy šestnáctibitového posuvného registru 1 a pomocí impulsu signál MC, který přepíná kód šestnáctibitového posuvného registru na paralelní zápis, a s ním synchronně opožděného impulsu signál KSL, jehož inverzní impuls $\overline{KSL}$ slouží k synchronizaci přenosu dat po datové sběrnici se signály DZ0 až DZ15, jsou data zapisována paralelně do šestnáctibitového posuvného registru 1. V době mimo impuls data seriově posouvána v šestnáctibitovém posuvném registru 1 pomocí signálu $\overline{CL}$, který je vytvořen na přepínači hodinových impulsů v čítači 5 bitů ze signálu CZD a výstupní signály D0 a D15 slouží v kodéru 2 synchronně se signálem CZD ke kódování dat metodou MFM.

Výstupní signál $\overline{WD}$ kodéru 2 reprezentuje seriová data kódovaná pro zápis do diskové paměti včetně kompenzací okrajových impulsů ve skupině dvou nebo více impulsů s nejvyšší frekvencí, které následují těsně po sobě. Je-li kódován missingový byte, pak je počítačem změněna hladina signálu $\overline{WM}$ z H na L na tak dlouho, aby se setkala se změnou hladiny H na L signálu KSL. Touto změnou se signál $\overline{WM}$ zapíše do paměti v kodéru 2 na celou dobu kódování missingového bytu. Zápis v této paměti se zruší opět změnou hladiny H na L signálu $\overline{KSL}$, která se setkala s hladinou H signálu $\overline{WM}$. Časový odstup změn hladin signálů $\overline{KSL}$ a $\overline{WM}$ zajišťuje počítač.

Hladina L signálu RE zajišťuje, že signál QRD má hladinu H a tato hladina zajišťuje v kodéru volnoběžný chod časového zdroje, který je nezbytný pro proces kódování. Časový zdroj kodéru 2 je využíván v obou režimech zápis i čtení, ale v každém z nich má odlišnou funkci. Volba režimu zápis se provádí hladinou H signálu $\overline{RE}$ a volba režimu čtení hladinou L signálu $\overline{RE}$. Synchronní činnost režimu čtení i zápisu zajišťuje čítač 5 bitů, který čítá hodinové impulsy $\overline{CL}$ a generuje tak impulsy signálu KSL, případně $\overline{KSL}$. Čítač 5 bitů je nastavován v režimu čtení signálem $\overline{LCBI}$ a je-li prováděno čtení dat kódovaných metodou DF, tak je ještě nastavován signálem ZFDF tak, aby byla zajištěna správná fáze hodinových a datových impulsů v šestnáctibitovém posuvném registru 1 vzhledem k impulsům signálu $\overline{KSL}$, které oddělují data po bytech.

Vynálezu lze využít zejména u diskových pamětí, například u diskové paměti s pružným magnetickým diskem.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení datového adaptoru, zejména pro diskovou paměť, vyznačené tím, že skupina vstupů (11) prvního až posledního bitu posuvného registru (1) tvoří současně skupinu vstupů (61) prvního až posledního bitu zapojení, skupina výstupů (011) prvního až posledního bitu posuvného registru (1), z nichž výstup prvního a posledního bitu je navíc připojen na skupinu vstupů (27) prvního a posledního bitu kodéru (2) a výstup prvního až osmého bitu je navíc připojen na skupinu vstupů (31) prvního až osmého bitu obvodu (3) identifikace missingu, tvoří současně skupinu výstupů (061) prvního až posledního bitu zapojení, přepínací výstup (021) kodéru (2) je připojen na přepínací vstup (15) posuvného registru (1), jehož druhý datový výstup (024) tvoří současně datový výstup (063) zapojení, řídicí výstup (025) kodéru (2) je připojen na první řídicí vstup (51) čítače (5) bitů, kdežto jeho první řídicí vstup (22) tvoří současně první řídicí vstup (62) zapojení, první synchronizační výstup (022) kodéru (2) je připojen na první synchronizační vstup (45) obvodu (4) čtených dat, kdežto jeho druhý synchronizační výstup (023) je připojen na druhý synchronizační vstup (44) obvodu (4) čtených dat a na první synchronizační vstup (52) čítače (5) bitů, první řídicí vstup (34) obvodu (3) identifikace missingu je připojen na druhý řídicí vstup (53) čítače (5) bitů a tvoří současně druhý řídicí vstup (63) zapojení, první řídicí vstup (41) obvodu (4) čtených dat je připojen na druhý řídicí vstup (35) obvodu (3) identifikace missingu, na třetí řídicí vstup (54) čítače (5) bitů a tvoří současně třetí řídicí vstup (64) zapojení, datový vstup (42) obvodu (4) čtených dat tvoří současně datový vstup (65) zapojení, první datový výstup (041) obvodu (4) čtených dat je připojen na datový vstup (12) posuvného registru (1) a na datový vstup (33) obvodu (3) identifikace missingu, druhý datový výstup (042) obvodu (4) čtených dat je připojen na první datový vstup (23) kodéru (2), kdežto jeho první hodinový výstup (043) je připojen na druhý hodinový vstup (36) obvodu (3) identifikace missingu, druhý hodinový výstup (044) obvodu (4) čtených dat je připojen na třetí hodinový vstup (37) obvodu (3) identifikace missingu, kdežto jeho řídicí výstup (045) je připojen na třetí řídicí vstup (38) obvodu (3) identifikace missingu, třetí hodinový výstup (046) obvodu (4) čtených dat je připojen na hodinový vstup (55) čítače (5) bitů, jehož první synchronizační výstup (051) je připojen na synchronizační vstup (40) obvodu (3) identifikace missingu, čtvrtý řídicí vstup (39) obvodu (3) identifikace missingu tvoří současně čtvrtý řídicí vstup (66) zapojení, kdežto jeho první řídicí výstup (031) je připojen na druhý řídicí vstup (43) obvodu (4) čtených dat, první řídicí výstup (032) obvodu (3) identifikace missingu je připojen na třetí řídicí vstup (57) čítače (5) bitů, kdežto jeho první blokovací výstup (033) je připojen na blokovací vstup (56) čítače (5) bitů a jeho druhý blokovací výstup (034) tvoří současně blokovací výstup (062) zapojení, řídicí výstup (052) čítače (5) bitů je připojen na druhý řídicí vstup (27) kodéru (2), kdežto jeho hodinový výstup (053) je připojen na první hodinový vstup (32) obvodu (3) identifikace missingu, na hodinový vstup (26) kodéru (2) a na hodinový vstup (14) posuvného registru (1), druhý synchronizační výstup (054) čítače (5) bitů je připojen na první synchronizační vstup (24) kodéru (2) a na synchronizační vstup (13) posuvného registru (1), kdežto jeho třetí synchronizační výstup (055) je připojen na druhý synchronizační vstup (25) kodéru (2) a tvoří současně synchronizační výstup (064) zapojení.

