

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7557529号
(P7557529)

(45)発行日 令和6年9月27日(2024.9.27)

(24)登録日 令和6年9月18日(2024.9.18)

(51)国際特許分類	F I
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/04 C
H 0 1 L 25/18 (2023.01)	H 0 1 L 23/50 K
H 0 1 L 23/50 (2006.01)	

請求項の数 22 (全32頁)

(21)出願番号	特願2022-511956(P2022-511956)	(73)特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町 2 1 番地
(86)(22)出願日	令和3年3月22日(2021.3.22)	(74)代理人	100135389 弁理士 臼井 尚
(86)国際出願番号	PCT/JP2021/011712	(72)発明者	石松 祐司 京都市右京区西院溝崎町 2 1 番地 ロー ム株式会社内
(87)国際公開番号	WO2021/200337	(72)発明者	濱 憲治 京都市右京区西院溝崎町 2 1 番地 ロー ム株式会社内
(87)国際公開日	令和3年10月7日(2021.10.7)	(72)発明者	原 英夫 京都市右京区西院溝崎町 2 1 番地 ロー ム株式会社内
審査請求日	令和5年11月13日(2023.11.13)	審査官	ゆずりは 広行
(31)優先権主張番号	特願2020-65761(P2020-65761)		
(32)優先日	令和2年4月1日(2020.4.1)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 電子装置

(57)【特許請求の範囲】

【請求項 1】

厚さ方向の一方を向く基板主面を有する絶縁基板と、
前記基板主面上に形成され、導電性材料からなる配線部と、
前記基板主面上に配置されたリードフレームと、
前記リードフレームに導通する第 1 半導体素子および第 2 半導体素子と、
前記配線部に導通し、かつ、前記第 1 半導体素子を第 1 上アームとして動作させつつ、
前記第 2 半導体素子を第 1 下アームとして動作させる第 1 制御部と、
を備えており、

前記リードフレームは、前記第 1 半導体素子が接合された第 1 パッド部、および、前記
第 2 半導体素子が接合された第 2 パッド部を含み、

前記第 1 パッド部と前記第 2 パッド部とは、前記配線部から離間し、かつ、前記厚さ方
向に直交する第 1 方向に第 1 の離隔領域を隔てて配置されており、

前記第 1 制御部は、前記厚さ方向に見て前記リードフレームから離間しており、かつ、
前記厚さ方向および前記第 1 方向に直交する第 2 方向に見て、前記第 1 の離隔領域に重なる、
電子装置。

【請求項 2】

前記第 1 制御部の少なくとも一部は、前記第 1 方向に見て、前記第 1 の離隔領域に重なる、
請求項 1 に記載の電子装置。

【請求項 3】

10

20

前記第 1 半導体素子は、前記基板主面と同じ方向を向く第 1 素子主面および前記第 1 素子主面に形成された第 1 制御電極を有しており、

前記第 2 半導体素子は、前記基板主面と同じ方向を向く第 2 素子主面および前記第 2 素子主面に形成された第 2 制御電極を有しており、

前記第 1 制御部は、前記第 1 半導体素子の駆動を制御するための第 1 駆動信号を前記第 1 制御電極に入力し、前記第 2 半導体素子の駆動を制御するための第 2 駆動信号を前記第 2 制御電極に入力する、請求項 1 または請求項 2 に記載の電子装置。

【請求項 4】

前記第 1 制御部は、前記第 1 駆動信号を出力する第 1 制御素子と、前記第 2 駆動信号を出力する第 2 制御素子とを含む、請求項 3 に記載の電子装置。

10

【請求項 5】

前記第 1 半導体素子は、前記第 1 パッド部に対向する第 1 素子裏面および前記第 1 素子裏面に形成された第 1 裏面電極を有し、

前記第 1 裏面電極は、前記第 1 パッド部に導通接合されており、

前記第 2 半導体素子は、前記第 2 パッド部に対向する第 2 素子裏面および前記第 2 素子裏面に形成された第 2 裏面電極を有し、

前記第 2 裏面電極は、前記第 2 パッド部に導通接合されている、請求項 3 または請求項 4 に記載の電子装置。

【請求項 6】

前記第 1 半導体素子は、前記第 1 素子主面に形成された第 1 主面電極をさらに有しており、前記第 1 駆動信号に応じて、前記第 1 裏面電極と前記第 1 主面電極とが導通し、

20

前記第 2 半導体素子は、前記第 2 素子主面に形成された第 2 主面電極をさらに有しており、前記第 2 駆動信号に応じて、前記第 2 裏面電極と前記第 2 主面電極とが導通する、請求項 5 に記載の電子装置。

【請求項 7】

前記リードフレームは、互いに離間する第 1 リードおよび第 2 リードを含み、

前記第 1 リードは、前記第 1 パッド部と当該第 1 パッド部に繋がる第 1 端子部を含み、

前記第 2 リードは、前記第 2 パッド部と当該第 2 パッド部に繋がる第 2 端子部を含む、請求項 6 に記載の電子装置。

【請求項 8】

30

前記リードフレームは、前記第 1 リードおよび前記第 2 リードから離間する第 3 リードをさらに含み、

前記第 2 主面電極は、前記第 3 リードに導通する、請求項 7 に記載の電子装置。

【請求項 9】

前記第 1 主面電極は、前記第 2 リードに導通する、請求項 8 に記載の電子装置。

【請求項 10】

前記リードフレームは、前記第 1 リード、前記第 2 リードおよび前記第 3 リードから離間する第 4 リードをさらに含み、

前記第 1 主面電極は、前記第 4 リードに導通する、請求項 8 に記載の電子装置。

【請求項 11】

40

前記リードフレームに導通する第 3 半導体素子および第 4 半導体素子をさらに備え、

前記リードフレームは、前記第 3 半導体素子が接合された第 3 パッド部、および、前記第 4 半導体素子が接合された第 4 パッド部を含み、

前記第 3 パッド部と前記第 4 パッド部とは、前記配線部から離間し、かつ、前記第 1 方向に第 2 の離隔領域を隔てて配置されている、請求項 8 ないし請求項 10 のいずれか一項に記載の電子装置。

【請求項 12】

前記配線部に導通し、かつ、前記第 3 半導体素子を第 2 上アームとして動作させつつ、前記第 4 半導体素子を第 2 下アームとして動作させる第 2 制御部をさらに備え、

前記第 2 制御部は、前記厚さ方向に見て前記リードフレームから離間しており、かつ、

50

前記第 2 方向に見て、前記第 2 の離隔領域に重なる、請求項 1 1 に記載の電子装置。

【請求項 1 3】

前記第 1 制御部と前記第 2 制御部とは、前記第 1 方向に並んでいる、請求項 1 2 に記載の電子装置。

【請求項 1 4】

前記第 2 制御部の少なくとも一部は、前記第 1 方向に見て、前記第 2 の離隔領域に重なる、請求項 1 2 または請求項 1 3 のいずれかに記載の電子装置。

【請求項 1 5】

前記第 3 半導体素子は、前記基板主面と同じ方向を向く第 3 素子主面および前記第 3 素子主面に形成された第 3 制御電極を有しており、

10

前記第 4 半導体素子は、前記基板主面と同じ方向を向く第 4 素子主面および前記第 4 素子主面に形成された第 4 制御電極を有しており、

前記第 2 制御部は、前記第 3 半導体素子の駆動を制御するための第 3 駆動信号を前記第 3 制御電極に入力し、前記第 4 半導体素子の駆動を制御するための第 4 駆動信号を前記第 4 制御電極に入力する、請求項 1 2 ないし請求項 1 4 のいずれか一項に記載の電子装置。

【請求項 1 6】

前記第 3 半導体素子は、前記第 3 パッド部に対向する第 3 素子裏面および前記第 3 素子裏面に形成された第 3 裏面電極を有し、

前記第 3 裏面電極は、前記第 3 パッド部に導通接合されており、

前記第 4 半導体素子は、前記第 4 パッド部に対向する第 4 素子裏面および前記第 4 素子裏面に形成された第 4 裏面電極を有し、

20

前記第 4 裏面電極は、前記第 4 パッド部に導通接合されている、請求項 1 5 に記載の電子装置。

【請求項 1 7】

前記第 3 半導体素子は、前記第 3 素子主面に形成された第 3 主面電極をさらに有しており、前記第 3 駆動信号に応じて、前記第 3 裏面電極と前記第 3 主面電極とが導通し、

前記第 4 半導体素子は、前記第 4 素子主面に形成された第 4 主面電極をさらに有しており、前記第 4 駆動信号に応じて、前記第 4 裏面電極と前記第 4 主面電極とが導通する、請求項 1 6 に記載の電子装置。

【請求項 1 8】

30

前記第 1 パッド部、前記第 2 パッド部、前記第 3 パッド部および前記第 4 パッド部は、前記第 1 方向に並んでいる、請求項 1 7 に記載の電子装置。

【請求項 1 9】

前記第 2 パッド部と前記第 4 パッド部とは、前記リードフレームにおいて、前記第 1 方向に隣り合っている、請求項 1 8 に記載の電子装置。

【請求項 2 0】

前記第 4 主面電極は、前記第 3 リードに導通する、請求項 1 9 に記載の電子装置。

【請求項 2 1】

前記リードフレームの一部を露出させつつ、前記絶縁基板の少なくとも一部、前記第 1 半導体素子、前記第 2 半導体素子、前記第 1 制御部、および、前記配線部を覆う樹脂部材をさらに備える、請求項 1 ないし請求項 2 0 のいずれか一項に記載の電子装置。

40

【請求項 2 2】

前記絶縁基板は、セラミックからなる、請求項 1 ないし請求項 2 1 のいずれか一項に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示は、電子装置に関する。

【背景技術】

【0 0 0 2】

50

種々の電子装置の一つとして、IPM (Intelligent Power Module) と称されるものがある。このような電子装置は、半導体素子と、制御素子と、リードフレームと、を備えている (特許文献 1 参照) 。半導体素子は、電力制御を行うパワー半導体素子である。制御素子は、半導体素子の駆動を制御する。リードフレームは、半導体素子および制御素子を支持するとともに、これらの導通経路をなす。

【先行技術文献】

【特許文献】

【 0 0 0 3 】

【文献】特開 2 0 2 0 - 4 8 9 3 号公報

【発明の概要】

10

【発明が解決しようとする課題】

【 0 0 0 4 】

電子装置の高集積化に伴い、制御素子に入力されるあるいは制御素子から出力される制御信号の数が増えるほど、制御素子への導通経路の数を増やす必要がある。しかしながら、これらの導通経路を従来のように金属製のリードフレームによって構成しようとすると、電子装置のさらなる高集積化が困難となるおそれがある。たとえば、リードフレームは、たとえば金型を用いたプレス加工やエッチングによって加工されるため、細線化や高密度化などが困難であり、これが高集積化を阻害する要因であった。

【 0 0 0 5 】

上記事情に鑑み、本開示は、より高集積化が可能な電子装置を提供することを一の課題とする。

20

【課題を解決するための手段】

【 0 0 0 6 】

本開示によって提供される電子装置は、厚さ方向の一方を向く基板主面を有する絶縁基板と、前記基板主面上に形成され、導電性材料からなる配線部と、前記基板主面上に配置されたリードフレームと、前記リードフレームに導通する第 1 半導体素子および第 2 半導体素子と、前記配線部に導通し、かつ、前記第 1 半導体素子を第 1 上アームとして動作させつつ、前記第 2 半導体素子を第 1 下アームとして動作させる第 1 制御部と、を備えている。前記リードフレームは、前記第 1 半導体素子が接合された第 1 パッド部、および、前記第 2 半導体素子が接合された第 2 パッド部を含む。前記第 1 パッド部と前記第 2 パッド部とは、前記配線部から離間し、かつ、前記厚さ方向に直交する第 1 方向に第 1 の離隔領域を隔てて配置されている。前記第 1 制御部は、前記厚さ方向に見て前記リードフレームから離間しており、かつ、前記厚さ方向および前記第 1 方向に直交する第 2 方向に見て、前記第 1 の離隔領域に重なる。

30

【発明の効果】

【 0 0 0 7 】

本開示の電子装置によれば、より高集積化が可能となる。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】第 1 実施形態にかかる電子装置を示す斜視図である。

40

【図 2】第 1 実施形態にかかる電子装置を示す平面図である。

【図 3】図 2 の平面図において、樹脂部材を想像線で示した図である。

【図 4】第 1 実施形態にかかる電子装置を示す底面図である。

【図 5】第 1 実施形態にかかる電子装置を示す側面図 (左側面図) である。

【図 6】図 3 の V I - V I 線に沿う断面図である。

【図 7】図 3 の V I I - V I I 線に沿う断面図である。

【図 8】図 3 の V I I I - V I I I 線に沿う断面図である。

【図 9】第 1 実施形態にかかる電子装置の回路図の一例である。

【図 1 0】第 1 実施形態の変形例にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

50

【図 1 1】第 1 実施形態の変形例にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

【図 1 2】第 2 実施形態にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

【図 1 3】第 2 実施形態にかかる電子装置の回路図の一例である。

【図 1 4】第 3 実施形態にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

【図 1 5】図 1 4 の X V - X V 線に沿う断面図である。

【図 1 6】第 3 実施形態にかかる電子装置の回路図の一例である。

【図 1 7】第 4 実施形態にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

【図 1 8】第 4 実施形態にかかる電子装置の回路図の一例である。

【図 1 9】第 5 実施形態にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

【図 2 0】第 5 実施形態にかかる電子装置の回路図の一例である。

【図 2 1】第 6 実施形態にかかる電子装置を示す平面図であって、樹脂部材を想像線で示した図である。

【図 2 2】第 6 実施形態にかかる電子装置の回路図の一例である。

【発明を実施するための形態】

【0009】

本開示の電子装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下の説明において、同一あるいは類似の構成要素については、同じ符号を付して、重複する説明を省略する。本開示における「第 1」、「第 2」、「第 3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

【0010】

図 1 ~ 図 9 は、第 1 実施形態にかかる電子装置 A 1 を示している。電子装置 A 1 は、絶縁基板 1、配線部 2、2 つの半導体素子 3 1、3 2、制御部 4 1、複数の受動素子 5、リードフレーム 6、複数の接続部材 7 1 ~ 7 4 および樹脂部材 8 を備えている。制御部 4 1 は、2 つの制御素子 4 a、4 b を含む。リードフレーム 6 は、複数のリード 6 1 ~ 6 4、6 9、6 0 を含んでいる。電子装置 A 1 は、たとえば、I P M (Intelligent Power Module) であり、エアコンディショナーやモータ制御機器などの用途に用いられる。電子装置 A 1 は、I P M に限定されない。

【0011】

図 1 は、電子装置 A 1 を示す斜視図である。図 2 は、電子装置 A 1 を示す平面図である。図 3 は、図 2 の平面図において、樹脂部材 8 を想像線 (二点鎖線) で示した図である。図 4 は、電子装置 A 1 を示す底面図である。図 5 は、電子装置 A 1 を示す側面図 (左側面図) である。図 6 は、図 3 の V I - V I 線に沿う断面図である。図 7 は、図 3 の V I I - V I I 線に沿う断面図である。図 8 は、図 3 の V I I I - V I I I 線に沿う断面図である。図 8 においては、各接続部材 7 1、7 2 を省略している。図 9 は、電子装置 A 1 の回路構成を示す回路図である。

【0012】

説明の便宜上、図 1 ~ 図 8 において、互いに直交する 3 つの方向を、x 方向、y 方向、z 方向と定義する。z 方向は、電子装置 A 1 の厚さ方向である。x 方向は、電子装置 A 1 の平面図 (図 2、3 参照) における左右方向である。y 方向は、電子装置 A 1 の平面図 (図 2、3 参照) における上下方向である。x 方向の一方を x 1 方向、x 方向の他方を x 2 方向とする。同様に、y 方向の一方を y 1 方向、y 方向の他方を y 2 方向とし、z 方向の一方を z 1 方向、z 方向の他方を z 2 方向とする。以下の説明において、「平面視」とは、z 方向に見たときをいう。x 方向が、「第 1 方向」の一例であり、y 方向が、「第 2 方向」の一例である。

10

20

30

40

50

【 0 0 1 3 】

絶縁基板 1 は、板状である。絶縁基板 1 の平面視形状は、特に限定されないが、たとえば x 方向に長い矩形形状である。絶縁基板 1 の厚さ (z 方向の寸法) は、特に限定されないが、たとえば 0 . 1 mm 以上 1 . 0 mm 以下である。絶縁基板 1 は、絶縁性の材料からなる。絶縁基板 1 の材料としては、たとえば樹脂部材 8 よりも熱伝導率が高い材料が好ましい。絶縁基板 1 の材料としては、たとえばアルミナ (Al_2O_3)、窒化ケイ素 (SiN)、窒化アルミ (AlN)、ジルコニア入りアルミナなどのセラミックが採用される。

【 0 0 1 4 】

絶縁基板 1 は、図 6 ~ 8 に示すように、基板主面 1 1 および基板裏面 1 2 を有する。基板主面 1 1 および基板裏面 1 2 は、 z 方向に離間する。基板主面 1 1 は、 z 2 方向を向き、基板裏面 1 2 は、 z 1 方向を向く。基板主面 1 1 および基板裏面 1 2 はそれぞれ、 z 方向に直交する平坦面である。基板主面 1 1 には、配線部 2 が形成されており、かつ、リードフレーム 6 および複数の電子部品が搭載されている。複数の電子部品には、2 つの半導体素子 3 1 , 3 2 および制御部 4 1 (制御素子 4 a , 4 b) が含まれている。基板裏面 1 2 は、樹脂部材 8 から露出する。基板裏面 1 2 が、樹脂部材 8 に覆われていてもよい。

【 0 0 1 5 】

配線部 2 は、図 3 に示すように、基板主面 1 1 上に形成されている。配線部 2 は、導電性材料からなる。配線部 2 の構成材料は、たとえば銀 (Ag) あるいは Ag 合金 (たとえば $Ag - Pt$ や $AgPd$ など) が採用される。当該構成材料は、 Ag または Ag 合金の代わりに、銅 (Cu) あるいは Cu 合金、または、金 (Au) あるいは Au 合金などを採用してもよい。配線部 2 は、上記構成材料を含むペースト材を印刷した後、当該ペースト材を焼成することによって形成される。配線部 2 の形成方法は、これに限定されず、用いる構成材料に応じて、適宜変更されうる。配線部 2 は、制御部 4 1 への導通経路である。配線部 2 には、各半導体素子 3 1 , 3 2 を制御するための各種制御信号が流れる。この制御信号は、駆動信号や検出信号などを含む。駆動信号は、各半導体素子 3 1 , 3 2 の駆動を制御するための信号である。検出信号は、各半導体素子 3 1 , 3 2 の動作状態 (たとえば電圧値や電流値など) を検出するための信号である。また、配線部 2 には、制御部 4 1 の動作電力が伝達される。

【 0 0 1 6 】

配線部 2 は、図 3 に示すように、複数のパッド部 2 1 および複数の接続配線 2 2 を含む。複数のパッド部 2 1 の各平面視形状は、特に限定されないが、たとえば矩形形状である。各パッド部 2 1 の平面視形状は、円形状、楕円状、あるいは、多角形状などであってもよい。複数のパッド部 2 1 は、互いに離間している。複数のパッド部 2 1 は、他の構成部品が適直接合される部分である。電子装置 A 1 では、複数のパッド部 2 1 には、制御部 4 1 (制御素子 4 a , 4 b)、複数の受動素子 5、複数のリード 6 9 , 6 0 および複数の接続部材 7 1 , 7 3 , 7 4 が接合されている。複数の接続配線 2 2 は、電子装置 A 1 の導通経路がたとえば図 9 に示す回路構成となるように、複数のパッド部 2 1 間を接続する。配線部 2 において、複数のパッド部 2 1 および複数の接続配線 2 2 の各配置および各形状は、図示された例に限定されない。

【 0 0 1 7 】

2 つの半導体素子 3 1 , 3 2 はそれぞれ、たとえば電力を制御するパワートランジスタである。各半導体素子 3 1 , 3 2 は、たとえば SiC (炭化シリコン) 基板からなる $MOSFET$ (Metal-Oxide-Semiconductor Field-Effect Transistor) である。なお、各半導体素子 3 1 , 3 2 は、 SiC 基板に変えて Si 基板からなる $MOSFET$ であってもよく、たとえば $IGBT$ 素子を含んでいてもよい。また、 GaN (窒化ガリウム) を含む $MOSFET$ であってもよい。図 3 および図 8 に示すように、半導体素子 3 1 は、リード 6 1 (後述のパッド部 6 1 1) の上に配置され、半導体素子 3 2 は、リード 6 2 (後述のパッド部 6 2 1) の上に配置されている。各半導体素子 3 1 , 3 2 は、図 3 に示すように、平面視において、絶縁基板 1 およびリードフレーム 6 に重なるが、配線部 2 から離間している。2 つの半導体素子 3 1 , 3 2 は、 x 方向に並んでいる。半導体素子 3 1 が、「第

10

20

30

40

50

「第1半導体素子」の一例であり、半導体素子32が、「第2半導体素子」の一例である。

【0018】

半導体素子31は、図6および図8に示すように、素子主面31a（第1素子主面）および素子裏面31b（第1素子裏面）を有する。素子主面31aおよび素子裏面31bは、z方向に離間している。素子主面31aは、z2方向を向き、素子裏面31bは、z1方向を向く。素子主面31aおよび素子裏面31bはそれぞれ、平坦である。素子主面31aおよび素子裏面31bは、z方向に略直交する。

【0019】

半導体素子31は、図3、図6および図8に示すように、制御電極311（第1制御電極）、主面電極312（第1主面電極）および裏面電極313（第1裏面電極）を有する。制御電極311および主面電極312はそれぞれ、素子主面31aに形成されている。制御電極311と主面電極312とは、互いに離間し、絶縁されている。図3に示すように、平面視において、主面電極312は、制御電極311よりも大きい。制御電極311には、接続部材71が接合されている。主面電極312には、複数の接続部材72が接合されている。裏面電極313は、素子裏面31bに形成されている。裏面電極313は、素子裏面31bの略全面に広がる。裏面電極313は、リード61（後述のパッド部61）に接合されている。半導体素子31がMOSFETで構成された例において、制御電極311は、たとえばゲート電極であり、主面電極312は、たとえばソース電極であり、裏面電極313は、たとえばドレイン電極である。

【0020】

半導体素子32は、図7および図8に示すように、素子主面32a（第2素子主面）および素子裏面32b（第2素子裏面）を有する。素子主面32aおよび素子裏面32bは、z方向に離間している。素子主面32aは、z2方向を向き、素子裏面32bは、z1方向を向く。素子主面32aおよび素子裏面32bはそれぞれ、平坦である。素子主面32aおよび素子裏面32bは、z方向に略直交する。

【0021】

半導体素子32は、図3、図7および図8に示すように、制御電極321（第2制御電極）、主面電極322（第2主面電極）および裏面電極323（第2裏面電極）を有する。制御電極321および主面電極322はそれぞれ、素子主面32aに形成されている。制御電極321と主面電極322とは、互いに離間し、絶縁されている。図3に示すように、平面視において、主面電極322は、制御電極321よりも大きい。制御電極321には、接続部材71が接合されている。主面電極322には、複数の接続部材72が接合されている。裏面電極323は、素子裏面32bに形成されている。裏面電極323は、素子裏面32bの略全面に広がる。裏面電極323は、リード62（後述のパッド部62）に接合されている。半導体素子32がMOSFETで構成された例において、制御電極321は、たとえばゲート電極であり、主面電極322は、たとえばソース電極であり、裏面電極323は、たとえばドレイン電極である。

【0022】

半導体素子31は、制御部41（制御素子4a）から制御電極311（ゲート電極）に第1駆動信号が入力され、入力された第1駆動信号に応じて導通状態と遮断状態とが切り替わる。この導通状態と遮断状態とが切り替わる動作をスイッチング動作という。半導体素子31が導通状態のとき、裏面電極313（ドレイン電極）から主面電極312（ソース電極）に電流が流れ、半導体素子31が遮断状態のとき、この電流が流れない。

【0023】

半導体素子32は、制御部41（制御素子4b）から制御電極321（ゲート電極）に第2駆動信号が入力され、入力された第2駆動信号に応じて導通状態と遮断状態とが切り替わる。半導体素子32が導通状態のとき、裏面電極323（ドレイン電極）から主面電極322（ソース電極）に電流が流れ、半導体素子32が遮断状態のとき、この電流が流れない。

【0024】

10

20

30

40

50

2つの保護素子39A, 39Bはそれぞれ、各半導体素子31, 32に逆電圧が印加されることを防ぐためのものである。保護素子39Aは、図3および図6に示すように、半導体素子31とともにリード61(後述のパッド部611)上に配置される。保護素子39Bは、図3に示すように、半導体素子32とともにリード62(後述のパッド部621)上に配置されている。図9に示すように、各保護素子39A, 39Bとしては、たとえばダイオードが採用される。図9に示すように、保護素子39Aは、半導体素子31と逆並列に接続され、保護素子39Bは、半導体素子32と逆並列に接続されている。

【0025】

2つの保護素子39A, 39Bはそれぞれ、図6に示すように、主面電極391および裏面電極392を含む。主面電極391は、各保護素子39A, 39Bの主面(z2方向を向く面)に形成されている。裏面電極392は、各保護素子39A, 39Bの裏面(z1方向を向く面)に形成されている。各保護素子39A, 39Bにおいて、主面電極391には、複数の接続部材72が接合されている。保護素子39Aの主面電極391と半導体素子31の主面電極312とは、複数の接続部材72を介して、導通する。また、保護素子39Bの主面電極391と半導体素子32の主面電極322とは、複数の接続部材72を介して、導通する。保護素子39Aの裏面電極392は、リード61に接合されており、リード61を介して、半導体素子31の裏面電極313に導通する。また、保護素子39Bの裏面電極392は、リード62に接合されており、リード62を介して、半導体素子32の裏面電極323に導通する。各保護素子39A, 39Bがダイオードで構成された例において、主面電極391はアノード電極であり、裏面電極392はカソード電極である。電子装置A1は、2つの保護素子39A, 39Bを備えていなくてもよい。

【0026】

制御部41は、各半導体素子31, 32の駆動を制御する。制御部41は、半導体素子31を上アーム(第1上アーム)として動作させ、半導体素子32を下アーム(第1下アーム)として動作させる。制御部41は、基板主面11上に配置されている。図3に示すように、制御部41は、平面視において、リードフレーム6に重ならず、リードフレーム6から離間している。制御部41は、制御素子4a(第1制御素子)および制御素子4b(第2制御素子)を含む。制御部41が、「第1制御部」の一例である。

【0027】

制御素子4aは、半導体素子31の駆動を制御する。具体的には、制御素子4aは、半導体素子31の制御電極311(ゲート電極)に第1駆動信号(たとえばゲート電圧)を入力することで、半導体素子31のスイッチング動作を制御する。制御素子4aは、半導体素子31を上アームとして動作させる第1駆動信号を生成する。本実施形態では、制御素子4aは、樹脂パッケージ401および複数の接続端子402とともに、制御装置40を構成している。制御装置40は、たとえばSOP(Small Outline Package)タイプのパッケージである。制御装置40のパッケージタイプは、SOPタイプに限定されず、例えばQFP(Quad Flat Package)タイプ、SOJ(Small Outline J-lead Package)タイプ、QFN(Quad Flatpack No Lead)タイプ、SON(Small-Outline No Lead)タイプ等の他のタイプのパッケージであってもよい。樹脂パッケージ401は、たとえばエポキシ樹脂からなり、制御素子4aを覆う。複数の接続端子402は、樹脂パッケージ401から突き出ており、樹脂パッケージ401の内方において制御素子4aに導通する。制御素子4aは、各接続端子402が、図示しない導電性接合材(たとえばはんだ、金属ペーストあるいは焼結金属など)を介して、各パッド部21(配線部2)に導通接合されている。制御素子4aは、配線部2および接続部材71を介して、半導体素子31の制御電極311に導通する。よって、制御素子4aから出力される駆動信号は、配線部2および接続部材71を介して、半導体素子31の制御電極311に入力される。

【0028】

制御素子4bは、半導体素子32の駆動を制御する。具体的には、制御素子4bは、半導体素子32の制御電極321(ゲート電極)に第2駆動信号(たとえばゲート電圧)を入力することで、半導体素子32のスイッチング動作を制御する。制御素子4bは、半導

体素子 3 2 を下アームとして動作させる第 2 駆動信号を生成する。制御素子 4 b には、複数の接続部材 7 3 のそれぞれが接合されている。制御素子 4 b は、接続部材 7 3、配線部 2 および接続部材 7 1 を介して、半導体素子 3 2 の制御電極 3 2 1 に導通する。よって、制御素子 4 b から出力される駆動信号は、接続部材 7 3、配線部 2 および接続部材 7 1 を介して、半導体素子 3 2 の制御電極 3 2 1 に入力される。

【0029】

複数の受動素子 5 はそれぞれ、図 3 に示すように、絶縁基板 1 の基板主面 1 1 上に配置されている。各受動素子 5 は、各パッド部 2 1 (配線部 2) に接合され、配線部 2 に導通する。複数の受動素子 5 は、たとえば、抵抗器、コンデンサ、コイル、ダイオードなどである。複数の受動素子 5 には、たとえば複数のサーミスタ 5 a および複数の抵抗器 5 b などが含まれている。

10

【0030】

複数のサーミスタ 5 a はそれぞれ、配線部 2 の 2 つのパッド部 2 1 に跨って配置されている。各サーミスタ 5 a は、この 2 つのパッド部 2 1 に導通接合されている。各パッド部 2 1 はそれぞれが、配線部 2 を介して、互いに異なる 2 つのリード 6 0 に導通する。各サーミスタ 5 a は、当該 2 つのリード 6 0 の間に電圧が印加されることで、周囲の温度に応じた電流を出力する。

【0031】

複数の抵抗器 5 b はそれぞれ、配線部 2 の 2 つのパッド部 2 1 に跨って配置されている。各抵抗器 5 b は、この 2 つのパッド部 2 1 に導通接合されている。各抵抗器 5 b が接合された 2 つのパッド部 2 1 のうち、一方のパッド部 2 1 は、各制御素子 4 a、4 b に導通し、他方のパッド部 2 1 は、各接続部材 7 1 を介して、各半導体素子 3 1、3 2 の制御電極 3 1 1、3 2 1 に導通する。本実施形態において、各抵抗器 5 b は、たとえばゲート抵抗である。

20

【0032】

リードフレーム 6 は、金属材料を含んで構成されている。リードフレーム 6 は、絶縁基板 1 よりも熱伝導率が高い。リードフレーム 6 の各構成材料は、たとえば銅 (Cu)、アルミニウム、鉄 (Fe)、無酸素銅、またはこれらの合金 (たとえば、Cu-Sn 合金、Cu-Zr 合金、Cu-Fe 合金等) が採用される。リードフレーム 6 の各表面には、適宜ニッケルめっきが施されていてもよい。リードフレーム 6 は、たとえば、金型を金属板に押し付けるプレス加工により形成されていてもよいし、金属板をエッチングすることにより形成されてもよい。リードフレーム 6 の各厚さ (z 方向の寸法) は特に限定されないが、配線部 2 の厚さ (z 方向の寸法) よりも大きい。リードフレーム 6 の各厚さは、たとえば 0.4 mm 以上 0.8 mm 以下である。リードフレーム 6 はそれぞれ、互いに離間している。図 3 に示すように、リードフレーム 6 は、複数のリード 6 1 ~ 6 4、6 9、6 0 を含んでいる。複数のリード 6 1 ~ 6 4、6 9、6 0 はそれぞれ、樹脂部材 8 に覆われた部分と、樹脂部材 8 から露出する部分とを含む。

30

【0033】

2 つのリード 6 1、6 2 はそれぞれ、樹脂部材 8 により支持されるとともに、絶縁基板 1 により支持される。リード 6 1 は、図 3 に示すように、パッド部 6 1 1 および端子部 6 1 2 を含む。パッド部 6 1 1 と端子部 6 1 2 とは繋がっている。リード 6 2 は、図 3 に示すように、パッド部 6 2 1 および端子部 6 2 2 を含む。パッド部 6 2 1 と端子部 6 2 2 とは繋がっている。リード 6 1 が、「第 1 リード」の一例であり、リード 6 2 が、「第 2 リード」の一例である。

40

【0034】

各パッド部 6 1 1、6 2 1 は、樹脂部材 8 に覆われている。各パッド部 6 1 1、6 2 1 は、絶縁基板 1 の基板主面 1 1 上に配置されており、平面視において、絶縁基板 1 に重なる。各パッド部 6 1 1、6 2 1 は、たとえば平面視矩形形状である。各パッド部 6 1 1、6 2 1 は、図示しない接合材により、基板主面 1 1 に接合されている。各パッド部 6 1 1、6 2 1 と絶縁基板 1 との接合強度を高めるために、各パッド部 6 1 1、6 2 1 が接合され

50

る基板主面 1 1 上に金属層を設けてもよい。当該金属層は、配線部 2 と同じ材料にすることで、配線部 2 の形成とともに、当該金属層も一括して形成できる。

【 0 0 3 5 】

パッド部 6 1 1 には、半導体素子 3 1 および保護素子 3 9 A が搭載されている。パッド部 6 1 1 には、図示しない導電性接合材により、半導体素子 3 1 の裏面電極 3 1 3 (ドレイン電極) および保護素子 3 9 A の裏面電極 3 9 2 (カソード電極) が接合されている。当該導電性接合材としては、たとえば、はんだ、金属ペースト、あるいは焼結金属などが採用される。これにより、半導体素子 3 1 の裏面電極 3 1 3 と保護素子 3 9 A の裏面電極 3 9 2 とが導通する。半導体素子 3 1 の素子裏面 3 1 b および保護素子 3 9 A の裏面 (z 1 方向を向く面) は、パッド部 6 1 1 に対向している。パッド部 6 1 1 が、「第 1 パッド部」の一例である。

10

【 0 0 3 6 】

パッド部 6 2 1 には、半導体素子 3 2 および保護素子 3 9 B が搭載されている。パッド部 6 2 1 には、図示しない導電性接合材により、半導体素子 3 2 の裏面電極 3 2 3 (ドレイン電極) および保護素子 3 9 B の裏面電極 3 9 2 (カソード電極) が接合されている。当該導電性接合材としては、たとえば、はんだ、金属ペースト、あるいは焼結金属などが採用される。これにより、半導体素子 3 2 の裏面電極 3 2 3 と保護素子 3 9 B の裏面電極 3 9 2 とが導通する。半導体素子 3 2 の素子裏面 3 2 b および保護素子 3 9 B の裏面 (z 1 方向を向く面) は、パッド部 6 2 1 に対向している。パッド部 6 2 1 が、「第 2 パッド部」の一例である。

20

【 0 0 3 7 】

各端子部 6 1 2 , 6 2 2 は、樹脂部材 8 から露出する。各端子部 6 1 2 , 6 2 2 は、z 2 方向に屈曲している。各端子部 6 1 2 , 6 2 2 は、電子装置 A 1 の外部端子である。パッド部 6 1 1 が半導体素子 3 1 の裏面電極 3 1 3 (ドレイン電極) に導通することから、端子部 6 1 2 には、半導体素子 3 1 のドレイン電流が流れる。また、パッド部 6 2 1 が半導体素子 3 2 の裏面電極 3 2 3 (ドレイン電極) に導通することから、端子部 6 2 2 には、半導体素子 3 2 のドレイン電流が流れる。端子部 6 1 2 が、「第 1 端子部」の一例であり、端子部 6 2 2 が、「第 2 端子部」の一例である。

【 0 0 3 8 】

2 つのリード 6 3 , 6 4 はそれぞれ、樹脂部材 8 により支持される。リード 6 3 は、図 3 に示すように、パッド部 6 3 1 および端子部 6 3 2 を含む。パッド部 6 3 1 と端子部 6 3 2 とは繋がっている。リード 6 4 は、図 3 に示すように、パッド部 6 4 1 および端子部 6 4 2 を含む。パッド部 6 4 1 と端子部 6 4 2 とは繋がっている。リード 6 3 が、「第 3 リード」の一例であり、リード 6 4 が、「第 4 リード」の一例である。

30

【 0 0 3 9 】

各パッド部 6 3 1 , 6 4 1 はそれぞれ、樹脂部材 8 に覆われている。各パッド部 6 3 1 , 6 4 1 は、平面視において、絶縁基板 1 に重ならない。各パッド部 6 3 1 , 6 4 1 には、複数の接続部材 7 2 がそれぞれ接合されている。パッド部 6 3 1 に接合された各接続部材 7 2 は、各半導体素子 3 2 の主面電極 3 2 2 にも接合されている。これにより、パッド部 6 3 1 は、各接続部材 7 2 を介して、半導体素子 3 2 の主面電極 3 2 2 (ソース電極) に導通する。パッド部 6 4 1 に接合された各接続部材 7 2 は、各半導体素子 3 1 の主面電極 3 1 2 にも接合されている。これにより、パッド部 6 4 1 は、各接続部材 7 2 を介して、半導体素子 3 1 の主面電極 3 1 2 (ソース電極) に導通する。

40

【 0 0 4 0 】

各端子部 6 3 2 , 6 4 2 は、樹脂部材 8 から露出する。各端子部 6 3 2 , 6 4 2 は、z 2 方向に屈曲している。各端子部 6 3 2 , 6 4 2 は、電子装置 A 1 の外部端子である。パッド部 6 3 1 が半導体素子 3 2 の主面電極 3 2 2 (ソース電極) に導通することから、端子部 6 3 2 には、半導体素子 3 2 のソース電流が流れる。また、パッド部 6 4 1 が半導体素子 3 1 の主面電極 3 1 2 (ソース電極) に導通することから、端子部 6 4 2 には、半導体素子 3 1 のソース電流が流れる。

50

【 0 0 4 1 】

複数のリード 6 9 はそれぞれ、樹脂部材 8 に支持されるとともに、絶縁基板 1 により支持される。各リード 6 9 は、図 3 に示すように、パッド部 6 9 1 および端子部 6 9 2 を含む。各リード 6 9 において、パッド部 6 9 1 と端子部 6 9 2 とは繋がっている。

【 0 0 4 2 】

各パッド部 6 9 1 は、樹脂部材 8 に覆われている。パッド部 6 9 1 は、絶縁基板 1 の基板主面 1 1 上に配置されており、平面視において、絶縁基板 1 に重なる。各パッド部 6 9 1 は、図示しない導電性接合材により、配線部 2 の各パッド部 2 1 に接合されている。各パッド部 6 9 1 が接合された各パッド部 2 1 は、各接続配線 2 2 を介して、各制御素子 4 a , 4 b (制御部 4 1) に導通する。よって、各パッド部 6 9 1 は、配線部 2 を介して、各制御素子 4 a , 4 b (制御部 4 1) に導通する。

10

【 0 0 4 3 】

各端子部 6 9 2 は、樹脂部材 8 から露出する。各端子部 6 9 2 は、z 2 方向に屈曲している。各端子部 6 9 2 は、電子装置 A 1 の外部端子である。各パッド部 6 9 1 が制御素子 4 a , 4 b (制御部 4 1) に導通することから、端子部 6 9 2 は、制御部 4 1 への各種制御信号の入力端子または制御部 4 1 からの各種制御信号の出力端子、もしくは、各制御素子 4 a , 4 b の動作電力の入力端子である。

【 0 0 4 4 】

複数のリード 6 0 はそれぞれ、樹脂部材 8 に支持されるとともに、絶縁基板 1 により支持される。各リード 6 0 は、各サーミスタ 5 a に導通する。本実施形態では、2 つのサーミスタ 5 a のそれぞれに対して、2 つのリード 6 0 が設けられている。つまり、電子装置 A 1 は、4 つのリード 6 0 を備えている。各リード 6 0 は、図 3 に示すように、パッド部 6 0 1 および端子部 6 0 2 を含む。各リード 6 0 において、パッド部 6 0 1 と端子部 6 0 2 とは導通する。

20

【 0 0 4 5 】

各パッド部 6 0 1 は、樹脂部材 8 に覆われている。各パッド部 6 0 1 は、絶縁基板 1 の基板主面 1 1 上に配置されており、平面視において、絶縁基板 1 に重なる。各パッド部 6 0 1 は、図示しない導電性接合材により、配線部 2 の各パッド部 2 1 に接合されている。各パッド部 6 0 1 が接合された各パッド部 2 1 は、各接続配線 2 2 を介して、2 つのサーミスタ 5 a のいずれかに導通する。よって、各パッド部 6 0 1 は、配線部 2 を介して、各サーミスタ 5 a に導通する。

30

【 0 0 4 6 】

各端子部 6 0 2 は、樹脂部材 8 から露出する。各端子部 6 0 2 は、z 2 方向に屈曲している。各端子部 6 0 2 は、x 方向に見て、各端子部 6 9 2 に重なる。各端子部 6 0 2 は、電子装置 A 1 の外部端子である。各パッド部 6 0 1 がサーミスタ 5 a に導通することから、各端子部 6 0 2 は、温度検出端子である。

【 0 0 4 7 】

リードフレーム 6 では、パッド部 6 1 1 とパッド部 6 2 1 とは、x 方向に第 1 の離隔領域 S 1 を隔てて配置されている。なお、本開示において、「領域」とは、3 次元の広がりを含む概念であり、その広がりには物体が存在か否かは限定されない。制御部 4 1 は、この第 1 の離隔領域 S 1 に配置されている。このため、制御部 4 1 は、図 8 に示すように、y 方向に見て、そのすべてが第 1 の離隔領域 S 1 に重なる。また、制御部 4 1 は、図 3 に示すように、x 方向に見て、そのすべてが第 1 の離隔領域 S 1 に重なる。本実施形態では、第 1 の離隔領域 S 1 には、リードフレーム 6 が存在しない。本実施形態では、一部の受動素子 5 も、第 1 の離隔領域 S 1 に配置されている。

40

【 0 0 4 8 】

複数の接続部材 7 1 ~ 7 4 はそれぞれ、互いに離間する 2 つの部材を導通させる。複数の接続部材 7 1 ~ 7 4 はそれぞれ、ボンディングワイヤである。複数の接続部材 7 1 ~ 7 4 はそれぞれ、適宜、ボンディングワイヤの代わりに、板状のリード部材を用いてもよい。

【 0 0 4 9 】

50

複数の接続部材 7 1 はそれぞれ、図 3 に示すように、各半導体素子 3 1 , 3 2 の各制御電極 3 1 1 , 3 2 1 (ゲート電極) と各パッド部 2 1 とに接合され、各制御電極 3 1 1 , 3 2 1 と各パッド部 2 1 とを導通させる。各接続部材 7 1 が接合された各パッド部 2 1 は、各接続配線 2 2 を介して、2 つの制御素子 4 a , 4 b のいずれか (制御部 4 1) に導通する。各接続部材 7 1 の構成材料としては、たとえば A u が採用されるが、C u や A l を採用してもよい。接続部材 7 1 の線径および本数は、図 3 に示す例に限定されない。

【 0 0 5 0 】

複数の接続部材 7 2 はそれぞれ、図 3 に示すように、各半導体素子 3 1 , 3 2 の主面電極 3 1 2 , 3 2 2 (ソース電極) と、各リード 6 4 , 6 4 のパッド部 6 4 1 , 6 3 1 に接合され、各主面電極 3 1 2 , 3 2 2 と各パッド部 6 4 1 , 6 3 1 とを導通させる。複数の接続部材 7 2 のうち、半導体素子 3 1 の主面電極 3 1 2 とリード 6 4 のパッド部 6 4 1 とに接合されたものは、図 3 および図 6 に示すように、その中間部分において、保護素子 3 9 A の主面電極 3 9 1 にも接合されている。これにより、半導体素子 3 1 の主面電極 3 1 2 (ソース電極) と保護素子 3 9 A の主面電極 3 9 1 (アノード電極) とが導通する。また、複数の接続部材 7 2 のうち、半導体素子 3 2 の主面電極 3 2 2 とリード 6 3 のパッド部 6 3 1 とに接合されたものは、図 3 に示すように、その中間部分において、保護素子 3 9 B の主面電極 3 9 1 にも接合されている。これにより、半導体素子 3 2 の主面電極 3 2 2 (ソース電極) と保護素子 3 9 B の主面電極 3 9 1 (アノード電極) とが導通する。各接続部材 7 2 の構成材料としては、たとえば A l や C u が採用されるが、A u を採用してもよい。複数の接続部材 7 2 の線径および本数は、図 3 に示す例に限定されない。

【 0 0 5 1 】

図 3 および図 6 に示す例では、主面電極 3 1 2 (半導体素子 3 1) と主面電極 3 9 1 (保護素子 3 9 A) とパッド部 6 4 1 (リード 6 4) とが、接続部材 7 2 により、互いに導通しているが、これに限定されない。たとえば、当該接続部材 7 2 の代わりに、主面電極 3 1 2 と保護素子 3 9 A の主面電極 3 9 1 とを導通させるワイヤと、保護素子 3 9 A の主面電極 3 9 1 とパッド部 6 4 1 とを導通させるワイヤとを別々に設けてもよい。また、当該接続部材 7 2 の代わりに、主面電極 3 1 2 とパッド部 6 4 1 とを導通させるワイヤと、主面電極 3 1 2 と保護素子 3 9 A の主面電極 3 9 1 とを導通させるワイヤとを別々に設けてもよい。主面電極 3 2 2 (半導体素子 3 2) と主面電極 3 9 1 (保護素子 3 9 B) とパッド部 6 3 1 (リード 6 3) とを導通する接続部材 7 2 においても同様である。

【 0 0 5 2 】

複数の接続部材 7 3 はそれぞれ、図 3 に示すように、制御素子 4 a と配線部 2 の各パッド部 2 1 とに接合され、制御素子 4 a と配線部 2 とを導通させる。各接続部材 7 3 の構成材料としては、たとえば A u が採用されるが、C u や A l を採用してもよい。複数の接続部材 7 3 の線径および本数は、図 3 に示す例に限定されない。

【 0 0 5 3 】

接続部材 7 4 は、半導体素子 3 2 の主面電極 3 2 2 とパッド部 2 1 とに接合され、主面電極 3 2 2 とパッド部 2 1 とを導通させる。これにより、配線部 2 には、半導体素子 3 2 の主面電極 3 2 2 に流れる電流 (たとえばソース電流) を検出するための検出信号が伝送される。接続部材 7 4 の構成材料としては、たとえば A u が採用されるが、C u や A l を採用してもよい。接続部材 7 4 の線径および本数は、図 3 に示す例に限定されない。図示された例とは異なり、半導体素子 3 1 の主面電極 3 1 2 とパッド部 2 1 とに接合された接続部材 7 4 をさらに備えていてもよい。

【 0 0 5 4 】

樹脂部材 8 は、絶縁基板 1 (基板裏面 1 2 を除く)、配線部 2、2 つの半導体素子 3 1 , 3 2、制御部 4 1、複数の受動素子 5、リードフレーム 6 の一部、および、複数の接続部材 7 1 ~ 7 4 を覆っている。樹脂部材 8 の構成材料としては、たとえばエポキシ樹脂、シリコーンゲルなどの絶縁材料が採用される。樹脂部材 8 は、たとえばモールド成形により形成される。

【 0 0 5 5 】

10

20

30

40

50

樹脂部材 8 は、図 1 ~ 図 8 に示すように、樹脂主面 8 1、樹脂裏面 8 2 および複数の樹脂側面 8 3 1 ~ 8 3 4 を有する。樹脂主面 8 1 および樹脂裏面 8 2 は、図 6 ~ 図 8 に示すように、z 方向に離間している。樹脂主面 8 1 は、z 2 方向を向き、樹脂裏面 8 2 は、z 1 方向を向く。樹脂主面 8 1 および樹脂裏面 8 2 はそれぞれ z 方向に直交する平坦面である。樹脂裏面 8 2 からは、基板裏面 1 2 が露出している。本実施形態では、図 6 ~ 図 8 に示すように、基板裏面 1 2 と樹脂裏面 8 2 とは、面一であるが、面一でなくてもよい。複数の樹脂側面 8 3 1 ~ 8 3 4 はそれぞれ、樹脂主面 8 1 および樹脂裏面 8 2 に繋がる。図 2 および図 3 に示すように、2 つの樹脂側面 8 3 1, 8 3 2 は、x 方向に離間している。樹脂側面 8 3 1 は、x 1 方向を向き、樹脂側面 8 3 2 は、x 2 方向を向く。図 2 および図 3 に示すように、2 つの樹脂側面 8 3 3, 8 3 4 は、y 方向に離間している。樹脂側面 8 3 3 は、y 1 方向を向き、樹脂側面 8 3 4 は、y 2 方向を向く。図示された例では、各樹脂側面 8 3 1 ~ 8 3 4 は、z 方向の中央部分が屈曲した面で構成されているが、屈曲していない平坦面であってもよい。

10

【0056】

電子装置 A 1 では、複数のリード 6 1 ~ 6 4 はそれぞれ、樹脂側面 8 3 3 から突き出ており、複数のリード 6 9 はそれぞれ、樹脂側面 8 3 4 から突き出ている。よって、各半導体素子 3 1, 3 2 に導通する電力用の端子と、制御部 4 1 (各制御素子 4 a, 4 b) に導通する制御信号用の端子とは、互いに反対側の側面から突き出ている。

【0057】

電子装置 A 1 の作用および効果は、次の通りである。

20

【0058】

電子装置 A 1 は、絶縁基板 1 と基板主面 1 1 上に形成された配線部 2 を備えている。配線部 2 は、半導体素子 3 1, 3 2 を制御するための制御信号 (たとえば第 1 駆動信号や第 2 駆動信号) を伝送しており、当該制御信号の伝達経路を構成する。たとえば、各半導体素子 3 1, 3 2 の駆動を制御するための駆動信号は、制御部 4 1 (制御素子 4 a, 4 b) から出力され、配線部 2 および各接続部材 7 1 を介して、各制御電極 3 1 1, 3 2 1 に入力される。配線部 2 は、たとえば、銀ペーストを印刷した後に、これを焼成することにより形成されている。この構成によると、たとえば金属製のリードフレームによって制御信号の伝達経路を構成する場合と比べて、当該伝達経路の細線化や高密度化を図ることが可能である。したがって、電子装置 A 1 は、高集積化が可能となる。

30

【0059】

電子装置 A 1 では、半導体素子 3 1 が接合されたパッド部 6 1 1 と、半導体素子 3 2 が接合されたパッド部 6 2 1 とは、x 方向において、第 1 の離隔領域 S 1 を隔てて配置されている。そして、各半導体素子 3 1, 3 2 を制御する制御部 4 1 は、y 方向に見て、第 1 の離隔領域 S 1 に重なる。この構成によると、制御部 4 1 から半導体素子 3 1 までの距離と、制御部 4 1 から半導体素子 3 2 までの距離との差を小さくすることが可能となる。これにより、制御部 4 1 (制御素子 4 a) から半導体素子 3 1 (制御電極 3 1 1) に入力される第 1 駆動信号と、制御部 4 1 (制御素子 4 b) から半導体素子 3 2 (制御電極 3 2 1) に入力される第 2 駆動信号との伝達時間の差を小さくすることが可能となる。

【0060】

40

電子装置 A 1 では、半導体素子 3 1 は、パッド部 6 1 1 に接合されており、半導体素子 3 1 の裏面電極 3 1 3 とリード 6 1 とが導通する。また、半導体素子 3 1 の主面電極 3 1 2 は、複数の接続部材 7 2 を介して、リード 6 4 に導通する。同様に、半導体素子 3 2 は、パッド部 6 2 1 に接合されており、半導体素子 3 2 の裏面電極 3 2 3 とリード 6 2 とが導通する。また、半導体素子 3 2 の主面電極 3 2 2 は、複数の接続部材 7 2 を介して、リード 6 3 に導通する。この構成によれば、各半導体素子 3 1, 3 2 への比較的大きな電流が流れるの経路を、複数のリード 6 1 ~ 6 4 (リードフレーム 6) により構成される。これにより、各半導体素子 3 1, 3 2 への電流経路を配線部 2 で構成した場合よりも、当該電流経路における許容電流を高めることができる。つまり、電子装置 A 1 は、各半導体素子 3 1, 3 2 への許容電流を確保しつつ、高集積化が可能となる。

50

【 0 0 6 1 】

電子装置 A 1 では、リードフレーム 6 (リード 6 1 , 6 2) は、絶縁基板 1 よりも熱伝導率が高い。これにより、絶縁基板 1 の採用によって低下しうる各半導体素子 3 1 , 3 2 からの放熱の低下を抑制できる。特に、各半導体素子 3 1 , 3 2 は、各リード 6 1 , 6 2 のパッド部 6 1 1 , 6 2 1 上に搭載されていることから、各半導体素子 3 1 , 3 2 からの熱を各リード 6 1 , 6 2 へとより効率よく伝達できる。また、各リード 6 1 , 6 2 が樹脂部材 8 から露出していることにより、外部から各半導体素子 3 1 , 3 2 への導通経路を構成するとともに、各半導体素子 3 1 , 3 2 の放熱特性をより確保できる。さらに、絶縁基板 1 の基板裏面 1 2 は、樹脂部材 8 (樹脂裏面 8 2) から露出していることにより、各半導体素子 3 1 , 3 2 から絶縁基板 1 に伝わった熱を、より効率よく外部に放熱できる。

10

【 0 0 6 2 】

電子装置 A 1 では、制御素子 4 a が樹脂パッケージ 4 0 1 によって覆われ、制御装置 4 0 を構成している。制御装置 4 0 に代えて、制御素子 4 a を用いる場合、制御素子 4 a のままでは出荷検査に必要な高電圧高電流を流すことができないので、樹脂部材 8 によって覆われた完成品になるまで出荷検査を行うことができない。この場合、出荷検査で不良品と判定されると、制御素子 4 a 以外の部品が正常であっても、完成品全体を廃棄することになる。一方、制御装置 4 0 は、制御素子 4 a が樹脂パッケージ 4 0 1 によって覆われているので、出荷検査に必要な高電圧高電流を流すことができる。したがって、実装する前に制御装置 4 0 の検査を行って、不良品だけを廃棄できる。つまり、電子装置 A 1 は、良品の制御装置 4 0 だけを用いて製造できるので、正常な部品が無駄になることを抑制できる。また、制御素子 4 a を制御装置 4 0 として構成することで、基板主面 1 1 のうち平面視において制御装置 4 0 の重なる領域にも、配線部 2 を形成できる (図 3 参照) 。

20

【 0 0 6 3 】

第 1 実施形態では、制御部 4 1 (2 つの制御素子 4 a , 4 b) は、x 方向に見て、そのすべてが第 1 の離隔領域 S 1 に重なる場合を示したが、これに限定されない。たとえば、図 1 0 に示すように、x 方向に見て、制御部 4 1 の一部が第 1 の離隔領域 S 1 に重なっていてもよい。また、x 方向に見て、制御部 4 1 が第 1 の離隔領域 S 1 に重なっていなくてもよい。これらの変形例においては、制御部 4 1 が、次のように配置されるとよい。それは、制御部 4 1 が、図 1 0 に示すように、y 方向において、第 1 の離隔領域 S 1 よりも各リード 6 9 が配置される側に、寄っているとよい。

30

【 0 0 6 4 】

第 1 実施形態では、制御部 4 1 が 2 つの制御素子 4 a , 4 b を含み、各制御素子 4 a , 4 b によって各半導体素子 3 1 , 3 2 の駆動が制御される例を示したが、これに限定されない。たとえば、図 1 1 に示すように、1 つの制御素子 4 c によって、2 つの半導体素子 3 1 , 3 2 の各駆動が制御されてもよい。図 1 1 は、このような変形例にかかる電子装置を示す平面図であって、樹脂部材 8 を想像線で示している。制御素子 4 c は、半導体素子 3 1 (制御電極 3 1 1) に第 1 駆動信号を入力するとともに、半導体素子 3 2 (制御電極 3 2 1) に第 2 駆動信号を入力する。図 1 1 においては、制御素子 4 c は、樹脂パッケージ 4 0 1 に覆われ、制御装置 4 0 として構成されているが、樹脂パッケージ 4 0 1 に覆われていなくてもよい。

40

【 0 0 6 5 】

図 1 2 および図 1 3 は、第 2 実施形態にかかる電子装置 A 2 を示している。図 1 2 は、電子装置 A 2 を示す平面図であって、樹脂部材 8 を想像線で示している。図 1 3 は、電子装置 A 2 の回路構成を示す回路図である。

【 0 0 6 6 】

電子装置 A 2 は、図 1 2 および図 1 3 に示すように、電子装置 A 1 と異なり、2 つの半導体素子 3 1 , 3 2 が樹脂部材 8 の内方において電氣的に接続されている。電子装置 A 2 において、2 つの半導体素子 3 1 , 3 2 は、後述の構成により、図 1 3 に示すように、たとえば直接に接続され、レグを構成する。半導体素子 3 1 は、当該レグの上アーム回路を構成し、半導体素子 3 2 は、当該レグの下アーム回路を構成する。なお、図 1 2 および図

50

13に示す例では、電子装置A2は、2つの保護素子39A, 39Bを備えていないが、電子装置A1と同様に、これらを備えていてもよい。

【0067】

電子装置A2では、図12に示すように、半導体素子31の主面電極312に接合された複数の接続部材72が、リード64ではなく、リード62(後述のパッド部623)に接合されている。これにより、半導体素子31の主面電極312と半導体素子32の裏面電極323とが、複数の接続部材72およびリード62を介して、導通している。

【0068】

電子装置A2において、リードフレーム6のリード62は、パッド部621、端子部622およびパッド部623を含んでいる。つまり、電子装置A2のリード62は、電子装置A1のリード62と比較して、パッド部623をさらに含んでいる。パッド部623は、パッド部621と端子部622とに繋がり、これらの間に位置する。パッド部623には、半導体素子31の主面電極312に接合された複数の接続部材72がそれぞれ接合されている。また、パッド部623には、複数の受動素子5のうちの1つが接合されている。この受動素子5は、たとえばシャント抵抗5cである。シャント抵抗5cは、パッド部623(リード62)とパッド部641(リード64)とに跨って配置されており、パッド部623およびパッド部641に導通接合されている。シャント抵抗5cにより、リード62に流れる電流が分流され、リード64に伝達される。よって、端子部642には、リード62に流れる電流から分流した電流が流れる。

【0069】

電子装置A2において、2つのリード61, 63の間には、たとえば電源電圧が印加される。リード61は、正極(P端子)であり、リード63は、負極(N端子)である。2つのリード61, 63の間に入力された電源電圧は、2つの半導体素子31, 32の各スイッチング動作により、交流電力(電圧)に変換される。そして、当該交流電力は、リード62から出力される。よって、2つのリード61, 63は、上記電源電圧の入力端子であり、リード62は、2つの半導体素子31, 32により電圧変換された交流電力の出力端子である。

【0070】

電子装置A2は、さらに複数の接続部材75を備えている。各接続部材75は、たとえば、他の接続部材71~74と同様にボンディングワイヤである。各接続部材75の構成材料としては、たとえばAuが採用されるが、CuやAlを採用してもよい。各接続部材75は、リード60に導通する配線部2とサーミスタ5aに導通する配線部2とを電氣的に接続する。

【0071】

電子装置A2においても、電子装置A1と同様に、基板主面11上に形成された配線部2を備えている。そして、電子装置A1と同様に、配線部2は、各半導体素子31, 32を制御するための制御信号(たとえば駆動信号)を伝送しており、当該制御信号の伝達経路を構成する。したがって、電子装置A2は、当該伝達経路の細線化や高密度化を図ることが可能であり、高集積化が可能となる。

【0072】

電子装置A2においても、電子装置A1と同様に、半導体素子31が接合されたパッド部611と、半導体素子32が接合されたパッド部621とは、x方向において、第1の離隔領域S1を隔てて配置されている。そして、各半導体素子31, 32を制御する制御部41は、y方向に見て、第1の離隔領域S1に重なる。したがって、電子装置A2は、電子装置A1と同様に、制御部41(制御素子4a)から半導体素子31(制御電極311)に入力される第1駆動信号と、制御部41(制御素子4b)から半導体素子32(制御電極321)に入力される第2駆動信号との伝達時間の差を小さくすることが可能となる。

【0073】

<第3実施形態>

10

20

30

40

50

図14～図16は、第3実施形態にかかる電子装置A3を示している。図14は、電子装置A3を示す平面図であって、樹脂部材8を想像線で示している。図15は、図14のXV-XV線に沿う断面図である。図15においては、各接続部材71, 74を省略している。図16は、電子装置A3の回路構成を示す回路図である。

【0074】

図14～図16に示すように、電子装置A3は、電子装置A1と比較して、主に次の点で異なる。それは、電子装置A3は、4つの半導体素子31～34および2つの制御部41, 42を備えている。また、電子装置A3は、リードフレーム6が複数のリード65～68をさらに含んでいる。

【0075】

2つの半導体素子33, 34はそれぞれ、たとえば、各半導体素子31, 32と同様に電力を制御するパワートランジスタである。各半導体素子33, 34は、たとえば、SiC基板からなるMOSFETである。半導体素子33は、リード65(後述のパッド部651)の上に配置され、半導体素子34は、リード66(後述のパッド部661)の上に配置されている。半導体素子33が、「第3半導体素子」の一例であり、半導体素子34が、「第4半導体素子」の一例である。

【0076】

半導体素子33は、半導体素子31と同様に構成される。半導体素子33は、素子主面33a(第3素子主面)、素子裏面33b(第3素子裏面)、制御電極331(第3制御電極)、主面電極332(第3主面電極)および裏面電極333(第3裏面電極)を有する。素子主面33aは、半導体素子31の素子主面31aと同様に構成され、素子裏面33bは、半導体素子31の素子裏面31bと同様に構成される。また、制御電極331、主面電極332、裏面電極333は、半導体素子31の制御電極311、主面電極312、裏面電極313とそれぞれ同様に構成される。半導体素子33がMOSFETで構成された例において、制御電極331は、たとえばゲート電極であり、主面電極332は、たとえばソース電極であり、裏面電極333は、たとえばドレイン電極である。

【0077】

半導体素子34は、半導体素子32と同様に構成される。半導体素子34は、素子主面34a(第4素子主面)、素子裏面34b(第4素子裏面)、制御電極341(第4制御電極)、主面電極342(第4主面電極)および裏面電極343(第4裏面電極)を有する。素子主面34aは、半導体素子32の素子主面32aと同様に構成され、素子裏面34bは、半導体素子32の素子裏面32bと同様に構成される。また、制御電極341、主面電極342、裏面電極343は、半導体素子32の制御電極321、主面電極322、裏面電極323とそれぞれ同様に構成される。半導体素子34がMOSFETで構成された例において、制御電極341は、たとえばゲート電極であり、主面電極342は、たとえばソース電極であり、裏面電極343は、たとえばドレイン電極である。

【0078】

半導体素子33は、制御部42(後述の制御素子4c)から制御電極331に駆動信号が入力され、入力された駆動信号に応じて導通状態と遮断状態とが切り替わる。半導体素子33が導通状態のとき、裏面電極333(ドレイン電極)から主面電極332(ソース電極)に電流が流れ、半導体素子33が遮断状態のとき、この電流が流れない。半導体素子34も同様に、制御部42(後述の制御素子4c)から制御電極341に駆動信号が入力され、入力された駆動信号に応じて導通状態と遮断状態とが切り替わる。半導体素子34が導通状態のとき、裏面電極343(ドレイン電極)から主面電極342(ソース電極)に電流が流れ、半導体素子34が遮断状態のとき、この電流が流れない。

【0079】

図14および図15に示すように、複数の半導体素子31～34は、x方向において、次の順に並んでいる。それは、x2方向からx1方向に向かって、半導体素子31、半導体素子32、半導体素子33、半導体素子34の順である。複数の半導体素子31～34は、x方向に見て、互いに重なる。

10

20

30

40

50

【0080】

制御部42は、各半導体素子33, 34の駆動を制御する。制御部42は、半導体素子33を上アーム(第2上アーム)として動作させ、半導体素子34を下アーム(第2下アーム)として動作させる。制御部42は、基板主面11上に配置されている。制御部42は、制御部41とx方向に並んでおり、x方向に見て、制御部41に重なる。制御部42は、平面視において、リードフレーム6に重ならず、リードフレーム6から離間している。制御部42が、「第2制御部」の一例である。

【0081】

制御部42は、制御素子4cを含む。制御部42の制御素子4cは、2つの半導体素子33, 34の各駆動を制御する。具体的には、当該制御素子4cは、半導体素子33の制御電極331(ゲート電極)に第3駆動信号(たとえばゲート電圧)を入力することで、半導体素子33のスイッチング動作を制御する。制御部42の制御素子4cは、半導体素子33を上アームとして動作させる第3駆動信号を生成する。また、当該制御素子4cは、半導体素子34の制御電極341(ゲート電極)に第4駆動信号(たとえばゲート電圧)を入力することで、半導体素子34のスイッチング動作を制御する。制御部42の制御素子4cは、半導体素子34を下アームとして動作させる第4駆動信号を生成する。

10

【0082】

電子装置A3のリードフレーム6は、図14に示すように、上述のとおり、複数のリード61~64, 69の他、複数のリード65~68を含んでいる。

【0083】

2つのリード65, 66はそれぞれ、樹脂部材8により支持されるとともに、絶縁基板1により支持される。リード65は、図14に示すように、パッド部651および端子部652を含む。パッド部651と端子部652とは繋がっている。リード66は、図14に示すように、パッド部661および端子部662を含む。パッド部661と端子部662とは繋がっている。

20

【0084】

各パッド部651, 661は、樹脂部材8に覆われている。各パッド部651, 661は、絶縁基板1の基板主面11上に配置されており、平面視において、絶縁基板1に重なる。各パッド部651, 661は、たとえば平面視矩形形状である。各パッド部651, 661は、図示しない接合材により、基板主面11に接合されている。各パッド部651, 661と絶縁基板1との接合強度を高めるために、各パッド部651, 661が接合される基板主面11上に金属層を設けてもよい。当該金属層は、配線部2と同じ材料にすることで、配線部2の形成とともに、当該金属層も一括して形成できる。

30

【0085】

パッド部651には、半導体素子33が搭載されている。パッド部651には、図示しない導電性接合材により、半導体素子33の裏面電極333(ドレイン電極)が導通接合されている。当該導電性接合材としては、たとえば、はんだ、金属ペースト、あるいは焼結金属などが採用される。半導体素子33の素子裏面33bは、パッド部651に対向している。パッド部651が、「第3パッド部」の一例である。

【0086】

パッド部661には、半導体素子34が搭載されている。パッド部661には、図示しない導電性接合材により、半導体素子34の裏面電極343(ドレイン電極)が導通接合されている。当該導電性接合材としては、たとえば、はんだ、金属ペースト、あるいは焼結金属などが採用される。半導体素子34の素子裏面34bは、パッド部661に対向している。パッド部661が、「第4パッド部」の一例である。

40

【0087】

各端子部652, 662は、樹脂部材8から露出する。各端子部652, 662は、z2方向に屈曲している。各端子部652, 662は、電子装置A3の外部端子である。パッド部651が半導体素子33の裏面電極333に導通することから、端子部652には、半導体素子33のドレイン電流が流れる。また、パッド部661が半導体素子34の裏

50

面電極 3 4 3 に導通することから、端子部 6 6 2 には、半導体素子 3 4 のドレイン電流が流れる。

【 0 0 8 8 】

2つのリード 6 7 , 6 8 はそれぞれ、樹脂部材 8 により支持される。リード 6 7 は、図 1 4 に示すように、パッド部 6 7 1 および端子部 6 7 2 を含む。パッド部 6 7 1 と端子部 6 7 2 とは繋がっている。リード 6 8 は、図 1 4 に示すように、パッド部 6 8 1 および端子部 6 8 2 を含む。パッド部 6 8 1 と端子部 6 8 2 とは繋がっている。

【 0 0 8 9 】

各パッド部 6 7 1 , 6 8 1 はそれぞれ、樹脂部材 8 に覆われている。各パッド部 6 7 1 , 6 8 1 は、平面視において、絶縁基板 1 に重ならない。各パッド部 6 7 1 , パッド部 6 8 1 には、複数の接続部材 7 2 がそれぞれ接合されている。パッド部 6 7 1 に接合された各接続部材 7 2 は、各半導体素子 3 4 の主面電極 3 4 2 に接合されている。これにより、パッド部 6 7 1 は、各接続部材 7 2 を介して、半導体素子 3 4 の主面電極 3 4 2 (ソース電極) に導通する。パッド部 6 8 1 に接合された各接続部材 7 2 は、各半導体素子 3 3 の主面電極 3 3 2 に接合されている。これにより、パッド部 6 8 1 は、各接続部材 7 2 を介して、半導体素子 3 3 の主面電極 3 3 2 (ソース電極) に導通する。

【 0 0 9 0 】

各端子部 6 7 2 , 6 8 2 は、樹脂部材 8 から露出する。各端子部 6 7 2 , 6 8 2 は、z 2 方向に屈曲している。各端子部 6 7 2 , 6 8 2 は、電子装置 A 3 の外部端子である。パッド部 6 7 1 が半導体素子 3 4 の主面電極 3 4 2 (ソース電極) に導通することから、端子部 6 7 2 には、半導体素子 3 4 のソース電流が流れる。また、パッド部 6 8 1 が半導体素子 3 3 の主面電極 3 3 2 (ソース電極) に導通することから、端子部 6 8 2 には、半導体素子 3 3 のソース電流が流れる。

【 0 0 9 1 】

図 1 4 および図 1 5 に示すように、電子装置 A 3 のリードフレーム 6 において、複数のパッド部 6 1 1 , 6 2 1 , 6 5 1 , 6 6 1 は、x 方向において、次の順に並んでいる。それは、x 2 方向から x 1 方向に向かって、パッド部 6 1 1 , パッド部 6 2 1 , パッド部 6 5 1 , パッド部 6 6 1 の順である。複数のパッド部 6 1 1 , 6 2 1 , 6 5 1 , 6 6 1 は、x 方向に見て、重なっている。

【 0 0 9 2 】

電子装置 A 3 のリードフレーム 6 は、第 1 実施形態および第 2 実施形態と同様に、パッド部 6 1 1 とパッド部 6 2 1 とが、x 方向に第 1 の離隔領域 S 1 を隔てて配置されている。制御部 4 1 は、y 方向に見て、第 1 の離隔領域 S 1 に重なる。本実施形態では、制御部 4 1 は、x 方向に見て、第 1 の離隔領域 S 1 には重ならず、y 方向において各パッド部 6 1 1 , 6 2 1 よりも、各リード 6 9 が配置される側 (y 2 方向側) に位置する。本実施形態では、第 1 の離隔領域 S 1 には、リードフレーム 6 が存在しない。

【 0 0 9 3 】

電子装置 A 3 のリードフレーム 6 では、パッド部 6 5 1 とパッド部 6 6 1 とは、x 方向に第 2 の離隔領域 S 2 を隔てて配置されている。第 2 の離隔領域 S 2 は、第 1 の離隔領域 S 1 と x 方向に並んでいる。制御部 4 2 は、y 方向に見て、第 2 の離隔領域 S 2 に重なる。本実施形態では、制御部 4 2 は、x 方向に見て、第 2 の離隔領域 S 2 には重ならず、y 方向において各パッド部 6 5 1 , 6 6 1 よりも、各リード 6 9 が配置される側 (y 2 方向側) に位置する。本実施形態では、第 2 の離隔領域 S 2 には、リードフレーム 6 が存在しない。

【 0 0 9 4 】

電子装置 A 3 においても、電子装置 A 1 , A 2 と同様に、基板主面 1 1 上に形成された配線部 2 を備えている。そして、配線部 2 は、各半導体素子 3 1 ~ 3 4 を制御するための制御信号 (たとえば駆動信号) を伝送しており、当該制御信号の伝達経路を構成する。したがって、電子装置 A 3 は、当該伝達経路の細線化や高密度化を図ることが可能であり、高集積化が可能となる。

10

20

30

40

50

【 0 0 9 5 】

電子装置 A 3 においても、電子装置 A 1 , A 2 と同様に、半導体素子 3 1 が接合されたパッド部 6 1 1 と、半導体素子 3 2 が接合されたパッド部 6 2 1 とは、x 方向において、第 1 の離隔領域 S 1 を隔てて配置されている。そして、各半導体素子 3 1 , 3 2 を制御する制御部 4 1 は、y 方向に見て、第 1 の離隔領域 S 1 に重なる。したがって、電子装置 A 3 は、電子装置 A 1 と同様に、制御部 4 1 (制御素子 4 c) から半導体素子 3 1 (制御電極 3 1 1) に入力される第 1 駆動信号と、制御部 4 1 (制御素子 4 c) から半導体素子 3 2 (制御電極 3 2 1) に入力される第 2 駆動信号との伝達時間の差を小さくすることが可能となる。

【 0 0 9 6 】

電子装置 A 3 では、半導体素子 3 3 が接合されたパッド部 6 5 1 と、半導体素子 3 4 が接合されたパッド部 6 6 1 とは、x 方向において、第 2 の離隔領域 S 2 を隔てて配置されている。そして、各半導体素子 3 3 , 3 4 を制御する制御部 4 2 は、y 方向に見て、第 2 の離隔領域 S 2 に重なる。したがって、電子装置 A 3 は、制御部 4 2 (制御素子 4 c) から半導体素子 3 3 (制御電極 3 3 1) に入力される第 3 駆動信号と、制御部 4 2 (制御素子 4 c) から半導体素子 3 4 (制御電極 3 4 1) に入力される第 4 駆動信号との伝達時間の差を小さくすることが可能となる。

【 0 0 9 7 】

図 1 7 および図 1 8 は、第 4 実施形態にかかる電子装置 A 4 を示している。図 1 7 は、電子装置 A 4 を示す平面図であって、樹脂部材 8 を想像線で示している。図 1 8 は、電子装置 A 4 の回路構成を示す回路図である。

【 0 0 9 8 】

電子装置 A 4 は、図 1 7 および図 1 8 に示すように、電子装置 A 3 と異なり、樹脂部材 8 の内方において、2 つの半導体素子 3 1 , 3 2 が電気的に接続され、かつ、2 つの半導体素子 3 3 , 3 4 が電気的に接続されている。電子装置 A 4 では、後述の構成により、図 1 8 に示すように、2 つの半導体素子 3 1 , 3 2 が、直列に接続され、レグを構成する。当該レグにおいて、半導体素子 3 1 は、上アーム回路を構成し、半導体素子 3 2 は、下アーム回路を構成する。また、2 つの半導体素子 3 3 , 3 4 が、図 1 8 に示すように、直列に接続され、レグを構成する。当該レグにおいて、半導体素子 3 3 は、上アーム回路を構成し、半導体素子 3 4 は、下アーム回路を構成する。

【 0 0 9 9 】

電子装置 A 4 では、図 1 7 に示すように、半導体素子 3 1 の主面電極 3 1 2 に接合された接続部材 7 2 が、リード 6 4 ではなく、リード 6 2 (パッド部 6 2 3) に接合されている。これにより、半導体素子 3 1 の主面電極 3 1 2 と半導体素子 3 2 の裏面電極 3 2 3 とが、接続部材 7 2 およびリード 6 2 を介して、導通している。また、電子装置 A 4 では、図 1 7 に示すように、半導体素子 3 3 の主面電極 3 3 2 に接合された接続部材 7 2 が、リード 6 6 (後述のパッド部 6 6 3) に接合されている。これにより、半導体素子 3 3 の主面電極 3 3 2 と半導体素子 3 4 の裏面電極 3 4 3 とが、接続部材 7 2 およびリード 6 6 を介して、導通している。

【 0 1 0 0 】

リードフレーム 6 のリード 6 6 は、電子装置 A 3 のリード 6 6 と比較して、パッド部 6 6 3 をさらに含んでいる。パッド部 6 6 3 は、パッド部 6 6 1 と端子部 6 6 2 とに繋がる。パッド部 6 6 3 には、半導体素子 3 3 の主面電極 3 3 2 に接合された接続部材 7 2 が接合されている。

【 0 1 0 1 】

電子装置 A 4 では、電子装置 A 2 と同様に、2 つのリード 6 1 , 6 3 は、電源電圧の入力端子であり、リード 6 2 は、2 つの半導体素子 3 1 , 3 2 により電圧変換された交流電力の出力端子である。また、電子装置 A 4 では、2 つのリード 6 5 , 6 7 の間には、たとえば電源電圧が印加される。リード 6 6 は、正極 (P 端子) であり、リード 6 7 は、負極 (N 端子) である。2 つのリード 6 6 , 6 7 の間に入力された電源電圧は、2 つの半導体

10

20

30

40

50

素子 3 3 , 3 4 の各スイッチング動作により、交流電力（電圧）に変換される。そして、当該交流電力は、リード 6 6 から出力される。よって、2 つのリード 6 5 , 6 7 は、上記電源電圧の入力端子であり、リード 6 6 は、2 つの半導体素子 3 3 , 3 4 により電圧変換された交流電力の出力端子である。

【 0 1 0 2 】

電子装置 A 4 においても、電子装置 A 3 と同様に、基板主面 1 1 上に形成された配線部 2 を備えている。そして、配線部 2 は、各半導体素子 3 1 ~ 3 4 を制御するための制御信号（たとえば駆動信号）を伝送しており、当該制御信号の伝達経路を構成する。したがって、電子装置 A 4 は、当該伝達経路の細線化や高密度化を図ることが可能であり、高集積化が可能となる。

10

【 0 1 0 3 】

電子装置 A 4 においても、電子装置 A 3 と同様に、制御部 4 1 が、y 方向に見て、第 1 の離隔領域 S 1 に重なり、制御部 4 2 が、y 方向に見て、第 2 の離隔領域 S 2 に重なる。したがって、電子装置 A 4 は、電子装置 A 3 と同様に、第 1 駆動信号と第 2 駆動信号との伝達時間の差を小さくすることが可能であるとともに、第 3 駆動信号と第 4 駆動信号との伝達時間の差を小さくすることが可能である。

【 0 1 0 4 】

図 1 9 および図 2 0 は、第 5 実施形態にかかる電子装置 A 5 を示している。図 1 9 は、電子装置 A 5 を示す平面図であって、樹脂部材 8 を想像線で示している。図 2 0 は、電子装置 A 5 の回路構成を示す回路図である。

20

【 0 1 0 5 】

図 1 9 に示すように、電子装置 A 5 は、4 つの半導体素子 3 1 ~ 3 4 の配列が、電子装置 A 4 と異なる。それに伴い、リードフレーム 6 の構成が適宜変更されている。

【 0 1 0 6 】

電子装置 A 5 では、4 つの半導体素子 3 1 ~ 3 4 は、x 2 方向から x 1 方向に向かって、半導体素子 3 1、半導体素子 3 2、半導体素子 3 4、半導体素子 3 3 の順に並んでいる。これに伴い、4 つのパッド部 6 1 1、6 2 1、6 5 1、6 6 1 は、x 2 方向から x 1 方向に向かって、パッド部 6 1 1、パッド部 6 2 1、パッド部 6 6 1、パッド部 6 5 1 の順に並んでいる。よって、パッド部 6 2 1 とパッド部 6 6 1 とは、x 方向に隣り合っている。

【 0 1 0 7 】

電子装置 A 5 のリードフレーム 6 は、リード 6 7 を含んでいない。このため、半導体素子 3 4 の主面電極 3 4 2 に接合された接続部材 7 2 は、パッド部 6 3 1（リード 6 3）に接合されている。これにより、主面電極 3 4 2（半導体素子 3 4）と主面電極 3 2 2（半導体素子 3 2）とが、2 つの接続部材 7 2 およびリード 6 3 を介して、導通している。つまり、電子装置 A 5 では、図 2 0 に示すように、2 つの半導体素子 3 1、3 2 からなるレグの負極（N 端子）と、2 つの半導体素子 3 3、3 4 からなるレグの負極（N 端子）とが、共通化されている。

30

【 0 1 0 8 】

電子装置 A 5 においても、電子装置 A 3、A 4 と同様に、基板主面 1 1 上に形成された配線部 2 を備えている。そして、配線部 2 は、各半導体素子 3 1 ~ 3 4 を制御するための制御信号（たとえば駆動信号）を伝送しており、当該制御信号の伝達経路を構成する。したがって、電子装置 A 5 は、当該伝達経路の細線化や高密度化を図ることが可能であり、高集積化が可能となる。

40

【 0 1 0 9 】

電子装置 A 5 においても、電子装置 A 3、A 4 と同様に、制御部 4 1 が、y 方向に見て、第 1 の離隔領域 S 1 に重なり、制御部 4 2 が、y 方向に見て、第 2 の離隔領域 S 2 に重なる。したがって、電子装置 A 5 は、電子装置 A 3、A 4 と同様に、第 1 駆動信号と第 2 駆動信号との伝達時間の差を小さくすることが可能であるとともに、第 3 駆動信号と第 4 駆動信号との伝達時間の差を小さくすることが可能である。

【 0 1 1 0 】

50

電子装置 A 5 では、半導体素子 3 2 の主面電極 3 2 2 に接合された接続部材 7 2 と、半導体素子 3 4 の主面電極 3 4 2 に接合された接続部材 7 2 とはそれぞれ、パッド部 6 3 1 (リード 6 3) に接合されている。この構成によると、リード 6 7 がリード 6 3 に統合されるため、リード 6 7 が不要となる。つまり、リード 6 3 とリード 6 7 との共通化が可能となり、電子装置 A 5 の外部端子の数を減らすことができる。

【 0 1 1 1 】

図 2 1 および図 2 2 は、第 6 実施形態にかかる電子装置 A 6 を示している。図 2 1 は、電子装置 A 6 を示す平面図であって、樹脂部材 8 を想像線で示している。図 2 2 は、電子装置 A 6 の回路構成を示す回路図である。

【 0 1 1 2 】

図 2 1 に示すように、電子装置 A 6 は、4 つの半導体素子 3 1 ~ 3 4 の配列が、電子装置 A 4 , A 5 と異なる。それに伴い、リードフレーム 6 の構成が適宜変更されている。

【 0 1 1 3 】

電子装置 A 6 では、4 つの半導体素子 3 1 ~ 3 4 は、x 2 方向から x 1 方向に向かって、半導体素子 3 2、半導体素子 3 1、半導体素子 3 3、半導体素子 3 4 の順に並んでいる。

【 0 1 1 4 】

電子装置 A 6 では、リードフレーム 6 はリード 6 5 を含んでおらず、半導体素子 3 3 が、パッド部 6 1 1 (リード 6 1) に搭載されている。半導体素子 3 3 は、裏面電極 3 3 3 がパッド部 6 1 1 に導通接合されている。これにより、裏面電極 3 3 3 (半導体素子 3 3) と裏面電極 3 1 3 (半導体素子 3 1) とが、リード 6 1 を介して、導通している。つまり、電子装置 A 6 では、図 2 2 に示すように、2 つの半導体素子 3 1 , 3 2 からなるレグの正極 (P 端子) と、2 つの半導体素子 3 3 , 3 4 からなるレグの正極 (P 端子) とが、共通化されている。

【 0 1 1 5 】

図 2 1 に示すように、パッド部 6 1 1 は、x 方向において、パッド部 6 2 1 とパッド部 6 6 1 との間に挟まれている。パッド部 6 1 1 とパッド部 6 2 1 とは、第 1 の離隔領域 S 1 を隔てて配置されている。パッド部 6 1 1 とパッド部 6 6 1 とは、第 2 の離隔領域 S 2 を隔てて配置されている。第 1 の離隔領域 S 1 と第 2 の離隔領域 S 2 とは、x 方向に並んでいる。

【 0 1 1 6 】

電子装置 A 6 においても、電子装置 A 3 ~ A 5 と同様に、基板主面 1 1 上に形成された配線部 2 を備えている。そして、配線部 2 は、各半導体素子 3 1 ~ 3 4 を制御するための制御信号 (たとえば駆動信号) を伝送しており、当該制御信号の伝達経路を構成する。したがって、電子装置 A 6 は、当該伝達経路の細線化や高密度化を図ることが可能であり、高集積化が可能となる。

【 0 1 1 7 】

電子装置 A 6 においても、電子装置 A 3 ~ A 5 と同様に、制御部 4 1 が、y 方向に見て、第 1 の離隔領域 S 1 に重なり、制御部 4 2 が、y 方向に見て、第 2 の離隔領域 S 2 に重なる。したがって、電子装置 A 6 は、電子装置 A 3 ~ A 5 と同様に、第 1 駆動信号と第 2 駆動信号との伝達時間の差を小さくすることが可能であるとともに、第 3 駆動信号と第 4 駆動信号との伝達時間の差を小さくすることが可能である。

【 0 1 1 8 】

電子装置 A 6 では、半導体素子 3 1 の裏面電極 3 1 3 と半導体素子 3 3 の裏面電極 3 3 3 とが、パッド部 6 1 1 (リード 6 1) に接合されている。この構成によると、リード 6 5 がリード 6 1 に統合されるため、リード 6 5 が不要となる。つまり、リード 6 1 とリード 6 5 との共通化が可能となり、電子装置 A 6 の外部端子の数を減らすことができる。

【 0 1 1 9 】

第 3 実施形態ないし第 6 実施形態では、各電子装置 A 3 ~ A 6 が受動素子 5 を備えていない例を示したが、各電子装置 A 3 ~ A 6 に要求される仕様などに応じて、受動素子 5 (サーミスタ 5 a、抵抗器 5 b、シャント抵抗 5 c など) を適宜設けてもよい。

10

20

30

40

50

【 0 1 2 0 】

第3実施形態ないし第6実施形態では、制御部41が制御素子4cを含み、当該制御素子4cが2つの半導体素子31, 32の動作を制御する例を示したが、これに限定されない。たとえば、制御部41として、半導体素子31の動作を制御する制御素子と、半導体素子32の動作を制御する制御素子と別々に設けてもよい(第1実施形態参照)。また、制御部42が制御素子4cを含み、当該制御素子4cが2つの半導体素子33, 34の動作を制御する例を示したが、これに限定されない。たとえば、制御部42として、半導体素子33の動作を制御する制御素子と、半導体素子34の動作を制御する制御素子とを別々に設けてもよい。

【 0 1 2 1 】

第2実施形態ないし第6実施形態では、x方向に見て、制御部41が第1の離隔領域S1に重ならない例を示したが、これに限定されない。たとえば、第1実施形態と同様に、x方向に見て、制御部41の全てが第1の離隔領域S1に重なるように、あるいは、図10に示す変形例と同様に、x方向に見て、制御部41の一部が第1の離隔領域S1に重なるように、配線部2およびリードフレーム6などの構成(形状や配置など)を変更してもよい。同様に、第3実施形態ないし第6実施形態では、x方向に見て、制御部42が第2の離隔領域S2に重ならない例を示したが、これに限定されない。たとえば、x方向に見て、制御部42の全てが第2の離隔領域S2に重なるように、あるいは、x方向に見て、制御部42の一部が第2の離隔領域S2に重なるように、配線部2およびリードフレーム6などの構成を変更してもよい。

【 0 1 2 2 】

第2実施形態ないし第6実施形態では、各電子装置A2~A6が、各保護素子39A, 39Bを備えていない例を示したが、これに限定されず、必要に応じて、保護素子39A, 39Bを設けてもよい。

【 0 1 2 3 】

第1実施形態ないし第6実施形態において、配線部2の形状および配置と、リードフレーム6(各リード60~69)の形状および配置とはそれぞれ、図示された例に限定されず、要求される仕様や回路構成などに応じて適宜変更されうる。

【 0 1 2 4 】

本開示にかかる電子装置は、上記した実施形態に限定されるものではない。本開示の電子装置の各部の具体的な構成は、種々に設計変更自在である。たとえば、本開示の電子装置は、以下の付記に関する実施形態を含む。

[付記 1]

厚さ方向の一方を向く基板主面を有する絶縁基板と、
前記基板主面上に形成され、導電性材料からなる配線部と、
前記基板主面上に配置されたリードフレームと、
前記リードフレームに導通する第1半導体素子および第2半導体素子と、
前記配線部に導通し、かつ、前記第1半導体素子を第1上アームとして動作させつつ、
前記第2半導体素子を第1下アームとして動作させる第1制御部と、
を備えており、

前記リードフレームは、前記第1半導体素子が接合された第1パッド部、および、前記第2半導体素子が接合された第2パッド部を含み、

前記第1パッド部と前記第2パッド部とは、前記配線部から離間し、かつ、前記厚さ方向に直交する第1方向に第1の離隔領域を隔てて配置されており、

前記第1制御部は、前記厚さ方向に見て前記リードフレームから離間しており、かつ、前記厚さ方向および前記第1方向に直交する第2方向に見て、前記第1の離隔領域に重なる、電子装置。

[付記 2]

前記第1制御部の少なくとも一部は、前記第1方向に見て、前記第1の離隔領域に重なる、付記1に記載の電子装置。

10

20

30

40

50

[付記 3]

前記第 1 半導体素子は、前記基板主面と同じ方向を向く第 1 素子主面および前記第 1 素子主面に形成された第 1 制御電極を有しており、

前記第 2 半導体素子は、前記基板主面と同じ方向を向く第 2 素子主面および前記第 2 素子主面に形成された第 2 制御電極を有しており、

前記第 1 制御部は、前記第 1 半導体素子の駆動を制御するための第 1 駆動信号を前記第 1 制御電極に入力し、前記第 2 半導体素子の駆動を制御するための第 2 駆動信号を前記第 2 制御電極に入力する、付記 1 または付記 2 に記載の電子装置。

[付記 4]

前記第 1 制御部は、前記第 1 駆動信号を出力する第 1 制御素子と、前記第 2 駆動信号を出力する第 2 制御素子とを含む、付記 3 に記載の電子装置。

10

[付記 5]

前記第 1 半導体素子は、前記第 1 パッド部に対向する第 1 素子裏面および前記第 1 素子裏面に形成された第 1 裏面電極を有し、

前記第 1 裏面電極は、前記第 1 パッド部に導通接合されており、

前記第 2 半導体素子は、前記第 2 パッド部に対向する第 2 素子裏面および前記第 2 素子裏面に形成された第 2 裏面電極を有し、

前記第 2 裏面電極は、前記第 2 パッド部に導通接合されている、付記 3 または付記 4 に記載の電子装置。

[付記 6]

20

前記第 1 半導体素子は、前記第 1 素子主面に形成された第 1 主面電極をさらに有しており、前記第 1 駆動信号に応じて、前記第 1 裏面電極と前記第 1 主面電極とが導通し、

前記第 2 半導体素子は、前記第 2 素子主面に形成された第 2 主面電極をさらに有しており、前記第 2 駆動信号に応じて、前記第 2 裏面電極と前記第 2 主面電極とが導通する、付記 5 に記載の電子装置。

[付記 7]

前記リードフレームは、互いに離間する第 1 リードおよび第 2 リードを含み、

前記第 1 リードは、前記第 1 パッド部と当該第 1 パッド部に繋がる第 1 端子部を含み、

前記第 2 リードは、前記第 2 パッド部と当該第 2 パッド部に繋がる第 2 端子部を含む、付記 6 に記載の電子装置。

30

[付記 8]

前記リードフレームは、前記第 1 リードおよび前記第 2 リードから離間する第 3 リードをさらに含み、

前記第 2 主面電極は、前記第 3 リードに導通する、付記 7 に記載の電子装置。

[付記 9]

前記第 1 主面電極は、前記第 2 リードに導通する、付記 8 に記載の電子装置。

[付記 10]

前記リードフレームは、前記第 1 リード、前記第 2 リードおよび前記第 3 リードから離間する第 4 リードをさらに含み、

前記第 1 主面電極は、前記第 4 リードに導通する、付記 8 に記載の電子装置。

40

[付記 11]

前記リードフレームに導通する第 3 半導体素子および第 4 半導体素子をさらに備え、

前記リードフレームは、前記第 3 半導体素子が接合された第 3 パッド部、および、前記第 4 半導体素子が接合された第 4 パッド部を含み、

前記第 3 パッド部と前記第 4 パッド部とは、前記配線部から離間し、かつ、前記第 1 方向に第 2 の離隔領域を隔てて配置されている、付記 8 ないし付記 10 のいずれかに記載の電子装置。

[付記 12]

前記配線部に導通し、かつ、前記第 3 半導体素子を第 2 上アームとして動作させつつ、前記第 4 半導体素子を第 2 下アームとして動作させる第 2 制御部をさらに備え、

50

前記第 2 制御部は、前記厚さ方向に見て前記リードフレームから離間しており、かつ、前記第 2 方向に見て、前記第 2 の離隔領域に重なる、付記 1 1 に記載の電子装置。

[付記 1 3]

前記第 1 制御部と前記第 2 制御部とは、前記第 1 方向に並んでいる、付記 1 2 に記載の電子装置。

[付記 1 4]

前記第 2 制御部の少なくとも一部は、前記第 1 方向に見て、前記第 2 の離隔領域に重なる、付記 1 2 または付記 1 3 に記載の電子装置。

[付記 1 5]

前記第 3 半導体素子は、前記基板主面と同じ方向を向く第 3 素子主面および前記第 3 素子主面に形成された第 3 制御電極を有しており、

10

前記第 4 半導体素子は、前記基板主面と同じ方向を向く第 4 素子主面および前記第 4 素子主面に形成された第 4 制御電極を有しており、

前記第 2 制御部は、前記第 3 半導体素子の駆動を制御するための第 3 駆動信号を前記第 3 制御電極に入力し、前記第 4 半導体素子の駆動を制御するための第 4 駆動信号を前記第 4 制御電極に入力する、付記 1 2 ないし付記 1 4 のいずれかに記載の電子装置。

[付記 1 6]

前記第 3 半導体素子は、前記第 3 パッド部に対向する第 3 素子裏面および前記第 3 素子裏面に形成された第 3 裏面電極を有し、

前記第 3 裏面電極は、前記第 3 パッド部に導通接合されており、

20

前記第 4 半導体素子は、前記第 4 パッド部に対向する第 4 素子裏面および前記第 4 素子裏面に形成された第 4 裏面電極を有し、

前記第 4 裏面電極は、前記第 4 パッド部に導通接合されている、付記 1 5 に記載の電子装置。

[付記 1 7]

前記第 3 半導体素子は、前記第 3 素子主面に形成された第 3 主面電極をさらに有しており、前記第 3 駆動信号に応じて、前記第 3 裏面電極と前記第 3 主面電極とが導通し、

前記第 4 半導体素子は、前記第 4 素子主面に形成された第 4 主面電極をさらに有しており、前記第 4 駆動信号に応じて、前記第 4 裏面電極と前記第 4 主面電極とが導通する、付記 1 6 に記載の電子装置。

30

[付記 1 8]

前記第 1 パッド部、前記第 2 パッド部、前記第 3 パッド部および前記第 4 パッド部は、前記第 1 方向に並んでいる、付記 1 7 に記載の電子装置。

[付記 1 9]

前記第 2 パッド部と前記第 4 パッド部とは、前記リードフレームにおいて、前記第 1 方向に隣り合っている、付記 1 8 に記載の電子装置。

[付記 2 0]

前記第 4 主面電極は、前記第 3 リードに導通する、付記 1 9 に記載の電子装置。

[付記 2 1]

前記リードフレームの一部を露出させつつ、前記絶縁基板の少なくとも一部、前記第 1 半導体素子、前記第 2 半導体素子、前記第 1 制御部、および、前記配線部を覆う樹脂部材をさらに備える、付記 1 ないし付記 2 0 のいずれかに記載の電子装置。

40

[付記 2 2]

前記絶縁基板は、セラミックからなる、付記 1 ないし付記 2 1 のいずれかに記載の電子装置。

【符号の説明】

【 0 1 2 5 】

A 1 ~ A 6 : 電子装置

1 : 絶縁基板

1 1 : 基板主面

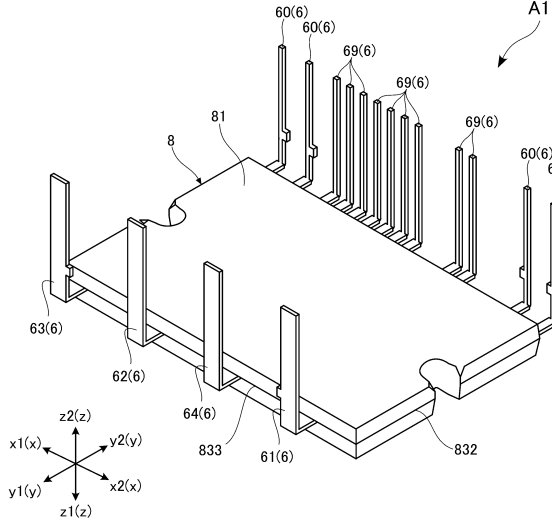
50

1 2	: 基板裏面	
2	: 配線部	
2 1	: パッド部	
2 2	: 接続配線	
3 1 , 3 2 , 3 3 , 3 4	: 半導体素子	
3 1 a , 3 2 a , 3 3 a , 3 4 a	: 素子主面	
3 1 b , 3 2 b , 3 3 b , 3 4 b	: 素子裏面	
3 1 1 , 3 2 1 , 3 3 1 , 3 4 1	: 制御電極	
3 1 2 , 3 2 2 , 3 3 2 , 3 4 2	: 主面電極	
3 1 3 , 3 2 3 , 3 3 3 , 3 4 3	: 裏面電極	10
3 9 A , 3 9 B	: 保護素子	
3 9 1	: 主面電極	
3 9 2	: 裏面電極	
4 1 , 4 2	: 制御部	
4 a , 4 b , 4 c	: 制御素子	
4 0	: 制御装置	
4 0 1	: 樹脂パッケージ	
4 0 2	: 接続端子	
5	: 受動素子	
5 a	: サーミスタ	20
5 b	: 抵抗器	
5 c	: シャント抵抗	
6	: リードフレーム	
6 0 ~ 6 9	: リード	
6 0 1 , 6 1 1 , 6 2 1 , 6 3 1 , 6 4 1 , 6 5 1 , 6 6 1 , 6 7 1 , 6 8 1 , 6 9 1	: パッド部	
6 0 2 , 6 1 2 , 6 2 2 , 6 3 2 , 6 4 2 , 6 5 2 , 6 6 2 , 6 7 2 , 6 8 2 , 6 9 2	: 端子部	
6 2 3 , 6 6 3	: パッド部	
7 1 ~ 7 5	: 接続部材	30
8	: 樹脂部材	
8 1	: 樹脂主面	
8 2	: 樹脂裏面	
8 3 1 ~ 8 3 4	: 樹脂側面	
S 1	: 第 1 の離隔領域	
S 2	: 第 2 の離隔領域	

【図面】

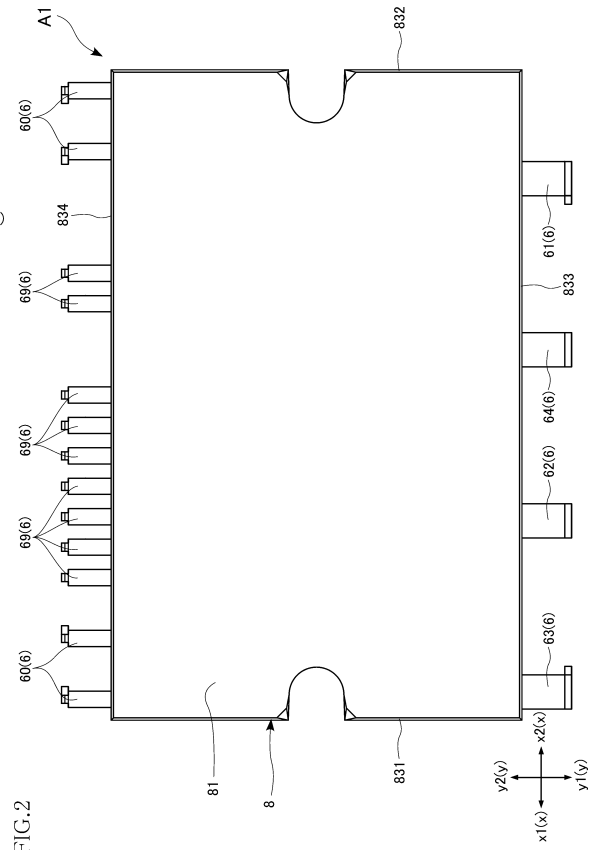
【図 1】

FIG.1



【図 2】

FIG.2



10

20

30

40

50

【 図 3 】

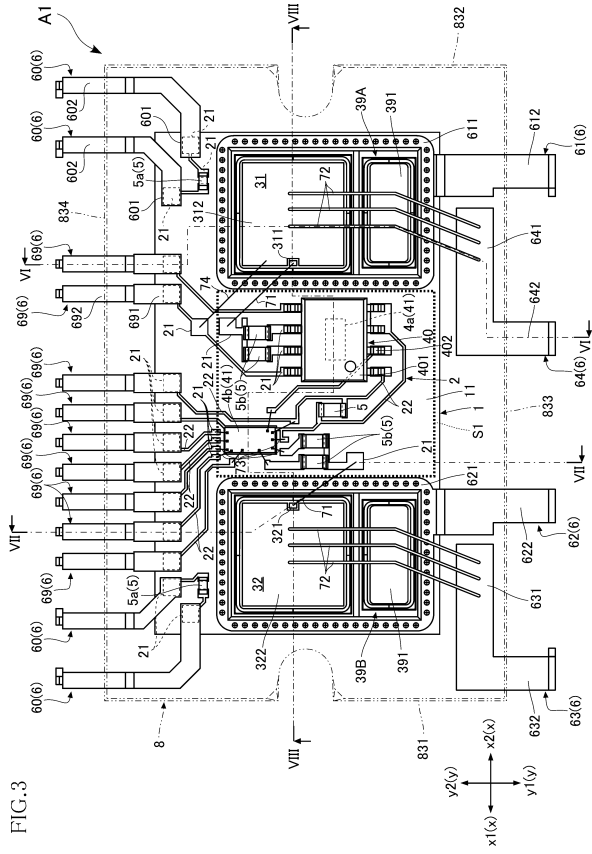


FIG. 3

【 図 4 】

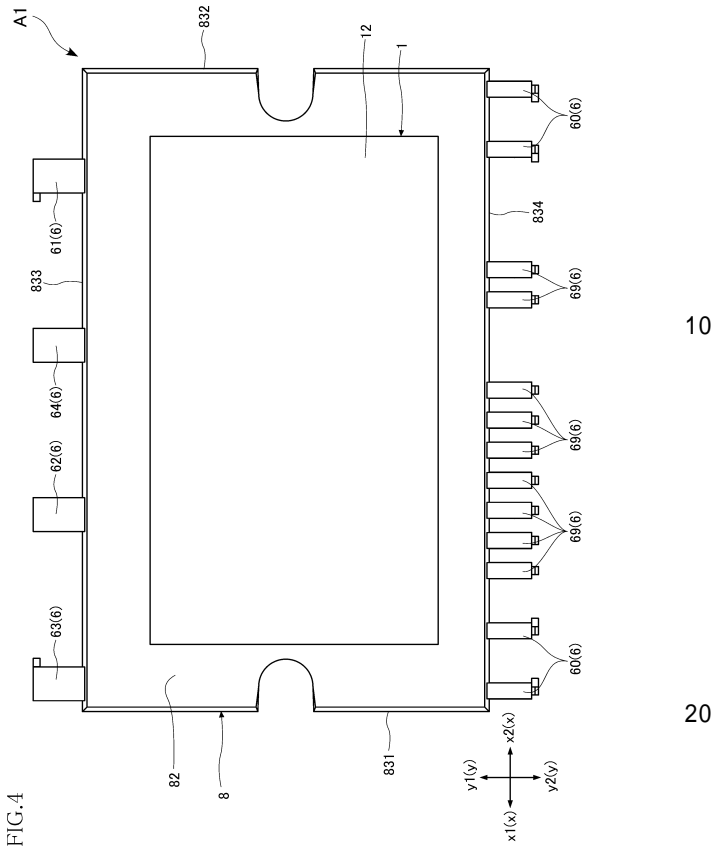


FIG. 4

【 図 5 】

FIG. 5

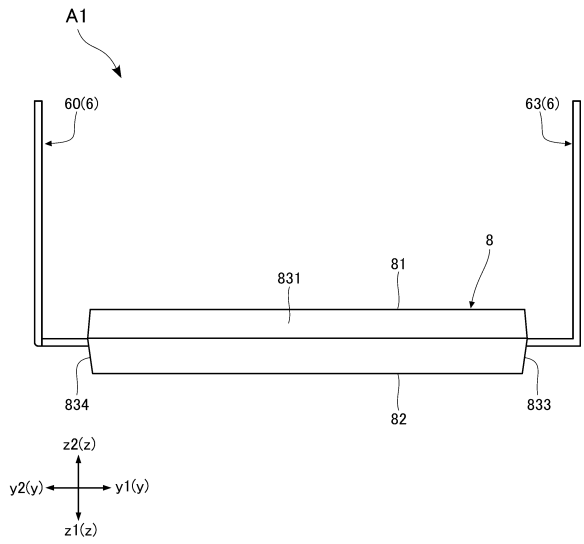


FIG. 5

【 図 6 】

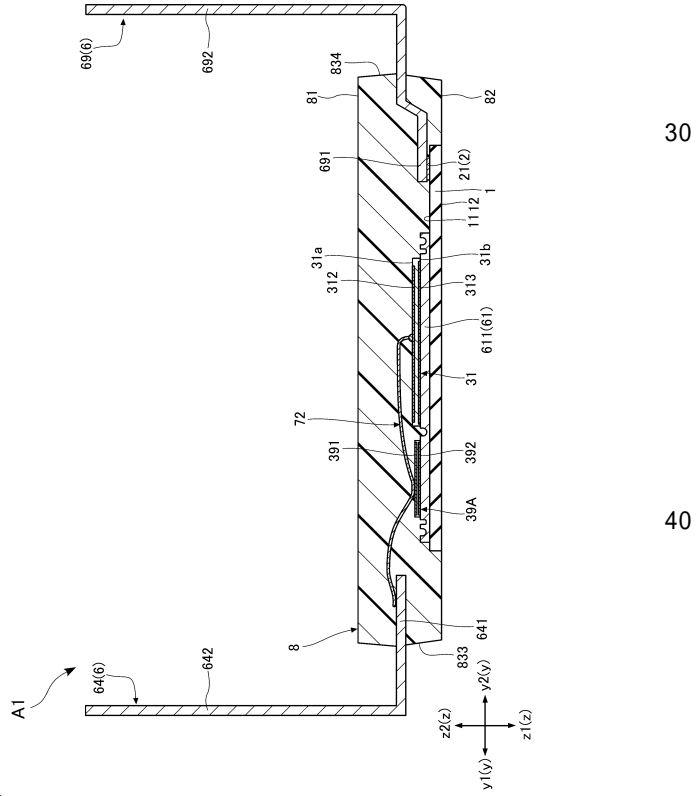


FIG. 6

10

20

30

40

50

【 図 7 】

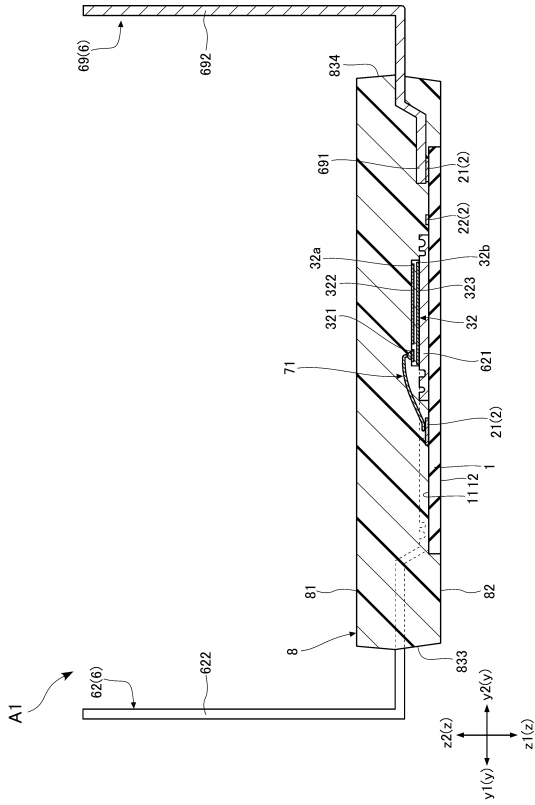


FIG. 7

【 図 8 】

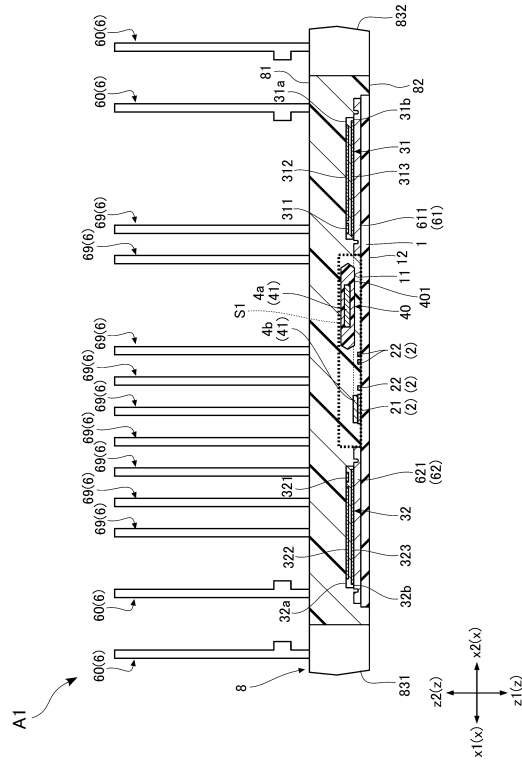


FIG. 8

【 図 9 】

FIG. 9

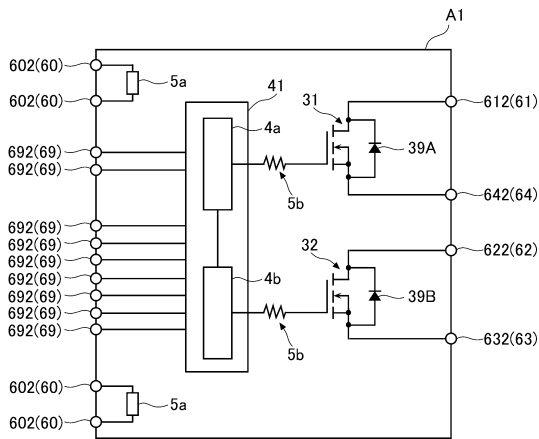


FIG. 9

【 図 10 】

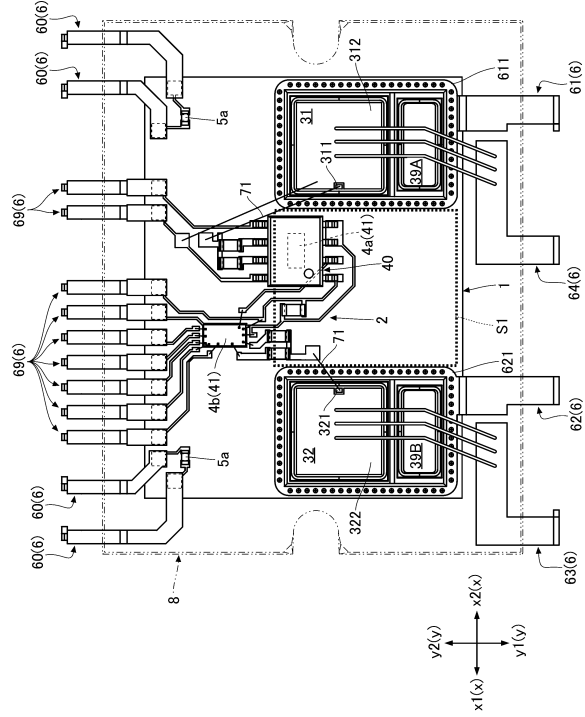


FIG. 10

10

20

30

40

50

【図 1 1】

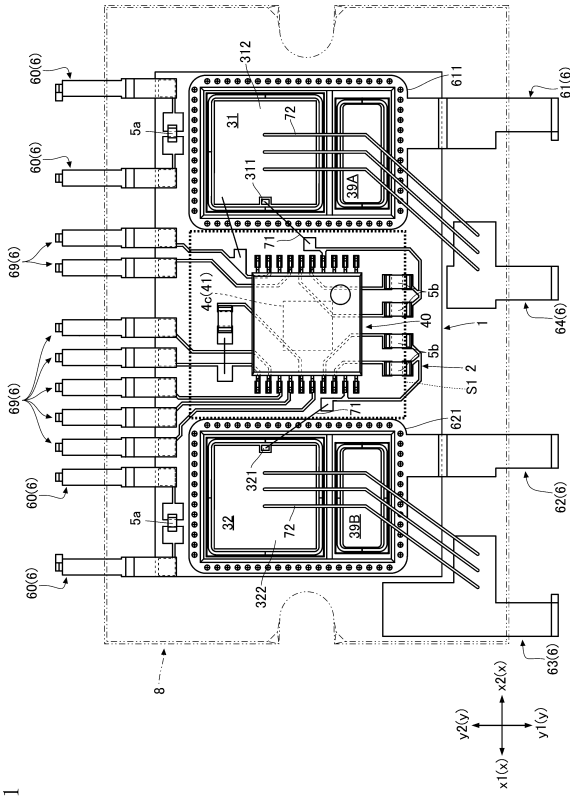


FIG. 11

【図 1 2】

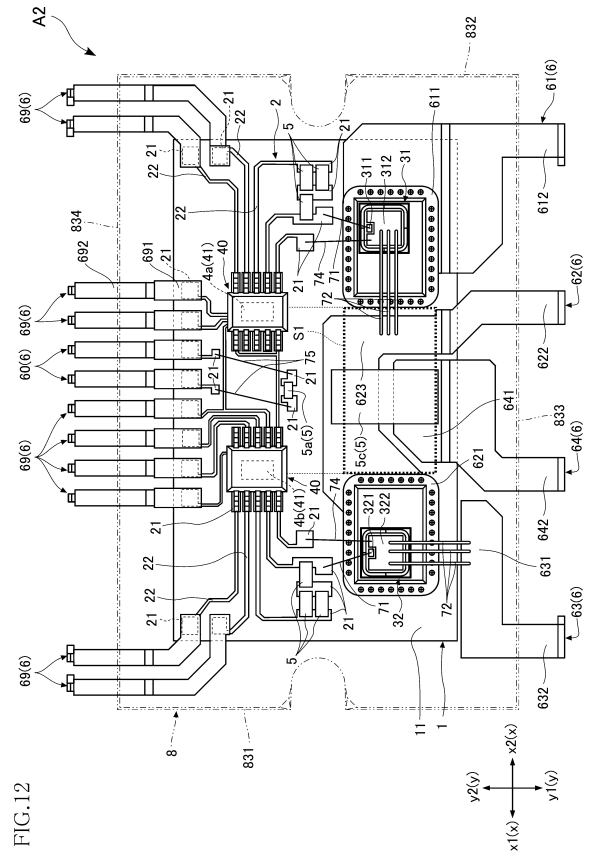


FIG. 12

【図 1 3】

FIG. 13

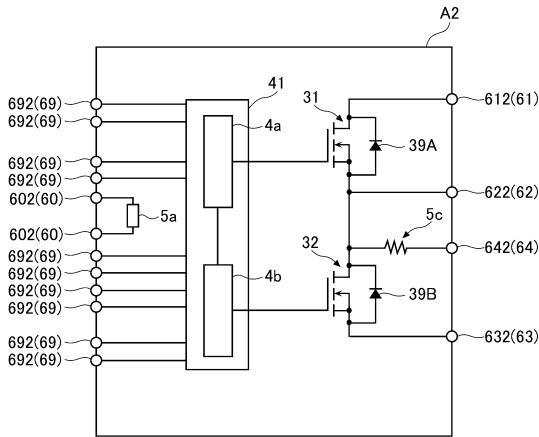


FIG. 13

【図 1 4】

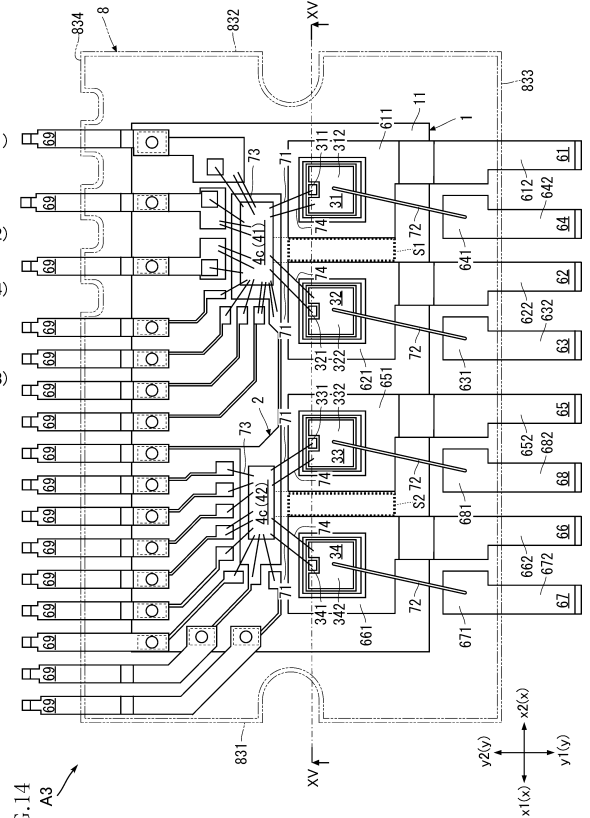


FIG. 14

10

20

30

40

50

【 図 1 5 】

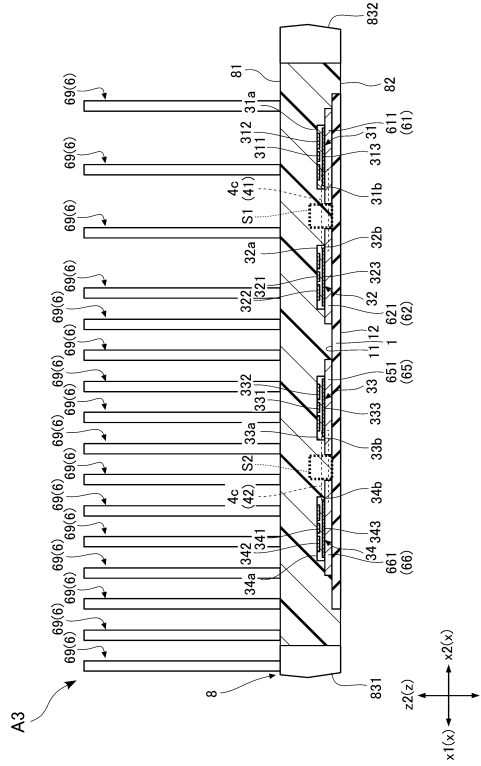
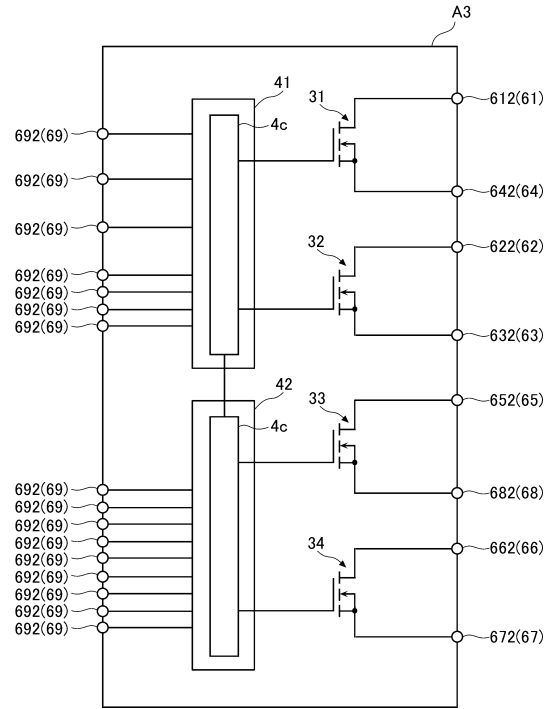


FIG.15

【 図 1 6 】

FIG.16



10

20

【 図 1 7 】

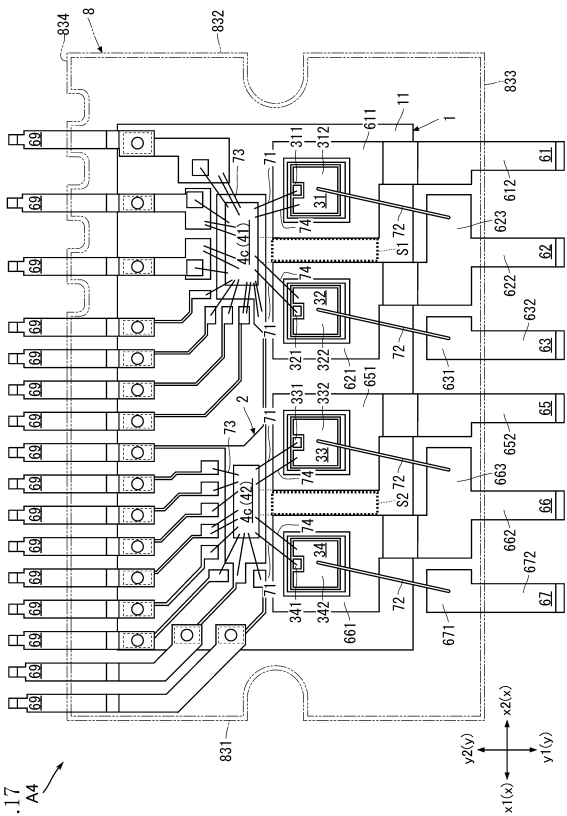
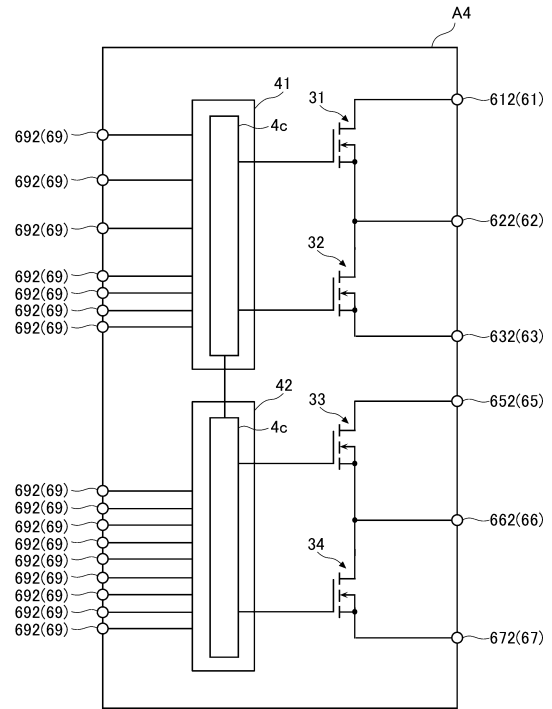


FIG.17

【 図 1 8 】

FIG.18



30

40

50

フロントページの続き

- (56)参考文献 国際公開第2019/244372(WO,A1)
国際公開第2016/125363(WO,A1)
特開2020-004893(JP,A)
特開2014-103270(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 25/07
H01L 23/50