(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-351902
(P2006-351902A)
(43)公開日　平成18年12月28日(2006.12.28)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 21/768	***(2006.01)***	H01L 21/90	A	5F033

審査請求 未請求　請求項の数 7　OL　（全 10 頁）

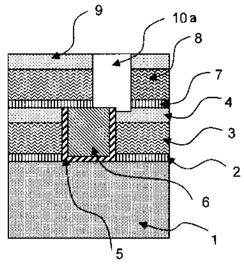
(21)出願番号　特願2005-177306 (P2005-177306)
(22)出願日　平成17年6月17日 (2005.6.17)

(71)出願人　504371594
次世代半導体材料技術研究組合
東京都国分寺市東恋ヶ窪一丁目２８０番地
(74)代理人　100079005
弁理士　宇高　克己
(72)発明者　川上　博士
東京都国分寺市東恋ヶ窪一丁目２８０番地
次世代半導体材料技術研究組合内
(72)発明者　前田　展秀
東京都国分寺市東恋ヶ窪一丁目２８０番地
次世代半導体材料技術研究組合内

Fターム(参考)　5F033 KK11 KK21 KK32 MM12 MM13 PP06 PP14 PP28 QQ09 QQ11 QQ25 QQ37 QQ48 RR01 RR04 RR12 TT01 XX00 XX37

(54)【発明の名称】ビアホール形成方法、及び半導体装置

(57)【要約】
【課題】　ビアホール加工に際して開口チェックが実行でき、オーバーエッチングを出来るだけ少なくすると共に、エッチング不足を防止できる半導体デバイス製造技術を提供することである。
【解決手段】　第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の方法であって、
前記第１の配線パターンを形成した後、該第１の配線パターン上に絶縁層を形成する絶縁層形成工程と、
前記絶縁層形成工程の後、前記第１の配線パターンに適合する前記所定パターンのビアホールを前記絶縁層に形成する適合ビアホール形成工程と、
前記絶縁層形成工程の後、前記第１の配線パターンに一部適合・一部不適合の不適合ビアホールを形成する不適合ビアホール形成工程と、
前記不適合ビアホール形成工程で形成されたビアホールを調べることによって前記適合ビアホール形成工程を制御する制御工程
とを具備する。



【特許請求の範囲】
【請求項１】
第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の方法であって、
前記第１の配線パターンを形成した後、該第１の配線パターン上に絶縁層を形成する絶縁層形成工程と、
前記絶縁層形成工程の後、前記第１の配線パターンに適合する前記所定パターンのビアホールを前記絶縁層に形成する適合ビアホール形成工程と、
前記絶縁層形成工程の後、前記第１の配線パターンに一部適合・一部不適合の不適合ビアホールを形成する不適合ビアホール形成工程と、
前記不適合ビアホール形成工程で形成されたビアホールを調べることによって前記適合ビアホール形成工程を制御する制御工程
とを具備することを特徴とするビアホール形成方法。
【請求項２】
不適合ビアホール形成工程は、
該ビアホールの一部が第１の配線パターンの領域内に存在し、該ビアホールの残部が第１の配線パターンの領域外に存在する一部適合・一部不適合の不適合ビアホールを形成する工程である
ことを特徴とする請求項１のビアホール形成方法。
【請求項３】
適合ビアホール形成工程と不適合ビアホール形成工程とを同時進行させ、不適合ビアホール形成工程により形成されるビアホールの底面を調べることによって、前記適合ビアホール形成工程を停止することを特徴とする請求項１又は請求項２のビアホール形成方法。
【請求項４】
適合ビアホール形成工程と不適合ビアホール形成工程とを同時進行させ、不適合ビアホール形成工程により形成されるビアホールの底面に第１の配線パターン部と非第１の配線パターン部とが検出された場合、前記適合ビアホール形成工程を停止することを特徴とする請求項１又は請求項２のビアホール形成方法。
【請求項５】
ビアホール形成がエッチングにより行われることを特徴とする請求項１～請求項４いずれかのビアホール形成方法。
【請求項６】
第１の配線パターンの構成材料がＣｕであることを特徴とする請求項１～請求項５いずれかのビアホール形成方法。
【請求項７】
請求項１～請求項６いずれかのビアホール形成方法が行われることにより得られてなる半導体装置。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、例えば第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の技術、並びに前記技術の実施により得られる半導体装置に関する。
【背景技術】
【０００２】
半導体デバイスにおける演算処理速度の高速化を実現する為には、デバイスにおける信号遅延を低減することが重要である。この信号遅延は、半導体素子における信号遅延と配線遅延の和で表される。ところで、近年、配線ピッチの微細化（高集積化）が急速に進んでいる。この為、配線遅延の影響が信号遅延を上回るようになった。この配線遅延は、配

線抵抗Ｒと、配線間の容量Ｃとの積、所謂、ＲＣに比例する。従って、配線遅延を低減する為、配線抵抗や配線間容量を低減する必要が有る。このようなことから、配線材料として、低抵抗のＣｕが選ばれるようになった。又、配線間を埋める絶縁材として、低誘電率絶縁材（ｌｏｗ−ｋ材）の検討が行われている。

【発明の開示】

【発明が解決しようとする課題】

【０００３】

さて、配線材料としてＣｕが用いられた場合、次のような問題が起きることが判って来た。

すなわち、半導体デバイスにおいて、第１配線層と第２配線層とは絶縁層中に形成されたビアホールを介して接続されている。尚、このビアホールはエッチングによって形成される。このエッチングに際して、オーバーエッチングが行われると、ビアホール下の第１配線層を構成するＣｕまでもがエッチングされることになる。その結果、Ｃｕがビアホール内にて飛散し、ビアホール内壁面に付着・堆積し、支障が起きる。この為、オーバーエッチングを出来るだけ少なくすることが求められる。

【０００４】

ところで、オーバーエッチングに敏感になると、今度は、逆に、エッチング不足の懸念も高くなる。尚、エッチング不足の場合には、下層に在る第１の配線パターンと上層に在る第２の配線パターンとの導通が行われないことを意味し、オーバーエッチング以上の致命的な問題を引き起こす。例えば、エッチング不足のまま、その後の工程が行われて半導体デバイスが作製されても、この半導体デバイスは完全に不良品である。

【０００５】

従って、オーバーエッチングを出来るだけ少なくすると共に、エッチング不足を防止することが大事である。

【０００６】

しかしながら、これまで、エッチングの管理は十分なものでは無かった。すなわち、ビアホール加工に際して開口チェックの技術が開発されていない。

【０００７】

よって、本発明が解決しようとする課題は、ビアホール加工に際して開口チェックが実行でき、オーバーエッチングを出来るだけ少なくすると共に、エッチング不足を防止できる半導体デバイス製造技術を提供することである。

【課題を解決するための手段】

【０００８】

前記の課題は、第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の方法であって、

前記第１の配線パターンを形成した後、該第１の配線パターン上に絶縁層を形成する絶縁層形成工程と、

前記絶縁層形成工程の後、前記第１の配線パターンに適合する前記所定パターンのビアホールを前記絶縁層に形成する適合ビアホール形成工程と、

前記絶縁層形成工程の後、前記第１の配線パターンに一部適合・一部不適合の不適合ビアホールを形成する不適合ビアホール形成工程と、

前記不適合ビアホール形成工程で形成されたビアホールを調べることによって前記適合ビアホール形成工程を制御する制御工程

とを具備することを特徴とするビアホール形成方法によって解決される。

【０００９】

特に、第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の方法であって、

前記第１の配線パターンを形成した後、該第１の配線パターン上に絶縁層を形成する絶縁層形成工程と、

前記絶縁層形成工程の後、前記第１の配線パターンに適合する前記所定パターンのビア

ホールを前記絶縁層に形成する適合ビアホール形成工程と、

前記絶縁層形成工程の後、ビアホールの一部が第１の配線パターンの領域内に存在し、該ビアホールの残部が第１の配線パターンの領域外に存在する一部適合・一部不適合の不適合ビアホールを形成する不適合ビアホール形成工程と、

前記不適合ビアホール形成工程で形成されたビアホールを調べることによって前記適合ビアホール形成工程を制御する制御工程

とを具備することを特徴とするビアホール形成方法によって解決される。

【００１０】

本発明においては、特に、適合ビアホール形成工程と不適合ビアホール形成工程とを同時進行させ、前記制御工程は、不適合ビアホール形成工程により形成されるビアホールの底面を調べることによって、前記適合ビアホール形成工程を停止するものである。特に、不適合ビアホール形成工程により形成されるビアホールの底面に第１の配線パターン部と非第１の配線パターン部とが検出された場合、前記適合ビアホール形成工程を停止するものである。

【００１１】

本発明において、ビアホールの形成はエッチングにより行われる。又、本発明は、配線材料としてＣｕが用いられた高集積化半導体デバイスにおいて特に好ましいものである。

【００１２】

又、前記の課題は、上記ビアホール形成方法が行われることにより得られてなる半導体装置によっても解決される。

【発明の効果】

【００１３】

特定のエッチング条件下で行ったエッチングによるビアホールを観察し、良好なビアホールが得られた場合のエッチング条件で作業を行うのが通常である。すなわち、予め、エッチング終点を模擬試験にて求め、実際の生産工程では予め設定された条件でエッチングを行っているに過ぎなかった。

【００１４】

そして、これまでは、そのような手法にても大きな問題は無いと考えられていた。すなわち、これまでは、そこまで問題にされていなかったと言える。

【００１５】

しかしながら、この手法は、現実にエッチング形成されているビアホールを観察しているものでは無い。絶縁膜の具合によってエッチングが微妙に変わることは当然に予期される。従って、予め求められたエッチング条件が全ての場合に最適と言うものでは無い。場合によっては、僅かにエッチングオーバー気味であったり、僅かにエッチング不足気味である場合も予想される。すなわち、エッチング終点は種々の条件によって多少の影響を受けることは容易に予期される。そして、配線材料としてＣｕが用いられた高速演算処理速度・高集積化の半導体デバイスの場合には、斯かる問題が大きなものとなって来たのである。

【００１６】

従って、出来るだけ実際の場合に近い条件下でのエッチング終点の検出が望まれる。

【００１７】

そして、本発明は、斯かる実際の場合に近い条件下でのエッチング終点の検出が可能になったのである。

【００１８】

従って、ビアホールの形成に際して、オーバーエッチングであったり、エッチング不足で未開口だったりと言った欠陥が起きず、高性能な半導体デバイスが得られる。

【００１９】

しかも、半導体デバイスの作製後に導通試験で始めて不良品であったことが判明と言ったものでは無い。例えば、エッチング不足で未開口の場合には更にエッチングを続けることが可能な為、未開口は開口となり、その分だけでも不良品発生率が低くなる。

【００２０】
尚、例えば特開２００１－２１７３０９号公報には「ミスアライメントしたビアホール」の記載が有る。しかしながら、「ミスアライメントしたビアホール」の利用形態の技術思想、即ち、本発明の技術思想については触れる処が皆無である。
【発明を実施するための最良の形態】
【００２１】
本発明になる半導体デバイス製造方法（ビアホール形成方法）は、第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の方法であって、前記第１の配線パターンを形成した後、該第１の配線パターン上に絶縁層を形成する絶縁層形成工程と、前記絶縁層形成工程の後、前記第１の配線パターンに適合する前記所定パターンのビアホールを前記絶縁層に形成する適合ビアホール形成工程と、前記絶縁層形成工程の後、前記第１の配線パターンに一部適合・一部不適合の不適合ビアホールを形成する不適合ビアホール形成工程と、前記不適合ビアホール形成工程で形成されたビアホールを調べることによって前記適合ビアホール形成工程を制御する制御工程とを具備する。特に、第１の配線パターンと第２の配線パターンとを接続する為に用いられる所定パターンのビアホールを形成する為の方法であって、前記第１の配線パターンを形成した後、該第１の配線パターン上に絶縁層を形成する絶縁層形成工程と、前記絶縁層形成工程の後、前記第１の配線パターンに適合する前記所定パターンのビアホールを前記絶縁層に形成する適合ビアホール形成工程と、前記絶縁層形成工程の後、ビアホールの一部が第１の配線パターンの領域内に存在し、該ビアホールの残部が第１の配線パターンの領域外に存在する一部適合・一部不適合の不適合ビアホールを形成する不適合ビアホール形成工程と、前記不適合ビアホール形成工程で形成されたビアホールを調べることによって前記適合ビアホール形成工程を制御する制御工程とを具備する。本発明においては、特に、適合ビアホール形成工程と不適合ビアホール形成工程とを同時進行させ、前記制御工程は、不適合ビアホール形成工程により形成されるビアホールの底面を調べることによって、前記適合ビアホール形成工程を停止する。特に、不適合ビアホール形成工程により形成されるビアホールの底面に第１の配線パターン部と非第１の配線パターン部とが検出された場合、前記適合ビアホール形成工程を停止する。本発明において、ビアホールの形成はエッチングにより行われる。又、本発明は、配線材料としてＣｕが用いられた高集積化半導体デバイスにおいて適用される。
【００２２】
以下、具体的な例を挙げて説明する。
【００２３】
図１は本発明になる半導体装置の一実施形態の要部の平面図、図２は図１におけるＡ－Ａ線断面図、図３は図１におけるＢ－Ｂ線断面図である。
【００２４】
各図中、１は半導体基板である。半導体基板１には能動素子が構成されているが、本発明にあっては、配線とビアホールとの関係が主要であることから、能動素子については図示されていない。
【００２５】
そして、能動素子に対してＣｕ配線を接続する為、先ず、絶縁性の配線ストッパ膜（ＳｉＣＮ膜：厚さ３０ｎｍ）２が設けられる。配線ストッパ膜２上には絶縁性の配線層間膜（ＳｉＯＣ膜：厚さ１５０ｎｍ）３が設けられる。配線層間膜３上には絶縁性の配線キャップ膜（ＳｉＯ膜：厚さ６０ｎｍ）４が設けられる。配線キャップ膜４上には、所定パターンのレジスト膜（図示せず）が構成され、所定パターンのレジスト膜をマスクとしてエッチングガス（C_4F_8，CF_4等）を用いてドライエッチングを行い、Ｃｕ配線の為の溝を形成する。
【００２６】
配線用溝を形成した後、ＰＶＤ或いはＣＶＤ等の薄膜形成技術により、バリア膜形成材料（Ｔａ，ＴａＮ等）を用いて、バリア膜５を設ける。続いて、ＰＶＤ或いはＣＶＤ等の

乾式メッキ、若しくは無電解メッキ等の湿式メッキにより、Ｃｕ配線膜６を設ける。この後、ＣＭＰ（化学機械研磨）により、前記配線用溝以外の箇所に在るバリア膜形成材料及びＣｕ配線膜材料を除去する。これにより、図２，３に示される如く、配線用溝の部分にのみバリア膜５及びＣｕ配線膜６が設けられる。

【００２７】

この後、Ｃｕ配線膜６及び配線キャップ膜４上に、絶縁性のビアホールストッパ膜（ＳｉＣＮ膜：厚さ３０ｎｍ）７が設けられる。ビアホールストッパ膜７上には絶縁性のビアホール層間膜（ＳｉＯＣ膜：厚さ１５０ｎｍ）８が設けられる。ビアホール層間膜８上には絶縁性のビアホールキャップ膜（ＳｉＯ膜：厚さ６０ｎｍ）９が設けられる。ビアホールキャップ膜９上には、所定パターンのレジスト膜（図示せず）が構成され、所定パターンのレジスト膜をマスクとしてエッチングガス（$Ｃ_4Ｆ_8$，$ＣＦ_4$等）を用いてドライエッチングを行い、上層配線膜と下層配線膜との間の導通を図る為のビアホール１０，１０ａを形成する。

【００２８】

この時、本来、ビアホール１０は、下層配線膜（Ｃｕ配線膜６）に対して正しくアライメントされている。すなわち、図２の断面図に示される通り、ビアホール１０の形成位置はＣｕ配線膜６の領域内に存在している。

【００２９】

これに対して、ビアホール１０ａは、下層配線膜（Ｃｕ配線膜６）に対してミスアライメントされている。すなわち、図３の断面図に示される通り、ビアホール１０ａの形成位置はＣｕ配線膜６の領域内と領域外に存在している。つまり、ビアホール１０ａは、その一部が下層配線膜（Ｃｕ配線膜６）の領域内に存在し、残部が下層配線膜（Ｃｕ配線膜６）の領域外に存在する一部適合・一部不適合の不適合ビアホール（ダミーのビアホール）である。

【００３０】

尚、これまでにあっては、正しくアライメントされたビアホール１０（図２参照）のみを設けるものであった。但し、作業ミスにより、結果的に、ミスアライメントのビアホール１０ａ（図３参照）が出来ていた場合も有ったかと思われる。しかしながら、図３の如きのミスアライメントのビアホール１０ａが出来ていたとしても、このビアホール１０ａを積極的に活かす工夫は考えられて来なかった。

【００３１】

本発明は、正しくアライメントされたビアホール１０を設けるのみでなく、ミスアライメントのビアホール１０ａも積極的に設け、これを活かす工夫を提供するものである。

【００３２】

すなわち、エッチング技術により、正しくアライメントされたビアホール１０を構成する場合、前述の通り、エッチング終了を如何に制御するかが大事である。すなわち、オーバーエッチングにならないようにすることが大事である。しかしながら、オーバーエッチングを警戒する余り、エッチング不足になることも警戒しなければならない。エッチング不足になると、図４に示される通り、導通用のビアホールが形成されず、その後の工程が正しく行われたとしても、得られた半導体装置は不良品である。

【００３３】

さて、図２のビアホール１０を顕微鏡により上から観察した場合の像と、図４のビアホール１０を顕微鏡により上から観察した場合の像との間では、識別が出来ず、即ち、Ｃｕ膜表面とＳｉＣＮ膜表面との識別は殆ど不可能で、ビアホール１０が図２の如く正しく形成されたのか否かの判断が出来ない。光学顕微鏡でなく、低加速電子顕微鏡（測長ＳＥＭ）等で観察しても同様である。

【００３４】

しかしながら、図３のビアホール１０ａを顕微鏡により上から観察した場合、図２におけるＣｕ膜６、及び図４のＳｉＣＮ膜７との相違を識別できる。すなわち、図３に示される如く、ミスアライメントのビアホール１０ａをエッチングにより開口した場合、僅かな

オーバーエッチングによって、Ｃｕ配線膜６のみならず、バリア膜５、更には配線キャップ膜４が観察されるようになる。つまり、Ｃｕ配線膜６の端部を明瞭に観察できる。従って、この時点で、エッチングを停止すれば、ビアホール１０も過度なオーバーエッチングになることを防止できる。かつ、エッチングも適切になされ、図４の如きの孔開けが不十分と言う問題も無くなる。

【００３５】

尚、図５は正しくアライメントされているビアホール１０を低加速電子顕微鏡で上から撮影した場合の像（写真）であり、図６はミスアライメントされているビアホール１０ａを低加速電子顕微鏡で上から撮影した場合の像（写真）である。両者の相違を十分に認識できる。すなわち、図５は、Ｃｕ配線膜６表面まで加工できている場合のビアホール１０を観察した場合の低加速電子顕微鏡像である。低加速電子顕微鏡による観察では、Ｃｕ配線膜６の表面が観察される時の低加速電子顕微鏡像はビアホールの底部が明るく見える。又、ビアホールストッパ膜７の途中までしかエッチングされていない時に、同一の観察を行うと、ビアホール１０底部は暗く見える。しかしながら、低加速電子顕微鏡像は白黒であり、コントラストの差は両者を同時に比較した場合に確認できる程度の差しか無い。よって、同一ウェーハ上で開口を判断することは極めて困難である。これに対して、図６の場合には、ビアホール１０ａ底部のＣｕ配線膜６のＣｕとバリア膜５と配線キャップ膜４が同時に観察できることから、各膜のコントラストが明瞭であり、見誤ることなく、ビアホールの開口を確認できる。従って、一部適合・一部不適合の不適合ビアホール（ダミーのビアホール）１０ａを、エッチング終点検出に利用できる。すなわち、一部適合・一部不適合の不適合ビアホール（ダミーのビアホール）１０ａを設ける積極的意味が存する。

【００３６】

そして、ダミーのビアホール１０ａの観察によるエッチングの制御により、ビアホール１０を適正に形成できる。ビアホール１０が適正に形成されたことが判定されると、以後、これまでと同様な工程が行われ、半導体デバイスが得られる。

【００３７】

尚、上記実施の形態においては、顕微鏡による観察でエッチング終点を決めるようにしたが、顕微鏡観察の他、形状・色彩を判別する自動機器を用いても判定することが出来る。

【００３８】

又、ビアホール１０，１０ａのパターンと下層配線膜パターンとの関係は、図１に示された場合に限られない。例えば、図７のようなパターンのものでも良いことは勿論である。

【図面の簡単な説明】

【００３９】

【図１】本発明になる半導体装置の一実施形態の要部の平面図
【図２】図１におけるビアホール形成後のＡ－Ａ線断面図
【図３】図１におけるビアホール形成後のＢ－Ｂ線断面図
【図４】図１におけるビアホール形成途中でのＡ－Ａ線断面図
【図５】図２におけるビアホール部分の低加速電子顕微鏡像
【図６】図３におけるビアホール部分の低加速電子顕微鏡像
【図７】本発明になる半導体装置の他の実施形態の要部の平面図

【符号の説明】

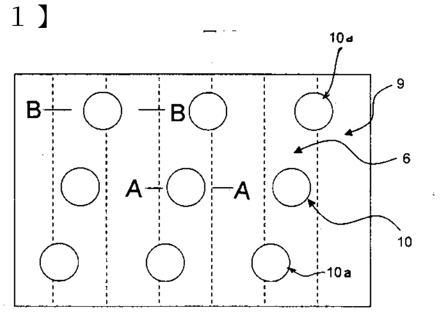
【００４０】

１　半導体基板
２　配線ストッパ膜
３　配線層間膜
４　配線キャップ膜
５　バリア膜
６　Ｃｕ配線膜

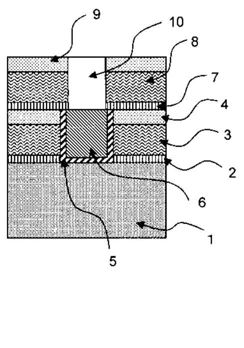
7	ビアホールストッパ膜
8	ビアホール層間膜
9	ビアホールキャップ膜
1 0	ビアホール（適合ビアホール）
1 0 a	ビアホール（不適合ビアホール）

代 理 人 宇 高 克 己

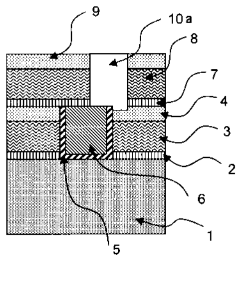
【図１】



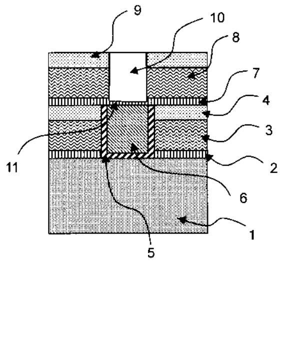
【図２】



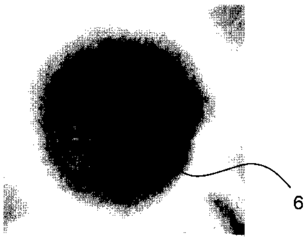
【図３】



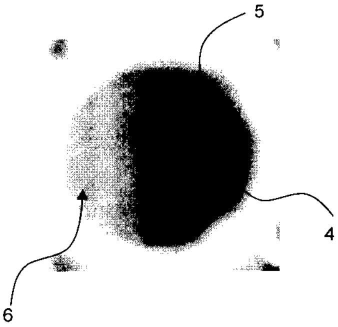
【図４】



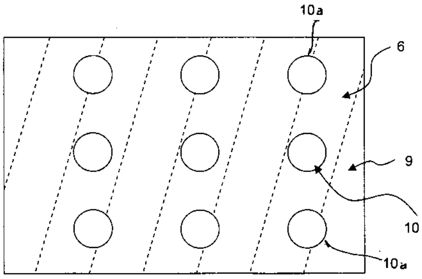
【図５】



【図６】



【図７】



フロントページの続き

【要約の続き】
【選択図】　図３