

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年12月24日(24.12.2020)



(10) 国際公開番号

WO 2020/255239 A1

(51) 国際特許分類:  
G06F 9/38 (2018.01) G06F 15/173 (2006.01)  
G06F 9/48 (2006.01)

(21) 国際出願番号: PCT/JP2019/024038

(22) 国際出願日: 2019年6月18日(18.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

(72) 発明者: 鈴木 貴大 (SUZUKI Takahiro); 〒1808585 東京都武蔵野市緑町3丁目9-1

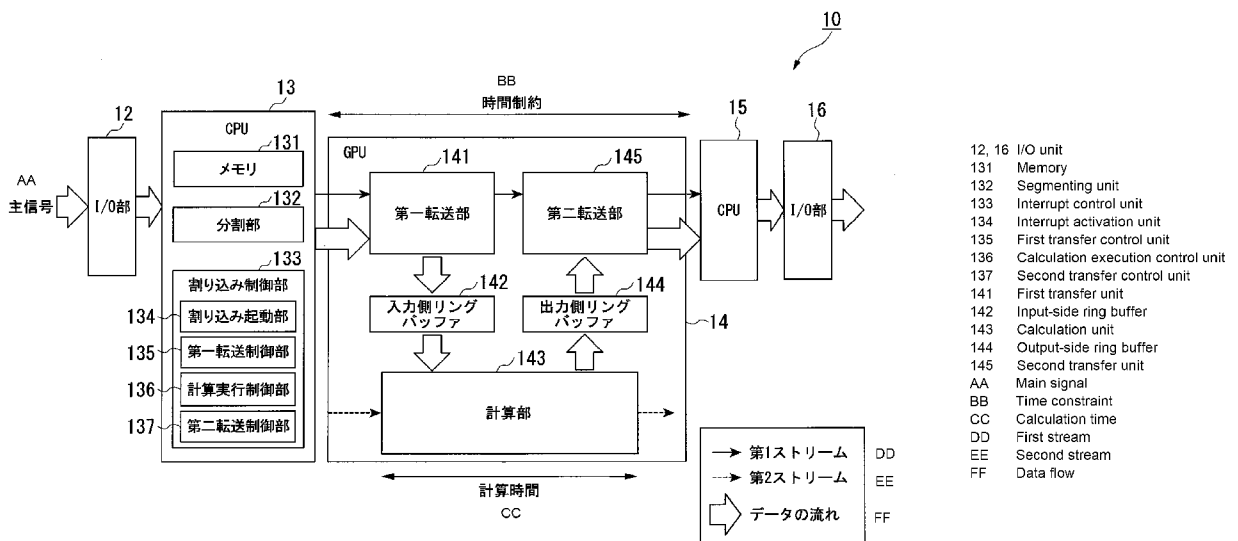
1 NTT 知的財産センタ内 Tokyo (JP). キムサンヨプ(KIMU Sanyopu); 〒1808585 東京都武蔵野市緑町3丁目9-1 NTT 知的財産センタ内 Tokyo (JP). 可児 淳一(KANI Junichi); 〒1808585 東京都武蔵野市緑町3丁目9-1 NTT 知的財産センタ内 Tokyo (JP).

(74) 代理人: 特許業務法人 志賀国際特許事務所 (SHIGA INTERNATIONAL PATENT OFFICE); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DATA PROCESSING DEVICE, DATA PROCESSING METHOD, AND PROGRAM

(54) 発明の名称: データ処理装置、データ処理方法及びプログラム



(57) Abstract: A data processing device comprising a data input unit and a processor. The processor includes a segmenting unit, a first and a second storage unit that have a plurality of storage regions, a write unit, a calculation unit, and a control unit. The segmenting unit segments the data series inputted by the data input unit and generates a plurality of segmented data. The write unit writes the segmented data into the first storage unit in accordance with the order of writing to a storage area in the first storage unit. The calculation unit performs a calculation process on the segmented data written into the first storage unit and writes the data after calculation obtained by the calculation process into the second storage unit in accordance with the order of writing to a storage area in the second storage unit. The control unit controls a process of the write unit and a process of the calculation unit that are segmented into different processing series so that these processes



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

---

are executed in parallel by pipelining.

(57) 要約: データ処理装置は、データ入力部と、プロセッサとを備える。プロセッサは、分割部と、複数の記憶領域を有する第一記憶部及び第二記憶部と、書き込み部と、計算部と、制御部とを備える。分割部は、データ入力部が入力したデータ系列を分割して複数の分割データを生成する。書き込み部は、第一記憶部における記憶領域への書き込み順に従って分割データを第一記憶部に書き込む。計算部は、第一記憶部に書き込まれた分割データに計算処理を行い、計算処理によって得られた計算後データを、第二記憶部における記憶領域への書き込み順に従って第二記憶部に書き込む。制御部は、異なる処理系列に分割された書き込み部の処理と計算部の処理とをパイプライン処理により並行して実行するよう制御する。

## 明 細 書

発明の名称：データ処理装置、データ処理方法及びプログラム  
技術分野

[0001] 本発明は、データ処理装置、データ処理方法及びプログラムに関する。

### 背景技術

[0002] 近年、ネットワーク分野においては、SDN (software-defined network) や、NFV (network functions virtualization) が盛んに検討されている。これらの技術は、ソフトウェアや汎用プロセッサを用いてデータ処理装置を構成することによって、装置の開発の柔軟性や機敏性を向上させることを狙っている。この目的のため、上位機能の一部処理をソフトウェアにより動作させることが検討されている。さらには、物理層処理も含めたソフトウェア領域の拡大が検討されている（例えば、非特許文献1参照）。このようなソフトウェア領域の拡大のためには、主信号等の大容量のデータをプロセッサに転送し、プロセッサにおいて転送されたデータを用いた処理を行うことが求められる。

[0003] 主にコヒーレント受信のデジタル信号処理（DSP）に上記の技術を活用した例を図8に示す。図8は、従来の大容量データの処理装置（例えば、非特許文献2参照）を示す図である。主信号は、I/O（入出力）及びCPU（central processing unit）を経由してGPU（Graphics Processing Unit）に転送される。この際には、CPUからGPUへの転送処理が必要であるため、GPU内において処理時間がかかる。その後、GPUにおいて、転送されたデータに対してDSP計算が行われ、計算後のデータはGPUからCPUに転送される。CPUに転送されたデータは、I/Oを通して外部に信号として出力される。

### 先行技術文献

#### 非特許文献

[0004] 非特許文献1：Takahiro Suzuki, Sang-Yuep Kim, Jun-ichi Kani, Toshihiro

Hanawa, Ken-Ichi Suzuki, and Akihiro Otaka, "Demonstration of 10-Gbps Real-Time Reed-Solomon Decoding Using GPU Direct Transfer and Kernel Scheduling for Flexible Access Systems," Journal of Lightwave Technology, Vol. 36, No. 10, pp.1875-1881, 2018.

非特許文献2: Sang-Yuep Kim, Takahiro Suzuki, Jun-Ichi Kani, and Akihiro Otaka, "Coherent Receiver DSP Implemented on a General-Purpose Server for a Full Software-Defined Access System", IEEE/OSA Journal of Optical Communications and Networking, Vol. 11, No. 1, pp. A96-A102, 2019.

## 発明の概要

### 発明が解決しようとする課題

[0005] 図8に示す構成においては、転送と計算とが逐次的に実行される。よって、転送処理が大きくなると、GPUにおける入力から出力までの制約時間内において、計算にかけることができる時間が減少する。この構成を、大容量のデータをプロセッサに転送する必要があるリアルタイムシステムに適用した場合、データ転送時間が大きいために、転送時間と計算時間との合計時間が、制約時間を満たすことが困難な可能性がある。

[0006] 上記事情に鑑み、本発明は、大容量データ全体にかかる処理時間を低減しながらプロセッサによるデータ処理を行うことができるデータ処理装置、データ処理方法及びプログラムを提供することを目的としている。

### 課題を解決するための手段

[0007] 本発明の一態様は、データ系列を入力するデータ入力部と、前記データ入力部が入力した前記データ系列を用いて所定の計算処理を行うプロセッサとを備え、前記プロセッサは、複数の記憶領域を有する第一記憶部と、複数の記憶領域を有する第二記憶部と、前記データ系列を分割して複数の分割データを生成する分割部と、前記第一記憶部における前記記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込み部と、前記書き込み部により書き込まれた前記分割データを用いて前記

計算処理を行い、前記計算処理によって得られた計算後データを、前記第二記憶部における前記記憶領域への書き込み順に従って前記第二記憶部の前記記憶領域に書き込む計算部と、異なる処理系列に分割された前記書き込み部の処理と前記計算部の処理とをパイプライン処理により並行して実行するよう制御する制御部とを備える、データ処理装置である。

[0008] 本発明の一態様は、データ入力部が、データ系列を入力するデータ入力ステップと、プロセッサが、前記データ系列を分割して複数の分割データを生成する分割ステップと、第一記憶部が有する複数の記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込みステップと、前記書き込みステップにおいて書き込まれた前記分割データを用いて所定の計算処理を行い、前記計算処理によって得られた計算後データを、第二記憶部における複数の記憶領域への書き込み順に従って、前記第二記憶部における前記記憶領域に書き込む計算ステップと、異なる処理系列に分割された前記書き込みステップの処理と前記計算ステップの処理とをパイプライン処理により並行して実行するよう制御する制御ステップとを有する、データ処理方法である。

[0009] 本発明の一態様は、プロセッサに、データ系列を分割して複数の分割データを生成する分割ステップと、第一記憶部が有する複数の記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込みステップと、前記書き込みステップにおいて書き込まれた前記分割データを用いて所定の計算処理を行い、前記計算処理によって得られた計算後データを、第二記憶部における複数の記憶領域への書き込み順に従って、前記第二記憶部における前記記憶領域に書き込む計算ステップと、異なる処理系列に分割された前記書き込みステップの処理と前記計算ステップの処理とをパイプライン処理により並行して実行するよう制御する制御ステップと、を実行させるためのプログラムである。

[0010] 本発明の一態様は、プロセッサに、データ系列を分割して複数の分割データを生成する分割ステップと、第一記憶部が有する複数の記憶領域への書き

込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込み処理と、前記書き込み処理により書き込まれた前記分割データを用いて所定の計算処理を行い、前記計算処理によって得られた計算後データを、第二記憶部における複数の記憶領域への書き込み順に従って、前記第二記憶部における前記記憶領域に書き込む計算処理とを異なる処理系列に分割して実行する他のプロセッサに対して、前記書き込み処理と前記計算処理とをパイプライン処理により並行して実行するよう制御する制御ステップと、を実行させるためのプログラムである。

### 発明の効果

[0011] 本発明により、大容量データ全体にかかる処理時間を低減しながらプロセッサによるデータ処理を行うことが可能となる。

### 図面の簡単な説明

- [0012] [図1]本発明の第1の実施形態によるデータ処理装置の構成を示す図である。  
[図2]同実施形態によるGPUの動作例を示す図である。  
[図3]同実施形態によるGPUにおけるパイプライン処理を示す図である。  
[図4]第2の実施形態によるサーバの構成を示す図である。  
[図5]同実施形態による光アクセスネットワークシステムの構成を示す図である。  
[図6]第3の実施形態によるサーバの構成を示す図である。  
[図7]同実施形態による光アクセスネットワークシステムの構成を示す図である。  
[図8]従来技術による大容量データの処理装置を示す図である。

### 発明を実施するための形態

[0013] 以下、図面を参照しながら本発明の実施形態を詳細に説明する。本実施形態のデータ処理装置は、受信したデータに対してプロセッサが行う転送処理と計算処理とを別系列で処理する。プロセッサがGPUの場合、GPUは別ストリームを活用して、従来は分離せずに逐次的に実行されていた転送処理と計算処理とを分離して実行する。GPUが、転送処理と計算処理とを複数

ステップに分離してパイプライン処理を行うことにより、転送処理と計算処理とが並行して実行される。そのため、受信したデータ全体に対する転送処理と計算処理との合計の計算時間が削減される。よって、時間制約があるリアルタイムシステムの実現を可能にすることができる。

[0014] なお、CPUが転送処理及び計算処理を行う場合、CPUは、転送処理と計算処理とを異なるプロセスや異なるスレッドに分離してパイプライン処理を実行する。以下では、GPUにおいてパイプライン処理を行う場合を例に説明する。

[0015] (第1の実施形態)

図1は、本発明の第1の実施形態によるデータ処理装置10の構成を示す図である。データ処理装置10は、I/O(入出力)部12と、CPU13と、GPU14と、CPU15と、I/O部16とを備える。I/O部12及びI/O部16は、例えば、FPGA(field-programmable gate array)やネットワークインタフェースカードである。CPU13とCPU15とは、同一のCPUでもよく、異なるCPUでもよい。

[0016] I/O部12は、外部の装置とCPU13との間の信号の入出力を行う。CPU13は、メモリ131と、分割部132と、割り込み制御部133とを有する。

[0017] メモリ131は、I/O部12から転送された信号のデータ系列を記憶する。分割部132は、メモリ131に記憶されるデータ系列を複数のデータ系列に分割する。分割後のデータ系列を分割データと記載する。分割部132は、GPU14において他の分割データを参照せずにGPU14における計算処理が可能な単位でデータ系列を分割する。例えば、分割部132は、所定のデータ長によってデータ系列を分割する。あるいは、分割部132は、データ系列の設定内容に基づいて他の範囲のデータを参照せずに計算処理が可能な範囲を検出し、検出した範囲ごとにデータ系列を分割する。

[0018] 割り込み制御部133は、割り込み起動部134と、第一転送制御部135と、計算実行制御部136と、第二転送制御部137とを有する。割り込

み起動部 134 は、GPU 14 への割り込みを行うタイミングを生成する。例えば、割り込み起動部 134 は、周期的に GPU 14 への割り込みを起動する。第一転送制御部 135 は、GPU 14 にデータ転送の実行と、メモリ 131 における転送元の分割データの記憶場所と、その分割データの転送先となる GPU 14 における記憶場所とを指示する。計算実行制御部 136 は、GPU 14 のカーネルにより起動される計算処理の実行と、GPU 14 における計算処理の対象のデータの記憶場所と、GPU 14 における計算後のデータの記憶場所とを指示する。第二転送制御部 137 は、GPU 14 にデータ転送の実行と、GPU 14 における計算後のデータの記憶場所と、その計算後のデータの転送先となる CPU 15 における記憶場所とを指示する。

[0019] GPU 14 は、第一転送部 141 と、入力側リングバッファ 142 と、計算部 143 と、出力側リングバッファ 144 と、第二転送部 145 とを有する。

[0020] 第一転送部 141 は、CPU 13 の第一転送制御部 135 から指示を受け、CPU 13 から分割データを読み出して、入力側リングバッファ 142 に書き込む。入力側リングバッファ 142 は、複数の記憶領域を有している。CPU 13 の第一転送制御部 135 は、分割データの転送先の記憶場所として、先頭など所定の記憶領域から順に入力側リングバッファ 142 の記憶領域を指示する。第一転送制御部 135 は、入力側リングバッファ 142 の最後の記憶領域を指示した次は、分割データの転送先の記憶場所として、再び先頭の記憶領域を指示する。

[0021] 計算部 143 は、CPU 13 の計算実行制御部 136 からの指示を受け、入力側リングバッファ 142 から計算対象のデータを読み出して指示された計算処理を行う。このとき、計算実行制御部 136 は、計算対象のデータの記憶場所として、前回の割り込みのタイミングにおいて書き込まれた分割データの記憶領域を指定する。計算部 143 は、計算後のデータを、計算実行制御部 136 から指示された出力側リングバッファ 144 の記憶領域に書き込む。

- [0022] 出力側リングバッファ144は、複数の記憶領域を有している。CPU13の計算実行制御部136は、計算部143に計算の実行を指示する際に、計算後のデータの記憶場所として、先頭など所定の記憶領域から順に出力側リングバッファ144の記憶領域を指示する。計算実行制御部136は、出力側リングバッファ144の最後の記憶領域を指示した次は、計算後のデータの記憶場所として、再び先頭の記憶領域を指示する。
- [0023] 第二転送部145は、CPU13の第二転送制御部137から指示を受け、出力側リングバッファ144から計算後のデータを読み出して、CPU15に転送する。このとき、第二転送制御部137は、転送対象の計算後のデータの記憶場所として、前回の割り込みのタイミングにおいて計算後のデータが書き込まれた出力側リングバッファ144の記憶領域を指定する。
- [0024] CPU15は、GPU14から転送されたデータをI/O部16に出力する。I/O部16は、CPU15から転送されたデータを、外部の装置に転送する。
- [0025] 上記構成により、外部の装置からデータ処理装置10へ入力された主信号は、I/O部12とCPU13を通り、分割データに分割されて順次GPU14に転送される。CPU13は、GPU14への転送前に主信号又は分割データにデータ処理を行ってもよい。GPU14は、各分割データに対して、CPU13からGPU14への転送処理である第一転送処理及びGPU14からCPU15への転送処理である第二転送処理と、計算処理とを、別のストリームである第1ストリーム及び第2ストリームに分けて実行する。GPU14は、複数のSM（ストリーミングマルチプロセッサ）と、各種メモリとを有している。各SMは、複数のコアを有している。一つのSMは第一ストリーム又は第二ストリームのいずれかのストリームの処理を行う。第二ストリームの処理を行うSMにおいては、複数のコアにより計算処理が並列で実行される。計算後の分割データに基づいて生成された主信号はCPU15とI/O部16を通り、外部の装置に出力される。CPU15は、I/O部16への転送前に主信号にデータ処理を行ってもよい。

[0026] なお、GPU 14 は、さらに、第一転送処理と第二転送処理とを別のストリームに分けて実行してもよい。また、上記では、外部信号を入力して出力するデータ処理装置を記載したが、外部信号を入力するだけのデータ処理装置や、外部信号を出力するだけのデータ処理装置でもよい。外部信号を入力するだけのデータ処理装置は、第二転送部 145 を有さなくてもよい。外部信号を出力するだけのデータ処理装置の場合、CPU 13 は、外部信号として送信する対象のデータを入力し、入力したデータをメモリ 131 に書き込むデータ入力部を備える。

[0027] 図 2 は、GPU 14 の動作例を示す図である。図 2 は、コヒーレント受信のデジタル信号処理を想定した各割り込み入力ステップにおける命令パイプラインの動作例を示す。処理対象の分割データは I Q データであり、i 番目（i は 2 以上の整数）の I Q データを I Q データ（i）と記載する。I Q データは、信号の同相成分（In-Phase 成分）である I データと、信号の直交成分（Quadrature 成分）のデータである Q データとを含む。

[0028] 割り込み回数 0 回目において、GPU 14 は第一転送処理により CPU 13 から I Q データ（0）を転送する。割り込み回数 1 回目において、GPU 14 は I Q データ（0）に計算処理を行い、並列で、第一転送処理により CPU 13 から I Q データ（1）を転送する。割り込み回数 2 回目において、GPU 14 は、I Q データ（0）に計算処理を行った後の計算後データを、第二転送処理により CPU 15 に出力する。また、並列で、GPU 14 は、I Q データ（1）に計算処理を行い、さらに並列で、第一転送処理により CPU 13 から I Q データ（2）を転送する。これらの動作によって、データ処理装置 10 は、第二転送処理による計算後データの転送と、計算処理と、第一転送処理による I Q データ転送とをパイプライン式に実行する。

[0029] 図 3 は、GPU 14 におけるパイプライン処理を示す図である。図 3 は、割り込み回数 0 回目から 2 回目までの入力側リングバッファ 142 及び出力側リングバッファ 144 も含めたパイプライン処理を示している。なお、入

力側リングバッファ 142 が有する  $n$  個 ( $n$  は 2 以上の整数) の記憶領域を入力側リングバッファ ( $n$ ) と記載し、出力側リングバッファ 144 が有する  $n$  個 ( $n$  は 2 以上の整数) の記憶領域を出力側リングバッファ ( $n$ ) と記載する。計算処理は、例えば、FIR フィルタ、位相差算出、位相回転、シンボルディシジョンを含む。

[0030] 割り込み回数 0 回目において、CPU 13 の第一転送制御部 135 は、GPU 14 に、データ転送の実行と、メモリ 131 における IQ データ (0) の記憶場所と、転送先の入力側リングバッファ (0) とを指示する。GPU 14 の第一転送部 141 は、指示されたメモリ 131 の記憶場所から入力側リングバッファ (0) に IQ データ (0) を転送する。

[0031] 割り込み回数 1 回目において、CPU 13 の第一転送制御部 135 は、GPU 14 に、データ転送の実行と、メモリ 131 における IQ データ (1) の記憶場所と、転送先の入力側リングバッファ (1) とを指示する。GPU 14 の第一転送部 141 は、指示されたメモリ 131 の記憶場所から入力側リングバッファ (1) に IQ データ (1) を転送する。

[0032] さらに、割り込み回数 1 回目において、CPU 13 の計算実行制御部 136 は、GPU 14 に計算の実行と、計算対象のデータの記憶場所である入力側リングバッファ (0) と、計算後のデータの記憶場所である出力側リングバッファ (0) とを指示する。GPU 14 の計算部 143 は、入力側リングバッファ (0) に記憶される IQ データ (0) に対して計算処理を行い、計算後のデータを出力側リングバッファ (0) に書き込む。

[0033] 割り込み回数 2 回目において、CPU 13 の第一転送制御部 135 は、GPU 14 に、データ転送の実行と、メモリ 131 における IQ データ (2) の記憶場所と、転送先の入力側リングバッファ (2) とを指示する。GPU 14 の第一転送部 141 は、指示されたメモリ 131 の記憶場所から入力側リングバッファ (2) に IQ データ (2) を転送する。

[0034] さらに、割り込み回数 2 回目において、CPU 13 の計算実行制御部 136 は、GPU 14 に計算の実行と、計算対象のデータの記憶場所である入力

側リングバッファ（１）と、計算後のデータの記憶場所である出力側リングバッファ（１）とを指示する。GPU 14の計算部 143は、入力側リングバッファ（１）に記憶されるIQデータ（１）に対して計算処理を行い、計算後のデータを出力側リングバッファ（１）に書き込む。

[0035] さらに、割り込み回数２回目において、CPU 13の第二転送制御部 137は、GPU 14に、データ転送の実行と、IQデータ（０）に対する計算後のデータが記憶される出力側リングバッファ（０）と、計算後のデータの転送先となるCPU 15における記憶場所とを指示する。GPU 14の第二転送部 145は、出力側リングバッファ（０）から計算後のデータを読み出して、指示されたCPU 15の記憶場所に転送する。

[0036] 上記のように、GPU 14は、１つの信号に対して行う処理を複数の段階の処理に分割し、複数段階に分割された処理を複数のストリームで実行する。これにより、GPU 14は、複数の分割データに対する処理を並行して実行する。

[0037] （第２の実施形態）

第２の実施形態のデータ処理装置は、通信装置として用いられる。本実施形態のデータ処理装置は、ADC（アナログデジタルコンバータ）を有し、デジタル信号処理を行う。

[0038] 図４は、第２の実施形態によるサーバ２０の構成を示す図である。サーバ２０は、データ処理装置の一例である。サーバ２０は、ADC 21と、I/O部 22と、CPU 23と、GPU 24と、CPU 25と、I/O部 26とを備える。CPU 23とCPU 25とは、同一のCPUでもよく、異なるCPUでもよい。

[0039] ADC 21は、外部の装置から受信したIQデータの信号をアナログ信号からデジタル信号に変換し、I/O部 22に出力する。I/O部 22は、ADC 21とCPU 23との間の信号の入出力を行う。CPU 23は、第１の実施形態のCPU 13と同様の機能を有する。CPU 23は、I/O部 22から受信した信号のデータ系列を分割する。CPU 23は、GPU 24に割

り込みを行い、CPU 23からGPU 24への分割データの転送と、分割データに対する計算処理の実行と、CPU 25への計算後のデータの転送とをパイプライン処理により並行して行うよう指示する。

[0040] GPU 24は、第一転送部241と、入力側リングバッファ242と、計算部243と、出力側リングバッファ244と、第二転送部245とを有する。第一転送部241、入力側リングバッファ242、出力側リングバッファ244、及び、第二転送部245はそれぞれ、図1に示す第1の実施形態の第一転送部141、入力側リングバッファ142、出力側リングバッファ144、及び、第二転送部145と同様の機能を有する。

[0041] 計算部243は、CPU 23からの割り込みを受け、前回の割り込みのタイミングにおいて入力側リングバッファ242の記憶領域に分割データとして書き込まれた信号を読み出してデジタル信号処理を行う。計算部243は、FIRフィルタ2431と、位相差算出部2432と、位相回転部2433と、シンボルディシジョン部2434とを有する。FIRフィルタ2431は、出力側リングバッファ244に記憶されている信号のIデータとQデータのそれぞれに対して、信号が伝送中に受けた波長分散などの波形の劣化を補償する。位相差算出部2432は、波形の劣化が補償されたIデータとQデータそれぞれに対して、伝送中に位相のずれが発生しなかったと仮定したときの信号との位相差を算出する。位相回転部2433は、波形の劣化が補償されたIデータとQデータのそれぞれに対して、位相差算出部2432が算出した位相差を補償する。シンボルディシジョン部2434は、位相差が補償されたIデータとQデータに基づいてQAM (Quadrature Amplitude Modulation) 信号のシンボルを判定する。シンボルディシジョン部2434は、判定結果を出力側リングバッファ244に書き込む。

[0042] CPU 25は、GPU 24の第二転送部145から転送されたデータをI/O部26に出力する。I/O部26は、CPU 25から転送されたデータを、外部の装置に転送する。

[0043] 上記構成により、サーバ20に入力された主信号は、ADC 21と、I/O

部22と、CPU23とを經由してGPU24に転送される。GPU24は、計算処理において、FIRフィルタ、位相差算出、位相回転、シンボルディシジョン等のデジタル信号処理を実行する。デジタル信号処理による計算後のデータは、CPU25及びI/O部26を經由して外部に出力される。

[0044] GPUが転送処理と計算処理を逐次的に行った場合、転送処理にかかる時間と計算処理にかかる時間との和がリアルタイムシステムにおける時間制約を満たす必要がある。しかし、通信システムにおいては高スループットのデータ転送が要求されることから、転送処理が大きくなる。転送処理が大きくなると、時間制約を満たすことが困難となる。図4に示すサーバ20は、第一転送部241及び第二転送部245による転送処理と、計算部243による計算処理とを別ストリームとすることにより、並列処理する。転送処理と計算処理とが独立に時間制約を満たすことにより、サーバ20は、リアルタイム処理を実現することができる。

[0045] 図5は、図4に示すサーバ20を用いた光アクセスネットワークシステム300の構成を示す図である。光アクセスネットワークシステム300は、加入者側装置310と、局側装置320とを有する。局側装置320は、1台以上の加入者側装置310と、光スプリッタ330及び光ファイバ340を介して接続される。

[0046] 加入者側装置310は、レーザ光源311と、信号生成部312と、I/Q変調器313とを備える。レーザ光源311は、レーザ光を発生する。信号生成部312は、送信信号を生成し、生成した送信信号をI/Q変調器313に出力する。I/Q変調器313は、送信信号によりレーザ光を変調して生成したI/Q信号を局側装置320に送信する。光スプリッタ330は、複数の加入者側装置310から送信されたI/Q信号を多重して局側装置320の方向に出力する。

[0047] 局側装置320は、偏波コントローラ321と、局発光源322と、光コヒーレント受信器323と、サーバ324とを有する。偏波コントローラ321は、加入者側装置310から受信したI/Q信号の偏光状態を変化させる

。局発光源 3 2 2 は、ローカル光を発生する。光コヒーレント受信器 3 2 3 は、偏波コントローラ 3 2 1 により偏光状態を変化させた I Q 信号に、局発光源 3 2 2 が発生したローカル光を光 90 度ハイブリッドで干渉させ、I データと Q データを抽出する。光コヒーレント受信器 3 2 3 は、抽出された I データと Q データとを含む I Q データをサーバ 3 2 4 へ出力する。サーバ 3 2 4 には、図 4 に示すサーバ 2 0 が用いられる。サーバ 3 2 4 は、受信した I Q データにデジタル信号処理を行う。サーバ 3 2 4 が備える GPU 2 4 の計算部 2 4 3 は、デジタル信号処理を行う際に、I データと Q データのそれぞれに対して FIR フィルタ 2 4 3 1、位相差算出部 2 4 3 2、及び、位相回転部 2 4 3 3 の処理を並行して行う。シンボルディシジョン部 2 4 3 4 は、I データと Q データのそれぞれに対して位相回転部 2 4 3 3 が位相回転処理を行った結果を用いて、シンボルを判定する。

[0048] (第 3 の実施形態)

第 3 の実施形態のデータ処理装置は、通信装置として用いられる。本実施形態のデータ処理装置は、PD (フォトダイオード) を有し、符号化(decode)や復号化(encode)の処理を行う。

[0049] 図 6 は、第 3 の実施形態によるサーバ 4 0 の構成を示す図である。サーバ 4 0 は、データ処理装置の一例である。サーバ 4 0 は、PD 4 1 と、I/O (入出力) 部 4 2 と、CPU 4 3 と、GPU 4 4 と、CPU 4 5 と、I/O 部 4 6 とを備える。CPU 4 3 と CPU 4 5 とは、同一の CPU でもよく、異なる CPU でもよい。

[0050] PD 4 1 は、受信した光信号をアナログの電気信号に変換して I/O 部 4 2 に出力する。I/O 部 4 2 は、PD 4 1 と CPU 4 3 との間の信号の入出力を行う。CPU 4 3 は、第 1 の実施形態の CPU 1 3 と同様の機能を有する。CPU 4 3 は、I/O 部 4 2 から受信した信号のデータ系列を分割する。CPU 4 3 は、GPU 4 4 に割り込みを行い、CPU 4 3 から GPU 4 4 への分割データの転送と、分割データに対する計算処理の実行と、CPU 4 5 への計算後のデータの転送とをパイプライン処理により並行して行うよう

指示する。

[0051] GPU 44 は、第一転送部 441 と、入力側リングバッファ 442 と、計算部 443 と、出力側リングバッファ 444 と、第二転送部 445 とを有する。第一転送部 441、入力側リングバッファ 442、出力側リングバッファ 444、及び、第二転送部 445 はそれぞれ、図 1 に示す第 1 の実施形態の第一転送部 141、入力側リングバッファ 142、出力側リングバッファ 144、及び、第二転送部 145 と同様の機能を有する。

[0052] 計算部 443 は、CPU 43 からの割り込みを受け、前回の割り込みのタイミングにおいて入力側リングバッファ 442 の記憶領域に分割データとして書き込まれた信号のデータを読み出して復号化処理を行う。計算部 443 は、同期処理部 4431 と、誤り訂正部 4432 と、デスクランブラ 4433 とを有する。同期処理部 4431 は、フレーム同期を行って信号のフレームの先頭を検出する。誤り訂正部 4432 は、先頭が検出されたフレームに対して誤り訂正復号を行う。デスクランブラ 4433 は、誤り訂正復号が行われたフレームに対してデスクランブル処理を行う。デスクランブラ 4433 は、デスクランブル処理の結果を出力側リングバッファ 444 に書き込む。

[0053] CPU 45 は、GPU 44 の第二転送部 445 から転送されたデータを I/O 部 46 に出力する。I/O 部 46 は、CPU 45 から転送されたデータを、外部の装置に転送する。

[0054] 上記構成により、サーバ 40 に入力された主信号は、PD 41 と、I/O 部 42 と、CPU 43 とを経由して GPU 44 に転送される。GPU 44 は、計算処理において、フレーム同期、誤り訂正復号、デスクランブル処理等の復号化処理を実行する。復号化処理による計算後のデータは、CPU 45 及び I/O 部 46 を経由して外部に出力される。

[0055] ここでは、復号化処理を例として示したが、GPU 44 は、符号化処理を実行してもよい。GPU が転送処理と計算処理を逐次的に行った場合、転送処理にかかる時間と計算処理にかかる時間の和がリアルタイムシステムにお

ける時間制約を満たす必要がある。しかし、通信システムにおいては高スループットのデータ転送が要求されることから、転送処理が大きくなる。転送処理が大きくなると、時間制約を満たすことが困難となる。図6に示すサーバ40は、第一転送部441及び第二転送部445による転送処理と、計算部443による計算処理とを別ストリームとすることにより、並列処理する。転送処理と計算処理とが独立に時間制約を満たすことにより、サーバ40は、リアルタイム処理を実現することができる。

[0056] 図7は、図6に示すサーバ40を用いた光アクセスネットワークシステム500の構成を示す図である。光アクセスネットワークシステム500は、加入者側装置510と、局側装置520とを有する。局側装置520は、1台以上の加入者側装置510と、光スプリッタ530及び光ファイバ540を介して接続される。

[0057] 加入者側装置510は、レーザ光源511と、信号生成部512と、強度変調器513とを備える。レーザ光源511は、レーザ光を発生する。信号生成部512は、送信信号を生成し、生成した送信信号を強度変調器513に出力する。強度変調器513は、送信信号によりレーザ光の強度を変調して生成した光信号を局側装置520に送信する。光スプリッタ530は、複数の加入者側装置510から送信された光信号を多重して局側装置520の方向に出力する。

[0058] 局側装置520は、サーバ521を有する。サーバ521には、図6に示すサーバ40が用いられる。サーバ521は、加入者側装置510から受信した光信号を復号化する。

[0059] 以上説明した実施形態のデータ処理装置は、データ系列を複数に分割すると共に、分割したデータ系列に対するメモリへの転送処理とメモリに記憶されたデータ系列に対する計算処理とをステップに分割し、それぞれ別の処理システムで処理する。これにより、データ処理装置における複数ステップのパイプライン処理を可能とする。よって、データ処理装置におけるデータ系列全体に対する転送処理と計算処理の合計時間が削減され、時間制約のあるリア

ルタイムシステムの実現が可能である。

[0060] なお、データ処理装置10のCPU13及びGPU14、サーバ20のCPU23及びGPU24、ならびに、サーバ40のCPU43及びGPU44は、コンパイルされたプログラムを実行することによって上記の動作を行う。このプログラムの一部又は全ては、データ処理装置10、サーバ20、及び、サーバ40が備える記録媒体に記録されてもよい。

[0061] また、データ処理装置10、サーバ20、及び、サーバ40がGPUを用いない場合、データ処理装置10、サーバ20、及び、サーバ40が備えるCPUは、第一転送処理及び第二転送処理と、計算処理とを、あるいは、第一転送処理、第二転送処理及び計算処理のそれぞれを、異なるプロセスや異なるスレッドにより行って、パイプライン処理を実行する。その場合、データ処理装置10、サーバ20、及び、サーバ40のCPUは、記録媒体に記録されたプログラムを読み出して実行することにより、この機能を実現してもよい。

[0062] 上述した実施形態によれば、データ処理装置は、データ入力部と、プロセッサとを備える。データ入力部は、計算処理の対象のデータ系列を入力する。例えば、データ入力部は、I/O部12、22、42である。プロセッサは、データ入力部が入力したデータ系列を用いて所定の計算処理を行う。例えば、プロセッサは、CPU13及びGPU14、CPU23及びGPU24、CPU43及びGPU44である。あるいは、例えば、プロセッサは、データ処理装置10、サーバ20、及び、サーバ40が備えるCPUである。

[0063] プロセッサは、第一記憶部と、第二記憶部と、分割部と、書き込み部と、計算部と、制御部とを備える。第一記憶部及び第二記憶部はそれぞれ、複数の記憶領域を有する。例えば、第一記憶部は、入力側リングバッファ142、242、442であり、第二記憶部は、出力側リングバッファ144、244、444である。分割部は、データ入力部が入力したデータ系列を分割して複数の分割データを生成する。例えば、分割部は、分割部132である。

。書き込み部は、分割データ毎に、第一記憶部における記憶領域への書き込み順に従って、分割データを第一記憶部の記憶領域に書き込む。例えば、書き込み部は、第一転送部 1 4 1、2 4 1、4 4 1 である。計算部は、書き込み部により書き込まれた分割データ毎に、分割データを用いて計算処理を行い、この計算処理により得られた計算後データを、第二記憶部における記憶領域への書き込み順に従って第二記憶部の記憶領域に書き込む。例えば、計算部は、計算部 1 4 3、2 4 3、4 4 3 である。制御部は、異なる処理系列に分割され、割り込みタイミング毎に起動される書き込み部の処理及び計算部の処理をパイプライン処理により並行して実行するよう制御する。例えば、制御部は、割り込み制御部 1 3 3 である。また、例えば、処理系列は、GPU におけるストリームや、CPU におけるスレッド又はプロセスである。

[0064] データ処理装置は、外部に計算後データを出力する出力部をさらに備えてもよい。この場合、プロセッサは、計算部により書き込まれた計算後データ毎に、計算後データを第二記憶部から読み出して出力部へ転送する転送部をさらに備える。例えば、出力部は、I/O 部 1 6 であり、転送部は、第二転送部 1 4 5 である。プロセッサにおいて、書き込み部の処理及び転送部の処理と、計算部の処理とは異なる処理系列に分割されている。あるいは、書き込み部の処理と、計算部の処理と、転送部の処理とは異なる処理系列に分割されている。制御部は、割り込みタイミング毎に起動される書き込み部の処理、計算部の処理、及び、転送部の処理をパイプライン処理により並行して実行するよう制御する。

[0065] データ処理装置は、プロセッサとして、中央演算処理装置である第一プロセッサと、アクセラレータである第二プロセッサとを有してもよい。例えば、第一プロセッサは、CPU 1 3、2 3、4 3 であり、第二プロセッサは、GPU 1 4、2 4、4 4 である。第一プロセッサは、分割部と、制御部とを有し、第二プロセッサは、第一記憶部と、第二記憶部と、書き込み部と、計算部と、転送部とを有する。

[0066] データ処理装置は、アナログ信号をデジタル信号に変換する変換部をさら

に備えてもよい。例えば、変換部は、ADC 21である。データ入力部は、変換部により変換されたデジタル信号をデータ系列として入力する。計算部は、計算処理としてデジタル信号処理を行う。

[0067] データ処理装置は、光信号を電気信号に変換する変換部をさらに備えてもよい。例えば、変換部は、PD 41である。データ入力部は、変換部により変換された電気信号をデータ系列として入力する。計算部は、計算処理として、符号化処理又は復号化処理を行う。

[0068] 以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこれら実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

## 符号の説明

[0069] 10…データ処理装置  
12、16、22、26、42、46…I/O部  
13、15、23、25、43、45…CPU  
14、24、44…GPU  
20、40、324、521…サーバ  
21…アナログデジタルコンバータ  
41…PD  
131…メモリ  
132…分割部  
133…割り込み制御部  
134…割り込み起動部  
135…第一転送制御部  
136…計算実行制御部  
137…第二転送制御部  
141、241、441…第一転送部  
142、242、442…入力側リングバッファ  
143、243、443…計算部

1 4 4、2 4 4、4 4 4 …出力側リングバッファ  
1 4 5、2 4 5、4 4 5 …第二転送部  
3 0 0、5 0 0 …光アクセスネットワークシステム  
3 1 0、5 1 0 …加入者側装置  
3 1 1、5 1 1 …レーザ光源  
3 1 2、5 1 2 …信号生成部  
3 1 3 … I Q 変調器  
3 2 0 …局側装置  
3 2 1 …偏波コントローラ  
3 2 2 …局発光源  
3 3 0、5 3 0 …光スプリッタ  
3 4 0、5 4 0 …光ファイバ  
3 2 3 …光コヒーレント受信器  
5 1 3 …強度変調器  
2 4 3 1 … F I R フィルタ  
2 4 3 2 …位相差算出部  
2 4 3 3 …位相回転部  
2 4 3 4 …シンボルディシジョン部  
4 4 3 1 …同期処理部  
4 4 3 2 …誤り訂正部  
4 4 3 3 …デスクランブラ

## 請求の範囲

### [請求項1]

データ系列を入力するデータ入力部と、  
前記データ入力部が入力した前記データ系列を用いて所定の計算処理を行うプロセッサとを備え、  
前記プロセッサは、  
複数の記憶領域を有する第一記憶部と、  
複数の記憶領域を有する第二記憶部と、  
前記データ系列を分割して複数の分割データを生成する分割部と、  
前記第一記憶部における前記記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込み部と、  
、  
前記書き込み部により書き込まれた前記分割データを用いて前記計算処理を行い、前記計算処理によって得られた計算後データを、前記第二記憶部における前記記憶領域への書き込み順に従って前記第二記憶部の前記記憶領域に書き込む計算部と、  
異なる処理系列に分割された前記書き込み部の処理と前記計算部の処理とをパイプライン処理により並行して実行するよう制御する制御部とを備える、  
データ処理装置。

### [請求項2]

前記データ処理装置は、  
外部に前記計算後データを出力する出力部をさらに備え、  
前記プロセッサは、  
前記計算部により書き込まれた前記計算後データを前記第二記憶部から読み出して前記出力部へ転送する転送部をさらに備え、  
前記転送部の処理は、前記計算部の処理と異なる処理系列に分割されており、  
前記制御部は、前記書き込み部の処理と、前記計算部の処理と、前記転送部の処理とをパイプライン処理により並行して実行するよう制

御する、

請求項 1 に記載のデータ処理装置。

[請求項3] 前記プロセッサは、第一プロセッサ及び第二プロセッサとからなり

、

前記第一プロセッサは、

前記分割部と、前記制御部とを有し、

前記第二プロセッサは、

前記第一記憶部と、前記第二記憶部と、前記書き込み部と、前記計算部とを有する、

請求項 1 に記載のデータ処理装置。

[請求項4] アナログ信号をデジタル信号に変換する変換部をさらに備え、

前記データ入力部は、前記変換部により変換された前記デジタル信号を前記データ系列として入力し、

前記計算処理は、デジタル信号処理である、

請求項 1 から請求項 3 のいずれか一項に記載のデータ処理装置。

[請求項5] 光信号を電気信号に変換する変換部をさらに備え、

前記データ入力部は、前記変換部により変換された前記電気信号を前記データ系列として入力し、

前記計算処理は、符号化処理又は復号化処理である、

請求項 1 から請求項 3 のいずれか一項に記載のデータ処理装置。

[請求項6] データ入力部が、データ系列を入力するデータ入力ステップと、プロセッサが、

前記データ系列を分割して複数の分割データを生成する分割ステップと、

第一記憶部が有する複数の記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込みステップと、

前記書き込みステップにおいて書き込まれた前記分割データを用い

て所定の計算処理を行い、前記計算処理によって得られた計算後データを、第二記憶部における複数の記憶領域への書き込み順に従って、前記第二記憶部における前記記憶領域に書き込む計算ステップと、

異なる処理系列に分割された前記書き込みステップの処理と前記計算ステップの処理とをパイプライン処理により並行して実行するよう制御する制御ステップとを有する、

データ処理方法。

[請求項7]

プロセッサに、

データ系列を分割して複数の分割データを生成する分割ステップと

、

第一記憶部が有する複数の記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込みステップと、

前記書き込みステップにおいて書き込まれた前記分割データを用いて所定の計算処理を行い、前記計算処理によって得られた計算後データを、第二記憶部における複数の記憶領域への書き込み順に従って、前記第二記憶部における前記記憶領域に書き込む計算ステップと、

異なる処理系列に分割された前記書き込みステップの処理と前記計算ステップの処理とをパイプライン処理により並行して実行するよう制御する制御ステップと、

を実行させるためのプログラム。

[請求項8]

プロセッサに、

データ系列を分割して複数の分割データを生成する分割ステップと

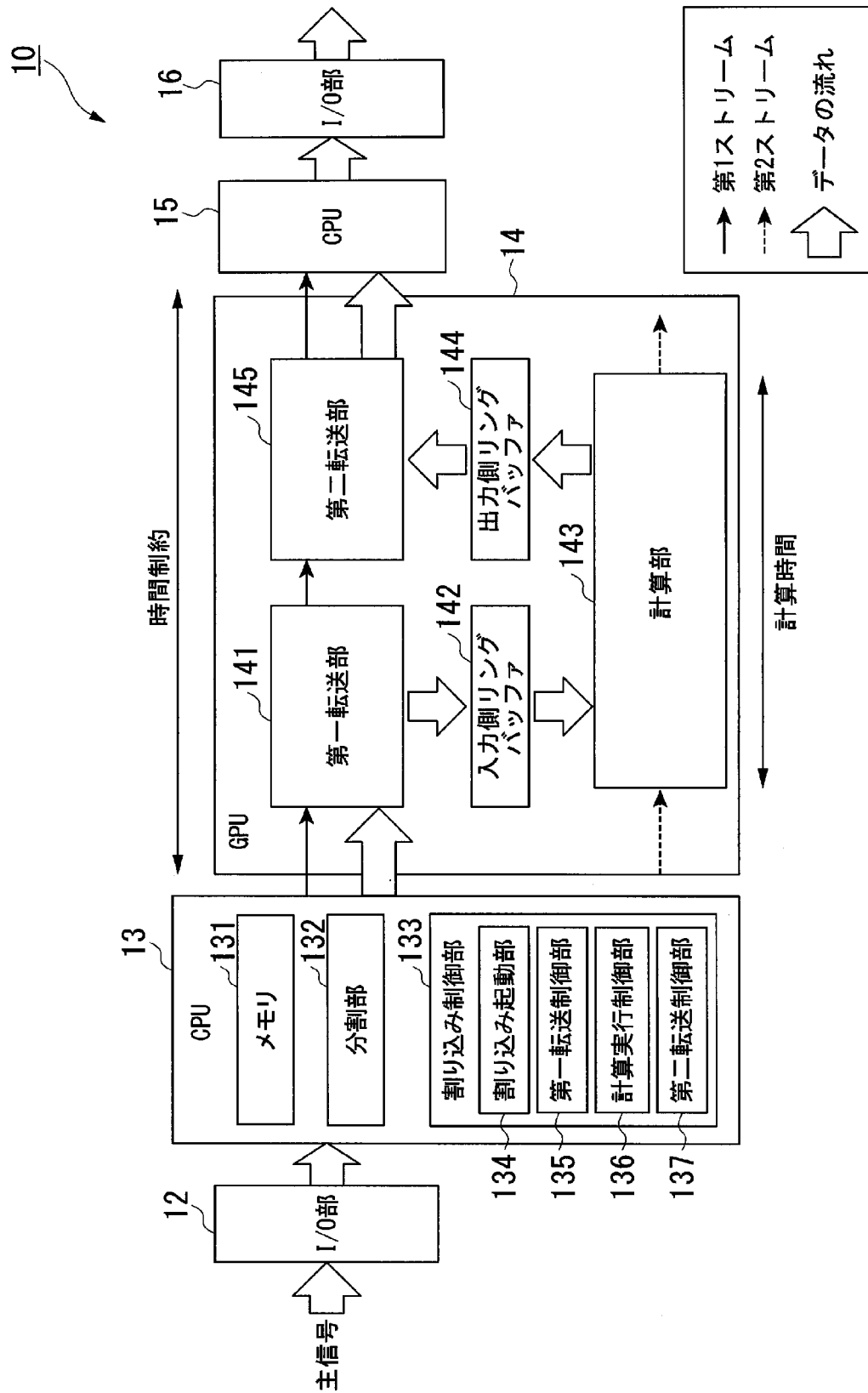
、

第一記憶部が有する複数の記憶領域への書き込み順に従って前記分割データを前記第一記憶部の前記記憶領域に書き込む書き込み処理と、前記書き込み処理により書き込まれた前記分割データを用いて所定の計算処理を行い、前記計算処理によって得られた計算後データを、

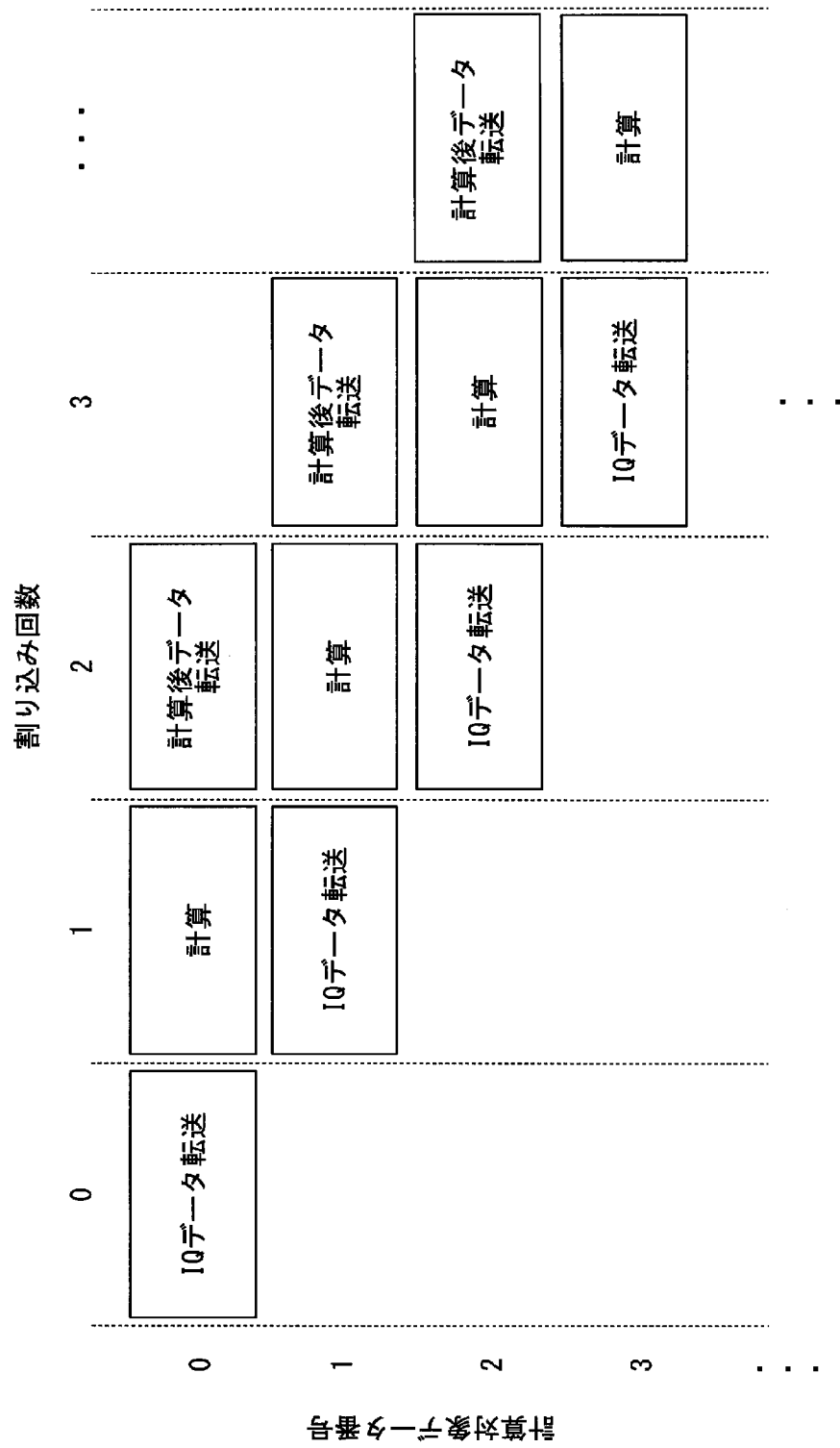
第二記憶部における複数の記憶領域への書き込み順に従って、前記第二記憶部における前記記憶領域に書き込む計算処理とを異なる処理系列に分割して実行する他のプロセッサに対して、前記書き込み処理と前記計算処理とをパイプライン処理により並行して実行するよう制御する制御ステップと、

を実行させるためのプログラム。

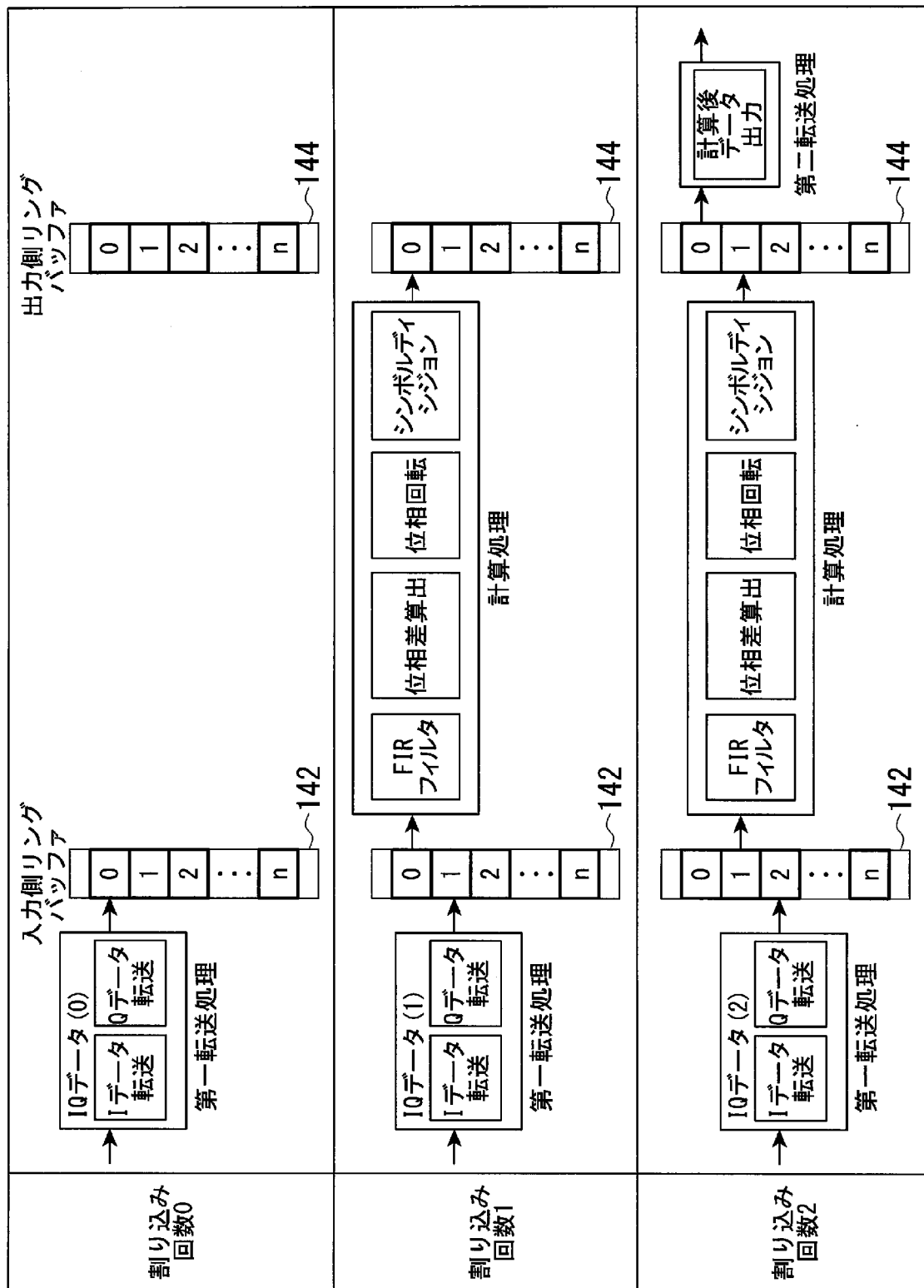
[図1]



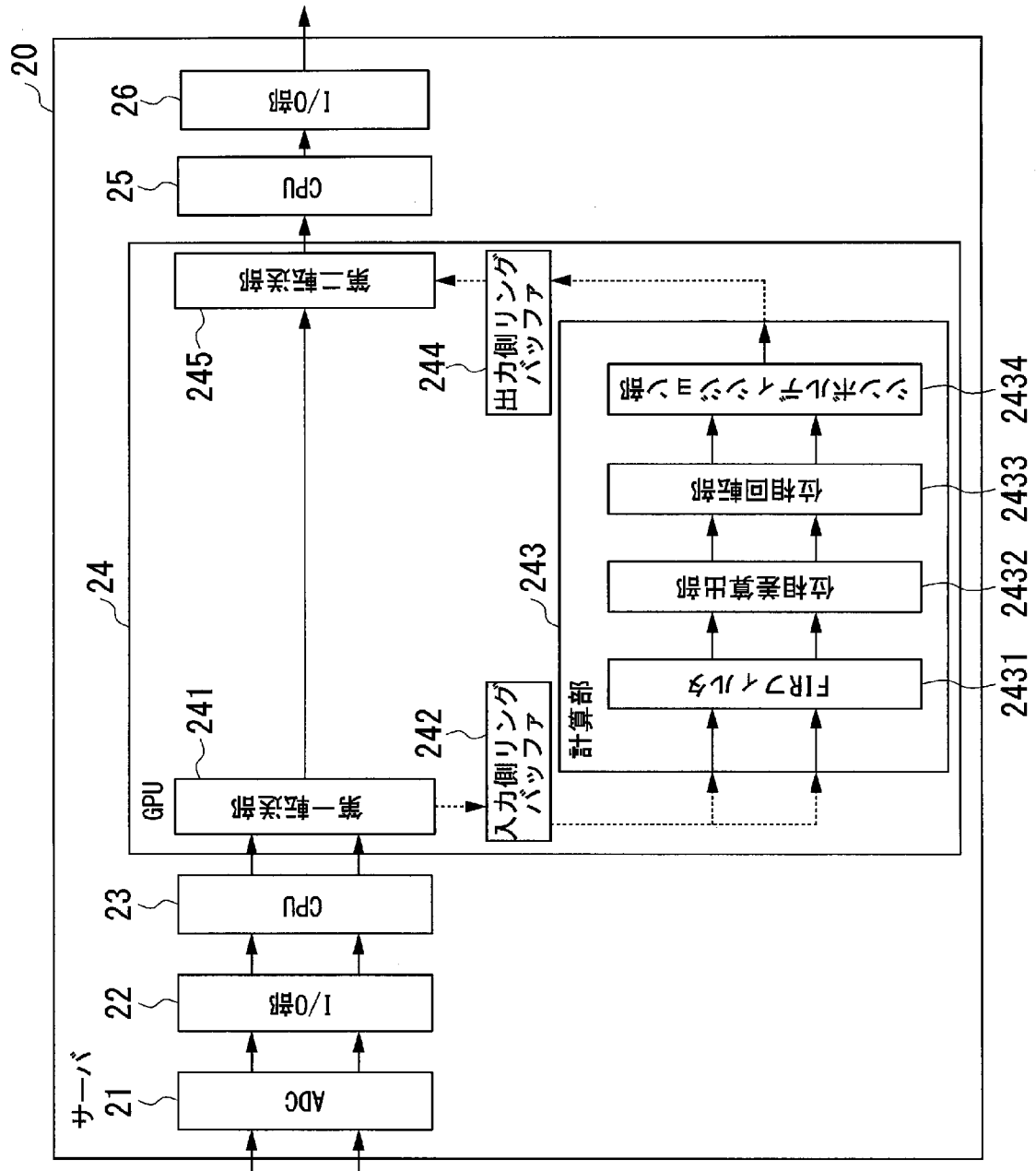
[図2]



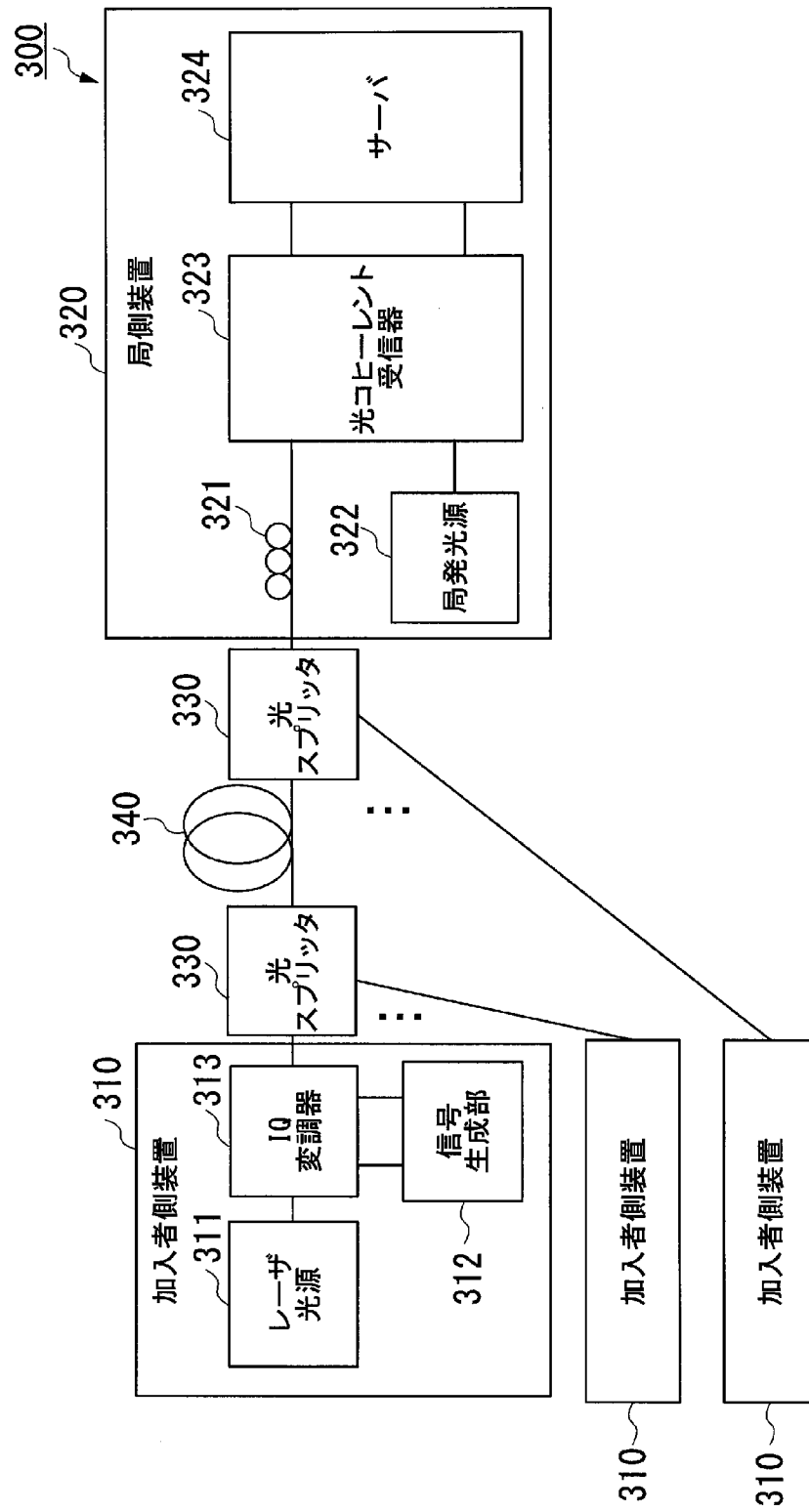
[図3]



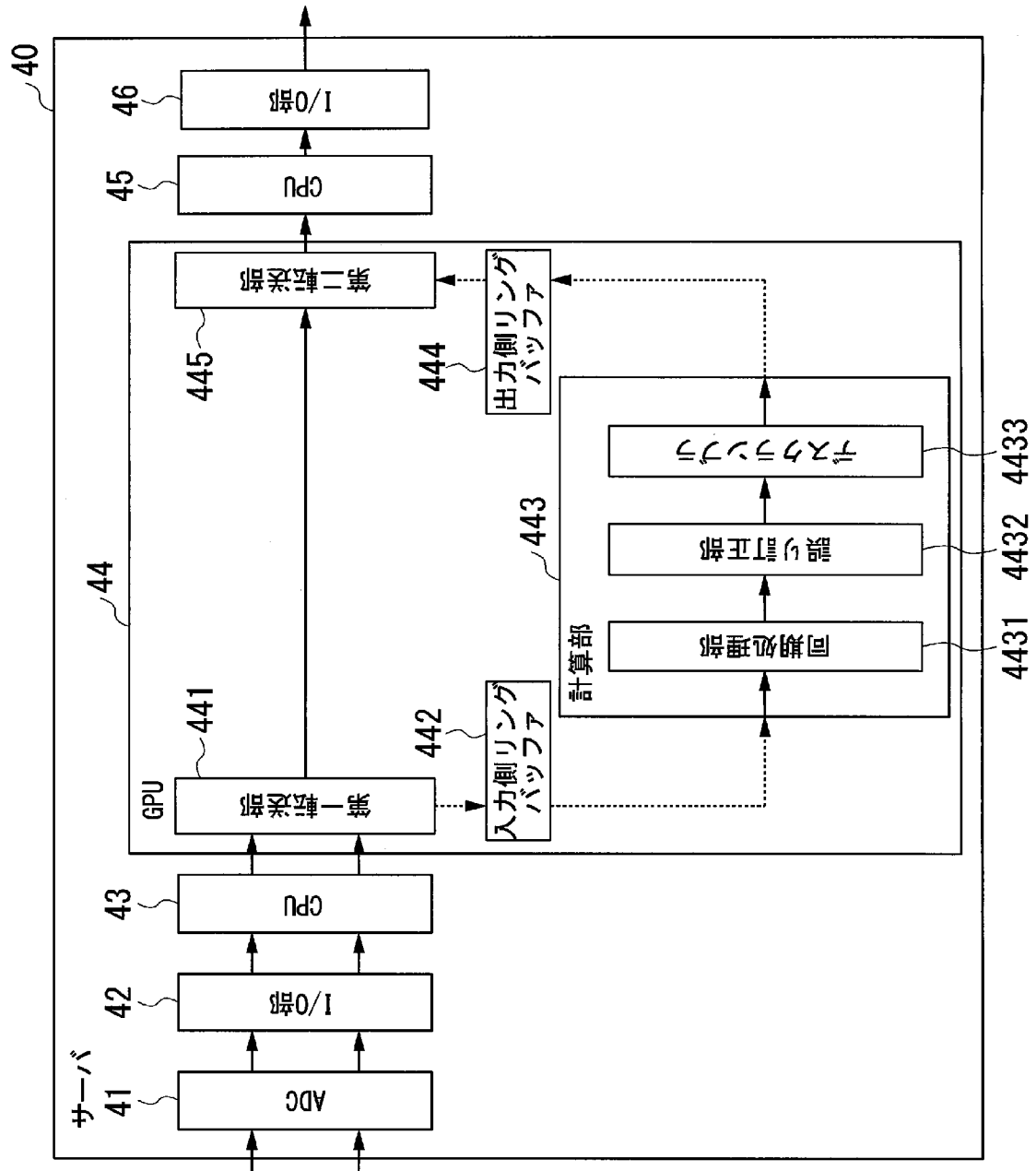
[図4]



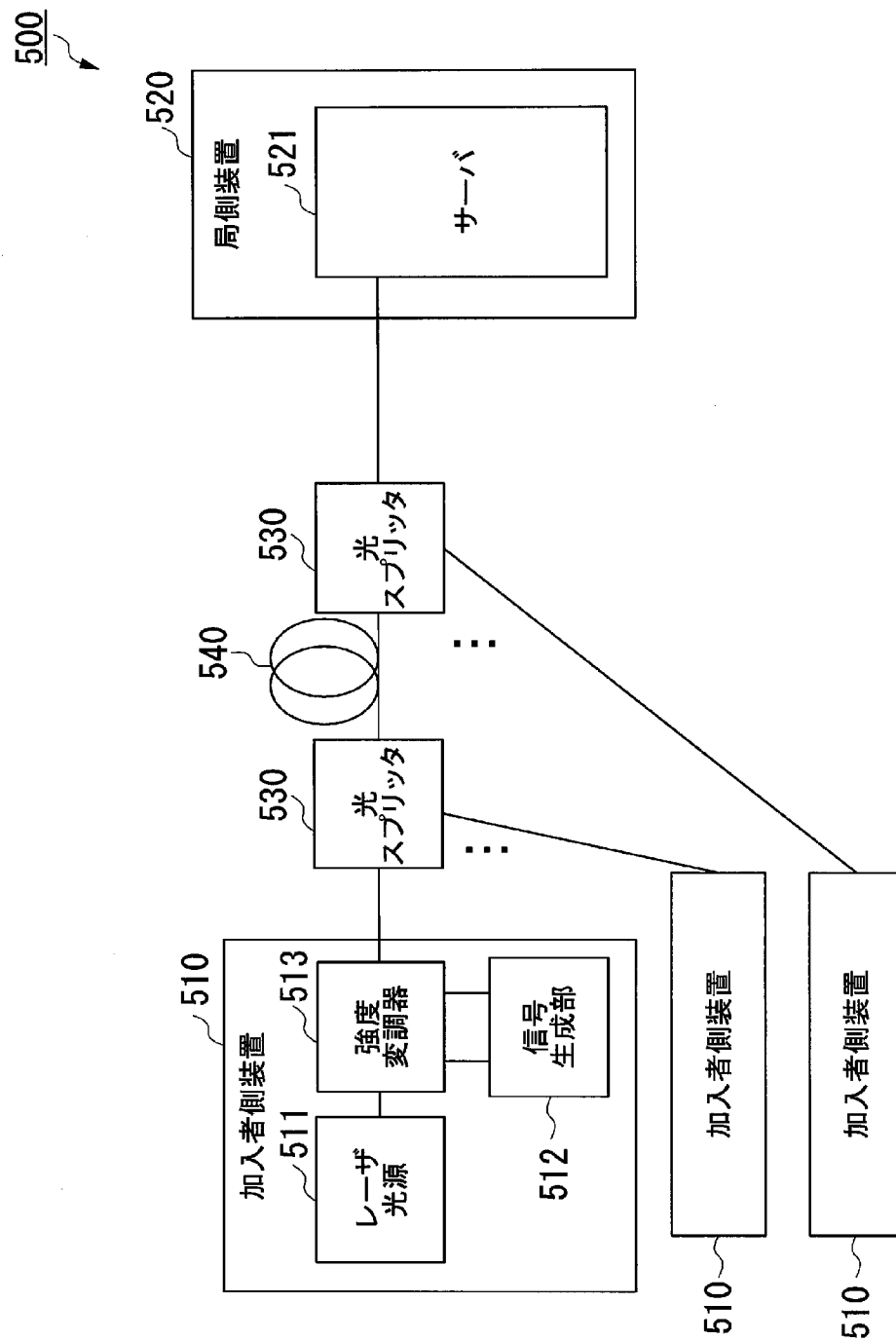
[図5]



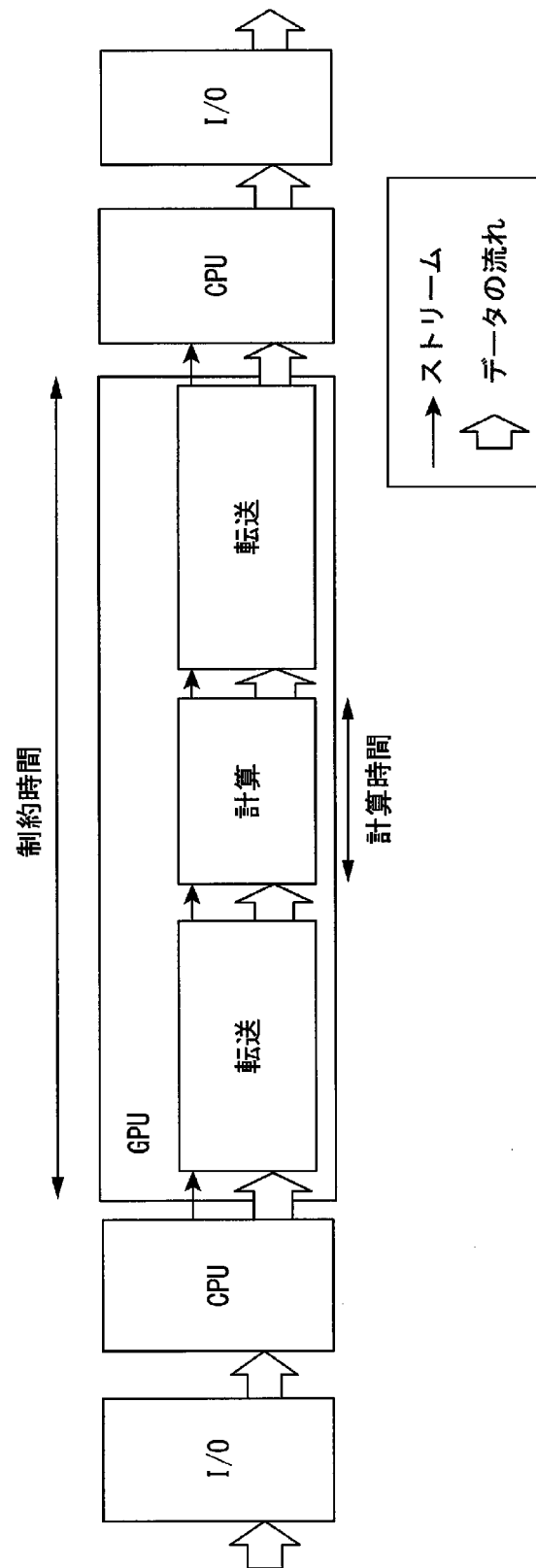
[図6]



[図7]



[図8]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024038

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F9/38 (2006.01) i, G06F9/48 (2006.01) i, G06F15/173 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F9/38, G06F9/48, G06F15/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                           | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2012-190206 A (NEC CORP.) 04 October 2012, paragraphs [0002]-[0004], [0015]-[0029], [0036]-[0038], fig. 1, 6 (Family: none)               | 1-8                   |
| Y         | JP 2019-80190 A (NIPPON TELEGRAPH AND TELEPHONE CORP., THE UNIVERSITY OF TOKYO) 23 May 2019, paragraphs [0022]-[0027], [0058] (Family: none) | 1-8                   |
| Y         | JP 2014-229173 A (UNIVERSITY OF TSUKUBA) 08 December 2014, paragraphs [0022], [0029] (Family: none)                                          | 1-8                   |
| Y<br>A    | JP 2017-38256 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 16 February 2017, paragraphs [0026], [0029], [0034] (Family: none)                    | 4<br>1-3, 5-8         |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
19.08.2019

Date of mailing of the international search report  
27.08.2019

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024038

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                                         | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2019-28865 A (FUJITSU LTD.) 21 February 2019, entire text, all drawings & US 2019/0042271 A1, entire text, all drawings                                                                                                                                                                                                                 | 1-8                   |
| A         | 鈴木貴大,ほか4名, "プログラマブル OLT 実現に向けた汎用プロセッサによる物理層処理のリアルタイム検証", 電子情報通信学会技術研究報告, vol. 117, no. 156, 20 July 2017, pp. 71-75 (SUZUKI, Takahiro et al. Real-time Demonstration of PHY-layer Processing by General-purpose Processor for Realization of Programmable OLT. IEICE Technical Report.)                                                    | 1-8                   |
| A         | 鈴木貴大,ほか4名, "光アクセス装置プログラマブル化に向けた CPU による物理層処理のリアルタイム検証", 電子情報通信学会 2017 年総合大会講演論文集 通信 2, 07 March 2017, p. 224, non - official translation (SUZUKI, Takahiro et al. Real-time Demonstration of PHY-layer Processing by CPU to Make Optical Access Devices Programmable. Proceedings of the 2017 IEICE Society Conference (Communication 2).) | 1-8                   |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F9/38(2006.01)i, G06F9/48(2006.01)i, G06F15/173(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F9/38, G06F9/48, G06F15/173

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                           | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------------------------|----------------|
| Y               | JP 2012-190206 A（日本電気株式会社）2012.10.04,<br>段落[0002]-[0004], [0015]-[0029], [0036]-[0038], 図1, 図6<br>(ファミリーなし) | 1-8            |
| Y               | JP 2019-80190 A（日本電信電話株式会社, 国立大学法人 東京大学）<br>2019.05.23, 段落[0022]-[0027], [0058]<br>(ファミリーなし)                | 1-8            |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                               |                                                                     |
|---------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                     | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                     |

国際調査を完了した日

19.08.2019

国際調査報告の発送日

27.08.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 優一

5 B

6296

電話番号 03-3581-1101 内線 3545

| C (続き) . 関連すると認められる文献 |                                                                                                                                         |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                       | 関連する<br>請求項の番号 |
| Y                     | JP 2014-229173 A (国立大学法人 筑波大学) 2014. 12. 08,<br>段落[0022], [0029]<br>(ファミリーなし)                                                           | 1-8            |
| Y<br>A                | JP 2017-38256 A (日本電信電話株式会社) 2017. 02. 16, 段落<br>[0026], [0029], [0034] (ファミリーなし)                                                       | 4<br>1-3, 5-8  |
| A                     | JP 2019-28865 A (富士通株式会社) 2019. 02. 21, 全文, 全図<br>& US 2019/0042271 A1, 全文, 全図                                                          | 1-8            |
| A                     | 鈴木 貴大, ほか4名, “プログラマブルO L T実現に向けた汎用プロセッサによる物理層処理のリアルタイム検証”,<br>電子情報通信学会技術研究報告 V o l . 1 1 7 N o . 1 5 6 ,<br>2017. 07. 20, 第 71 頁-第 75 頁 | 1-8            |
| A                     | 鈴木 貴大, ほか4名, “光アクセス装置プログラマブル化に向けたC P Uによる物理層処理のリアルタイム検証”, 電子情報通信学会<br>2017年総合大会講演論文集 通信2, 2017. 03. 07, 第 224 頁                         | 1-8            |