



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0108968
(43) 공개일자 2013년10월07일

(51) 국제특허분류(Int. Cl.)
H01L 21/335 (2006.01) H01L 29/778 (2006.01)
(21) 출원번호 10-2012-0155345
(22) 출원일자 2012년12월27일
심사청구일자 2012년12월27일
(30) 우선권주장
JP-P-2012-070383 2012년03월26일 일본(JP)

(71) 출원인
후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고
다나카 4초메 1-1
(72) 발명자
도마베찌 슈이찌
일본 가나가와켄 가와사키시 나카하라꾸 가미코다
나카 4조메 1-1 후지쯔 가부시끼가이샤 내
(74) 대리인
박충범, 장수길, 이중희

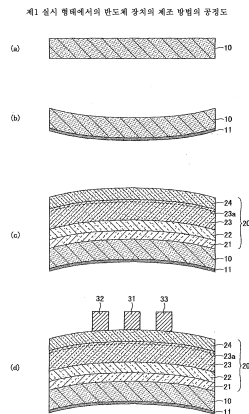
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 반도체 장치의 제조 방법, 반도체 장치 및 반도체 결정 성장용 기관

(57) 요약

질화물 반도체층을 에피택셜 성장하였을 때, 기관의 휨이 적은 반도체 장치의 제조 방법을 제공한다. 기관의 이면을 연삭하는 연삭 공정과, 상기 연삭 공정 후, 상기 기관의 표면에 질화물 반도체층을 에피택셜 성장시키는 질화물 반도체층 형성 공정을 갖고, 상기 형성되는 질화물 반도체층에는, 압축 응력이 발생하고 있는 것을 특징으로 하는 반도체 장치의 제조 방법에 의해 상기 과제를 해결한다.

대표도 - 도5



특허청구의 범위

청구항 1

기판의 이면을 연삭하는 연삭 공정과,
 상기 연삭 공정 후, 상기 기판의 표면에 질화물 반도체층을 에피택셜 성장시키는 질화물 반도체층 형성 공정을 갖고,
 상기 형성되는 질화물 반도체층에는, 압축 응력이 발생하고 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,
 상기 기판은, 실리콘 기판, 사파이어 기판, SiC 기판인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제1항 또는 제2항에 있어서,
 상기 연삭 공정에 의해, 상기 기판의 표면이 오목 형상으로 되는 것인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제1항 또는 제2항에 있어서,
 상기 질화물 반도체층은, MOCVD에 의해 형성되는 것인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제1항 또는 제2항에 있어서,
 상기 질화물 반도체층은, 버퍼층, 전자 주행층, 전자 공급층이 순차적으로 적층 형성되어 있는 것인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제1항 또는 제2항에 있어서,
 상기 질화물 반도체층 형성 공정 후, 상기 전자 공급층 상에, 게이트 전극, 소스 전극 및 드레인 전극을 형성하는 전극 형성 공정을 갖는 것인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

실리콘, 사파이어, SiC 중 어느 하나에 의해 형성된 기판과,
 상기 기판의 이면에 연삭에 의해 형성된 파쇄층과,
 상기 기판의 표면 상에 질화물 반도체에 의해 형성된 버퍼층과,
 상기 버퍼층 상에 질화물 반도체에 의해 형성된 전자 주행층과,
 상기 전자 주행층 상에 질화물 반도체에 의해 형성된 전자 공급층과,
 상기 전자 공급층 상에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 갖는 것인 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서,

상기 버퍼층, 상기 전자 주행층 및 상기 전자 공급층에 의해 형성되는 질화물 반도체층에는, 압축 응력이 발생하고 있는 것을 특징으로 하는 반도체 장치.

청구항 9

실리콘, 사파이어, SiC 중 어느 하나에 의해 형성되어 있는 반도체 결정 성장용 기관으로서, 이면에는 연삭에 의해 파쇄층이 형성되어 있고, 표면의 형상은 오목 형상으로 되어 있고, 상기 표면 상에, 질화물 반도체층을 에피택셜 성장시키는 것인 것을 특징으로 하는 반도체 결정 성장용 기관.

명세서

기술분야

[0001] 본 발명은, 반도체 장치의 제조 방법, 반도체 장치 및 반도체 결정 성장용 기관에 관한 것이다.

배경기술

[0002] 질화물 반도체인 GaN, AlN, InN 등 또는 이들 혼정인 재료는, 넓은 밴드 갭을 갖고 있어, 고출력 전자 디바이스 또는 단파장 발광 디바이스 등으로서 이용되고 있다. 이 중, 고출력 디바이스로서는, 전계 효과형 트랜지스터(FET : Field-Effect Transistor), 특히, 고전자 이동도 트랜지스터(HEMT : High Electron Mobility Transistor)에 관한 기술이 개발되어 있다(예를 들면, 특허 문헌 1). 이와 같은 질화물 반도체를 이용한 HEMT는, 고출력·고효율 증폭기, 대전력 스위칭 디바이스 등에 이용된다.

[0003] 구체적으로는, 질화물 반도체를 이용한 HEMT는, 기관 상에, AlGaN/GaN(질화알루미늄갈륨/질화갈륨) 헤테로 구조가 형성되어 있고, GaN층을 전자 주행층으로 하는 것이다. 또한, 기관으로서, 통상, 사파이어, SiC(실리콘 카바이드), GaN(질화갈륨), Si(실리콘) 등에 의해 형성되어 있는 것이 이용된다.

[0004] 질화물 반도체의 1종인 GaN은, 높은 포화 전자 속도나 넓은 밴드 갭을 갖고 있어, 높은 내압 특성을 얻을 수 있어, 우수한 전기적 특성을 갖고 있다. 또한, GaN은, c축에 평행한 [0001] 방향으로 극성을 갖고 있다(우르츠광형(wurtzite form)). 따라서, AlGaN/GaN의 헤테로 구조를 형성한 경우에는, AlGaN과 GaN의 격자 상수의 차이에 의한 격자 왜곡에 의해, 피에조 분극(piezo polarization)이 유기되어, GaN층에서의 계면 근방에는 고농도의 2DEG(Two-Dimensional Electron Gas : 2차원 전자 가스)가 발생한다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특허 출원 공개 제2002-359256호 공보
(특허문헌 0002) 일본 특허 출원 공개 제2008-98434호 공보

발명의 내용

해결하려는 과제

[0006] 그런데, Si나 사파이어 등의 기관 상에, 유기 금속 기상 성장(MOCVD : Metal Organic Chemical Vapor Deposition)법에 의해, AlGaN층 및 GaN층을 포함하는 질화물 반도체층을 에피택셜 성장시킨 경우, 성막이 이루어진 기관에 휨이 발생한다. 이와 같은 기관의 휨은, 기관과 반도체층을 형성하고 있는 재료와의 격자 상수의 차, 열팽창 계수의 차 등에 의해, 성막된 반도체층에서 응력이 발생함으로써 생기는 것으로 생각된다.

[0007] 이와 같이, 기관에 반도체층을 에피택셜 성장시킨 경우에 기관이 휘게 되면, 그 후의 공정, 예를 들면 레지스트 도포나 전극 형성 등의 공정에서, 기관을 잘 흡착할 수 없어, 기관을 반송할 수 없는 등의 문제가 발생하게 된다. 또한, 휨이 발생한 기관에서는, 노광 장치에 의한 노광 시에, 패턴 변동 등이 발생하여, 원하는 정밀도로 노광할 수 없다고 하는 문제도 발생하게 된다. 따라서, 반도체 장치를 제조할 때의 제조 공정에서의 트러블의

원인으로 되고, 또한, 반도체 장치의 수율의 저하를 초래한다.

[0008] 따라서, 기판의 표면에 MOCVD법에 의해 반도체층을 에피택셜 성장시킨 경우에 있어서도, 기판의 휨이 적은 반도체 장치의 제조 방법, 반도체 장치 및 반도체 결정 성장용 기판이 요구되고 있다.

과제의 해결 수단

[0009] 본 실시 형태의 일 관점에 의하면, 기판의 이면을 연삭하는 연삭 공정과, 상기 연삭 공정 후, 상기 기판의 표면에 질화물 반도체층을 에피택셜 성장시키는 질화물 반도체층 형성 공정을 갖고, 상기 형성되는 질화물 반도체층에는, 압축 응력이 발생하고 있는 것을 특징으로 한다.

[0010] 또한, 본 실시 형태의 다른 일 관점에 의하면, 실리콘, 사파이어, SiC 중 어느 하나에 의해 형성된 기판과, 상기 기판의 이면에 연삭에 의해 형성된 파쇄층과, 상기 기판의 표면 상에 질화물 반도체에 의해 형성된 버퍼층과, 상기 버퍼층 상에 질화물 반도체에 의해 형성된 전자 주행층과, 상기 전자 주행층 상에 질화물 반도체에 의해 형성된 전자 공급층과, 상기 전자 공급층 상에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 갖는 것인 것을 특징으로 한다.

[0011] 또한, 본 실시 형태의 다른 일 관점에 의하면, 실리콘, 사파이어, SiC 중 어느 하나에 의해 형성되어 있는 반도체 결정 성장용 기판에 있어서, 이면에는 연삭에 의해 파쇄층이 형성되어 있고, 표면의 형상은 오목 형상으로 되어 있고, 상기 표면 상에, 질화물 반도체층을 에피택셜 성장시키는 것인 것을 특징으로 한다.

발명의 효과

[0012] 개시의 반도체 장치의 제조 방법, 반도체 장치 및 반도체 결정 성장용 기판에 의하면, 기판의 표면에 MOCVD법에 의해 반도체층을 에피택셜 성장시킨 경우에 있어서도, 기판의 휨이 적기 때문에, 반도체 장치의 제조 공정에서의 트러블 등을 저감시킬 수 있고, 또한, 제조되는 반도체 장치의 수율을 향상시킬 수 있다.

도면의 간단한 설명

- [0013] 도 1은 막 응력과 결정성 및 소자 특성의 관계의 설명도.
- 도 2는 제1 실시 형태에서의 반도체 장치의 구조도.
- 도 3은 기판 이면에서의 연삭에 의한 기판 표면의 변화의 설명도.
- 도 4는 기판 이면에서의 연삭에 의한 기판의 변화를 도시하는 모식도.
- 도 5는 제1 실시 형태에서의 반도체 장치의 제조 방법의 공정도.
- 도 6은 제2 실시 형태에서의 디스크리트 패키징된 반도체 디바이스의 설명도.
- 도 7은 제2 실시 형태에서의 전원 장치의 회로도.
- 도 8은 제2 실시 형태에서의 고출력 증폭기의 구조도.

발명을 실시하기 위한 구체적인 내용

[0014] 실시하기 위한 형태에 대하여, 이하에 설명한다. 또한, 동일한 부재 등에 대해서는 동일한 부호를 붙이고 설명을 생략한다.

[0015] [제1 실시 형태]

[0016] 그런데, Si 등의 기판(10)의 표면에, MOCVD에 의해 질화물 반도체층(20)을 에피택셜 성장시킨 경우에 있어서는, 도 1에 도시된 바와 같이, 질화물 반도체층(20)에 압축 응력이 발생하는 경우와 인장 응력이 발생하는 경우가 있다. 이와 같이, 질화물 반도체층(20)에 발생하는 압축 응력 또는 인장 응력은, MOCVD에서의 성막 조건에 의존하여 발생하는 것이며, 이와 같은 질화물 반도체층(20)에 압축 응력 또는 인장 응력이 발생함으로써, 기판(10)에 휨이 발생한다.

[0017] 그런데, 반도체층(20)에 응력이 발생하고 있는 경우, 도 1의 (a)에 도시된 바와 같이 인장 응력이 발생하고 있는 경우보다도, 도 1의 (b)에 도시된 바와 같이 압축 응력이 발생하고 있는 경우쪽이, 결정성 및 HEMT를 제작하였을 때의 전기적 특성(소자 특성)이 양호하다. 즉, 기판(10) 상에 질화물 반도체층(20)을 에피택셜 성장시켰

을 때, 질화물 반도체층(20)에 압축 응력이 발생하고 있는 것쪽이, 결정성이 좋고, 또한, 제작되는 HEMT의 전기적 특성은 양호한 것이 지견으로서 얻어지고 있다.

[0018] 또한, Si 등의 기판(10)을 이용하여, HEMT를 제작하는 경우에는, 도 2에 도시된 바와 같이, 일반적으로, 질화물 반도체층(20)으로서, 제1 버퍼층(21), 제2 버퍼층(22), 전자 주행층(23), 전자 공급층(24)을 에피택셜 성장시킴으로써 형성한다. 제1 버퍼층(21)은 AlN에 의해 형성되어 있고, 제2 버퍼층(22)은 AlGaIn에 의해 형성되어 있고, 전자 주행층(23)은 GaN에 의해 형성되어 있고, 전자 공급층(24)은 AlGaIn에 의해 형성되어 있다. 이에 의해, 전자 주행층(23)에서의 전자 주행층(23)과 전자 공급층(24)의 계면 근방에는 2DEG(23a)가 형성된다.

[0019] 한편, Si 등의 기판의 이면을 연삭 장치 등에 의해 연삭한 경우, 기판의 표면이 오목 형상으로 되는 것도 지견으로서 얻어지고 있다. 구체적으로는, 도 3의 (a)에 도시된 바와 같이, 연삭되기 전에, 표면이 약간 오목 형상으로 되어 있는 기판(표면에서의 고저차가 약 40 μ m)의 이면을 약 20~30 μ m 연삭한다. 이에 의해, 도 3의 (b)에 도시된 바와 같이, 기판의 표면은, 오목 형상의 형상이 보다 현저(표면에서의 고저차가 약 250 μ m)해진다. 도 3에 도시된 경우에서는, 기판의 표면에 반도체층이 형성되어 있기 때문에, 최초의 상태에서, 기판의 표면이 약간 오목 형상으로 되어 있지만, 반도체층이 형성되어 있지 않은 평평한 Si 기판의 이면을 연삭한 경우에 있어서도, 기판의 표면이 오목 형상으로 되는 것으로 생각된다. 또한, 도 3에 도시한 경우에서는, 기판의 이면을 20~30 μ m 연삭한 경우에 대하여 나타내고 있지만, 발명자의 경험 등에 기초하면, 표면이 평평한 기판의 이면을 2~3 μ m 연삭한 것만으로도 기판의 표면이 볼록 형상으로 되는 것이 지견으로서 얻어지고 있다. 즉, 기판의 이면을 2 μ m 이상 연삭하면, 기판의 표면을 볼록 형상으로 할 수 있는 것이 지견으로서 얻어지고 있는 것이다. 이와 같이, 기판의 이면을 연삭함으로써, 기판의 표면이 오목 형상으로 되는 것은, 기판의 이면의 연삭을 행함으로써, 도 4에 도시된 바와 같이, 기판(10)의 이면에 파쇄층(11)이 형성되는 것에 의한 것으로 생각된다. 즉, 기판(10)의 이면의 연삭은, 기판(10)의 이면에 힘이 가해진 상태에서 행해지기 때문에, 기판(10)의 이면에서 파쇄층(11)이 형성되어 있는 부분은, 연삭 시에 가해진 힘에 의해, 밀도가 높아지는 것으로 생각된다. 이에 의해, 파쇄층(11)에서 압축 응력이 발생하기 때문에, 기판(10)의 이면은 볼록 형상으로 되고, 이것에 수반하여, 기판의 표면이 오목 형상으로 되는 것으로 생각된다. 또한, 도 3은 기판(10)이 Si에 의해 형성되어 있는 경우에 대하여 도시하는 것이지만, 사파이어, SiC에 의해 형성된 기판에서도, 파쇄층(11)이 형성되면, 마찬가지로의 경향으로 되는 것으로 추정된다. 또한, 기판의 이면을 연삭하는 연삭 장치로서는, 그라인더 등을 들 수 있다.

[0020] 이상의 내용은, 발명자가 예의 연구를 행한 결과, 지견으로서 얻어진 것이며, 본 발명에 따른 본 실시 형태는 이와 같은 지견에 기초하여 이루어진 것이다.

[0021] (반도체 장치의 제조 방법)

[0022] 다음으로, 본 실시 형태에서의 반도체 장치의 제조 방법에 대하여 도 5에 기초하여 설명한다.

[0023] 처음에, 도 5의 (a)에 도시한 바와 같이, 기판(10)을 준비한다. 이 기판(10)은 실리콘 (111)면 기판으로서, 표면이 평평한 기판이다.

[0024] 다음으로, 도 5의 (b)에 도시한 바와 같이, 연삭 장치에 의해 기판(10)의 이면을 수십 μ m 연삭한다. 이에 의해, 기판(10)의 이면에는, 데미지층이라고도 불리는 파쇄층(11)이 약 10 μ m 형성된다. 이와 같이 파쇄층(11)이 기판(10)의 이면에 형성됨으로써, 기판(10)의 이면은 볼록 형상으로 되는 형상으로 변형되고, 이것에 수반하여, 기판(10)의 표면이 오목 형상으로 되는 형상으로 변형된다. 또한, 이 후, 충분히 세정을 행한다. 이에 의해, 본 실시 형태에서의 반도체 결정 성장용 기판을 얻을 수 있다.

[0025] 다음으로, 도 5의 (c)에 도시한 바와 같이, MOCVD에 의해, 기판(10)의 표면에, 질화물 반도체층(20)인 제1 버퍼층(21), 제2 버퍼층(22), 전자 주행층(23), 전자 공급층(24)을 순차적으로 에피택셜 성장에 의해 적층 형성한다. 또한, 제1 버퍼층(21)은 AlN에 의해 형성되어 있고, 제2 버퍼층(22)은 AlGaIn에 의해 형성되어 있고, 전자 주행층(23)은 GaN에 의해 형성되어 있고, 전자 공급층(24)은 AlGaIn에 의해 형성되어 있다. 이에 의해, 전자 주행층(23)에서의 전자 주행층(23)과 전자 공급층(24)의 계면 근방에는, 2DEG(23a)가 형성된다.

[0026] MOCVD에 의한 에피택셜 성장에 의한 성막의 조건은, 제1 버퍼층(21), 제2 버퍼층(22), 전자 주행층(23), 전자 공급층(24)을 형성함으로써, 기판(10)의 표면이 볼록 형상으로 되는 조건, 즉, 막에 압축 응력이 발생하는 조건에 의해 성막한다. 이에 의해, MOCVD에 의한 성막 전은, 기판(10)의 표면이 오목 형상이었던 것이, MOCVD에 의해 질화물 반도체층(20)을 에피택셜 성장시킴으로써, 대략 평평 또는, 약간 볼록 형상으로 된다. 즉, 연삭에 의해 발생한 파쇄층(11)에 의해 기판(10)의 표면이 오목 형상으로 되는 응력과, 질화물 반도체층(20)의 에피택셜 성장에 의해 발생한 기판(10)의 표면이 볼록 형상으로 되는 응력이 일부 상쇄되기 때문에, 기판(10)의 표면

은, 대략 평평, 또는, 약간 볼록 형상의 상태로 된다. 이 상태는, 처음에 평평한 기관을 이용하여, 압축 응력이 발생하는 조건에서의 질화물 반도체층을 성막한 경우와 비교하면, 평탄에 가까운 상태이다. 이와 같이, 본 실시 형태에서는, 기관(10)의 표면이 평탄에 가까운 상태로 되기 때문에, 기관 반송 시의 흡착도 지장없이 행할 수 있고, 노광 장치에 의한 노광에서도, 패턴 변동 등이 발생하지 않아 치밀한 패턴을 형성할 수 있다. 따라서, 반도체 제조 공정에서의 트러블의 발생을 억제할 수 있고, 또한, 반도체 장치의 수율 등을 향상시킬 수 있다.

[0027] 다음으로, 도 5의 (d)에 도시한 바와 같이, 전자 공급층(24) 상에, 금속 재료에 의해 게이트 전극(31), 소스 전극(32), 드레인 전극(33)을 형성하고, 다이싱 소우 등에 의해, 소자마다 분리한다. 이에 의해, 본 실시 형태에서의 반도체 장치를 제작할 수 있다.

[0028] 본 실시 형태에서의 반도체 장치의 제조 방법에 의해 제조된 반도체 장치는, 질화물 반도체층(20)에는 압축 응력이 발생하고 있기 때문에, 전기적 특성이 양호하다. 또한, 질화물 반도체층(20)을 형성한 후의 기관(10)의 표면이 평탄에 가까운 상태이기 때문에, 기관 반송을 지장없이 행할 수 있고, 또한, 노광 시에 패턴 변동의 발생을 억제할 수 있기 때문에, 미세한 배선 등을 정확하게 형성할 수 있다. 따라서, 본 실시 형태에서의 반도체 장치의 제조 방법에 의해 제조된 반도체 장치는, 전기적 특성 등이 양호하고, 또한 수율도 높다.

[0029] 또한, 상기에서는, MOCVD에 의해 질화물 반도체층(20)을 성막하기 전에, 기관(10)의 표면을 오목 형상으로 하기 때문에, 기관(10)의 이면을 연삭하는 방법에 대하여 설명하였다. 그러나, 연삭 이외에도 기관(10)의 표면을 오목 형상으로 할 수 있는 방법이 있으면, 그 방법에 의해 기관(10)의 표면을 오목 형상으로 한 것을 이용해도 된다. 또한, 처음부터 기관(10)의 표면이 오목 형상으로 되어 있는 기관(10)을 다른 방법에 의해 제작하는 것이 가능하면, 그와 같은, 처음부터 표면이 오목 형상으로 되어 있는 기관(10)의 표면 상에, MOCVD에 의한 에피택셜 성장에 의해 질화물 반도체층(20)을 형성해도 된다.

[0030] [제2 실시 형태]

[0031] 다음으로, 제2 실시 형태에 대하여 설명한다. 본 실시 형태는 반도체 디바이스, 전원 장치 및 고주파 증폭기이다.

[0032] 본 실시 형태에서의 반도체 디바이스는, 제1 실시 형태에서의 반도체 장치를 디스크리트 패키징한 것이며, 이와 같이 디스크리트 패키징된 반도체 디바이스에 대하여, 도 6에 기초하여 설명한다. 또한, 도 6은 디스크리트 패키징된 반도체 장치의 내부를 모식적으로 도시하는 것이며, 전극의 배치 등에 대해서는, 제1 실시 형태에 나타내어져 있는 것과는 상이하다.

[0033] 처음에, 제1 실시 형태에서 제조된 반도체 장치를 다이싱 등에 의해 절단함으로써, GaN계의 반도체 재료의 HEMT의 반도체 칩(410)을 형성한다. 이 반도체 칩(410)을 리드 프레임(420) 상에, 뿔납 등의 다이 어태치제(430)에 의해 고정한다. 또한, 이 반도체 칩(410)은, 제1 실시 형태에서의 반도체 장치에 상당하는 것이다.

[0034] 다음으로, 게이트 전극(411)을 게이트 리드(421)에 본딩 와이어(431)에 의해 접속하고, 소스 전극(412)을 소스 리드(422)에 본딩 와이어(432)에 의해 접속하고, 드레인 전극(413)을 드레인 리드(423)에 본딩 와이어(433)에 의해 접속한다. 또한, 본딩 와이어(431, 432, 433)는 Al 등의 금속 재료에 의해 형성되어 있다. 또한, 본 실시 형태에서는, 게이트 전극(411)은 게이트 전극 패드이며, 제1 실시 형태에서의 반도체 장치의 게이트 전극(31)과 접속되어 있다. 또한, 소스 전극(412)은 소스 전극 패드이며, 제1 실시 형태에서의 반도체 장치의 소스 전극(32)과 접속되어 있다. 또한, 드레인 전극(413)은 드레인 전극 패드이며, 제1 실시 형태에서의 반도체 장치의 드레인 전극(33)과 접속되어 있다.

[0035] 다음으로, 트랜스퍼 몰드법에 의해 몰드 수지(440)에 의한 수지 밀봉을 행한다. 이와 같이 하여, GaN계의 반도체 재료를 이용한 HEMT의 디스크리트 패키징되어 있는 반도체 디바이스를 제작할 수 있다.

[0036] 다음으로, 본 실시 형태에서의 전원 장치 및 고주파 증폭기에 대하여 설명한다. 본 실시 형태에서의 전원 장치 및 고주파 증폭기는, 제1 실시 형태에서의 반도체 장치를 이용한 전원 장치 및 고주파 증폭기이다.

[0037] 처음에, 도 7에 기초하여, 본 실시 형태에서의 전원 장치에 대하여 설명한다. 본 실시 형태에서의 전원 장치(460)는, 고압의 1차측 회로(461), 저압의 2차측 회로(462) 및 1차측 회로(461)와 2차측 회로(462) 사이에 배설되는 트랜스포머(463)를 구비하고 있다. 1차측 회로(461)는, 교류 전원(464), 소위 브릿지 정류 회로(465), 복수의 스위칭 소자(도 7에 도시한 예에서는 4개)(466) 및 하나의 스위칭 소자(467) 등을 구비하고 있다. 2차측 회로(462)는, 복수의 스위칭 소자(도 7에 도시한 예에서는 3개)(468)를 구비하고 있다. 도 7에 도시한 예에서

는, 제1 실시 형태에서의 반도체 장치를 1차측 회로(461)의 스위칭 소자(466 및 467)로서 이용하고 있다. 또한, 1차측 회로(461)의 스위칭 소자(466 및 467)는, 노멀리 오프의 반도체 장치인 것이 바람직하다. 또한, 2차측 회로(462)에서 이용되고 있는 스위칭 소자(468)는 실리콘에 의해 형성되는 통상의 MISFET(metal insulator semiconductor field effect transistor)를 이용하고 있다.

[0038] 다음으로, 도 8에 기초하여, 본 실시 형태에서의 고주파 증폭기에 대하여 설명한다. 본 실시 형태에서의 고주파 증폭기(470)는, 예를 들면 휴대 전화의 기지국용 파워 앰프에 적용해도 된다. 이 고주파 증폭기(470)는, 디지털 프리디스토션 회로(471), 믹서(472), 파워 앰프(473) 및 방향성 결합기(474)를 구비하고 있다. 디지털 프리디스토션 회로(471)는, 입력 신호의 비선형 왜곡을 보상한다. 믹서(472)는, 비선형 왜곡이 보상된 입력 신호와 교류 신호를 믹싱한다. 파워 앰프(473)는, 교류 신호와 믹싱된 입력 신호를 증폭한다. 도 8에 도시한 예에서는, 파워 앰프(473)는, 제1 실시 형태에서의 반도체 장치를 갖고 있다. 방향성 결합기(474)는, 입력 신호나 출력 신호의 모니터링 등을 행한다. 도 8에 도시한 회로에서는, 예를 들면, 스위치의 절환에 의해, 믹서(472)에 의해 출력 신호를 교류 신호와 믹싱하여 디지털 프리디스토션 회로(471)에 송출하는 것이 가능하다.

[0039] 이상, 실시 형태에 대하여 상술하였지만, 특정한 실시 형태에 한정되는 것은 아니며, 특허 청구의 범위에 기재된 범위 내에서, 다양한 변형 및 변경이 가능하다.

[0040] 상기의 설명에 관하여, 또한 이하의 부기를 개시한다.

[0041] (부기 1)

[0042] 기관의 이면을 연삭하는 연삭 공정과,

[0043] 상기 연삭 공정 후, 상기 기관의 표면에 질화물 반도체층을 에피택셜 성장시키는 질화물 반도체층 형성 공정을 갖고,

[0044] 상기 형성되는 질화물 반도체층에는, 압축 응력이 발생하고 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

[0045] (부기 2)

[0046] 상기 기관은, 실리콘 기관, 사파이어 기관, SiC 기관인 것을 특징으로 하는 부기 1에 기재된 반도체 장치의 제조 방법.

[0047] (부기 3)

[0048] 상기 기관은, 실리콘 (111)면 기관인 것을 특징으로 하는 부기 1에 기재된 반도체 장치의 제조 방법.

[0049] (부기 4)

[0050] 상기 연삭 공정에 의해, 상기 기관의 표면이 오목 형상으로 되는 것인 것을 특징으로 하는 부기 1 내지 3 중 어느 하나에 기재된 반도체 장치의 제조 방법.

[0051] (부기 5)

[0052] 상기 연삭 공정은, 상기 기관의 이면을 2 μ m 이상 연삭하는 것인 것을 특징으로 하는 부기 1 내지 4 중 어느 하나에 기재된 반도체 장치의 제조 방법.

[0053] (부기 6)

[0054] 상기 연삭 공정은, 스크라이브 장치에 의해, 기관의 이면을 연삭함으로써 행해지는 것인 것을 특징으로 하는 부기 1 내지 5 중 어느 하나에 기재된 반도체 장치의 제조 방법.

[0055] (부기 7)

[0056] 상기 질화물 반도체층은, MOCVD에 의해 형성되는 것인 것을 특징으로 하는 부기 1 내지 6 중 어느 하나에 기재된 반도체 장치의 제조 방법.

[0057] (부기 8)

[0058] 상기 질화물 반도체층은, 에피택셜 성장에 의해 형성되는 것인 것을 특징으로 하는 부기 1 내지 7 중 어느 하나에 기재된 반도체 장치의 제조 방법.

[0059] (부기 9)

- [0060] 상기 질화물 반도체층은, 버퍼층, 전자 주행층, 전자 공급층이 순차적으로 적층 형성되어 있는 것인 것을 특징으로 하는 부기 1 내지 8 중 어느 하나에 기재된 반도체 장치의 제조 방법.
- [0061] (부기 10)
- [0062] 상기 버퍼층은, 제1 버퍼층과 제2 버퍼층을 갖고 있으며, 상기 기판 상에, 상기 제1 버퍼층, 상기 제2 버퍼층의 순으로 형성되는 것이고,
- [0063] 상기 제1 버퍼층은, AlN을 포함하는 재료에 의해 형성되어 있고,
- [0064] 상기 제2 버퍼층은, AlGaIn을 포함하는 재료에 의해 형성되어 있는 것인 것을 특징으로 하는 부기 9에 기재된 반도체 장치의 제조 방법.
- [0065] (부기 11)
- [0066] 상기 전자 주행층은, GaN을 포함하는 재료에 의해 형성되어 있는 것인 것을 특징으로 하는 부기 9 또는 10에 기재된 반도체 장치의 제조 방법.
- [0067] (부기 12)
- [0068] 상기 전자 공급층은, AlGaIn을 포함하는 재료에 의해 형성되어 있는 것인 것을 특징으로 하는 9 내지 11 중 어느 하나에 기재된 반도체 장치의 제조 방법.
- [0069] (부기 13)
- [0070] 상기 질화물 반도체층 형성 공정 후, 상기 전자 공급층 상에, 게이트 전극, 소스 전극 및 드레인 전극을 형성하는 전극 형성 공정을 갖는 것인 것을 특징으로 하는 부기 1 내지 12 중 어느 하나에 기재된 반도체 장치의 제조 방법.
- [0071] (부기 14)
- [0072] 실리콘, 사파이어, SiC 중 어느 하나에 의해 형성된 기판과,
- [0073] 상기 기판의 이면에 연삭에 의해 형성된 파쇄층과,
- [0074] 상기 기판의 표면 상에 질화물 반도체에 의해 형성된 버퍼층과,
- [0075] 상기 버퍼층 상에 질화물 반도체에 의해 형성된 전자 주행층과,
- [0076] 상기 전자 주행층 상에 질화물 반도체에 의해 형성된 전자 공급층과,
- [0077] 상기 전자 공급층 상에 형성된 게이트 전극, 소스 전극 및 드레인 전극을 갖는 것인 것을 특징으로 하는 반도체 장치.
- [0078] (부기 15)
- [0079] 상기 버퍼층, 상기 전자 주행층 및 상기 전자 공급층에 의해 형성되는 질화물 반도체층에는, 압축 응력이 발생하고 있는 것을 특징으로 하는 부기 14에 기재된 반도체 장치.
- [0080] (부기 16)
- [0081] 상기 반도체 장치는, HEMT인 것을 특징으로 하는 14 또는 15에 기재된 반도체 장치.
- [0082] (부기 17)
- [0083] 실리콘, 사파이어, SiC 중 어느 하나에 의해 형성되어 있는 반도체 결정 성장용 기판에 있어서,
- [0084] 이면에는 연삭에 의해 파쇄층이 형성되어 있고,
- [0085] 표면의 형상은 오목 형상으로 되어 있고,
- [0086] 상기 표면 상에, 질화물 반도체층을 에피택셜 성장시키는 것인 것을 특징으로 하는 반도체 결정 성장용 기판.
- [0087] (부기 18)
- [0088] 부기 14 내지 16 중 어느 하나에 기재된 반도체 장치를 갖는 것을 특징으로 하는 전원 장치.

[0089] (부기 19)

[0090] 부기 14 내지 16 중 어느 한 항에 기재된 반도체 장치를 갖는 것을 특징으로 하는 증폭기.

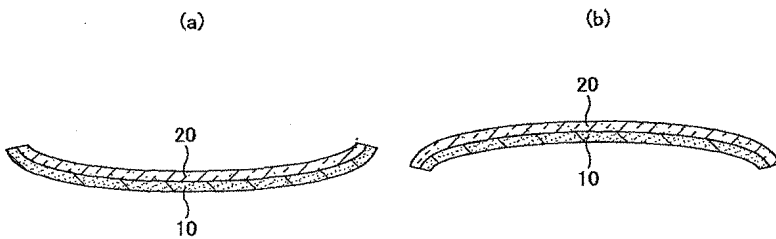
부호의 설명

- [0091] 10 : 기판
- 11 : 파쇄층
- 20 : 질화물 반도체층
- 21 : 제1 버퍼층
- 22 : 제2 버퍼층
- 23 : 전자 주행층
- 23a : 2DEG
- 24 : 전자 공급층
- 31 : 게이트 전극
- 32 : 소스 전극
- 33 : 드레인 전극

도면

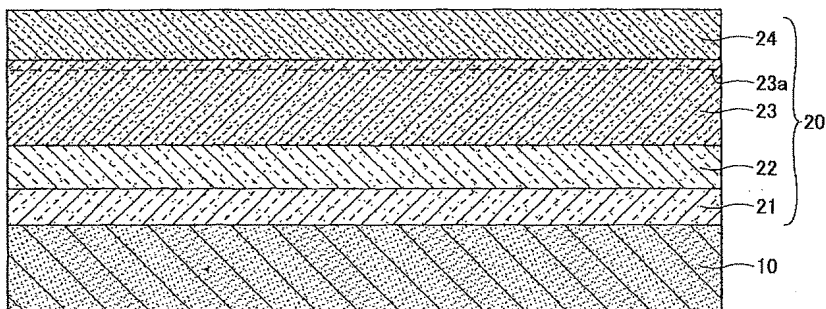
도면1

막 응력과 결정성 및 소자 특성의 관계의 설명도

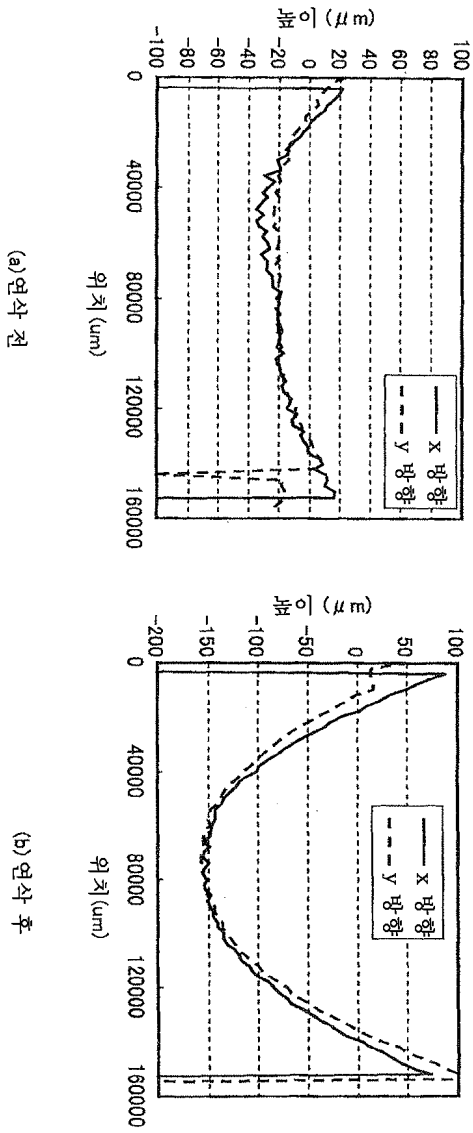


도면2

제1 실시 형태에서의 반도체 장치의 구조도



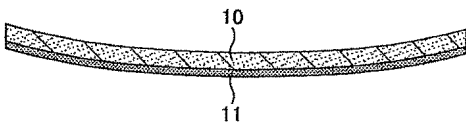
도면3



기관 이면에서의 연사에 의한 기관 표면의 변화의 설명도

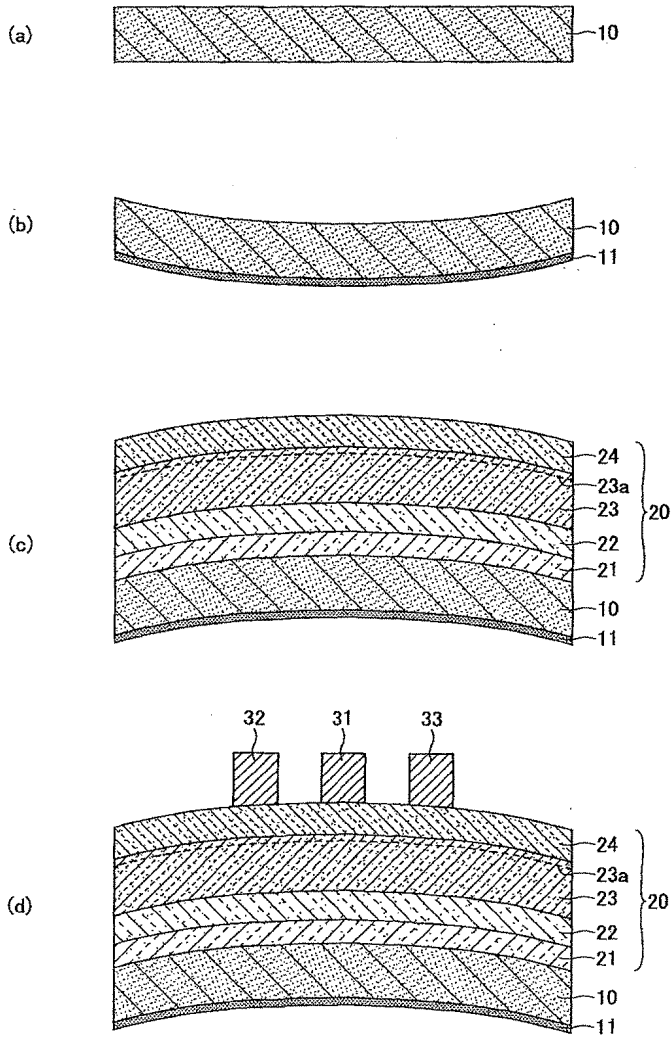
도면4

기관 이면에서의 연사에 의한 기관의 변화를 도시하는 모식도



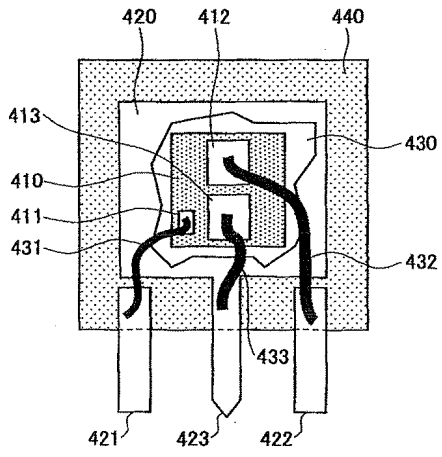
도면5

제1 실시 형태에서의 반도체 장치의 제조 방법의 공정도

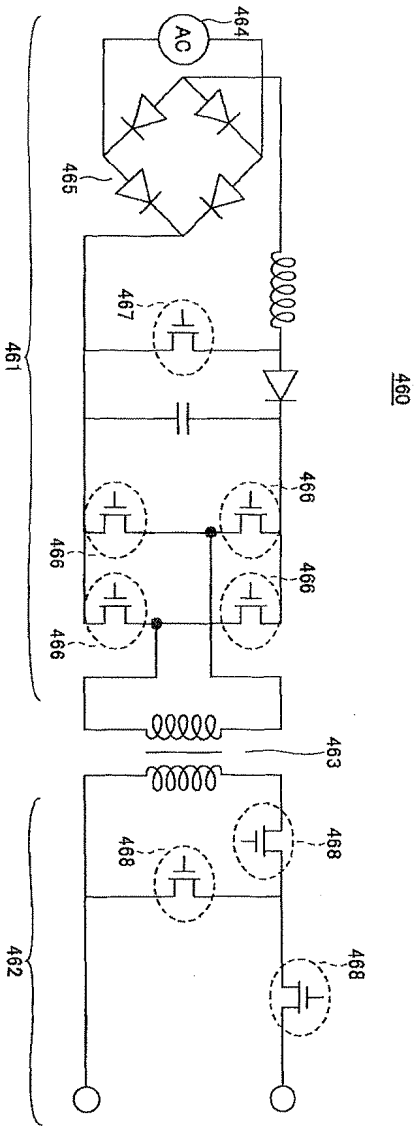


도면6

제2 실시 형태에서의
디스크리트 패키징된 반도체 디바이스의 설명도



도면7



제2 실시 형태에서의 전원 장치의 회로도

도면8

제2 실시 형태에서의 고효율 증폭기의 구조도

