

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】令和 1 年 5 月 16 日 (2019.5.16)

【公開番号】特開 2017-194736 (P2017-194736A)  
 【公開日】平成 29 年 10 月 26 日 (2017.10.26)  
 【年通号数】公開・登録公報 2017-041  
 【出願番号】特願 2016-82746 (P2016-82746)  
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/00 5 6 0 C

【手続補正書】

【提出日】平成 31 年 4 月 3 日 (2019.4.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリに対する書き込み要求を出力し、  
 前記書き込み要求が許可されたことに応じて画像データを前記メモリへ書き込み、  
1 つの第 1 のブロックの書き込み動作が完了する毎に第 1 のイベントを発行する、  
 書き込み手段と、  
 前記書き込み手段によって前記メモリに書き込まれた画像データの読み出し要求を出力し、  
前記読み出し要求が許可されたことに応じて前記メモリから前記画像データを読み出し  
 、  
1 フレームの画像データが前記書き込み手段により前記メモリに書き込まれている間に  
、前記メモリに書き込まれた前記 1 フレームの画像データの読み出し要求を出力し、  
1 つの第 2 のブロックの読み出し動作が完了する毎に第 2 のイベントを発行する、  
 読み出し手段と、  
 前記書き込み要求及び前記読み出し要求をそれぞれ許可するか否かを制御する制御手段と  
 を有し、  
前記書き込み手段により前記メモリに書き込まれる画像データの 1 フレームに複数の前  
記第 1 のブロックが含まれ、  
前記読み出し手段により前記メモリから読み出される画像データの 1 フレームに、前記  
第 2 のブロックが含まれ、  
 前記制御手段は、  
前記第 1 のイベントに応じて前記 1 フレームに含まれる前記第 2 のブロックの水平方  
向の数に基づく第 1 の値だけカウント値を増加させる処理を行い、  
前記第 2 のイベントに応じて前記 1 フレームに含まれる前記第 1 のブロックの水平方  
向の数に基づく第 2 の値だけカウント値を低減させる処理を行い、  
前記カウント値が第 1 閾値より大きい場合に前記書き込み要求を許可せず、  
前記カウント値が第 2 閾値より小さい場合に前記読み出し要求を許可しない、  
 ことを特徴とするメモリ制御装置。

【請求項 2】

前記制御手段は、前記 1 フレームに含まれる前記第 1 のブロックの水平方向の数と前記 1 フレームに含まれる前記第 2 のブロックの水平方向の数との差に基づいて、前記第 2 閾値を設定することを特徴とする

請求項 1 に記載のメモリ制御装置。

【請求項 3】

前記制御手段は、

前記カウント値と前記第 1 閾値とを比較する第 1 の比較部と、

前記カウント値と前記第 2 閾値とを比較する第 2 の比較部と、

前記第 1 の比較部による比較結果に応じて前記書き込み手段からの書き込み要求をマスクするか否かを制御する第 1 のマスク部と、

前記第 2 の比較部による比較結果に応じて前記読み出し手段からの読み出し要求をマスクするか否かを制御する第 2 のマスク部と

を有する

ことを特徴とする請求項 1 または 2 に記載のメモリ制御装置。

【請求項 4】

前記書き込み手段は、書き込みアドレスが前記第 1 のブロックの最終アドレスに達したことに応じて前記第 1 のイベントを発行し、

前記読み出し手段は、読み出しアドレスが前記第 2 のブロックの最終アドレスに達したことに応じて前記第 2 のイベントを発行する

ことを特徴とする請求項 1 から 3 のいずれか 1 項に記載のメモリ制御装置。

【請求項 5】

前記制御手段は、前記読み出し手段により 1 フレームの前記画像データの読み出しが完了したことに応じて、前記カウント値を初期値に設定することを特徴とする請求項 1 から 4 のいずれか 1 項に記載のメモリ制御装置。

【請求項 6】

前記第 1 のブロックと前記第 2 のブロックはそれぞれ 1 フレームの画像データを分割することにより決定され、

前記初期値は、前記第 1 のブロックと前記第 2 のブロックとの分割の態様に応じて設定されることを特徴とする請求項 5 に記載のメモリ制御装置。

【請求項 7】

前記書き込み手段は、1 フレームの複数の前記第 1 のブロックを、第 1 の所定の順序で前記メモリに書き込み、

前記読み出し手段は、1 フレームの複数の前記第 2 のブロックを、前記第 1 の所定の順序に応じた第 2 の所定の順序で前記メモリから読み出す

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のメモリ制御装置。

【請求項 8】

前記第 1 のブロックのサイズと前記第 2 のブロックのサイズとが異なることを特徴とする請求項 1 から 7 のいずれか 1 項に記載のメモリ制御装置。

【請求項 9】

前記第 1 のブロックと前記第 2 のブロックはそれぞれ、最小のアクセス単位、複数の前記最小のアクセス単位を含む行、1 フレームを水平方向及び垂直方向に分割することにより決定される分割ブロック、水平方向に隣接する複数の前記分割ブロックを含むブロック行、及び、1 フレーム、の何れかであることを特徴とする請求項 1 から 8 のいずれか 1 項に記載のメモリ制御装置。

【請求項 10】

前記第 2 閾値は、前記 1 フレームに含まれる前記第 1 のブロックの垂直方向の数と前記 1 フレームに含まれる前記第 2 のブロックの垂直方向の数との差、前記 1 フレームに含まれる前記第 2 のブロックの水平方向の数、および前記 1 フレームに含まれる前記第 1 のブロックの水平方向の数を、乗算して得られた値であり、

前記第 1 閾値は、前記第 2 閾値よりも前記第 1 のブロックの水平方向の分割数、および

前記第 2 のブロックの水平方向の分割数を加算した値に対応する量だけ大きい値である、ことを特徴とする請求項 1 から 9 のいずれか 1 項に記載のメモリ制御装置。

**【請求項 1 1】**

メモリに対する書き込み要求を出力し、前記書き込み要求が許可されたことに応じて画像データを前記メモリに書き込み、1 つの第 1 のブロックの書き込み動作が完了する毎に第 1 のイベントを発行するステップと、

前記メモリに書き込まれた画像データの読み出し要求を出力し、前記読み出し要求が許可されたことに応じて前記メモリから前記画像データを読み出し、1 フレームの画像データが前記メモリに書き込まれている間に、前記メモリに書き込まれた前記 1 フレームの画像データの読み出し要求を出力し、1 つの第 2 のブロックの書き込み動作が完了する毎に第 2 のイベントを発行するステップと、

前記書き込み要求と前記読み出し要求をそれぞれ許可するか否かを制御するステップと

を有し、

前記メモリに書き込まれる画像データの 1 フレームには複数の前記第 1 のブロックが含まれ、

前記メモリから読み出される画像データの 1 フレームには、前記第 2 のブロックが含まれ、

前記制御するステップは、

前記第 1 のイベントに応じて前記 1 フレームに含まれる前記第 2 のブロックの水平方向の数に基づく第 1 の値だけカウント値を増加させる処理を行うステップと、

前記第 2 のイベントに応じて前記 1 フレームに含まれる前記第 1 のブロックの水平方向の数に基づく第 2 の値だけカウント値を低減させる処理を行うステップと、

前記カウント値が第 1 閾値より大きい場合に前記書き込み要求を許可しないステップと、

前記カウント値が第 2 閾値より小さい場合に前記読み出し要求を許可しないステップと、

を含むことを特徴とするメモリ制御方法。