

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7434344号
(P7434344)

(45)発行日 令和6年2月20日(2024.2.20)

(24)登録日 令和6年2月9日(2024.2.9)

(51)国際特許分類

F I

G 0 5 F 1/56 (2006.01) G 0 5 F 1/56 3 1 0 S

請求項の数 17 (全15頁)

(21)出願番号	特願2021-547780(P2021-547780)	(73)特許権者	515203228
(86)(22)出願日	令和3年7月27日(2021.7.27)		ティーシーエル チャイナスター オプト
(65)公表番号	特表2023-538152(P2023-538152		エレクトロニクス テクノロジー カンパ
	A)		ニー リミテッド
(43)公表日	令和5年9月7日(2023.9.7)		TCL China Star Opto
(86)国際出願番号	PCT/CN2021/108529		electronics Techno
(87)国際公開番号	WO2023/000355		logy Co., Ltd.
(87)国際公開日	令和5年1月26日(2023.1.26)		中華人民共和国廣東省深▲せん▼市光明
審査請求日	令和3年8月16日(2021.8.16)		新區塘明大道9 - 2號5 1 8 1 3 2
(31)優先権主張番号	202110816823.1		No. 9 - 2, Tangming Rd
(32)優先日	令和3年7月20日(2021.7.20)		, Guangming New Dist
(33)優先権主張国・地域又は機関	中国(CN)	(74)代理人	ric t, Shenzhen, Guan
			gdong, China 5 1 8 1 3 2
			110002468
			弁理士法人後藤特許事務所
			最終頁に続く

(54)【発明の名称】 電流制限回路

(57)【特許請求の範囲】

【請求項1】

電流制限回路であって、
第1電圧端と、
第2電圧端と、
入力端が前記第1電圧端に電氣的に接続され、出力端が前記第2電圧端に電氣的に接続される第1トランジスタと、
前記第1トランジスタの入力端及び前記第1トランジスタの制御端に電氣的に接続される電流制限モジュールであって、前記第1トランジスタの制御端と前記第1トランジスタの入力端との差圧を制御することにより、前記電流制限回路の電流制限値を調整可能であるように前記第1トランジスタの状態を制御する電流制限モジュールと、を含み、
前記電流制限モジュールは、第2トランジスタ、第1抵抗、第3トランジスタ及び制御ユニットを含み、
前記第2トランジスタは、第1端が第1制御端に電氣的に接続され、第2端が前記第1トランジスタの入力端に電氣的に接続され、第3端が前記第1トランジスタの制御端に電氣的に接続され、
前記第1抵抗は、第1端が前記第1トランジスタの入力端に電氣的に接続され、第2端が前記第1トランジスタの制御端に電氣的に接続され、
前記第3トランジスタは、第1端が第2制御端に電氣的に接続され、第2端が前記第1トランジスタの制御端に電氣的に接続され、第3端が前記制御ユニットに電氣的に接続さ

れ、

前記制御ユニットは、前記第 1 トランジスタの状態を制御する、
電流制限回路。

【請求項 2】

前記制御ユニットは、並列に設けられる複数の抵抗制御サブユニットを含み、

前記抵抗制御サブユニットは、第 1 端が前記第 3 トランジスタの第 3 端に電氣的に接続され、第 2 端がアース端に電氣的に接続され、

各前記抵抗制御サブユニットは、いずれも第 2 抵抗を含む、
請求項 1 に記載の電流制限回路。

【請求項 3】

前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧は、以下の式により得られ、

$$V_{gs} = -V_1 * R_1 / (R_1 + R_x)$$

ただし、 V_{gs} は、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧であり、 V_1 は、前記第 1 トランジスタの入力端の電圧値であり、 R_1 は、前記第 1 抵抗の抵抗値であり、 R_x は、並列に設けられる x 個の抵抗制御サブユニットの抵抗値である、

請求項 2 に記載の電流制限回路。

【請求項 4】

前記電流制限回路は、入力端が前記第 1 電圧端に電氣的に接続され、出力端が前記第 2 電圧端に電氣的に接続される第 4 トランジスタをさらに含む、
請求項 1 に記載の電流制限回路。

【請求項 5】

前記電流制限回路は、タイミングユニット、比較ユニット及び定電流ユニットをさらに含み、

前記タイミングユニットは、前記比較ユニットの第 1 端に電氣的に接続され、

前記比較ユニットは、第 2 端が前記第 2 電圧端に電氣的に接続され、第 3 端が固定電圧信号に接続され、第 4 端が前記定電流ユニットの第 1 端に電氣的に接続され、

前記定電流ユニットは、第 2 端が前記第 4 トランジスタの制御端に電氣的に接続され、

前記タイミングユニットは、所定の時間を空けて比較ユニット制御信号を出力し、

前記比較ユニットは、前記比較ユニット制御信号に制御され、前記比較ユニットの第 2 端の電圧及び前記比較ユニットの第 3 端の電圧に基づいて、前記比較ユニットの第 4 端で定電流ユニット制御信号を前記定電流ユニットの第 1 端に出力し、

前記定電流ユニットは、前記定電流ユニット制御信号に制御され定電流を出力する、
請求項 4 に記載の電流制限回路。

【請求項 6】

前記タイミングユニットは、前記比較ユニットの第 1 端に電氣的に接続されるタイマを含む、

請求項 5 に記載の電流制限回路。

【請求項 7】

前記比較ユニットは、第 1 端が前記タイミングユニットに電氣的に接続され、第 2 端が前記第 2 電圧端に電氣的に接続され、第 3 端が固定電圧信号に接続され、第 4 端が前記定電流ユニットの第 1 端に電氣的に接続される比較器を含む、

請求項 5 に記載の電流制限回路。

【請求項 8】

前記定電流ユニットは、第 1 端が前記比較ユニットの第 4 端に電氣的に接続され、第 2 端が前記第 4 トランジスタの制御端に電氣的に接続され、第 3 端がアース端に電氣的に接続される定電流源を含む、

請求項 5 に記載の電流制限回路。

【請求項 9】

10

20

30

40

50

前記固定電圧信号の電圧値は、0.85倍の前記第1電圧端の電圧値と0.9倍の前記第1電圧端の電圧値との間にある、
請求項5に記載の電流制限回路。

【請求項10】

電流制限回路であって、

第1電圧端と、

第2電圧端と、

入力端が前記第1電圧端に電氣的に接続され、出力端が前記第2電圧端に電氣的に接続される第1トランジスタと、

前記第1トランジスタの入力端及び前記第1トランジスタの制御端に電氣的に接続される電流制限モジュールであって、前記第1トランジスタの制御端と前記第1トランジスタの入力端との差圧を制御することにより、前記電流制限回路の電流制限値を調整可能であるように前記第1トランジスタの状態を制御する電流制限モジュールと、を含み、

前記電流制限モジュールは、第2トランジスタ、第1抵抗、第3トランジスタ及び制御ユニットを含み、

前記第2トランジスタは、第1端が第1制御端に電氣的に接続され、第2端が前記第1トランジスタの入力端に電氣的に接続され、第3端が前記第1トランジスタの制御端に電氣的に接続され、

前記第1抵抗は、第1端が前記第1トランジスタの入力端に電氣的に接続され、第2端が前記第1トランジスタの制御端に電氣的に接続され、

前記第3トランジスタは、第1端が第2制御端に電氣的に接続され、第2端が前記第1トランジスタの制御端に電氣的に接続され、第3端が前記制御ユニットに電氣的に接続され、

前記制御ユニットは、前記第1トランジスタの状態を制御し、

前記電流制限回路は、入力端が前記第1電圧端に電氣的に接続され、出力端が前記第2電圧端に電氣的に接続される第4トランジスタをさらに含む、
電流制限回路。

【請求項11】

前記制御ユニットは、並列に設けられる複数の抵抗制御サブユニットを含み、

前記抵抗制御サブユニットは、第1端が前記第3トランジスタの第3端に電氣的に接続され、第2端がアース端に電氣的に接続され、

各前記抵抗制御サブユニットは、いずれも第2抵抗を含む、
請求項10に記載の電流制限回路。

【請求項12】

前記第1トランジスタの制御端と前記第1トランジスタの入力端との差圧は、以下の式により得られ、

$$V_{gs} = -V_1 * R_1 / (R_1 + R_x)$$

ただし、 V_{gs} は、前記第1トランジスタの制御端と前記第1トランジスタの入力端との差圧であり、 V_1 は、前記第1トランジスタの入力端の電圧値であり、 R_1 は、前記第1抵抗の抵抗値であり、 R_x は、並列に設けられるx個の抵抗制御サブユニットの抵抗値である、

請求項11に記載の電流制限回路。

【請求項13】

前記電流制限回路は、タイミングユニット、比較ユニット及び定電流ユニットをさらに含む、

前記タイミングユニットは、前記比較ユニットの第1端に電氣的に接続され、

前記比較ユニットは、第2端が前記第2電圧端に電氣的に接続され、第3端が固定電圧信号に接続され、第4端が前記定電流ユニットの第1端に電氣的に接続され、

前記定電流ユニットは、第2端が前記第4トランジスタの制御端に電氣的に接続され、

前記タイミングユニットは、所定の時間を空けて比較ユニット制御信号を出力し、

前記比較ユニットは、前記比較ユニット制御信号に制御され、前記比較ユニットの第2端の電圧及び前記比較ユニットの第3端の電圧に基づいて、前記比較ユニットの第4端で定電流ユニット制御信号を前記定電流ユニットの第1端に出力し、

前記定電流ユニットは、前記定電流ユニット制御信号に制御され定電流を出力する、請求項1_0に記載の電流制限回路。

【請求項14】

前記タイミングユニットは、前記比較ユニットの第1端に電氣的に接続されるタイマを含む、

請求項1_3に記載の電流制限回路。

【請求項15】

前記比較ユニットは、第1端が前記タイミングユニットに電氣的に接続され、第2端が前記第2電圧端に電氣的に接続され、第3端が固定電圧信号に接続され、第4端が前記定電流ユニットの第1端に電氣的に接続される比較器を含む、

請求項1_3に記載の電流制限回路。

【請求項16】

前記定電流ユニットは、第1端が前記比較ユニットの第4端に電氣的に接続され、第2端が前記第4トランジスタの制御端に電氣的に接続され、第3端がアース端に電氣的に接続される定電流源を含む、

請求項1_3に記載の電流制限回路。

【請求項17】

前記固定電圧信号の電圧値は、0.85倍の前記第1電圧端の電圧値と0.9倍の前記第1電圧端の電圧値との間にある、

請求項1_3に記載の電流制限回路。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、表示技術分野に関し、特に電流制限回路に関する。

【背景技術】

【0002】

表示パネル業界では、従来の電源管理集積チップは、絶縁トランジスタをゆっくりとオンにし、AVDD電圧を緩やかに確立することで、過大な電流の発生によるループにおける他の電子部品の損傷を防止するために、AVDD電圧の起動中に電流制限動作を行っていた。

【0003】

しかしながら、従来の設計の欠点は、AVDDに対する電流制限値が一定することである。この電流制限値が小さすぎる場合、電源管理集積チップは、過負荷で電源オンされる場合、電流制限により、電圧が所定の時間内に確立できないため、電源オンが失敗する。一方、この電流制限値が大きすぎる場合、電源管理集積チップは、後端負荷が短絡するとき、長時間の大電流により、例えば、ソースドライバの損傷や出火など、部品が損傷することになる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本願によれば、電流制限回路の電流制限値を調整可能にすることにより、電源管理集積チップの過負荷での電源オンの失敗を防止し、電源管理集積チップの短絡での電源オンによる損傷を防止することができる電流制限回路が提供される。

【課題を解決するための手段】

【0005】

本願に係る第1態様によれば、電流制限回路であって、第1電圧端と、

10

20

30

40

50

第 2 電圧端と、

入力端が前記第 1 電圧端に電氣的に接続され、出力端が前記第 2 電圧端に電氣的に接続される第 1 トランジスタと、

前記第 1 トランジスタの入力端及び前記第 1 トランジスタの制御端に電氣的に接続される電流制限モジュールであって、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧を制御することにより、前記電流制限回路の電流制限値を調整可能であるように前記第 1 トランジスタの状態を制御する電流制限モジュールと、を含む電流制限回路が提供される。

【 0 0 0 6 】

本願に係る電流制限回路において、前記電流制限モジュールは、第 2 トランジスタ、第 1 抵抗、第 3 トランジスタ及び制御ユニットを含み、

10

前記第 2 トランジスタは、第 1 端が第 1 制御端に電氣的に接続され、第 2 端が前記第 1 トランジスタの入力端に電氣的に接続され、第 3 端が前記第 1 トランジスタの制御端に電氣的に接続され、

前記第 1 抵抗は、第 1 端が前記第 1 トランジスタの入力端に電氣的に接続され、第 2 端が前記第 1 トランジスタの制御端に電氣的に接続され、

前記第 3 トランジスタは、第 1 端が第 2 制御端に電氣的に接続され、第 2 端が前記第 1 トランジスタの制御端に電氣的に接続され、第 3 端が前記制御ユニットに電氣的に接続され、

前記制御ユニットは、前記第 1 トランジスタの状態を制御する。

20

【 0 0 0 7 】

本願に係る電流制限回路において、前記制御ユニットは、並列に設けられる複数の抵抗制御サブユニットを含み、

前記抵抗制御サブユニットは、第 1 端が前記第 3 トランジスタの第 3 端に電氣的に接続され、第 2 端がアース端に電氣的に接続され、

各前記抵抗制御サブユニットは、いずれも第 2 抵抗を含む。

【 0 0 0 8 】

本願に係る電流制限回路において、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧は、以下の式により得られ、

$$V_{gs} = -V_1 * R_1 / (R_1 + R_x)$$

30

ただし、 V_{gs} は、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧であり、 V_1 は、前記第 1 トランジスタの入力端の電圧値であり、 R_1 は、前記第 1 抵抗の抵抗値であり、 R_x は、並列に設けられる x 個の抵抗制御サブユニットの抵抗値である。

【 0 0 0 9 】

本願に係る電流制限回路において、前記電流制限回路は、入力端が前記第 1 電圧端に電氣的に接続され、出力端が前記第 2 電圧端に電氣的に接続される第 4 トランジスタをさらに含む。

【 0 0 1 0 】

本願に係る電流制限回路において、前記電流制限回路は、タイミングユニット、比較ユニット及び定電流ユニットをさらに含む、

40

前記タイミングユニットは、前記比較ユニットの第 1 端に電氣的に接続され、

前記比較ユニットは、第 2 端が前記第 2 電圧端に電氣的に接続され、第 3 端が固定電圧信号に接続され、第 4 端が前記定電流ユニットの第 1 端に電氣的に接続され、

前記定電流ユニットは、第 2 端が前記第 4 トランジスタの制御端に電氣的に接続され、

前記タイミングユニットは、所定の時間を空けて比較ユニット制御信号を出力し、

前記比較ユニットは、前記比較ユニット制御信号に制御され、前記比較ユニットの第 2 端の電圧及び前記比較ユニットの第 3 端の電圧に基づいて、前記比較ユニットの第 4 端で定電流ユニット制御信号を前記定電流ユニットの第 1 端に出力し、

前記定電流ユニットは、前記定電流ユニット制御信号に制御され定電流を出力する。

50

【 0 0 1 1 】

本願に係る電流制限回路において、前記タイミングユニットは、前記比較ユニットの第 1 端に電氣的に接続されるタイマを含む。

【 0 0 1 2 】

本願に係る電流制限回路において、前記比較ユニットは、第 1 端が前記タイミングユニットに電氣的に接続され、第 2 端が前記第 2 電圧端に電氣的に接続され、第 3 端が固定電圧信号に接続され、第 4 端が前記定電流ユニットの第 1 端に電氣的に接続される比較器を含む。

【 0 0 1 3 】

本願に係る電流制限回路において、前記定電流ユニットは、第 1 端が前記比較ユニットの第 4 端に電氣的に接続され、第 2 端が前記第 4 トランジスタの制御端に電氣的に接続され、第 3 端がアース端に電氣的に接続される定電流源を含む。

10

【 0 0 1 4 】

本願に係る電流制限回路において、前記固定電圧信号の電圧値は、0 . 8 5 倍の前記第 1 電圧端の電圧値と 0 . 9 倍の前記第 1 電圧端の電圧値との間にある。

【 0 0 1 5 】

本願に係る第 1 態様によれば、電流制限回路であって、

第 1 電圧端と、

第 2 電圧端と、

入力端が前記第 1 電圧端に電氣的に接続され、出力端が前記第 2 電圧端に電氣的に接続される第 1 トランジスタと、

20

前記第 1 トランジスタの入力端及び前記第 1 トランジスタの制御端に電氣的に接続される電流制限モジュールであって、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧を制御することにより、前記電流制限回路の電流制限値を調整可能であるように前記第 1 トランジスタの状態を制御する電流制限モジュールと、を含み、

前記電流制限モジュールは、第 2 トランジスタ、第 1 抵抗、第 3 トランジスタ及び制御ユニットを含み、

前記第 2 トランジスタは、第 1 端が第 1 制御端に電氣的に接続され、第 2 端が前記第 1 トランジスタの入力端に電氣的に接続され、第 3 端が前記第 1 トランジスタの制御端に電氣的に接続され、

30

前記第 1 抵抗は、第 1 端が前記第 1 トランジスタの入力端に電氣的に接続され、第 2 端が前記第 1 トランジスタの制御端に電氣的に接続され、

前記第 3 トランジスタは、第 1 端が第 2 制御端に電氣的に接続され、第 2 端が前記第 1 トランジスタの制御端に電氣的に接続され、第 3 端が前記制御ユニットに電氣的に接続され、

前記制御ユニットは、前記第 1 トランジスタの状態を制御し、

前記電流制限回路は、入力端が前記第 1 電圧端に電氣的に接続され、出力端が前記第 2 電圧端に電氣的に接続される第 4 トランジスタをさらに含む電流制限回路が提供される。

【 0 0 1 6 】

本願に係る電流制限回路において、前記制御ユニットは、並列に設けられる複数の抵抗制御サブユニットを含み、

40

前記抵抗制御サブユニットは、第 1 端が前記第 3 トランジスタの第 3 端に電氣的に接続され、第 2 端がアース端に電氣的に接続され、

各前記抵抗制御サブユニットは、いずれも第 2 抵抗を含む。

【 0 0 1 7 】

本願に係る電流制限回路において、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧は、以下の式により得られ、

$$V_{gs} = -V_1 * R_1 / (R_1 + R_x)$$

ただし、 V_{gs} は、前記第 1 トランジスタの制御端と前記第 1 トランジスタの入力端との差圧であり、 V_1 は、前記第 1 トランジスタの入力端の電圧値であり、 R_1 は、前記第

50

1 抵抗の抵抗値であり、 $R \times$ は、並列に設けられる $\times$ 個の抵抗制御サブユニットの抵抗値である。

【0018】

本願に係る電流制限回路において、前記電流制限回路は、タイミングユニット、比較ユニット及び定電流ユニットをさらに含み、

前記タイミングユニットは、前記比較ユニットの第1端に電氣的に接続され、

前記比較ユニットは、第2端が前記第2電圧端に電氣的に接続され、第3端が固定電圧信号に接続され、第4端が前記定電流ユニットの第1端に電氣的に接続され、

前記定電流ユニットは、第2端が前記第4トランジスタの制御端に電氣的に接続され、

前記タイミングユニットは、所定の時間を空けて比較ユニット制御信号を出力し、

前記比較ユニットは、前記比較ユニット制御信号に制御され、前記比較ユニットの第2端の電圧及び前記比較ユニットの第3端の電圧に基づいて、前記比較ユニットの第4端で定電流ユニット制御信号を前記定電流ユニットの第1端に出力し、

前記定電流ユニットは、前記定電流ユニット制御信号に制御され定電流を出力する。

【0019】

本願に係る電流制限回路において、前記タイミングユニットは、前記比較ユニットの第1端に電氣的に接続されるタイマを含む。

【0020】

本願に係る電流制限回路において、前記比較ユニットは、第1端が前記タイミングユニットに電氣的に接続され、第2端が前記第2電圧端に電氣的に接続され、第3端が固定電圧信号に接続され、第4端が前記定電流ユニットの第1端に電氣的に接続される比較器を含む。

【0021】

本願に係る電流制限回路において、前記定電流ユニットは、第1端が前記比較ユニットの第4端に電氣的に接続され、第2端が前記第4トランジスタの制御端に電氣的に接続され、第3端がアース端に電氣的に接続される定電流源を含む。

【0022】

本願に係る電流制限回路において、前記固定電圧信号の電圧値は、0.85倍の前記第1電圧端の電圧値と0.9倍の前記第1電圧端の電圧値との間にある。

【発明の効果】

【0023】

本願に係る電流制限回路によれば、電流制限モジュールによって第1トランジスタの制御端と第1トランジスタの入力端との差圧を制御することにより、電流制限回路の電流制限値を調整可能であるように第1トランジスタの状態を制御するため、電源管理集積チップの過負荷での電源オンの失敗を防止し、電源管理集積チップの短絡での電源オンによる損傷を防止することができる。

【図面の簡単な説明】

【0024】

本願の実施例における技術的手段をより明確に説明するために、以下は、実施例の説明に使用する必要のある図面を簡単に紹介する。明らかに、以下の説明の図面は、本願のいくつかの実施例にすぎず、当業者にとっては、創造的な労力を払わずに、これらの図面に基づいて他の図面を得ることができる。

【0025】

【図1】本願の実施例に係る電流制限回路の構造を示す概略図である。

【図2】本願の実施例に係る電流制限回路の回路を示す概略図である。

【図3】本願の実施例に係る電流制限回路の第1状態を示す概略図である。

【図4】本願の実施例に係る電流制限回路の第2状態を示す概略図である。

【図5】本願の実施例に係る電流制限回路の別の回路を示す概略図である。

【発明を実施するための形態】

【0026】

以下は、本願の実施例における図面を参照しながら、本願の実施例における技術的手段について明確かつ完全に説明する。明らかに、説明する実施例は、本願の一部の実施例にすぎず、全ての実施例ではない。本願の実施例に基づいて、当業者が創造的な労力をなさないことを前提に得られる他の全ての実施例は、いずれも本願の保護の範囲に属する。なお、本明細書に記載される具体的な実施形態は、本願の説明及び解釈のみを目的としており、本願を限定するものではない。本願の特許請求の範囲及び明細書における「第 1」、「第 2」、「第 3」、「第 4」などの用語は、特定の順序を説明するのではなく、異なる対象を区別するために用いられるものである。

【0027】

本願の実施例によれば、電流制限回路の電流制限値を調整可能にすることにより、電源管理集積チップの過負荷での電源オンの失敗を防止し、電源管理集積チップの短絡での電源オンによる損傷を防止することができる電流制限回路が提供される。以下、詳細に説明する。なお、以下の実施例の説明順序は、実施例の好適順序を限定するものではない。本願の全ての実施例に採用されるトランジスタは、薄膜トランジスタ若しくは電界効果トランジスタ又は特性が同一である他の部品であってもよい。

10

【0028】

また、本願の実施例に採用されるトランジスタは、P型トランジスタ及び/又はN型トランジスタの二種類を含むことができる。ここで、P型トランジスタは、ゲートがローレベルであるときにソースとドレインがオンにされ、ゲートがハイレベルであるときにソースとドレインがオフされる。N型トランジスタは、ゲートがハイレベルであるときにソースとドレインがオンにされ、ゲートがローレベルであるときにソースとドレインがオフにされる。

20

【0029】

図1は、本願の実施例に係る電流制限回路の構造を示す概略図である。図1に示すように、本願の実施例に係る電流制限回路10は、第1電圧端Aと、第2電圧端Bと、第1トランジスタT1と、電流制限モジュール100とを含む。第1トランジスタT1は、入力端及び出力端が第1電圧端Aと第2電圧端Bとで形成される回路に直列に接続される。電流制限モジュール100は、第1トランジスタT1の入力端と第1トランジスタT1の制御端とに電氣的に接続される。電流制限モジュール100は、第1トランジスタT1の制御端と第1トランジスタT1の入力端との差圧を制御することにより、電流制限回路10の電流制限値を調整可能であるように第1トランジスタT1の状態を制御する。なお、第1トランジスタT1は、第1端がトランジスタのソース又はドレインの一方であり、第2端がトランジスタのソース又はドレインの他方であり、制御端がトランジスタのゲートである。

30

【0030】

なお、第1電圧端Aは、電源管理チップの動作電圧入力端であってもよく、第2電圧端Bは、AVDD電圧出力端であってもよい。表示パネル業界では、電源管理内蔵チップは、絶縁トランジスタをゆっくりとオンにし、AVDD電圧を緩やかに確立することで、過大な電流の発生によるループにおける他の電子部品の損傷を防止するために、AVDD電圧の起動中に電流制限動作を行っていた。

40

【0031】

電流制限回路の電流制限値が小さすぎる場合、電源管理集積チップは、過負荷で電源オンされるとき、電流制限により、電圧が所定の時間内に確立できないため、電源オンが失敗する。一方、電流制限回路10の電流制限値が大きすぎる場合、電源管理集積チップは、後端負荷が短絡するとき、長時間の大電流により、部品が損傷することになる。本願の実施例において、電流制限回路10の電流制限値は、調整可能である。すなわち、本願の実施例に係る電流制限回路10は、実際の状況に応じて電流制限回路10の電流制限値を設定することができ、電流制限回路10の電流制限値を調整可能にすることができるため、電源管理集積チップの過負荷での電源オンの失敗を防止し、電源管理集積チップの短絡での電源オンによる損傷を防止することができる。

50

【 0 0 3 2 】

ここで、図 2 は、本願の実施例に係る電流制限回路の回路を示す概略図である。図 2 に示すように、電流制限モジュール 100 は、第 2 トランジスタ T2 と、第 1 抵抗 R1 と、第 3 トランジスタ T3 と、制御ユニット 101 とを含む。第 2 トランジスタ T2 は、第 1 端が第 1 制御端 B B に電氣的に接続され、第 2 端が第 1 トランジスタ T1 の入力端に電氣的に接続され、第 3 端が第 1 トランジスタ T1 の制御端に電氣的に接続される。第 1 抵抗 R1 は、第 1 端が第 1 トランジスタ T1 の入力端に電氣的に接続され、第 2 端が第 1 トランジスタ T1 の制御端に電氣的に接続される。第 3 トランジスタ T3 は、第 1 端が第 2 制御端 A A に電氣的に接続され、第 2 端が第 1 トランジスタ T1 の制御端に電氣的に接続され、第 3 端が制御ユニット 101 に接続される。

10

【 0 0 3 3 】

具体的には、制御ユニット 101 は、第 1 トランジスタ T1 の状態を制御する。制御ユニット 101 は、並列に設けられる複数の抵抗制御サブユニット 1011 を含む。抵抗制御サブユニット 1011 は、第 1 端が第 3 トランジスタ T3 の第 3 端に電氣的に接続され、第 2 端がアース端 GND に電氣的に接続される。各抵抗制御サブユニット 1011 は、いずれも第 2 抵抗 R2 を含む。ここで、一の抵抗制御サブユニット 1011 には、一つの第 2 抵抗 R2 のみが設けられる。その他の抵抗制御サブユニット 1011 は、直列に設けられる一つの第 2 抵抗 R2 と一つのスイッチ S とを含む。

【 0 0 3 4 】

具体的には、第 1 トランジスタ T1 の制御端と第 1 トランジスタ T1 の入力端との差圧は、以下の式により得られ、 $V_{gs} = -V_1 * R_1 / (R_1 + R_x)$

20

ただし、 V_{gs} は、第 1 トランジスタ T1 の制御端と第 1 トランジスタ T1 の入力端との差圧であり、 V_1 は、第 1 トランジスタ T1 の入力端の電圧値であり、 R_1 は、第 1 抵抗 R1 の抵抗値であり、 R_x は、並列に設けられる x 個の抵抗制御サブユニット 1011 の抵抗値である。

【 0 0 3 5 】

本願の実施例において、第 1 トランジスタ T1 及び第 2 トランジスタ T2 は、いずれも P 型トランジスタであり、第 3 トランジスタ T3 は、N 型トランジスタである。以下は、本願の実施例におけるトランジスタの種類を例に次のように説明する。

【 0 0 3 6 】

図 3 は、本願の実施例に係る電流制限回路の第 1 状態を示す概略図である。図 3 に示すように、第 1 トランジスタ T1 が起動しないとき、第 2 制御端 A A の電圧は、低電位となり、第 3 トランジスタ T3 は、オフにされ、第 1 制御端 B B の電位は、低電位となり、第 2 トランジスタ T2 は、オンにされる。このとき、ノード x 1 とノード y 1 の電位とが等しく、第 1 トランジスタ T1 の制御端の電位は、ノード y 1 における電位であり、第 1 トランジスタの入力端の電位は、ノード x 1 における電位であるため、 $V_{gs} = 0$ であり、第 1 トランジスタ T1 が起動しない。

30

【 0 0 3 7 】

図 4 は、本願の実施例に係る電流制限回路の第 2 状態を示す概略図である。図 4 に示すように、第 1 トランジスタ T1 が起動するとき、第 2 制御端 A A の電圧は、高電位となり、第 3 トランジスタ T3 はオンにされ、第 1 制御端 B B の電位は、高電位となり、第 2 トランジスタ T2 は、オフにされる。このとき、ノード x 2 の電位と第 1 トランジスタ T1 の入力端の電位とが等しく、抵抗分圧の原理により、ノード y 2 の電位は、以下の式により得られ、 $y_2 = V_1 * R_x / (R_1 + R_x)$ 、 V_1 は、第 1 トランジスタ T1 の入力端の電圧値であり、 R_1 は、第 1 抵抗 R1 の抵抗値であり、 R_x は、並列に設けられる x 個の抵抗制御サブユニット 1011 の抵抗値である。第 1 トランジスタ T1 の制御端の電位は、ノード y 2 の電位と等しい。このとき、 $V_{gs} = y_2 - x_2 = -V_1 * R_1 / (R_1 + R_x)$ 、ただし、 V_{gs} は、第 1 トランジスタ T1 の制御端と第 1 トランジスタ T1 の入力端との差圧であり、 V_1 は、第 1 トランジスタ T1 の入力端の電圧値であり、 R_1 は、第 1 抵抗 R1 の抵抗値であり、 R_x は、並列に設けられる x 個の抵抗制御サブユニット

40

50

1011の抵抗値であるため、第1トランジスタT1は、オンにされ、かつオンにされる程度は、並列に設けられるx個の抵抗制御サブユニット1011の抵抗値の大きさによって決定される。

【0038】

これに基づいて、本願に係る電流制限回路10によれば、電流制限モジュール100によって第1トランジスタT1の制御端と第1トランジスタT1の入力端との差圧を制御することにより、電流制限回路10の電流制限値を調整可能であるように第1トランジスタT1の状態を制御するため、電源管理集積チップの過負荷での電源オンの失敗を防止し、電源管理集積チップの短絡での電源オンによる損傷を防止することができる。

【0039】

図5は、本願の実施例に係る電流制限回路の別の回路を示す概略図である。図5に示す電流制限回路20は、第4トランジスタT4、タイミングユニット102、比較ユニット103及び定電流ユニット104をさらに含むのに対し、図2に示す電流制限回路10は、このような構成を備えていない点で相違する。

【0040】

ここで、第4トランジスタT4は、入力端が第1電圧端Aに電氣的に接続され、出力端が第2電圧端Bに電氣的に接続される。タイミングユニット102は、比較ユニット103の第1端に電氣的に接続される。比較ユニット103は、第2端が第2電圧端Bに電氣的に接続され、第3端が固定電圧信号Mに接続され、第4端が定電流ユニット104の第1端に電氣的に接続される。定電流ユニット104は、第2端が第4トランジスタT4の

【0041】

ここで、タイミングユニット102は、所定の時間を空けて比較ユニット制御信号を出力する。比較ユニット103は、比較ユニット制御信号に制御され、比較ユニット103の第2端の電圧及び比較ユニット103の第3端の電圧に基づいて、比較ユニット103の第4端で定電流ユニット制御信号を定電流ユニット104の第1端に出力する。定電流ユニット104は、定電流ユニット制御信号に制御され定電流を出力する。

【0042】

タイミングユニット102は、電流制限時間を設定するレジスタである。すなわち、本願の実施例において、タイミングユニット102は、所定の時間を空けて比較ユニット制御信号を出力する。定電流ユニット104の第1端が比較ユニット制御信号を受信するとき、定電流ユニット104は、動作を開始する。一方、定電流ユニット104の第1端が比較ユニット制御信号を受信しないとき、定電流ユニット104は、動作を一時停止する。

【0043】

ここで、比較ユニット103は、二つ又は複数のデータ項目を比較することにより、それらが等しいか否かを特定し、又はそれらの間の大小関係及び配列順序を特定することを比較と呼ぶ。このような比較機能を実現できる回路又は装置を比較ユニットと呼ぶ。比較ユニット103の機能は、二つの電圧の大きさ（出力電圧のハイレベル又はローレベルで二つの入力電圧の大小関係を表す）を比較することであり、「+」入力端が「-」入力端よりも電圧が高いとき、電圧比較器の出力はハイレベルであり、「+」入力端が「-」入力端よりも電圧が低いとき、電圧比較器の出力はローレベルである。

【0044】

すなわち、本願の実施例において、比較ユニット103は、比較ユニット103の第2端の電圧及び比較ユニットの第3端の電圧に基づいて、比較ユニットの第4端で定電流ユニット制御信号を定電流ユニット104の第1端に出力する。

【0045】

なお、比較ユニット103は、第1端がイネーブル端であり、第2端が「+」入力端であり、第3端が「-」入力端であり、第4端が出力端である。比較ユニット103の第1端が比較ユニット制御信号を受信するとき、比較ユニット103は、動作を開始する。一方、比較ユニット103の第1端が比較ユニット制御信号を受信しないとき、比較ユニッ

10

20

30

40

50

ト 1 0 3 は、動作を一時停止する。比較ユニット 1 0 3 の第 2 端の電圧が比較ユニット 1 0 3 の第 3 端の電圧よりも大きいとき、比較ユニット 1 0 3 の第 4 端から出力される定電流ユニット制御信号は、ハイレベルである。一方、比較ユニット 1 0 3 の第 2 端の電圧が比較ユニット 1 0 3 の第 3 端の電圧よりも小さいとき、比較ユニット 1 0 3 の第 4 端から出力される定電流ユニット制御信号は、ローレベルである。

【 0 0 4 6 】

ここで、定電流ユニット 1 0 4 は、実際の電源から抽象化されたモデルであり、その端ボタンが両端の電圧に関係なく、常に外部に一定の電流を供給することができる。定電流ユニット 1 0 4 は、二つの基本的な性質を有する。第 1 に、供給する電流は、両端の電圧に関係なく定値であり、第 2 に、定電流ユニット 1 0 4 自体の電流は特定されているが、その両端の電圧は任意である。すなわち、本願の実施例において、定電流ユニット 1 0 4 は、定電流ユニット 1 0 4 制御信号により制御され定電流を出力し、定電流は、実際のニーズに応じて設定することができる。

10

【 0 0 4 7 】

具体的には、タイミングユニット 1 0 2 は、タイマを含む。タイマは、比較ユニット 1 0 3 の第 1 端に電氣的に接続される。なお、他の実施例において、タイミングユニット 1 0 2 は、特性が同じである他の部品であってもよい。すなわち、タイミングユニット 1 0 2 は、タイミング機能を有する他の部品であってもよい。ここで、タイマは、所定の時間を空けてハイレベル信号を出力する。例えば、タイマは、例えば、4 ミリ秒、6 ミリ秒、8 ミリ秒、1 0 ミリ秒など、異なる検出時間シフトを設定することができる。

20

【 0 0 4 8 】

具体的には、比較ユニット 1 0 3 は、比較器を含む。比較器は、第 1 端がタイミングユニット 1 0 2 に電氣的に接続され、第 2 端が第 2 電圧端 B に電氣的に接続され、第 3 端が固定電圧信号 M に接続され、第 4 端が定電流ユニット 1 0 4 の第 1 端に電氣的に接続される。

【 0 0 4 9 】

ここで、比較器は、第 1 端がイネーブル端であり、第 2 端が「+」入力端であり、第 3 端が「-」入力端であり、第 4 端が出力端である。比較器の第 1 端がハイレベルであるとき、比較器は、動作を開始する。一方、比較器の第 1 端がローレベルであるとき、比較器は、動作を一時停止する。比較器の第 2 端の電圧が比較器の第 3 端の電圧よりも大きいとき、比較器の第 4 端から出力される定電流ユニット制御信号は、ハイレベルである。一方、比較器の第 2 端の電圧が比較器の第 3 端の電圧よりも小さいとき、比較器の第 4 端から出力される定電流ユニット制御信号はローレベルである。

30

【 0 0 5 0 】

ここで、比較器は、第 2 電圧端 B の電圧と固定電圧信号 M の電圧とを比較するものである。第 2 電圧端 B の電圧が固定電圧信号 M の電圧よりも大きいとき、比較器は、ハイレベルを出力する。一方、第 2 電圧端 B の電圧が固定電圧信号 M の電圧よりも小さいとき、比較器は、ローレベルを出力する。

【 0 0 5 1 】

ここで、固定電圧信号 M の電圧値は、0 . 8 5 倍の第 1 電圧端 A の電圧値と 0 . 9 倍の第 1 電圧端 A の電圧値との間にある。他の実施例において、固定電圧信号 M の電圧値は、0 . 8 5 倍の第 1 電圧端 A の電圧値と 0 . 9 倍の第 1 電圧端 A の電圧値との間に設定することができる。その他の実施例において、固定電圧信号 M の電圧値が 0 . 8 5 倍の第 1 電圧端 A の電圧値と 0 . 9 倍の第 1 電圧端 A の電圧値との間にあるように、第 1 電圧端 A と比較ユニット 1 0 3 の第 3 端との間に乗算器を直列に接続してもよい。

40

【 0 0 5 2 】

さらに、タイマを 4 ミリ秒に設定し、固定電圧信号 M を 0 . 9 倍の第 1 端の電圧に設定することを例に説明する。タイマは、電流制限時間を設定するレジスタで、現在 4 ミリ秒に設定されている。タイマが 4 m s の計時を完了すると、第 2 電圧端 B の電圧値と 0 . 9 倍の第 1 電圧端 A の電圧とを比較し、第 2 電圧端 B の電圧値が 0 . 9 倍の第 1 電圧端 A の

50

電圧よりも小さい場合、後端負荷に異常があり、このとき、第2トランジスタT2の制御端のレベルは、高電位から低電位に切り替えられ、第2トランジスタT2は、オンにされ、第1トランジスタT1は、オフにされ、定電流源はオフにされ、電源管理集積チップは、動作を停止する。第2電圧端Bの電圧値が0.9倍の第1電圧端Aの電圧よりも大きい場合、回路は、正常に機能し、このとき、第2トランジスタT2の制御端のレベルは、高電位から低電位に切り替えられ、第2トランジスタT2は、オンにされ、第1トランジスタT1は、オフにされ、定電流源は、オンにされ、第4トランジスタT4の制御端の電圧がプルダウンされ、第4トランジスタT4がオンにされ、外付けの第4トランジスタT4によって当該電流制限回路の絶縁動作が行われる。

【0053】

10

他の実施例において、第1トランジスタT1及び電流制限モジュール100は、いずれも電源管理チップの内部に設けられ、第4トランジスタT4、タイミングユニット102、比較ユニット103及び定電流ユニット104は、電源管理チップの外部に設けられる。すなわち、本願の実施例では、電源管理チップに第1トランジスタ及び電流制限ユニットを内蔵することにより、温度特性が良好であり、精度が高く、高温低温のいずれの場合にも電流制限値の精度を保証することができる。なお、抵抗と第1トランジスタの $V_{gs} - I_d$ 曲線は温度によってほとんど変化しないため、本願は、比較的良好な温度特性を有し、高温(85)及び低温(-20)のいずれの場合にも電流制限値の安定性を保証することができる。

【0054】

20

本願の実施例に係る電流制限回路によれば、制御信号を電流制限モジュールによって絶縁トランジスタの制御端に出力し、電流制限回路の電流制限値及び電流制限時間を調整可能であるように絶縁トランジスタの状態を制御することにより、電源管理集積チップの過負荷での電源オンの失敗を防止し、電源管理集積チップの短絡での電源オンによる損傷を防止することができる。

【0055】

以上、本願の実施例に係る電流制限回路について詳細に紹介し、本明細書では、具体的な例を適用して本願の原理及び実施形態について詳述した。上記の実施例の説明は、本願の方法及びそのコア思想の理解を助けるためにのみ用いられるものである。同時に、当業者にとっては、本願の思想に基づき、具体的な実施形態及び適用範囲にいずれも変更箇所があることから、本明細書の内容は、本願の制限として理解すべきではない。

30

40

50

【図面】

【図 1】

10

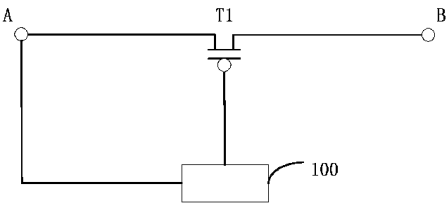


図 1

【図 2】

10

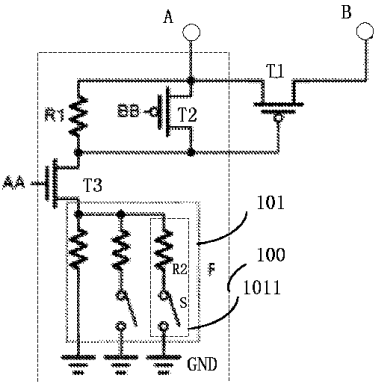


図 2

【図 3】

10

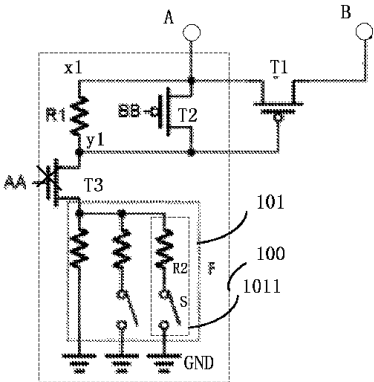


図 3

【図 4】

10

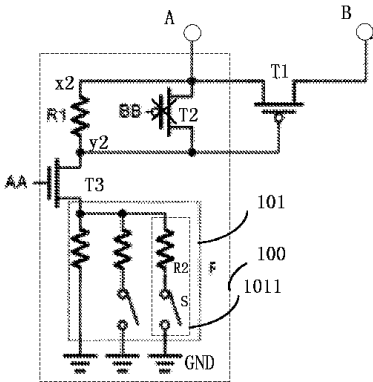


図 4

10

20

30

40

50

【 図 5 】

20

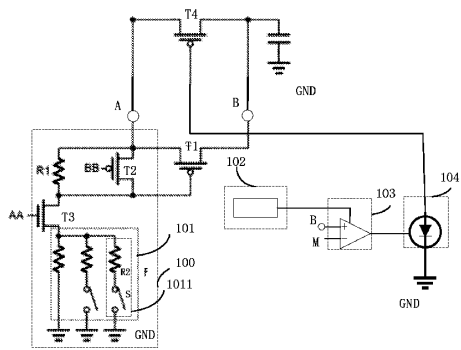


图 5

10

20

30

40

50

フロントページの続き

(72)発明者 李 浩然
中華人民共和国 5 1 8 1 3 2 広東省深▲セン▼市光明新区塘明大道 9 - 2 号
審査官 佐藤 匡

(56)参考文献 特開 2 0 1 2 - 1 6 0 9 2 8 (J P , A)
特開 2 0 0 1 - 0 2 2 4 5 6 (J P , A)
特開 2 0 0 5 - 2 0 2 9 8 5 (J P , A)
中国特許出願公開第 1 1 1 0 6 4 1 5 9 (C N , A)
米国特許出願公開第 2 0 2 1 / 0 0 2 6 3 8 3 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)
G 0 5 F 1 / 5 6
H 0 3 K 1 7 / 0 0