

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月26日(26.10.2017)



(10) 国際公開番号

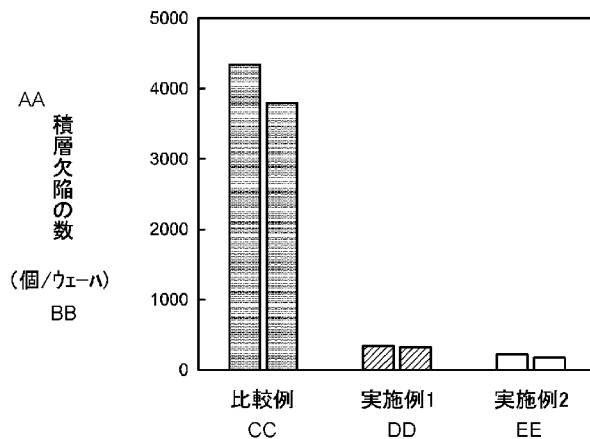
WO 2017/183277 A1

- (51) 国際特許分類:
H01L 21/205 (2006.01) H01L 21/20 (2006.01)
C23C 16/24 (2006.01)
- (21) 国際出願番号: PCT/JP2017/006250
- (22) 国際出願日: 2017年2月21日(21.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-084435 2016年4月20日(20.04.2016) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO.,LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 吉岡 翔平 (YOSHIOKA, Shohei); 〒3790196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 磯部工場内 Gunma (JP).
- (74) 代理人: 張川 隆司 (HARIKAWA, Takashi); 〒4600008 愛知県名古屋市中区栄二丁目9番30号 栄山吉ビル 菅原国際特許事務所 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: METHOD FOR PRODUCING EPITAXIAL WAFER

(54) 発明の名称: エピタキシャルウェーハの製造方法

[図6]



AA Number of lamination defects
BB Number/wafer
CC Comparative example
DD Example 1
EE Example 2

(57) **Abstract:** The present invention is a method for producing an epitaxial wafer, said method comprising a preparation step and a growth step. In the preparation step, a low resistivity substrate W which has been doped with red phosphorus is prepared. The substrate W has at least 5×10^{19} atoms/cm³ of phosphorus added as a dopant. In the growth step, an epitaxial layer is grown at a growth rate of 2 μ m/min or lower on the substrate W at a temperature between 1040 °C and 1130 °C inclusive. In this way, the present invention provides a method for producing an

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

epitaxial wafer in which lamination defects can be suppressed.

(57) 要約：エピタキシャルウェーハの製造方法は、準備する工程と、成長する工程を備える。準備する工程は、赤燐がドーパされた低抵抗率の基板Wを準備する。基板Wは、ドーパントとしてリンが $5 \times 10^{19} \text{ atoms/cm}^3$ 以上添加される。成長する工程は、基板Wに 1040°C 以上かつ 1130°C 以下の温度でエピタキシャル層を $2 \mu\text{m/min}$ 以下の成長速度で成長させる。これにより、積層欠陥を抑制可能なエピタキシャルウェーハの製造方法を提供する。

明 細 書

発明の名称：エピタキシャルウェーハの製造方法

技術分野

[0001] 本発明は、エピタキシャルウェーハの製造方法に関する。

背景技術

[0002] 例えば、モバイル端末等に使用する半導体素子の基板にエピタキシャルウェーハが使用されている。このような半導体素子では、省電力化の要請からオン抵抗を下げることが求められている。オン抵抗を下げる具体的な方法として、半導体素子基板を薄膜化する方法と半導体素子基板の抵抗率を低下させる方法があるが、半導体素子のデバイスの特性上、半導体素子基板を薄膜化することには限界がある。そのため、高濃度にドーパントをドーピングした低抵抗率のシリコン単結晶基板にエピタキシャル層を成長させ、半導体素子基板としての低抵抗率のエピタキシャルウェーハが作製される。このようなエピタキシャルウェーハとして、特許文献1～3には低抵抗率の半導体基板にエピタキシャル層を成長させたエピタキシャルウェーハが開示されている。

[0003] このようなエピタキシャルウェーハの元になるシリコン単結晶基板は、高濃度のドーパントをドーピングして引き上げたインゴットを元に作製される。しかし、このドーパントにSb（アンチモン）、As（ヒ素）などのn型ドーパントを用いると、引き上げの際にドーピングしたドーパントが蒸発してしまう。そのため、エピタキシャル層を成長させるシリコン単結晶基板がn型ならば、揮発性が比較的低いリン（赤リン）をドーパントとしてドーピングしたシリコン単結晶基板が用いられる。そして、用意したシリコン単結晶基板の主表面上にエピタキシャル層を気相成長することにより、低抵抗率のエピタキシャルウェーハが製造される。

[0004] しかし、高濃度にリンがドーピングされた低抵抗率のシリコン単結晶基板にエピタキシャル層を成長すると、気相成長後のエピタキシャルウェーハの主表面に多くのスタッキングフォルト（積層欠陥）が発生する。この積層欠陥が

発生したエピタキシャルウェーハを用いて半導体素子を作製すると、半導体素子（デバイス）の特性（主に耐圧特性）が低下する。そのため、積層欠陥の発生数をデバイスの特性に影響のない水準にまで低減する必要がある。

[0005] エピタキシャルウェーハの主表面で観察される積層欠陥は、低抵抗率のシリコン単結晶基板に発生した結晶欠陥等を起点としてエピタキシャルウェーハの主表面に伝搬することで観察される。この積層欠陥は、シリコン単結晶基板の抵抗率が低下するに従って増加する傾向があることから、積層欠陥の形成にはドーパントであるリンが関与していると考えられている。

[0006] そこで、低抵抗率のシリコン単結晶基板にエピタキシャル層を成長する前に、そのシリコン単結晶基板の主表面を塩化水素ガスで気相エッチングして基板表面の清浄化し、積層欠陥の発生を抑制する対策が採られている。

先行技術文献

特許文献

[0007] 特許文献1：特開2012-156303号公報

特許文献2：特開2014-82242号公報

特許文献3：特開2005-79134号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、このような気相エッチングを施した低抵抗率のシリコン単結晶基板にエピタキシャル層を成長しても半導体素子の特性に悪影響を及ぼす濃度の積層欠陥がエピタキシャルウェーハに発生する場合がある。

[0009] 本発明の課題は、積層欠陥を抑制可能なエピタキシャルウェーハの製造方法を提供することにある。

課題を解決するための手段及び発明の効果

[0010] 本発明のエピタキシャルウェーハの製造方法は、
リンがドーパされた低抵抗率のシリコン単結晶基板を準備する工程と、
シリコン単結晶基板に1040℃以上かつ1130℃以下の温度でエピタ

キシタル層を $2\ \mu\text{m}/\text{min}$ 以下の成長速度で成長する工程と、
を備えることを特徴とする。

[0011] 本発明のエピタキシタルウェーハの製造方法は、上記の成長する工程により低抵抗率のシリコン単結晶基板にエピタキシタル層を成長するため、エピタキシタル成長中に発生する積層欠陥を抑制することが可能となる。なお、成長する工程において、温度を 1040°C 未満の低温側にすると、エピタキシタルウェーハ上に高さ数十 nm 、幅数 μm の凸欠陥が爆発的な数、形成される。その一方で、成長する工程における温度を 1130°C を超える高温側にすると、エピタキシタルウェーハ上に発生する積層欠陥が増加するとともに、サブミクロンの微小なピットが発生する。これらの欠陥は、リン（赤燐）をドーピングした低抵抗率のシリコン単結晶基板にエピタキシタル層を成長した場合に特異的に生じるものであり、積層欠陥と同様にリンが関与して形成する結晶欠陥に起因するものと考えられる。このような欠陥についても半導体素子のデバイス特性に悪影響を及ぼすため、 1040°C 以上かつ 1130°C 以下との温度範囲でシリコン単結晶基板にエピタキシタル層を成長する。

[0012] 本明細書において、「低抵抗率のシリコン単結晶基板」とは、例えば、リン（赤燐）が $5 \times 10^{19}\ \text{atoms}/\text{cm}^3$ 以上ドーピングされたシリコン単結晶基板でもよいし、リン（赤燐）が $8 \times 10^{19}\ \text{atoms}/\text{cm}^3$ 以上ドーピングされたシリコン単結晶基板でもよい。リン（赤燐）が $8 \times 10^{19}\ \text{atoms}/\text{cm}^3$ 以上ドーピングされたシリコン単結晶基板を用いる場合は、効果的にエピタキシタルウェーハの積層欠陥を低減することができる。

[0013] 本発明の実施態様では、成長する工程は、第1工程であり、第1工程後に、前記成長速度を超える成長速度で前記エピタキシタル層にエピタキシタル層を成長する第2工程を備える。

[0014] これによれば、第2工程によってエピタキシタル層を成長させる速度を高めることができ、エピタキシタルウェーハの生産性をあまり落とさずに積層欠陥が抑制されたエピタキシタルウェーハを製造できる。

[0015] 本発明の実施態様では、準備する工程と成長する工程の間に、シリコン単

結晶基板の主表面を塩化水素ガスにより気相エッチングする工程を備える。

[0016] これによれば、シリコン単結晶基板の主表面を清浄化でき、積層欠陥の発生をより抑制することができる。

[0017] 本発明の実施態様では、気相エッチングする工程は、エッチング量が、 $0.025\mu\text{m}$ 以上、かつ、 $1.000\mu\text{m}$ 以下である。

[0018] 積層欠陥核は、シリコン単結晶基板の表面から、その基板の深さ方向に $0.025\mu\text{m}$ 以上の領域に局在するため、エッチング量を $0.025\mu\text{m}$ 以上とすると、積層欠陥核を効果的に除去できる。また、エッチング量を $1.000\mu\text{m}$ 以下とすることで、生産性を高めることができる。

図面の簡単な説明

[0019] [図1]本発明の一例のエピタキシャルウェーハの製造方法における各工程（その1）を説明する図。

[図2A]成長速度 $5.0\mu\text{m}/\text{min}$ にしてエピタキシャル層を成長させたエピタキシャルウェーハに発生した積層欠陥の数（個／ウェーハ）とエピタキシャル成長時の温度（℃）との関係を示すグラフ。

[図2B]成長速度 $4.0\mu\text{m}/\text{min}$ にしてエピタキシャル層を成長させたエピタキシャルウェーハに発生した積層欠陥の数（個／ウェーハ）とエピタキシャル成長時の温度（℃）との関係を示すグラフ。

[図2C]成長速度 $2.0\mu\text{m}/\text{min}$ にしてエピタキシャル層を成長させたエピタキシャルウェーハに発生した積層欠陥の数（個／ウェーハ）とエピタキシャル成長時の温度（℃）との関係を示すグラフ。

[図2D]成長速度 $1.0\mu\text{m}/\text{min}$ にしてエピタキシャル層を成長させたエピタキシャルウェーハに発生した積層欠陥の数（個／ウェーハ）とエピタキシャル成長時の温度（℃）との関係を示すグラフ。

[図3]図2A～図2Dにおいて、エピタキシャル成長時の温度を最も低温側にして作製されたエピタキシャルウェーハに発生する凸欠陥の一例を示す図。

[図4]図2A～図2Dにおいて、エピタキシャル成長時の温度を最も高温側にして作製されたエピタキシャルウェーハに発生する微小なピットの一例を示す図。

す図。

[図5]本発明の一例のエピタキシャルウェーハの製造方法における各工程（その2）を説明する図。

[図6]実施例1、2及び比較例で作製したエピタキシャルウェーハに発生した積層欠陥の数（個／ウェーハ）を示すグラフ。

発明を実施するための形態

[0020] 以下、赤燐をドーピングしたシリコン単結晶基板にシリコンエピタキシャル層を成長するシリコンエピタキシャルウェーハの製造方法を説明する。以下においては、エピタキシャルウェーハを製造する周知の気相成長装置（以下、「気相成長装置」とする）を用いてエピタキシャルウェーハを製造する方法を説明する。

[0021] 気相成長装置は、試料となるシリコン単結晶基板を反応させる反応炉を備える。反応炉内にシリコン単結晶基板を収容した状態で、例えば、図1に示す各工程S1～S4が行われ、反応炉内のシリコン単結晶基板にエピタキシャル層を成長してシリコンエピタキシャルウェーハが製造される。

[0022] 気相成長装置を用いてシリコンエピタキシャルウェーハを製造するためには、まずは、エピタキシャル層を成長させる成長用基板となるシリコン単結晶基板を作製する。例えば、石英るつぼに多結晶シリコンと抵抗率を調整するための赤燐を入れて熔融させた熔融液の液面に種結晶シリコン棒を漬けて引き上げ、シリコン単結晶インゴットを作製する。次に作製したシリコン単結晶インゴットを所定の厚さに切り出し、切り出したウェーハに粗研磨、エッチング、研磨等を施したシリコン単結晶基板を作製する。このシリコン単結晶基板は、シリコン単結晶インゴットの作製時にドーパントとして赤燐が $5 \times 10^{19} \text{ atoms/cm}^3$ 以上添加される（例えば、赤燐が $1 \times 10^{20} \text{ atoms/cm}^3$ 添加される）。以下、赤燐がドーパントとして $5 \times 10^{19} \text{ atoms/cm}^3$ 以上添加されたシリコン単結晶基板を基板Wとする。

[0023] 作製された基板Wは、気相成長装置の反応炉に搬送され、図1の一連の工程が行われる。反応炉に搬送された基板Wは、雰囲気ガスに水素を用いた反

応炉内に投入される。反応炉に投入された基板Wは、気相成長装置により、例えば、 1100°C 以上の温度で数十秒間、加熱されるベーク工程（S1）が施され、基板Wの表面の自然酸化膜が除去される。

[0024] 次いで、基板Wに気相エッチングを施すエッチング工程を行う（S2）。エッチング工程では、反応炉内の基板Wの主表面上に塩化水素ガス（HClガス）を供給し、基板Wの主表面を気相エッチングする。具体的には、エッチング量が、 $0.025\mu\text{m}$ 以上、かつ、 $1.000\mu\text{m}$ 以下になるように塩化水素ガスの供給時間及び供給量が設定される。積層欠陥核は、基板Wの主表面から基板Wの深さ方向（厚さ方向）に $0.025\mu\text{m}$ 以上の領域に局在するため、エッチング量が $0.025\mu\text{m}$ 以上であることにより積層欠陥を効果的に抑制できる。一方、エッチング量が $1.000\mu\text{m}$ を超えると、エピタキシャルウェーハを製造する生産性が低下するため、エッチング量は、 $0.025\mu\text{m}$ 以上、かつ、 $1.000\mu\text{m}$ 以下の範囲に設定される。なお、エッチング速度は、例えば、 $0.04\mu\text{m}/\text{min}$ 以上、かつ、 $0.37\mu\text{m}/\text{min}$ 以下となるように設定される。

[0025] S2のエッチング工程が終了すると、反応炉内の塩化水素ガスを反応炉の外に排出するパージ工程（S3）を行う。

[0026] S3のパージ工程が終了すると、基板Wにエピタキシャル層を成長する成長工程（S4）を行う。成長工程では、反応炉内の基板Wの主表面に原料ガスとなる、例えば、トリクロロシラン（TCS）と、そのトリクロロシランを希釈するキャリアガスとなる水素ガスを供給し、基板Wの主表面上にエピタキシャル層を気相成長する。具体的には、反応炉内（基板W）の温度を、例えば、 1040°C 以上～ 1130°C 以下の所定の温度に維持し（例えば、 1100°C に維持し）、エピタキシャル層を $2\mu\text{m}/\text{min}$ 以下の成長速度で成長する。このようにして所定の膜厚のエピタキシャル層を基板Wに成長し、シリコンエピタキシャルウェーハが製造される。

[0027] 以上、基板Wにエピタキシャル層を成長してエピタキシャルウェーハが製造される一連の流れを説明した。このようなエピタキシャルウェーハのもと

になる基板Wは、シリコン単結晶インゴットの作製時にドーパントの赤燐が $5 \times 10^{19} \text{ atoms/cm}^3$ 以上（例えば、 $1 \times 10^{20} \text{ atoms/cm}^3$ ）添加されるため、基板Wの主表面に多数の積層欠陥核が存在する。よって、基板Wにエピタキシャル層を成長すると、基板Wの主表面の積層欠陥核がエピタキシャルウェーハに積層欠陥を引き起こす。それ故、積層欠陥核が存在する基板Wの主表面を図1に示すS2のエッチング工程で除去して積層欠陥核を取り除いている。

[0028] 基板Wの主表面をエッチングすることで、基板Wの主表面における積層欠陥核が大幅に取り除かれるものの、エッチング工程後に依然として一部の積層欠陥核が、例えば、微小なピット状に基板Wに残存する。そのため、エッチング後の基板Wにエピタキシャル層を成長しても、例えば、基板Wの主表面等の積層欠陥核がエピタキシャルウェーハに積層欠陥を引き起こす場合がある。

[0029] そこで、本発明者は、基板Wにエピタキシャル層を成長させる成長速度と温度の成長条件と、その成長条件で成長したエピタキシャルウェーハに形成される積層欠陥の数（個／ウェーハ）の関係について精査した。その精査した結果が、図2A～図2Dに示される。図2A～図2Dにおいては、エピタキシャル成長時の成長速度が図毎に異なり、エピタキシャル成長時の温度を 1000°C から 1160°C の範囲で選択した温度にして作製したエピタキシャルウェーハの積層欠陥の数（個／ウェーハ）が示される。各図で作製されたエピタキシャルウェーハは、直径 200 mm 、厚さ $735 \mu\text{m}$ 、赤燐の濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ の基板Wに層厚 $3 \mu\text{m}$ のエピタキシャル層を成長したものである。また、各図における横軸は、エピタキシャル成長時における反応炉内の温度（ $^\circ\text{C}$ ）を示す。一方、縦軸は、作製したエピタキシャルウェーハの主表面に発生する積層欠陥の数をパーティクルカウンター（KLA-Tencor社製のSurfscan SP1）により計測した数（個／ウェーハ）を示す。図2Aは、成長速度を $5.0 \mu\text{m/min}$ に固定し、 1120°C から 1160°C の範囲で選択した4つの各温度でエピタキシ

ヤル成長させたエピタキシャルウェーハの積層欠陥の数を示す。図2Bは、成長速度を $4.0\mu\text{m}/\text{min}$ に固定し、 1100°C から 1160°C の範囲で選択した5つの各温度でエピタキシャル成長させたエピタキシャルウェーハの積層欠陥の数を示す。図2Cは、成長速度を $2.0\mu\text{m}/\text{min}$ に固定し、 1025°C から 1160°C の範囲で選択した8つの各温度でエピタキシャル成長させたエピタキシャルウェーハの積層欠陥の数を示す。図2Dは、成長速度を $1.0\mu\text{m}/\text{min}$ に固定し、 1025°C から 1160°C の範囲で選択した8つの各温度でエピタキシャル成長させたエピタキシャルウェーハの積層欠陥の数を示す。

[0030] 図2A～図2Dにおいてプロットされた点には、各図において積層欠陥の数が極小となる極小点を有する。この極小点における積層欠陥の数は、成長速度が $1.0\mu\text{m}/\text{min}$ の場合に最も少ない（図2Dの温度 1100°C 付近の点参照）。また、成長速度が $1.0\mu\text{m}/\text{min}$ の場合には、積層欠陥の数が最少となる温度（図2Dの温度 1100°C 付近）から温度が外れて作製されたエピタキシャルウェーハに形成される積層欠陥の数は、温度が 1040°C ～ 1130°C の広範囲に渡って、ほとんど横ばいとなる。更に、図2Cに示すように成長速度が $2.0\mu\text{m}/\text{min}$ の場合でも同様に、作製されたエピタキシャルウェーハに形成される積層欠陥の数は、温度が 1040°C ～ 1130°C の範囲に渡り、ほとんど横ばいになっている。それに対して、図2A及び図2Bに示すように $4.0\mu\text{m}/\text{min}$ 以上の成長速度で作製されたエピタキシャルウェーハにおいては、積層欠陥の数が広範囲で横ばいにならず、エピタキシャル成長時の温度に応じて大きく変化する。そのため、成長速度を低速にして 1100°C 付近の温度でエピタキシャル成長をすることで、積層欠陥を抑制することが可能である。

[0031] なお、図2A～図2Dの各図において、最も低温側の領域にプロットされた点が計測した積層欠陥の数がオーバーフローした点となる。これらの点における欠陥は、主に数十nm、幅数 μm の図3に示すような凸欠陥であった。反対に図2A～図2Dの各図において高温側（ 1160°C 側）の領域にプ

ロットされた点における欠陥は、積層欠陥及び図4に示すサブミクロンの微小なピットであった。これらの欠陥は、赤燐がドーブされた低抵抗率基板以外では見られず、この基板特有の現象である。

[0032] 以上から、エピタキシャル成長時の成長速度を $2\mu\text{m}/\text{min}$ 以下にし、その成長時の温度を 1040°C 以上かつ 1130°C 以下にすることにより、積層欠陥の発生を抑制するエピタキシャルウェーハを製造することができる。好ましくはエピタキシャル成長時の成長速度は $2\mu\text{m}/\text{min}$ 以下であり、成長時の温度が 1060°C 以上かつ 1120°C 以下である。より好ましくはエピタキシャル成長時の成長速度は $1\mu\text{m}/\text{min}$ 以下であり、成長時の温度が 1060°C 以上かつ 1120°C 以下である。

[0033] なお、図5に示すように基板Wに対して図1と同様にベーク工程(S1)からパージ工程(S3)を行った後、図1の成長工程(S4)の代わりに第1、第2の成長工程(S4a、S4b)を実施してもよい。第1の成長工程(S4a)においては、エピタキシャル成長時のエピタキシャル層の成長速度を $2.0\mu\text{m}/\text{min}$ 以下にし、その成長時の温度を 1040°C 以上かつ 1130°C 以下にして基板Wにノンドープのエピタキシャル層をエピタキシャル成長させる。その後、第2の成長工程(S4b)として、第1の成長工程(S4a)の成長速度を超える成長速度(例えば、 $4.0\mu\text{m}/\text{min}$)でエピタキシャル層が所定の膜厚になるまで成長させる。第1の成長工程(S4a)では、エピタキシャル層を成長させるのに時間を要し、生産性が大きく低下する。そこで、第1の成長工程(S4a)後に第2の成長工程(S4b)を行うことにより生産性をあまり落とさずに積層欠陥を抑制したエピタキシャルウェーハを製造することが可能となる。

実施例

[0034] 以下、実施例と比較例を挙げて本発明を具体的に説明するが、これらは本発明を限定するものではない。

[0035] (実施例)

実施例1では、抵抗率 $0.71\text{m}\Omega\cdot\text{cm}\sim 0.74\text{m}\Omega\cdot\text{cm}$ となる直

径200mm、厚さ735 μ mで主表面が鏡面研磨処理された基板Wを2枚用意した。次に、用意した2枚の基板Wのそれぞれに気相成長装置を用いて図1に示す工程S1～S4を実施し、2枚のシリコンエピタキシャルウェーハを作製した。作製条件としては、S2のエッチング工程では、エッチング速度を0.090 μ m/min、エッチング量を0.045 μ mに設定した。また、S3のパージ工程では、1130℃で水素ガスを30秒流した。S4の成長工程では、成長速度を1.0 μ m/min、温度を1100℃にして膜厚2.1 μ mのシリコンエピタキシャル層を成長した。そして、作製したエピタキシャルウェーハをパーティクルカウンター（KLA-Tencor社製のSurfscan SP1）で測定し、エピタキシャルウェーハに発生した積層欠陥の数（個/ウェーハ）を計測した。

[0036] 実施例2では、図1のパージ工程（S3）までは実施例1と同様にし、その後、図1の成長工程（S4）の代わりに図5の第1、第2の成長工程（S4a、S4b）を実施した。S4aの第1の成長工程では、成長速度を1.0 μ m/min及び温度を1100℃にして膜厚0.1 μ mのエピタキシャル層を成長した。次に、S4bの第2の成長工程では、成長速度を4.0 μ m/min及び温度を1150℃として膜厚2 μ mのエピタキシャル層を成長した。このようにしてエピタキシャルウェーハを作製し、実施例1と同様に作製したエピタキシャルウェーハに発生した積層欠陥の数（個/ウェーハ）を計測した。

[0037] （比較例）

比較例では、図1のパージ工程（S3）までを実施例1と同様に行い、その後、図1の成長工程（S4）の代わりに成長速度を4.0 μ m/min及び温度を1150℃として膜厚が2.1 μ mのエピタキシャル層を成長する成長工程を実施し、エピタキシャルウェーハを作製した。そして、実施例1と同様に作製したエピタキシャルウェーハに発生した積層欠陥の数（個/ウェーハ）を計測した。

[0038] 図6は、実施例1、2及び比較例で作製したエピタキシャルウェーハに発

生した積層欠陥の数を示す。実施例 1 では、積層欠陥の数が 3 4 8（個／ウェーハ）、3 2 4（個／ウェーハ）であり、実施例 2 では、積層欠陥の数が 2 2 2（個／ウェーハ）、1 7 2（個／ウェーハ）である。一方、比較例では、積層欠陥の数が 4 3 4 8（個／ウェーハ）、3 8 2 0（個／ウェーハ）となった。

[0039] 図 6 に示すように比較例のように成長速度が $2\ \mu\text{m}/\text{min}$ を超えると、積層欠陥の数が十分に抑制されないのに対し、実施例 1 のように成長速度が $2\ \mu\text{m}/\text{min}$ 以下であり、成長時の温度が 1100°C であると、積層欠陥の数を十分に抑制できる。また、実施例 2 のように実施例 1 と同様の条件（成長速度が $2\ \mu\text{m}/\text{min}$ 以下、かつ、温度が 1100°C ）でエピタキシャル層を成長させた後、それより高速の成長速度でエピタキシャル層を成長する場合においても積層欠陥の数を十分に抑制できた。よって、生産効率を上げた状態で積層欠陥の数を抑制したエピタキシャルウェーハを製造することができる。

[0040] 以上、本発明の実施例を説明したが、本発明はその具体的な記載に限定されることなく、例示した構成等を技術的に矛盾のない範囲で適宜組み合わせて実施することも可能であるし、またある要素、処理を周知の形態に置き換えて実施することもできる。

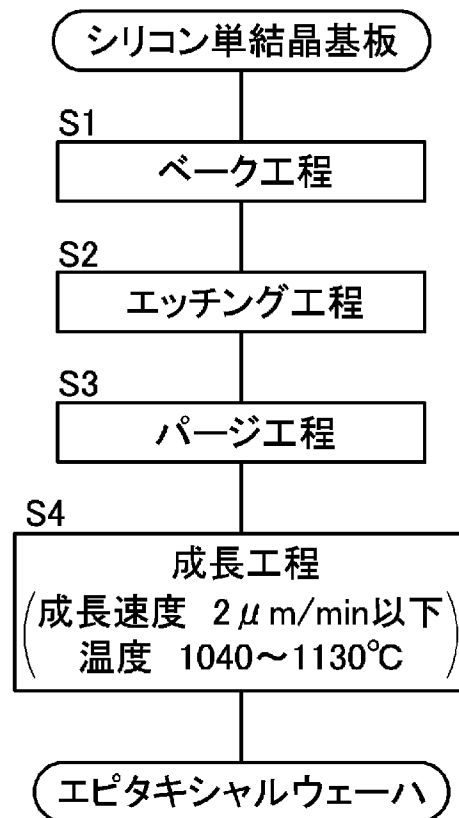
符号の説明

[0041] W 基板（シリコン単結晶基板）

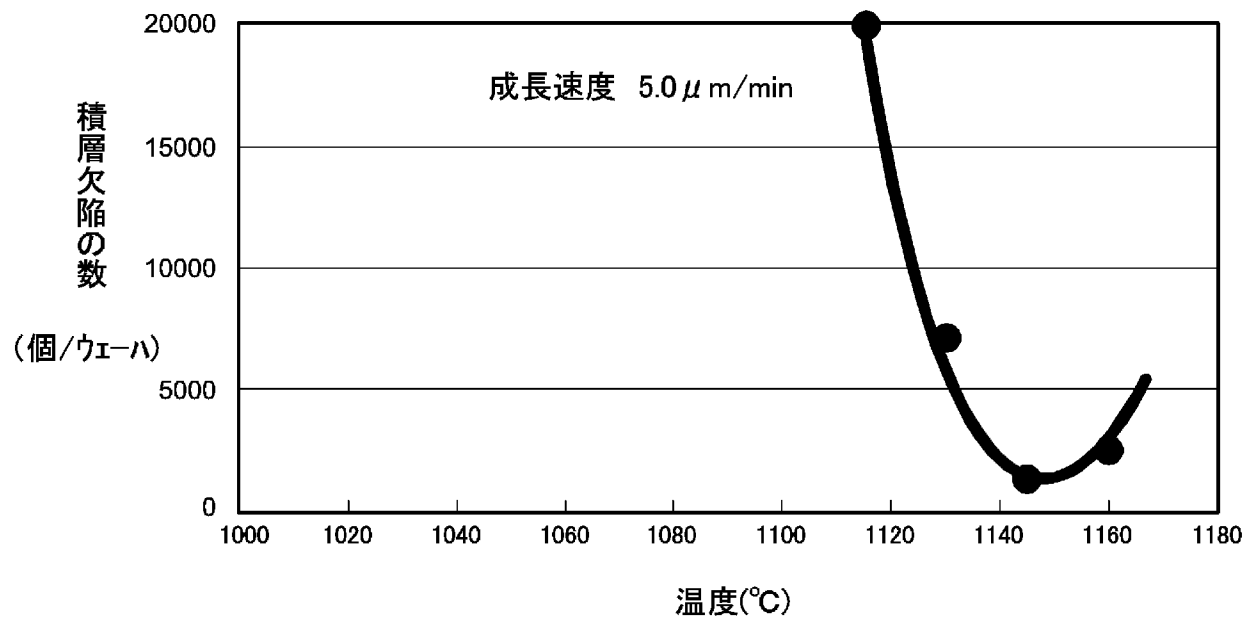
請求の範囲

- [請求項1] リンがドーピングされた低抵抗率のシリコン単結晶基板を準備する工程と、
- 前記シリコン単結晶基板に 1040°C 以上かつ 1130°C 以下の温度でエピタキシャル層を $2\mu\text{m}/\text{min}$ 以下の成長速度で成長する工程と、
- を備えることを特徴とするエピタキシャルウェーハの製造方法。
- [請求項2] 前記準備する工程は、前記リンが $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 以上ドーピングされた前記シリコン単結晶基板を準備する請求項1に記載のエピタキシャルウェーハの製造方法。
- [請求項3] 前記準備する工程は、前記リンが $8 \times 10^{19} \text{ atoms}/\text{cm}^3$ 以上ドーピングされた前記シリコン単結晶基板を準備する請求項1又は2に記載のエピタキシャルウェーハの製造方法。
- [請求項4] 前記成長する工程は、第1工程であり、
- 前記第1工程後に、前記成長速度を超える成長速度で前記エピタキシャル層にエピタキシャル層を成長する第2工程を備える請求項1ないし3のいずれか1項に記載のエピタキシャルウェーハの製造方法。
- [請求項5] 前記準備する工程と前記成長する工程の間に、前記シリコン単結晶基板の主表面を塩化水素ガスにより気相エッチングする工程を備える請求項1ないし4のいずれか1項に記載のエピタキシャルウェーハの製造方法。
- [請求項6] 前記気相エッチングする工程は、エッチング量が、 $0.025\mu\text{m}$ 以上、かつ、 $1.000\mu\text{m}$ 以下である請求項5に記載のエピタキシャルウェーハの製造方法。

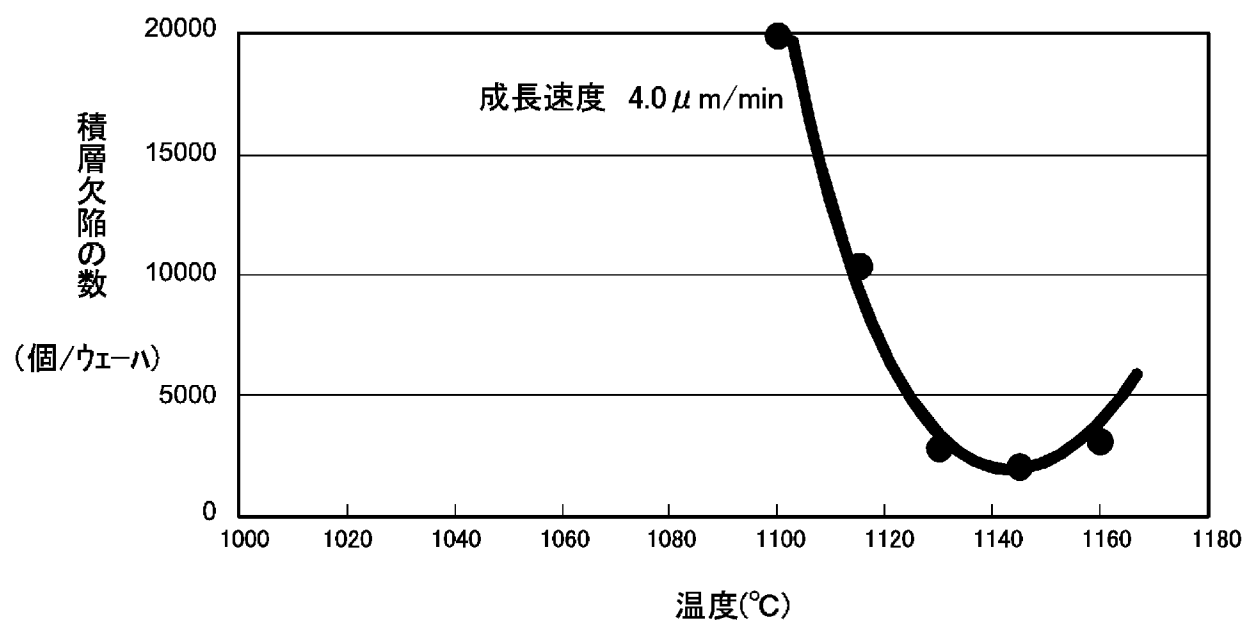
[図1]



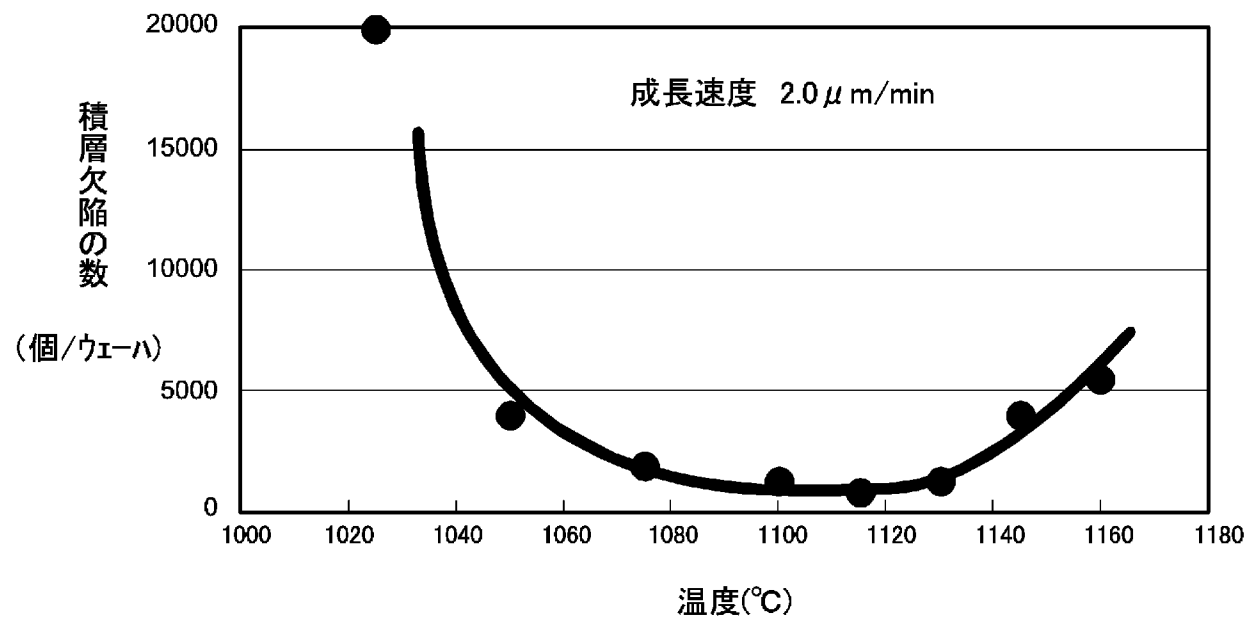
[図2A]



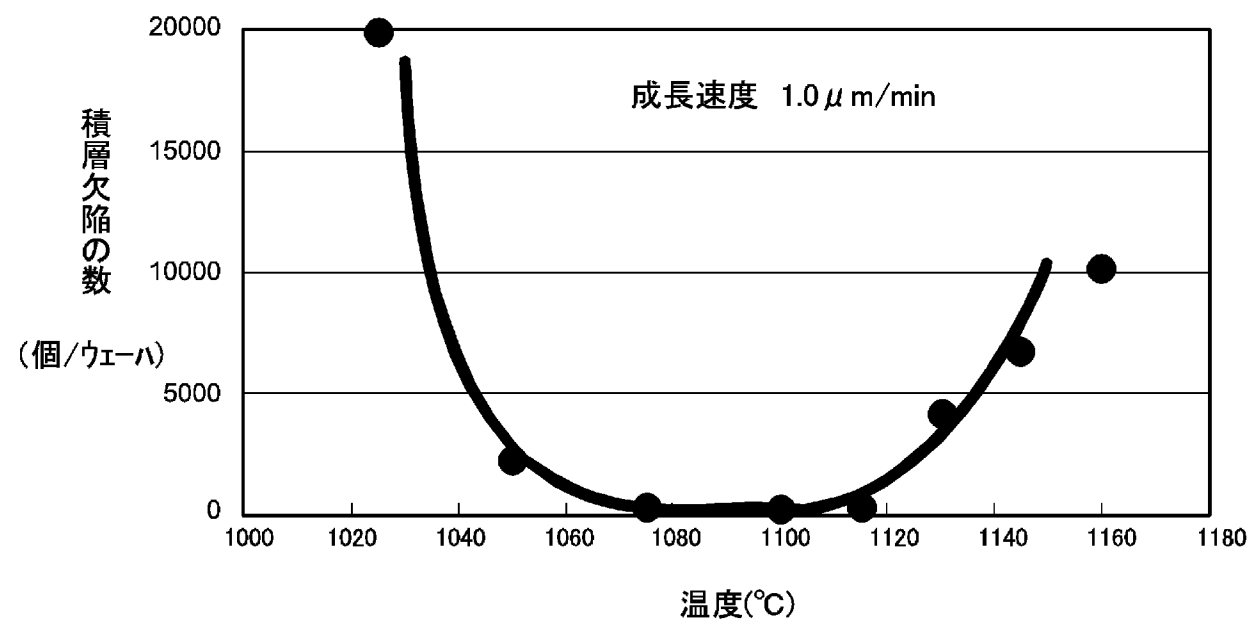
[図2B]



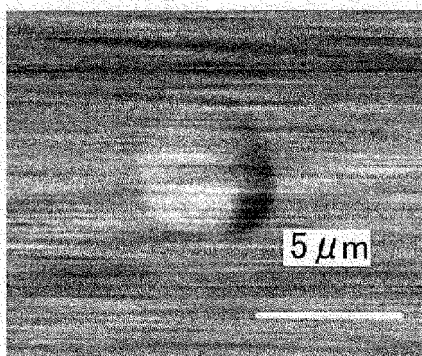
[図2C]



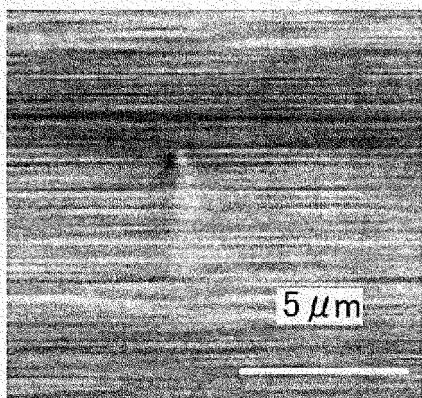
[図2D]



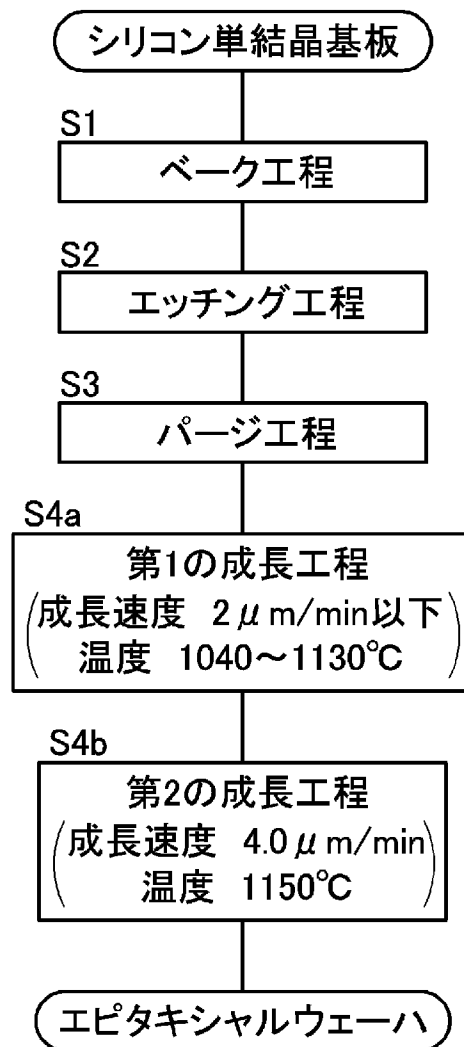
[図3]



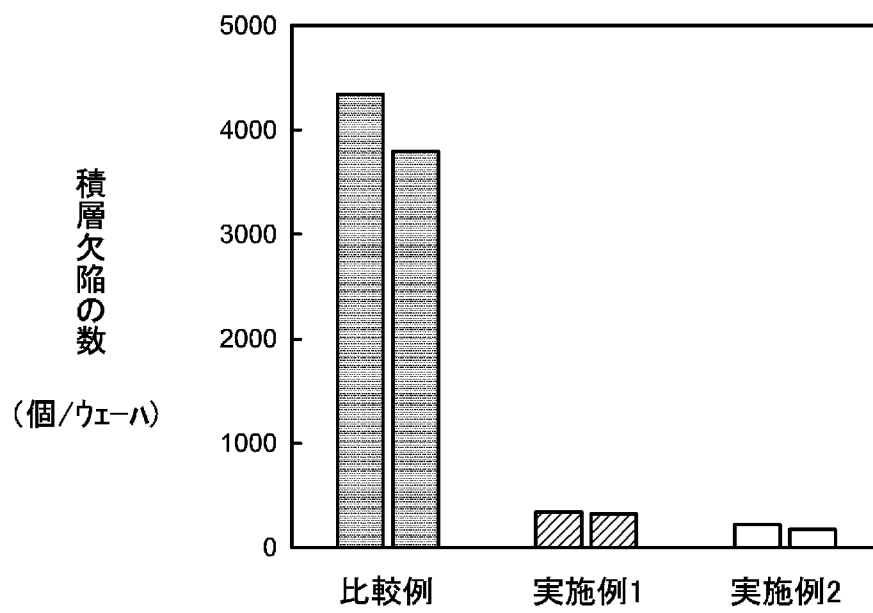
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006250

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/205(2006.01)i, C23C16/24(2006.01)i, H01L21/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205, C23C16/24, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-156303 A (Shin-Etsu Handotai Co., Ltd.), 16 August 2012 (16.08.2012), paragraphs [0022], [0024], [0025], [0032], [0033]; fig. 1 & TW 201250787 A page 8, lines 6 to 10; page 9, lines 7 to 20; page 11, lines 3 to 12; fig. 1 & WO 2012/101968 A1	1 2-6
X Y	JP 2009-176784 A (Covalent Materials Tokuyama Corp.), 06 August 2009 (06.08.2009), paragraphs [0016], [0030], [0034] (Family: none)	1 2-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 May 2017 (11.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006250

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-11293 A (SUMCO Corp.), 20 January 2014 (20.01.2014), paragraph [0045] & US 2014/0001605 A1 paragraphs [0176] to [0182] & US 2015/0380493 A1 & KR 10-2014-0002509 A	2-6
Y	JP 2015-213102 A (Shin-Etsu Handotai Co., Ltd.), 26 November 2015 (26.11.2015), paragraphs [0029] to [0031], [0059], [0063]; fig. 3 (Family: none)	4-6
Y	JP 2012-114138 A (SUMCO Corp.), 14 June 2012 (14.06.2012), paragraphs [0025], [0026] (Family: none)	5, 6
Y	JP 2-119123 A (NEC Corp.), 07 May 1990 (07.05.1990), page 2, upper left column, line 17 to upper right column, line 4; fig. 1 (Family: none)	5
A	JP 2011-9614 A (SUMCO Corp.), 13 January 2011 (13.01.2011), entire text; all drawings & US 2012/0112190 A1 entire text; all drawings & WO 2011/001770 A1 & DE 112010002747 T5	1-6
A	JP 2014-82242 A (Fuji Electric Co., Ltd.), 08 May 2014 (08.05.2014), entire text; all drawings & US 2014/0106520 A1 entire text; all drawings & CN 103730338 A & TW 201423840 A	1-6
A	JP 2005-79134 A (Toshiba Ceramics Co., Ltd.), 24 March 2005 (24.03.2005), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/205(2006.01)i, C23C16/24(2006.01)i, H01L21/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/205, C23C16/24, H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-156303 A（信越半導体株式会社）2012.08.16, 段落【0022】、【0024】、【0025】、【0032】、【0033】、図1	1
Y	& TW 201250787 A, 第8頁第6-10行、第9頁第7-20行、第11頁第3-12行、図1 & WO 2012/101968 A1	2-6
X	JP 2009-176784 A（コバレントマテリアル徳山株式会社）	1
Y	2009.08.06, 段落【0016】、【0030】、【0034】（ファミリーなし）	2-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

11.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

正山 旭

50

9276

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-11293 A (株式会社SUMCO) 2014.01.20, 段落【0045】 & US 2014/0001605 A1, 段落[0176]-[0182] & US 2015/0380493 A1 & KR 10-2014-0002509 A	2-6
Y	JP 2015-213102 A (信越半導体株式会社) 2015.11.26, 段落【0029】-【0031】、【0059】、【0063】、図3 (ファミリーなし)	4-6
Y	JP 2012-114138 A (株式会社SUMCO) 2012.06.14, 段落【0025】、【0026】 (ファミリーなし)	5,6
Y	JP 2-119123 A (日本電気株式会社) 1990.05.07, 第2頁左上欄第17行-右上欄第4行、第1図 (ファミリーなし)	5
A	JP 2011-9614 A (株式会社SUMCO) 2011.01.13, 全文、全図 & US 2012/0112190 A1, 全文、全図 & WO 2011/001770 A1 & DE 112010002747 T5	1-6
A	JP 2014-82242 A (富士電機株式会社) 2014.05.08, 全文、全図 & US 2014/0106520 A1, 全文、全図 & CN 103730338 A & TW 201423840 A	1-6
A	JP 2005-79134 A (東芝セラミックス株式会社) 2005.03.24, 全文、全図 (ファミリーなし)	1-6