(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 7/52

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0218825
(24) 등록일자 1999년06월11일

(21) 출원번호	10-1996-0003559	(65) 공개번호	특1996-0032231
(22) 출원일자	1996년02월14일	(43) 공개일자	1996년09월17일
(30) 우선권주장	95-025039 1995년02월14일 일본(JP)		
(73) 특허권자 가부시기가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 야노나오카
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 580-1 가부시기가이샤 도시바 반도체 시스템 기술 센터내
(74) 대리인 나영환, 이상섭

심사관 : 민혜정

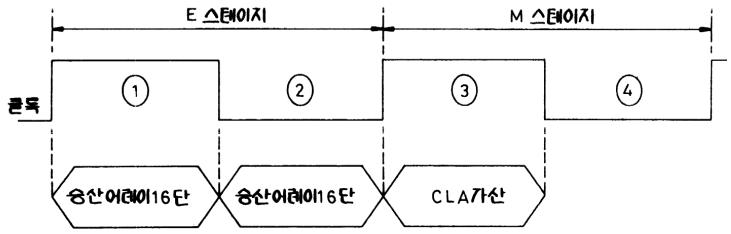
(54) 승산기 및 곱합 연산 장치

요약

본 발명은 회로 면적의 감소 연산 시간을 그다지 증가시키지 않고, 하드웨어량의 감소를 가능하게 하는 승산기를 제공하는 것을 목적으로 한다.

본 발명에 있어서, 글록 CLK의 전반의 ①에서 승산 어레이(6)를 16단 통과하여, 필요한 승산의 반의 연산을 행하며, 그 중간 결과를 래치회로(3)에 보존한다. 또, 클록 CLK의 후반 ②에서는 보존된 중간 결과와 나머지 승산 어레이(6)의 16단 통과분과의 연산을 행한다. 그리고, 다음의 클록 CLK의 전반 ③에서는 승산 어레이(6)로부터의 출력 결과를 가산하여 출력한다.

대표도



명세서

[발명의 명칭]

승산기 및 곱합 연산 장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 도시한 승산기의 전체 구성도.

제2도는 제1실시예의 승산 어레이의 각 단의 구성을 도시한 도면.

제3도는 제1실시예의 승산기의 승산 동작을 도시한 도면.

제4도는 본 발명의 제2실시예를 도시한 승산기의 전체 구성도.

제5도는 제2실시예에 있어서의 승산 어레이의 상위 비트측의 구성을 도시한 도면.

제6도는 제2실시예에 있어서의 승산 어레이의 하위 비트측의 구성을 도시한 도면.

제7도는 제2실시예에 았어서의 승산 어레이의 3단째~8단째의 개략 구성을 도시한 도면.

제8도는 제2실시예의 승산기의 승산 동작을 도시한 도면.

제9도는 본 발명의 제3실시예를 도시한 승산기의 전체 구성도.

제10도는 제9도의 더블 에지 트리거 래치회로의 구성을 도시한 회로도.

제11도는 제10도의 더블 에지 트리거 래치회로의 동작을 도시한 타임차트.

제12도는 제3실시예의 승산기의 승산동작을 도시한 도면.

제13도는 본 발명의 제4실시예를 도시한 곱합 연산 장치의 전체 구성도.

제14도는 자리올림 보존 가산기 방식을 이용한 종래의 승산기의 구성을 도시한 도면.

제15도는 전가산기 및 반가산기의 진리값표를 도시한 도면.

제16도는 자리올림 보존 가산기 방식을 이용한 종래의 곱합 연산 장치의 구성을 도시한 도면.

제17도는 반복 가산방식을 이용한 종래의 승산기의 구성을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

1, 21 : 래치회로(피승수 유지회로) 2, 22 : 래치회로(승수 유지회로)

3, 23, 23a : 래치회로(중간합 유지회로)

4, 24 : 제1선택기 5, 25, 25a : 제2선택기

6, 27 : 승산 어레이 6a, 27a : 부분곱 생성회로

6b, 27b : 누적 가산회로 7, 29, 29a : 레지스터(출력 유지회로)

8, 30, 30a : 래치회로(출력 유지회로)

9, 31, 31a : 래치회로(누적 가산 결과 유지회로)

10, 32 : 가산기 26 : 부스 엔코더(부호화 회로)

28, 28a : 래치회로 51 : 자리올림 보존 가산기

41 : 더블 에지 트리거 래치회로(부호화 결과 유지회로)

[발명의 상세한 설명]

본 발명은 데이타처리프로세서나 마이크로 프로세서 등의 연산 장치로서 사용되는 승산기 및 곱합 연산 장치에 관한 것이다.

종래, 이런 분야의 기술로서는 예컨대 제14도~제17도에 도시된 바와 같은 것이 있었다.

제14도는 자리올림 보존 가산기(carry save adder) 방식을 이용한 종래의 승산기의 구성을 도시한 도면이다.

이 승산기는 8비트×8비트의 승산을 행하는 기능을 가지고 있다. 즉, 8비트의 피승수 데이타 X<0 : 7>와 8비트의 승수 데이타 Y<0 : 7>와의 승산을 행하고, 승산 결과 OUT<0 : 15>를 출력한다.

동일 도면에 도시된 바와 같이, 이 승산기는 피승수 X를 유지하는 8비트의 피승수 레지스터(101)와, 승수 Y를 유지하는 8비트의 승수 레지스터(102)와, 승산부(103)로 구성되어 있다.

승산부(103)는 8단의 승산 어레이(104)와, 최종단의 승산 어레이에 접속된 자리올림 선견 가산기(carry look-ahead adder)(105)로 구성되어 있다. 승산 어레이(104)는 각 단마다 부분곱을 발생시키는 8개의 AND 게이트(104a)로 이루어지는 부분곱 생성회로와, 생성된 부분곱을 누적 가산하는 8개의 전(全)가산기(104b) 및 1개의 반(半)가산기(104c)로 이루어지는 누적 가산회로로 구성되어 있다.

여기서, 전가산기(104b)의 입력 A, B, C에 대한 출력 Z, C0의 진리값표를 제15a도에 도시하며, 반가산기(104c)의 입력 B, C에 대한 출력 Z, C0의 진리값표를 제15b도에 도시한다.

다음에 동작을 설명한다.

먼저, 제1단째의 승산 어레이(104)에서는 피승수 레지스터(101)의 출력 X<0 : 7>과 승수 레지스터(102)의 출력 Y<7<의 논리곱이 계산되고, 상기 1단째의 승산 어레이(104)의 출력은 2단째의 승산 어레이(104)에 가해진다. 다음에, 2단째의 승산 어레이(104)에서는 1단째의 승산 어레이(104)의 출력과, 피승수 레지스터(101)의 출력 X<0 : 7>과, 승수 레지스터(102)의 출력 Y<6>을 이용하여, 부분곱의 누적 가산이 행해진다.

이와 동일하게, 3단째로부터 8단째까지의 승산 어레이(104)에 의하여 누적가산이 순차적으로행해져서, 최후에 자리올림 선견 가산기(105)에 의해 8단째의 승산 어레이의 출력에 대하여 자리올림 예견 가산이 행해진다. 그 결과, 자리올림 선견 가산기(105)의 출력이 승산 결과 OUT<0 : 8>로서, 또한 2단째로부터 8단째의 최하위 비트에 위치하는 반산가산기(104c)의 출력이 각각 승산 결과 OUT<9 : 15>로서 승산 결과가 생성된다.

제16도는 자리올림 보존 가산기 방식을 이용한 종래의 곱합 연산기의 구성을 도시한 도면이다.

이 곱합 연산기는 8비트×8비트+16비트 곱합 연산을 행하는 기능을 가지고 있다. 즉, 8비트의 피승수 데이타 X<7 : 0>과 8비트의 승수 데이타 Y<7 : 0>와의 승산을 행하고, 또 16비트의 가산을 행하여 곱합 연산 결과 OUT<15 : 0>을 출력한다.

이 곱합 연산기는 제16도에 도시된 바와 같이, 피승수 X를 유지하는 8비트의피승수 레지스터(111)와, 승수 Y를 유지하는 8비트의 승수 레지스터(112)와, 승산부(113)를 구비하고 있다.

승산부(113)는 피승수 레지스터(111) 및 승수 레지스터(112)의 출력측이 접속된 8단의 승산 어레이(114)와, 최종단의 승산 어레이(114)에 접속된 승산 결과 레지스터(115)와, 자리올림 선견 가신기(CLA 부착 가산기)(116)로 구성되어 있다.

승산 어레이(114)는 각 단마다 부분곱을 발생하는 8개의 AND 게이트(114a)로 이루어지는 부분곱 생성회로와, 생성된 부분곱을 누적 가산하는 8개의 전가산기(114b)로 이루어지는 누전 가산회로로 구성되어 있다. 또 승산 결과 레지스터(115)는 자리올림 보존 상태(carry(자릿수 올림)와 sum(합)으로 분리된 상태)의 누적 가산 결과를 유지하기 위한 16비트의 레지스터이고, 자리올림 선견 가산기(116)는 자리올림 보존 상태의 누적 가산

결과를 일반적인 상태로 되돌리기 자리올림 선견 가산기(8비트+8비트)이다.

그리고, 승산부(113)의 출력측에는 승산 결과와 곱합 데이타와의 가산을 행하기 위한 자리올림 선견 가산기(117)(16비트+16비트)가 접속되어 있다.

이와 같이 구성되는 곱합 연산기에 의하면, 1단째의 승산 어레이(114)에서는 피승수의 각 비트와 승수 최하위 비트<0>으로부터 부분곱을 생성하고, 2단째의 승산 어레이(114)에서는 승수의 하위로부터 2비트<1>과 피승수의 각 비트로부터 부분곱을 생성하며, 그 생성한 부분곱과 1단째의 부분곱과의 누적 가산 연산을 행한다. 이와 동일하게, 부분곱의 생성과 누적 가산의 동작을 8단째까지 반복 행하고, 피승수와 승수의 승산 결과를 자리올림 보존 상태로 얻는다(상술의 제14도에 도시된 승산기와 동일한 동작).

그 승산 결과를 승산 결과 레지스터(115)에 일단 격납한후, 자리올림 선견 가산기(116)에 가산을 행하고, 16비트의 승산 결과를 얻는다. 그 후, 곱합 데이타<15=0>와의 가산을 행하기 위해서 다시 자리올림 선견 가산기(117)에서 가산을 행하여, 곱합 연산기의 결과 OUT<15 : 0>를 얻는다.

제17도는 반복 가산 방식을 이용한 종래의 승산기의 구성을 도시한 도면이다.

이 승산기는 32비트×32비트의 승산을 행하는 기능을 가지고 있다. 즉, 32비트의 피승수 데이타 X<0 : 31>과 32비트의 승수 데이타 Y<0 : 31>와의 승산을 행한다.

동일 도면에 도시된 바와 같이, 이 승산기는 피승수 데이타 X를 유지하는 32비트의 피승수 레지스터(121)와, 승수 데이타 Y를 유지하는 32비트의 승수 레지스터(122)와, 승산 도중의 누적 가산 결과를 유지하는 32비트의 레지스터(123)와, 피승수 레지스터(121)와 레지스터(123)와의 내용을 가산하는 32비트의 가산기(124)와, 승수 레지스터(122)의 최하위 비트 Y<31>가 '1'일 때에 가산기(124)의 출력 ADD<0 : 31>가 '0'일 때에 레지스터(123)의 출력 Z<0 : 31>을 선택하여 출력하는 선택기(125)로 구성되어 있다. 또, 최종적으로 승산 결과는 승수 레지스터(122)에 격납된다.

레지스터(123)의 최상위 비트 Z<0>에 가산기(124)의 자리올립 출력 CARRY을 기록하는 동시에, 레지스터(123)의 Z<1 : 31>에 선택기(125)의 출력 SEL<0 : 30>을 기록하고, 또한, 승수 레지스터(122)의 최상위 비트 Z<0>에 선택기(125)의 출력의 최하위 비트 SEL<31>를, 숭스 레지스터(122)의 Y<1 : 31>에 승수 레지스터(122)의 Y<0 : 30>를 기록하는 일련의 처리를 32회 반복 행한다.

즉, 1개의 처리 단위로서는 승수 Y의 각 자리수의 값 Y<i>(i=0~31)에 따라서 누적 가산 결과를 유지하는 레지스터(123)에 피승수 X<0 : 31>을 1비트 오른쪽으로 시프트시키면서 더하거나(Y<i>=1일 때), 또는 더하지 않고 레지스터(123)의 내용을 1비트 오른쪽으로 시프트시키는(Y<i>=0일 때) 처리와, 제i번째의 처리에서는 확정되는 승산 결과의 상위로부터 제i번째의 비트를 승수 레지스터(122)의 최상위 비트에 승수 레지스터(122)를 1비트 오른쪽으로 시프트시키면서 격납하는 처리를 행한다. 이 처리 단위를 32회(i=0~31) 반복 행한 결과, 승산 결과의 하위 32비트가 승수 레지스터(122)에, 상위 32비트가 레지스터(123)에 각각 격납된다.

그러나, 상기 종래예에서는 다음과 같은 문제점이 있었다.

(1) 1클록 단위에서 연산되기 때문에, 1클록당 필요한 하드웨어를 모두 장비하고 있어야 하며, 회로 면적적이 문제가 된다. 즉 제14도 및 제16도에 도시된 예에서는 부분곱을 계산하는 만큼의 부분곱 생성 및 누적 가산 회로가 필요해지기 때문에, 예컨대 32비트×32비트의 연산에서는 32×32=1024개쯤의 전가산기 및 부분곱 생성 회로가 필요하며, 회로형성 면적의 증대를 초래한다.

(2) 제17도의 예에서는 피룡한 부품이 상술한 제14도에 도시된 예에 비하여 매우 적다. 그러나, 가산을 승산의 비트수만큼 반복하기 때문에, 비트폭이 커지면 당연 연산시간이 방대해져서, 고성능 연산을 행할 수 없다.

본 발명은 상술한 바와 같이 종래의 문제점을 해결하기 위해서 이루어진 것으로, 그 목적은 연산처리 시간을 너무 증대시키지 않고 하드웨어량을 감소시킨 승산기와 연산처리 시간을 증대시키지 않고 하드웨어량을 감소시킨 곱합연산기를 제공하는 것이다.

또한 그 외의 목적은 회로 면적의 감소를 가능하게 하는 승산기 및 곱합 연산 장치를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위해서, 청구범위 제1항 기재의 발명인 승산기의 특징은 피승수 데이타를 유지하는 피승수 유지회로와, 승수 데이타의 상위로위부터 소정 비트를 유지하는 승수 유지회로와, 클록의 전반 또는 후반에 의해 상기 승수 데이타의 하위로부터 소정 비트와 상기 승수 유지회로의 출력을 전환시키는 제1선택기와, 중간합 데이타를 유지하는 중간합 유지회로와, 상기 클록의 전반 또는 후반에 의해 초기치와 상기 중간합 유지회로의 출력을 전환시키는 제2선택기와, 상기 제1선택기의 출력과 상기 피승수 유지회로의 출력에 기초하여 부분곱을 생성하는 복수단의 부분곱 생성회로와, 상기 제2선택기의 출력과 상기 각 단의 부분곱 생성회로의 출력에 기초하여 누적 가산을 행하여 승산 중간결과인 상기 중간합 데이타를 생성하는 복수단의 누적 가산회로와, 상기 누적 가산회로의 소정단의 출력과 상기 각 단위 누적 가산회로의 일부를 유지하는 누적 가산 결과 유지회로와, 상기 각 단위 누적 가산회로의 출력의 1부를 격납하는 출력 유지회로를 갖는 승산기로서, 상기 클록의 전반 또는 후반의 제1타이밍시에는 상기 제1선택기에 의해 상기 승수 데이타의 하위로부터 소정 비트를 선택하고 또한 상기 제2선택기에 의해 상기 초기치를 선택하며, 상기 각 단위 부분곱 생성회로는 상기 제1선택기의 출력 1비트와 상기 피승수 유지회로의 각 비트의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하고, 그 소정단의 누적 가산회로의 출력을 상기 중간합 데이타로서 중간합 유지회로에 기록하며, 또한 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 출력 유지회로의 소정의 비트위치에 기록하고, 상기 클록이 전환된 클록 후반 또는 전반의 제2타이밍시에는 상기 제1선택기에 의해 상기 승수 유지회로의 출력을 선택하고 또한 상기 제2선택기에 의해 상기 준간합 유지회로의 출력을 선택하며, 상기 각 단위 부분곱 생성회로는 상기 제1선택기의 출력 1비트와 상기 피승수 유지 회로의 각 비트의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하고, 그 소정단의 누적 가산회로의 출력과 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 누적 가산 결과 유지회로에 기록하는 것이다.

청구범위 제2항의 발명인 승산기의 특징은 피승수 데이타를 유지하는 피승수 유지회로와, 승수 데이타의 상위로부터 소정 비트를 유지하는 승수 유지 회로와, 클록의 전반 또는 후반에 의해 상기 승수 데이타의 하위로부터 소정 비트와 상기 승수 유지회로의 출력을 전환시키는 제1선택기와, 상기 제1선택기의 출력을 부호화하는 부호화 회로와, 중간합 데이타를 유지하는 중간합 유지회로와, 상기 클록의 전반 또는 후반에 의해 초기치와 상기 중간합 유지회로의 출력을 전환시키는 제2선택기와, 상기 부호화 회로의 출력과 상기 피승수 유지회로의 출력에 기초하여 부분곱을 생성하는 복수단의 부분곱 생성회로와, 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 각 단위 부분곱 생성회로의 출력에 기초하여 누적 가산을 행하여 승산의 중간결과인 상기 중간합 데이타를 생성하는 복수단의 누적 가산회로와, 상기 누적 가산회로의 소정단의 출력과 상기 각 단위 누적 가산회로의 출력의 일부를 유지하는 누적 가산 결과 유지회로와, 상기 각 단의 누적 가산회로의 출력의 1부를 격납하는 출력 유지회로를 갖는 승산기로서, 상기 클록의 전반 또는 후반의 제1타이밍시에는 상기 제1선택기에 의해 상시 승수 데이타의 하위로부터 소정 비트를 선택하고 또한 상기 제2선택기에 의해 상기 초기치를 선택하며, 상기 각 단위 부분곱 생성회로는 상기 부호화 회로의 부호화 결과와 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하고, 그 소정단의 누적 가산회로의 출력을 상기 중간합 데이타로서 중간합 유지회로에 기록하며, 또한 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 출력 유지회로의 소정의 비트위치에 기록하고, 상기 클럭이 전환된 클록 후반 또는 전반의 제2타이밍시에는 상기 제1선택기에 의해 상기 승수 유지회로의 출력을 선택하며 또한 상기 제2선택기에 의해 상기 중간합 유지회로의 출력을 선택하고, 상기 각 단의 부분곱 생성회로는 상기 부호화 회로의 출력과 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하고, 그 소정단의 누적 가산회로의 출력과 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 누적 가산 결과 유지회로에 기록하는 것에 있다.

청구범위 제3항기재의 발명인 승산기의 특징은 피승수 데이타를 유지하는 피승수 유지회로와, 승수 데이타의 상위로부터 소정 비트를 유지하는 승수 유지회로와, 클록의 전반 또는 후반에 의해 상기 승수 데이타의 하위로부터 소정 비트와 상기승수 유지회로의 출력을 전환시키는 제1선택기와, 상기 제1선택기의 출력을 부호화하는 부호화 회로와, 상기 부호화 부호화 결과를 상기 클록의 논리치가 변화할 때에 유지하여 출력하는 부호화 결과가 유지회로와, 중간합 데이타를 유지하는 중간합 유지회로와, 상기 클록의 후반 또는 전반에 의해 초기치와 상기 준간합 유지회로의 출력을 전환시키는 제2선택기와, 상기 부호화 결과 유지회로의 출력과 상기 피승수 유지회로의 출력에 기초하여 부분곱을 생성하는 복수단의 부분곱 생성회로와, 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 각 단의 부분곱 생성회로의 출력에 기초하여 누적 가산을 행하여 승산 중간결과인 상기 중간합 데이타를 생성하는 복수단의 누적 가산회로와, 상기 누적 가산회로의 소정단의 출력과 상기 각 단의 누적 가산회로의 출력의 일부를 유지하는 누적 가산 결과 유지 회로와, 상기 각 단의 누적 가산회로의 출력의 일부를 격납하는 출력 유지 회로를 갖는 승산기로서, 상기 클록의 전반 또는 후반의 제1타이밍시에는 상기 제1선택기에 의해 상기 승수 데이타의 하위로부터 소정 비트를 선택하고, 상기 부호화 회로는 상기 제1선택기의 출력의 부호화를 행하여 그 부호화 결과를 상기 부호화 결과 유지회로에 기록하며, 상기 클록이 전환된 클록 후반 또는 전반의 제2타이밍시에는 상기 제2선택기에 의해 상기 초기치를 선택하고, 상기 각 단의 부분곱 생성회로는 상기 부호화 결과 유지회로의 출력과 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하며, 그 소정단의 누적 가산회로의 출력을 상기 중간합 데이타로서 중간합 유지회로에 기록하고, 또한 상기 각 단위 누적 가산회로의출력의 소정 비트수를 상기 출력 유지회로의 소정의 비트위치에 기록하며, 덧붙여서 상기 제1선택기에 의해 상기 승수 유지회로의 출력을 선택하고, 상기 부호화 회로는 상기 제1선택기의 출력의 부호화를 행하여 그 부호화 결과를 상기 부호화 결과 유지회로에 기록하고, 또 상기 클록이 전환된 클록 전반 또는 후반의 제3타이밍시에는 상기 제2선택기에 의해 상기 중간합 유지회로의 출력을 선택하며, 상기 각 단의 부분곱 생성회로는 상기 부호화 결과 유지회로의 출력과 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성 회로의 출력과의 가산을 행하며, 그 소정단의 누적 가산회로의 출력과 상기 각 단의 누적 가산회로의 출력의 소정 비트를 상기 누적 가산 결과 유지회로에 기록하는 것이다.

청구범위 제4항기재의 발명인 곱합 연산 장치의 특징은 상기 청구범위 제1항기재의 승산기에 있어서의 상기누적 가산 결과 유지회로의 출력측에 자리올림 보존 가산기를 통하여 자리올림 전파 가산기(carry propagation adder)를 설치한 곱한 연산 장치로서, 상기 제2타이밍후에 상기 클록이 전환된 클록 전반 또는 후반의 제3타이밍시에, 상기 자리올림 보존 가산기에 의하여 상기 누적 가산 결과 유지회로의 출력측과 곱합 연산 데이타와의 가산을 행하고, 그 가산 결과를 다시 상기 자리올림 전파 가산기에 의하여 가산하여 곱합 연산 결과를 출력하는 것이다.

청구범위 제5항 기재의 발명인 곱합 연산 장치의 특징은 상기 청구범위 제2항 기재의 승산기에 있어서의 상기 누적 가산 결과 유지회로 및 상기 출력 유지회로의 출력측에 자리올림 보존 가산기를 통하여 자리올림 전파 가산기를 설치한 곱합 연산 장치로서, 상기 제2타이밍후에 상기 클록이 전환된 클록 전반 또는 후반의 제3타이밍시에 상기 자리올림 보존 가산기에 의하여 상기 누적 가산 결과 유지회로의 출력 및 상기 출력 유지회로의 출력과 곱합 연산 데이타와의 가산을 행하고, 그 결과가를 다시 상기 자리올림 전파 가산기에 의하여 가산하여 곱합 연산 결과를 출력하는 것에 있다.

청구범위 제6항 기재의 발명인 곱합 연산 장치의 특징은 상기 청구범위 제3항 기재의 승산기에 있어서의 상기 누적 가산 결과 유지회로 상기 출력 유지회로의 출력측에 자리올림 보존 가산기를 통하여 자리올림 전파 가산기를 설치한 곱합 연산 장치로서, 상기 제3타이밍후에 상기 클록이 전환된 클록 후반 또는 전반의 제4타이밍시에 상기 자리올림 보존 가산기에 의하여 상기 누적 가산 결과 유지회로의 출력 및 상기 출력 유지회로의 출력과 곱합 연산 데이타와의 가산을 행하고, 그 가산 결과를 다시 상기 자리올림 전파 가산기에 의하여 가산하여 곱합 연산 결과를 출력하는 것에 있다.

상술한 바와 같이, 구성의 청구범위 제1항 기재의 발명인 승산기에 의하면, 클록의 전반 또는 후반의 제1타이밍시에는 각 단의 부분곱 생성 회로는 승수 데이타의 하위측의 1비트와 피승수 데이타의 각 비트로부터 부분곱을 생성하고, 누전 가산회로는 초기치 또는 전단의 누적 가산회로의 출력과 상기 부분곱과의 누적 가산을 행하

여 필요한 승산의 반의 연산을 행하고, 그 누적 결과를 중간합 데이타로서 중간합 유지회로에 기록하는 동시에, 각 단의 누적 가산회로의 출력의 소정 비트수를 출력 유지회로의 소정의 비트위치에 기록한다. 클록이 전환된 제2타이밍시에는 각 단의 부분곱 생성회로는 승수 회로의 출력의 1비트와 피승수 데이타의 각 비트로부터 부분곱을 생성하고, 각 단의 누적 가산회로는 상기 중간합 데이타 또는 전단의 누적 가산회로의 출력과 상기 부분곱과의 누적 가산을 행하여 나머지의 반의 연산을 행하며, 그 소정의 누적 가산 결과와 각 단의 누적 가산회로의 출력의 소정 비트수를 누적 가산 결과 유지회로에 기록한다. 이것에 의해, 부분곱 생성회로 및 누적 가산회로를 2분할하여 반사이클 단위로 사용할 수 있으며, 회로 규모가 작아지고, 또 연산시간도 증대되지 않는다.

청구범위 제2항 기재의 발명인 승산기에 의하면, 클록의 전반 또는 후반의 제1타이밍시에는 각 단의 부분곱 생성회로는 승수 데이타의 하위로부터 소정 비트를 부호화한 부호화 회로의 부호화 결과와 피승수 유지회로의 출력으로부터 부분곱을 생성하고, 누적 가산회로는 초기치 또는 전단의 누적 가산 회로의 출력과 상기 부분곱과의 누적 가산을 행하여 필요한 승산의 반의 연산을 행하며, 그 소정단으로부터의 누적 가산 결과를 중간합 데이타로서 중간합 유지회로에 기록하고, 또한 각 단의 누적 가산회로의 출력의 소정 비트수를 출력 유지회로의 소정의 비트위치에 기록한다. 클록의 전환된 제2타이밍시에는 각 단의 부분곱 생성회로는 부호화 회로의 출력과 피승수 유지회로의 출력으로부터 부분곱을 생성하고, 각 단의 누적 가산회로는 중간합 유지회로의 출력 또는 전단의 누적 가산호로의 출력과 부분곱 생성회로의 출력과의 누적 가산을 행하여 나머지의 반의 연산을 행하며, 그 소정단의 누적 가산 결과와 각 단의 누적 가산회로의 출력의 소정 비트수를 누적 가산 결과 유지회로에 기록한다. 이것에 의해, 상기 부호화 회로를 예컨대 부스 알고리듬을 이용하여 구성함으로써, 부분곱 생성회로 및 누적 가산회로의 단수를 상기 청구범위 제1항 기재의 비하여 더 감소시킬 수 있으므로, 누적 가산 과정시간 단축이 가능하다.

청구범위 제3항 기재의 발명인 승산기에 의하면, 클록의 전반 또는 후반의 제1타이밍시에는 부호화 회로는 승수 데이타의 하위로부터 소정 비트의 부호화를 행하여, 그 부호화 결과를 유지회로에 기록한다. 클록이 전환된 제2타이밍시에는 각 단의 부분곱 생성회로는 제1타이밍시에 유지된 부호화 결과 유지회로의 출력과 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 각 단의 누적 가산회로는 초기치 또는 전단의 누적 가산회로의 출력과 부분곱 생성회로의 출력과의 가산을 행하여 필요한 승산의 반의 연산을 행하고, 중간합 데이타를 중간합 유지회로에 기록하며, 또한 각 단의 누적 가산 회로의 출력의 소정 비트수를 출력 유지회로의 소정의 비트위치에 기록하고, 덧붙여서 부호화 회로는 승수 유지회로의 출력의 부호화를 행하여 그 부호화 결과를 부호화 결과 유지회로에 기록하며, 또 클럭이 전환된 제3타이밍시에는 각 단의 부분곱 생성회로는 제2타이밍시에 유지된 부호화 결과 유지회로의 출력과 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 각 단의 누적 가산회로는 제2타이밍시에 유지된 중간합 유지회로의 출력 또는 전단의 누적 가산회로의 출력과 부분곱 생성회로의 출력과의 가산을 행하여 나머지의 반의 연산을 행하고, 그 소정단의 누적 가산회로의 출력과 각 단의 누적 가산 회로의 출력의 소정 비트수를 누적 가산 결과 유지회로에 기록한다. 이것에 의해, 상술의 청구범위 제2항 기재의 발명의 승산기에서 오버헤드가 되어 있었던 엔코더 회로의 통과시간으로서 반클록을 할당하여, 반클록 단위의 동작을 행할 수 있으며, 연산 시간을 반사이클 증가하지만, 각 반사이클로 행하는 처리의 소요 시간이 균등에 가깝기 때문에, 연산기를 제어하는 클록의 주파수를 높게 하는 것이 가능하다.

청구범위 제4항 기재의 발명인 곱한 연산 장치에 의하면, 상술의 청구범위 제1항 기재의 승산기의 자리올림 보존 상태의 승산 결과와 곱한 연산 데이타를 자리올림 보존 가산기에 의하여 일단 가산하고, 그 결과를 또 자리올림 전파 가산기로 가산하므로, 곱합 연산의 가산 시간을 단축시킬 수 있다.

청구범위 제5항 기재의 발명인 곱합 연산 장치에 의하면, 상술의 청구범위 제2항 기재의 승산기의 자리올림 보존 상태의 승산 결과와 곱합 연산 데이타를 자리올림 보존 가산기에 의하여 일단 가산하고, 그 결과를 또 자리올림 전파 가산기로 가산하므로, 곱합 연산의 가산 시간을 단축시킬 수 있다.

청구범위 제6항 기재의 발명인 곱합 연산 장치에 의하면, 상술의 청구범위 제3항 기재의 승산기의 자리올림 보존 상태의 승산 결과와 곱합 연산 데이타를 자리올림 보존 가산기에 의하여 일단 가산하고, 그 결과를 또 자리올림 전파 가산기로 가산하므로, 곱합 연산의 가산 시간을 단축시킬 수 있다.

이하, 본 발명의 실시예를 도면에 기초하여 설명한다. 제1도는 본 발명의 제1실시예를 도시하고 승산기의 전체 구성도이다.

이 승산기는 32비트×32비트의 승산을 행하는 기능을 갖는 것으로, 피승수 32비트를 클록의 'H' 레벨에서 스루, 'L' 레벨에서 홀드하는 32비트의 래치회로(1)와, 승수 32비트의 상위 16비트를 클록의 'H' 레벨에서 스루, 'L' 레벨에서 홀드하는 16비트의 래치호로(2)와, 후술하는 승산 어레이(6)의 최종단으로부터 출력되는 중간합 데이타(자리올림 보존 상태대로)를 클록의 'H' 레벨에서 스루, 'L' 레벨에서 홀드 하는 63비트의 래치회로(3)를 구비하고 있다.

또 클록의 'H'/'L' 레벨에서 승수의 하위 16비트의 래치회로(2)의 출력과의 전환을 행하는 제1선택기(4)와, 클록의 'H'/'L' 레벨에서 전 63비트이 0데이타인 ALL 0데이타(초기치)와 래치회로(3)의 출력과의 전환을 행하는 제2선택기(5)가 설치되며, 이들 제1 및 제2선택기(4,5) 및 상기 래치회로(1)의 출력측이 16단의 승산 어레이(6)에 접속되어 있다.

승산 어레이(6)의 각 단은 제2도에 도시된 바와 같이, 32비트분의 AND 게이트 이루어지는 부분곱 생성회로(6a)와 32비트분의 전가산기로 이루어지는 누적 가산회로(6b)로 구성되며, 이 구성 회로가 상술한 제14도에 도시된 바와 같은 접속 방법으로 16단 접속되어 승산 어레이(6)가 구성되어 있다.

여기서, 래치회로(1) 및 래치히로(2)의 출력을 각각 A<31 : 0>, B<15 : 0>로 하고, 승산 어레이(6)의 각 단의 출력(누적 가산회로(6b)의 출력)중, carry(자리수 올림)출력을 CO<31 : 0>, sum(합)출력을 SO<31 : 0>로 하고, 특히 승산 어레이(6)의 최종단의 자리올림 출력 CO<31 : 0>을 FCO<31 : 0>, 합출력 SO<31 : 1>을 FSO<30 : 0>로 하며, 승산 어레이(6)의 각 단의 최하위 비트로부터의 합출력을 Z<15 : 0>(i 단째로부터의 출력을 Z<i-1>)로 한다.

또한, 래치회로(3)의 출력은 승산 어레이(6)의 최종단으로부터 출력되는 중간합 데이타인 FCO<31 : 0> 및 FSO<30 : 0>에 대응하는 것을 각각 CC<31 : 0> 및 CS<30 : 0>으로 한다. 또 선택기(4)의 출력을 D<15 :

0>로 하는 동시에, 선택기(5)의 출력은 입력이 CC<31 : 0> 또는 ALL0 데이타에 대응하는 것을 EC<31 : 0>로 하며, 입력이 CS<30 : 0> 또는 ALL0 데이타에 대응하는 것을 ES<30 : 0>로 한다.

승산 어레이(6)의 출력측에는 레지스터(F/F)(7) 및 래치회로(8,9)가 접속되어 있다. 레지스터(7)는 승산 어레이(6)각 단의 누적 가산회로(6a)의 최하위 비트로부터 출력되는 Z<15 : 0>을 클록 CLK의 하강에 동기하여 격납하는 16비트의 레지스터이다. 래치회로(8)는 동일하게 Z<15 : 0>을 유지하는 16비트의 래치회로이고, 클록 CLK 'L' 레벨에서 스루, 'H' 레벨에서 홀드 상태가 된다. 또한, 래치회로(9)는 승산 어레이(6)의 최종단의 출력 FS0<30 : 0> 및 FC0<31 : 0>을 유지하며, 클록 CLK의 'L' 레벨에서 스루, 'H' 레벨에서 홀드 상태가 된다. 그리고, 래치회로(9)의 출력측에는 자리올림 보전 상태에 있는 승산 결과의 최종 가산을 행하기 위한 가산기(10)가 접속되어 있다.

또, 레지스터(7)의 출력을 G<15 : 0>로 하고, 래치회로(8)의 출력을 H<15 : 0>로 한다. 래치회로(9)의 출력에서 입력이 승산 어레이(6)의 최종단위 자리 올림 출력에 대응하는 것을 OC<31 : 0>로 하고, 합출력에 대응하는 것을 OS<30 : 0>로 한다. 그리고, 가산기(10)을 출력을 I<31 : 0>로 하고, 이들 G<15 : 0>, H<15 : 0> 및 I<31 : 0>로 이루어지는 승산기의 출력을 OUT<63 : 0>로 한다.

다음에, 승산 어레이(6)의 구성 및 기능에 관해서 설명한다.

상기 승산 어레이(6)의 각 단은 상술한 바와 같이 부분곱 생성회로(6a) 및 누적 가산회로(6b)로 구성되어 있고, 제2도에 도시된 바와 같이, 누적 가산회로(6b)의 각 비트를 구성하는 전가산기에는 입력 데이타 a, b와, 부분곱 생성회로(6a)의 각 비트를 구성하는 AND게이트의 출력이 각각 공급된다. 다만 b<31>=0으로 한다. 부분곱 생성회로(6a)의 각 AND게이트의 한 쪽 입력측에는 상기 래치회로(1)의 출력 A<31 :0 >이 공급되고, 다른쪽 입력측에는 상기 선택기(4)의 출력 D<15 : 0>중의 1비트가 공통으로 공급된다.

여기서, 상기 입력 데이타 a, b는 각각 32비트의 비트폭<31: 0>을 가지고, 선택기(5)의 출력 EC<31 : 0>이 1단째의 입력 데이타 a로서 공급되며, 선택기(5)의 출력의 ES<30 : 0>이 1단째의 입력 데이타 b로서 공급되도록 되어 있다.

그리고, 승산 어레이(6)의 각 단은 래치회로(1)의 출력A<31 : 0>의 각 비트와 선택기(4)의 출력 D<15 : 0>의 1비트에 의해 부분곱 생성회로(6a)에서 부분곱을 생성하고, 그 생성한 부분곱과 입력 데이타 a, b와의 가산을 누적 가산 회로(6b)에서 행하며, 자리올림 출력 C0<31 : 0>과 합출력 S0<31 : 0>을 생성한다. 또, 누적 가산회로(6b)를 구성하는 전가산기의 진리값표는 입력 데이타 a, b 및 부분곱 생성회로(6a)의 출력을 전술의 제15a도의 진리값표의 입력측 A, B, C에 각각 대응시키고, C0 및 S0를 제15a도의 C0 및 Z에 각각 대응시킨 것으로 된다.

16단의 접속 단계를 포함하여 승산 어레이(6)를 구체적으로 설명하면, 승산 어레이(6)의 1단째에서는 입력 데이타 b<31>=0로써 전술의 동작을 행하여 가산 결과를 얻어(선택기(4)의 출력으로서 D<0>이 공급되는), 합출력 S0<0>이 Z<0>로서 외부로 출력되고, 나머지의 합출력 S0<31 : 1>은 2단째의 입력 데이타 b<30 : 0>로서 출력되며, 또한 자리올림 출력 C0<31 : 0>은 2단째의 입력 데이타 a<31 : 0>로서 출력되도록 되어 있다.

승산 어레이(6)의 2단째에서는 동일하게 전술의 동작을 행하여 가산 결과를 얻어(선택기(4)의 출력으로서 D<1>이 공급된다), 합출력 S0<0>이 Z<1>로서 외부로 출력되고, 나머지의 합출력 S0<31 : 1>은 3단째의 입력 데이타 b<30 : 0>로서 출력되며, 또한 자리올림 출력 C0<31 : 0>은 3단째의 입력 데이타 a<31 : 0>로서 출력되도록 되어 있다.

승산 어레이(6)의 3단째 이후에서는 i단째 (i<16)로 하면, 2단째와 같은 동작을 행하여 가산 결곽를 얻어(선택기(4)의 출력으로서 D<i-1>이 공급된다), i단째의출력의 합출력 S0<0>은 Z<i-1>로서 외부로 출력되고, 나머지의 합출력 S0<31 : 1>은 (i+1)단째의 입력 데이타 b<30 : 0>로서 출력되며, 자리올림 신호 C0<31 : 0>은 (1+1)단째의 입력 데이타 a<31 : 0>로서 출력되도록 되어 있다. 그리고, 최종단(16단째)의 출력의 합출력 S0<0>은 Z<15>로서 외부로 출력되고, 나머지의 합출력 S0<31 : 1> 및 자리올림 출력 C0<31 : 0>은 그대로 외부로 출력 된다.

다음에, 이상과 같이 구성되는 본 실시예의 승산기의 승산 동작을 제3도를 참조하면서 설명한다.

(A) E 스테이지에 있어서의 클럭 전반 ①의 동작

의 동작 먼저, 제3도에 도시된 바와 같이, E 스테이지에서의 클록 CLK의 전반 ①('H' 레벨)에서는 피승수를 리치회로(1)에 기록하는 동시에, 승수 상위 16비트를 래치회로(2)에 기록한다. 그리고, 선택기(4)는 승수하위 16비트를 선택한다. 그렇게 하면, 승수하위 16비트가 선택기(4)의 출력 C<15 : 0>로서 <0>으로부터 <15>의 순으로 승산 어레이(6)의 1단째로부터 16단째의 부분곱생성회로(6a)에 있어서의 각 AND게이트의 한쪽 입력측으로 공급된다.

이 때, 래치회로(1)는 스루 상태이며, 따라서, 피승수인 래치회로(1)의 출력 A<31 : 0>은 승산 어레이(6) 각 단의 부분곱 생성회로(6a)의 각 AND게이트의 다른쪽 입력측으로 공급된다. 이것에 의해서, 승산 어레이(6) 각 단에 있어서 부분곱이 생성된다. 한편, 선택기(5)는 ALL0 데이타를 선택하므로, 승산 어레이(6)의 1단째의 입력 데이타 a<31 : 0> 및 b< : 0>은 모두 0이 공급된다.

이들의 각 데이타에 의해 누적 가산이 행해지며, 출력 Z<15 : 0>, 최종단의 합출력 FS0<30 : 0> 및 자리올림 출력 F00<31 : 0>을 얻을 수 있다.

그리고, 승산 어레이(6)의 최종단으로부터의 출력인 FC0<31 : 0> 및 FS0<30 : 0>은 래치회로(3)에만 기록되고, 출력 Z<15 : 0>은 래치회로(8)가 홀드 상태이므로 레지스터(7)에만 기록된다.

(B) E스테이지에 있어서의 클록 후반 ②의 동작

E스테이지에 있어서의 클록 CLK의 후반 ②('L' 레벨시)에서는 래치회로(1) 및 래치회로(2)는 함께 클록 CLK 전반 ①에서 기록된 값을 유지하고 있으며, 선택기(4)는 래치회로(2)의 출력(승수 상위 16비트)를 선택하면, 승수 상위 16비트가 선택기(4)의 출력 D<15 : 0>로서 <0>으로부터 <15>의 순으로 승산 어레이(6)의 1단째로

부터 16단째의 부분곱 생성회로(6a)에 있어서의 각 AND게이트의 한쪽 입력측으로 공급된다.

그리고, 래치회로(1)에 유지되어 있는 피승수 A<31 : 0>가 승산 어레이(6) 각 단의 부분곱 생성회로(6a)의 각 AND게이트의 다른쪽 입력측으로 공급된다. 이것에 의해서, 승산 어레이(6) 각 단에 있어서 부분곱이 생성된다.

또한, 래치회로(3)는 클록 CLK의 전반 ①에서 기록된 값을 유지하고 있고, 선택기(5)는 래치회로(3)의 출력 CC<31 : 0> 및 CS<30 : 0>을 선택한다. 그 결과, 승산 어레이(6)의 1단째의 입력 데이타 a<31 : 0>로서 EC<31 : 0>가, 또한 입력 데이타 b<30 : 0>로서는 ES<30 : 0>이 각각 공급된다.

이들의 데이타에 의해 누적 가신이 행해지고, 승산 어레이(6)로부터 출력 Z<15 : 0>은 래치회로(8)에만 기록되며, 승산 어레이(6)의 최종단의 출력 FC0<31 : 0>, FS0<30 : 0>은 래치회로(9)에만 기록된다.

(C) M스테이지에 있어서의 클록 전반 ③의 동작

E스테이지의 다음 M스테이지에서의 클록 CLK의 전반 ③('H' 레벨시)에서는 레지스터(7)의 출력 G<15 : 0>은 그대로 최종 출력 OUT<15 : 0>이 되고, 래치회로(8)의 출력 H<15 : 0>은 그래돌 최종 출력 OUT<31 : 16>이 된다. 그리고, 래치회로(9)의 출력의 OS<30 : 0> 및 OC<31 : 0>에 관해서 가산기(10)로 최종 가산을 행하여 I<31 : 0>을 생성하고, 그대로 최종 출력 OUT<63 =32>이 된다.

이와 같이 본 실시예에서는 제3도에 도시된 바와 같이 클록 CLK의 전반 ①에서 승산 어레이(6)르 16단 통과하여 필요한 승산의 반의 연산을 행하고, 그 중간 결과를 래치회로(3)에 보존한다. 또한 클록 CLK의 후반 ②에서는 보존한 중간 결과와 나머지의 승산 어레이(6)의 16단의 통과분과의 연산을 행한다. 그리고, 다음 클록 CLK의 전반 ③에서는, 승산 어레이(6)로부터의 출력 결과를 가산하여 출력한다.

이러한 일련의 동작을 행함으로써, 승산 어레이를 2분할하여 반클록 단위로 반복 이용할 수 있으므로, 약 반의 하드웨어량으로 제14도에 도시된 승산기와 동일 성능의 승산기를 얻을 수 있다. 또한, 반클록 단위로 구획짓고 있으므로, 외부와의 동기를 취하기 쉽고, 프리차지형의 가산기의 사용에도 적합하다.

제4도는 본 발명의 제2실시예를 도시한 승산기의 전체 구성도이다.

본 실시예의 승산기는 부스 알고리듬을 이용하여 32비트×32비트의 승산 연산(부호부착 승산)을 행하는 승산기이고, 부스 알고리듬을 이용함으로써 부분곱의 생성 1/2로 되기 때문에, 상기 제1실시예에서는 16단의 승산어레이가 본 실시예에서는 8단으로 구성될 수 있으며, 이것에 의하여 누적 가산 과정시간의 단축이 가능하다.

동일 도면에 도시한 바와 같이, 본 실시예의 승산기는 피승수 32비트를 클록의 'H' 레벨에서 스루, 'L' 레벨에서 홀드하는 32비트의 래치회로(21)와, 승수 32비트의 상위 17비트를 클록의 'H' 레벨에서 스루, 'L' 레벨에서 홀드하는 17비트의 래치회로(22)와, 후술하는 승산 어레이(27)의 최종단으로부터 출력되는 중간합 데이타를 클록 'H' 레벨에서 스루, 'L'레벨에서 홀드하는 62비트의 래치회로(23)를 구비하고 있다.

또 클록의 'H'/'L' 레벨에서 승수의 하위 16비트+'0'가 래치회로(22)의 출력과의 전환을 해아는 선택기(24)와, 'H'/'L' 레벨에서 전 62비트가 0데이타인 ALL0 데이타(초기치)와 래치회로(23)의 출력과의 전환을 행하는 선택기(25)가 설치되어 있다.

또한, 선택기(24)의 출력측에서는 부스 엔코더(26)가 설치되고, 이부스 엔코더(26)와 함께 래치회로(21) 및 선택기(25)의 출력측에는 8단 구성의 승산 어레이(27)가 접속되어 있다. 부스 엔코더(26)는 2차 부스 알고리듬에 따라서 17비트의 입력 데이타의 부호화를 행하며 부분곱 생성의 제어신호 K를 발생시키는 엔코더이다.

승산 어레이(27)의 각 단은 후술하는 부분곱 생성회로 및 누적 가산회로로 구성되고, 부분곱 생성회로는 피승수의 0, 1, 2배와 -1배-1 또는 -2배-1을 생성하며, 그중 하나를 부스 엔코더(26)로부터의 제어신호 K에 의해 선택한다. 또 누적 가산회로는 이 부분곱 생성회로의 출력과, 그때까지의 누적 가산 결과와 -1, -2배의 부분곱 보정용의 데이타가 입력되고 전가산기(33비트)로 구성되어 있다. 또, 부스 엔코더(26) 및 승산 어레이(27)에 관해서는 이후에 상세히 설명한다.

이 승산 어레이(27)에는 부호 유지용인 1비트의 래치회로(28)가 접속되어 있다. 이 래치회로(28)는 클록 CLK의 전반으로 승산 어레이(27)의 8단째에 생성되는 부분곱의 부호를 유지해 두고, 그 유지 데이타를 클록 CLK의 후반에서 부호의 확장에 이용하기 위한 유지회로이며, 클록 CLK의 'H' 레벨에서 스루, 'L' 레벨에서 홀드 상태가 된다.

여기서, 래치회로(21) 및 래치회로(22)의 출력을 각각 A<31 : 0>, B<16 : 0>으로 한다. 또한, 승산 어레이(27)의 각 단의 자리올림 출력을 C0<32 : 0>, 합출력을 S0<32 : 0>로 하며, 특히 승산 어레이(27)의 최종단의 자리올림 출력 C0<32 : 2>을 FC0<30 : 0>, 합출력 S0<32 : 2>을 FC0<30 : 0>로 하고, 또 승산 어레이(27)각 단의 하위 2비트의 출력 S0<1 : 0>, C0<1 : 0>을 각각 ZS0, ZC0로서 승산 어레이(27)의 출력으로 한다.

또한, 래치회로(23)의 출력은 승산 어레이(27)의 최종단으로부터 출력되는 중간합 데이타인 FC0<30 : 0> 및 FS0<30 : 0>에 대응하는 것을 각각 CC<30 : 0> 및 CS<30 : 0>으로 한다. 또 선택기(24)의 출력을 D<16 : 0>로 하는 동시에, 선택기(25)의 출력은 입력이 CC<30 : 0> 또는 ALL0 데이타에 대응하는 것을 EC<30 : 0>로 하고, 입력이 CS<30 : 0> 또는 ALL0 데이타에 대응하는 것을 ES<30 : 0>로 한다.

또, 승산 어레이(27)의 출력측에는 레지스터(F/F)(29) 및 래치회로(30,31)가 접속되어 있다. 레지스터(29)는 승산 어레이(27) 각 단으로부터 출력되는 ZC0<15 : 0> 및 ZS0<15 : 0>을 클록 CLK의 하강에 동기하여 격납하는 32비트의 레지스터이고, 그 출력은 ZC0<15 : 0>에 대응하는 것을 GC<15 : 0>로 하며, ZS0<15 : 0>에 대응하는 것을 GS<15 : 0>로 한다. 래치회로(30)로 동일하게 ZC0<15 : 0>을 유지하는 32비트이 래치회로이고, 클록 CLK의 'L' 레벨에서 스루, 'H' 레벨에서 홀드 상태가 되며, 그 출력은 ZC0<15 : 0>에 대응하는 것을 HC<15 : 0>로 하고 ZS0<15 : 0>에 대응하는 것을 HS<15 : 0>로 한다.

또한, 래치회로(31)는 승산 어레이(27)의 최종단의 출력 FS0<30 : 0> 및 FC0<30 : 0> 을 유지하며, 클록 CLK의 'L' 레벨에서 스루, 'H' 레벨에서 홀드 상태가 되고, 그 출력은 FS0<30 : 0>, FC0<30 : 0>에 각각

대응하는 것을 OS<30 : 0>, OC<30 : 0>로 한다.

그리고, F/F(29) 및 래치회로(30,31)의 출력측에는 가산기(32)가 접속되고, 이 가산기(32)가 자리올림 보존 상태에 있는 승산 결과의 각 비트의 자리올림 출력 및 합출력의 최종 가산을 행하며, 승산기의 출력으로서의 OUT<63=0>을 출력한다.

다음에, 본 실시예의 특징적인 부분인 부스 엔코더(26) 및 승산 어레이(27)에 관해서 구체적으로 설명한다. 부스 엔코더(26)는 전술한 바와 같이 부스 알고리듬에 따라서 선택기(24)의 출력의 부호화를 행하는 것이지만, 여기서 부스 알고리듬에 의한 부호화에 관해서 간단히 설명한다.

피승수 X와 승수 Y와의 곱 Z는 Z=X*Y로 표시되며, Y를 2의 보수로 표현하면,

$$Y = -y_n * 2^{n-1} + \sum_{i=1}^{n-1} y_i * 2^{i-1}$$

가 되지만, n을 짝수로서 수치부를 짝수 비트와 홀수 비트로 나누어,

$$\sum_{i=1}^{n-1} y_i * 2^{i-1} = \sum_{i=1,odd}^{n-1} y_i * 2^{i-1} + \sum_{i=1,even}^{n-2} y_i * 2^{i-1} - y_o * 2^{-1}$$

로 표시하고, 또 그 홀수 비트는

$$\sum_{i=1,odd}^{n-1} y_i * 2^{i-1} = \sum_{i=0,even}^{n-2} y_{i+1} * 2^i$$

로 변형할 수 있다. 또 부호부는

$$-y_n * 2^{n-1} = -\left(\sum_{i=0,even}^{n} y_i * 2^{i-1} - \sum_{i=0,even}^{n-2} y_i * 2^{i-1} \right)$$

$$= -\left(\sum_{i=0,even}^{n-2} y_{i+2} * 2^{i+1} + y_o * 2^{-1} - \sum_{i=0,even}^{n-2} y_i * 2^{i-1} \right)$$

로 변형할 수 있다. 따라서 승수 Y는

$$Y = -\sum_{i=0,even}^{n-2} y_{i+2} * 2^{i+1} - y_o * 2^{-1} + \sum_{i=0,even}^{n-2} y_i * 2^{i-1}$$

$$+ \sum_{i=0,even}^{n-2} y_{i+1} * 2^i + \sum_{i=0,even}^{n-2} y_i * 2^{i-1} - y_o * 2^{-1}$$

$$= \sum_{i=0,even}^{n-2} y_i * 2^i + \sum_{i=0,even}^{n-2} y_{i+1} * 2^i - 2\sum_{i=0,even}^{n-2} y_{i+2} * 2^i - y_o$$

$$= \sum_{i=0,even}^{n-2} (y_i + y_{i+1} - 2 * y_{i+2}) * 2^i \quad (\text{단 } y_o = 0)$$

로 표시된다. 여기서, i=2j로 두면,

$$Y = \sum_{j=0}^{n/2-1} (y_{2j} + y_{2j+1} - 2 * y_{2j+2}) * 2^{2j}$$

가 되고, 곱 Z는 다음 식으로 표시할 수 있다.

$$Z = X * \sum_{j=0}^{n/2-1} (y_{2j} + y_{2j+1} - 2 * y_{2j+2}) * 2^{2j} \quad \cdots \quad (1)$$

(管野卓雄 監修 飯塚哲哉 編, 「CMOS 초 LSI의 설계」, 培風館 1989, PP224-226).

상기 식 (1)로부터 명백한 바와 같이, 부스 알고리듬을 이용함으로써, 승수 Y가 인접하는 3비트를 선택 조건

으로 하는 5입력 선택기와 그 선택기를 제어하는 선택신호는 부분곱의 생성을 행할 수 있다.

따라서, 부스 엔코더(26)는 승산 어레이(27)이 각 단에 대하여 상기 5입력 선택기를 제어하는 5개(5비트)의 선택신호 K를 발생하는 기능을 갖는 것이 된다. 즉 선택신호 K는 5입력 선택기에 대한 선택신호이기 때문에 각 단에 관하여 5개의 신호가 존재하고, 승산 어레이(27)가 8단 있으므로 40개의 선택신호 K<39=0>가 된다.

다음에, 제5도, 제6도 및 제7도를 이용하여 상기 승산 어레이(27)의 구성 및 기능에 관해서 상세히 설명한다. 도, 제5도는 제4도중의 승산 어레이(27)의 상위 비트측의 구성을 도면, 제6도는 상기 승산 어레이(27)의 하위 비트측의 구성을 도시한 도면 및 제7도는 상기 승산 어레이(27)의 3단째~8단째의 개략 구성을 도시한 도면이다.

제5도~제7도에 도시된 바와 같이, 승산 어레이(27)의 각 단은 각각 부분곱의 생성을 행하는 부분곱 생성회로(27a)와, 상기 부분곱 생성회로(27a)에 의하여 생성된 부분곱에 기초하여 누적 가산을 행하는 누적 가산회로(27b)로 구성되어 있다.

부분곱 생성회로(27a)는 원래, 전술의 부스 알고리듬에 의하여 필요하게 되는 부분곱, 즉, 피승수의 (-2,-1,0,1,2)배를 각각 생성하는 수단과, 부스 엔코더(13)로부터 공급되는 5개의 선택기 신호 K에 의하여 그중 하나를 선택하는 선택기로 이루어지는 셈이다. 그러나, 피승수의 -2, -1배에 관해서는 생성할 때에 반전을 취한 후, 1을 가산하지 않으면 안되며, 시간적으로도 하드웨어적으로도 손실이 크다.

그래서, 본 실시예의 각 단의 부분곱 생성회로(27a)에서는 -2배 및 1배에 한해서는 반전을 취하기만 하고, 이후의 누적 가산시에 있어서 1을 가하는 것을 한다. 즉, 각 단의 부분곱 생성회로(27a)는 피승수의 2, 1, 0배 및 -2배-1, -1배-1을 생성하고, 그 중의 1개를 부스 엔코더(26)로부터의 5개의 선택신호 K에 의해 선택한다. 이 때, 피승수의 ±2배 일 때는 32비트의 데이타는 33비트가 되기 때문에, 각 단의 부분곱 생성회로(27a)의 선택기로부터는 전부 33비트 데이타 c<32 : 0>로서 출력한다(제7도 참조).

또한, 각 단의 누적 가산회로(27b)는 생성된 부분곱이 33비트이기 때문에 33비트분의 전가산기로 구성되어 있다. 덧붙여서, 부스 알고리듬에 의한 승산을 행하는 것에 대응하여 누적 가산호로(27b)의 최상위 비트에서는 부호의 확장을 행할 필요가 생긴다.

즉, 부스 알고리듬에 있어서 부분곱을 가산해 가는 경우의 부호의 확장은 다음과 같이하여 행한다. 예컨대, 설명을 간단히 하기 위해서 8비트끼리의 승산을 예로 들면, 부분곱의 부호를 하위측으로부터 순서대로 SGN1, SGN3, SGN5, SGN7로 하면,

$$(2^7+2^8+\cdots+2^0)SGN1+(2^7+2^6+\cdots+2^2)SGN3$$

$$+(2^7+2^6+\cdots 2^4)SGN5+(2^7+2^6)SGN7$$

$$=-2^0\cdot SGN1-2^2\cdot SGN3-2^4\cdot SGN5-2^6\cdot SGN7\ (Mod2^8)$$

$$=2^7+2^6\cdot\overline{SGN7}+2^5+2^4\cdot\overline{SGN5}+2^3+2^2\cdot\overline{SGN3}+2+\overline{SGN1}+1 \qquad \cdots (2)$$

가 된다(管野卓雄 監修 香山普 編, 「초고속 디지탈 · 디바이스 · 시리즈 초고속 MOS 디바이스」, 培風館 1986, PP296).

따라서, 본 실시예에서는 이 식(2)을 32비트 데이타로 확장한 식을 만족하는 데에 필요한 신호, 회로를 부가하여 부호 확장을 행한다.

본 실시예의 승산에서는 엄밀하게 말한다면 일련의 승산을 클록 CLK의 전반, 후반으로 나누어 행하므로, 부호 확장도 그것에 맞추어서 일련이라 할 정도의 승산 어레이 1단째와 9단째에서, 다른 확장을 동일 하드웨어로 행하지 않으면 안된다. 그래서, 클록 CLK을 선택신호로 하는 선택기에 의하여 필요한 하드웨어를 선택한다. 이 선택기는 제5도에 도시된 승산 어레이(27)의 1단째 상위 비트측의 선택기(27a,27b) 및 2단째 상위 비트측(27c,27d)로서 도시되어 있다.

또, 승산 어레이(27)의 최종단(8단째)과 최초의 단(1단째)과의 사이에서, 부호 확장을 위해 9단째에서 생성한 부분곱의 부호를 유지해 둘 필요가 있다. 그 때문에, 래치회로(중간합 유지회로)(23)와 동일 동작을 하는 상기 래치회로(28)를 설치하고, 클록 전반에서 이 래치회로(28)에 8단째에서 생성한 부분곱의 부호를 기록하고, 클록 후반에서 부호 확장용 입력으로서 1단째의 누적 가산회로(27b)로 입력한다.

즉, 승산 어레이(27)의 누적 가산회로(27b)의 1단째에서는 제5도에 도시된 바와 같이 33비트분의 전가산기이외에 부호 확장용의 전가산기(27e)가 추가되고, 이 전가산기(27e)와 상위2비트(32, 33비트째)의 전가산기(제5도의 a<32>, b<32 : 31>)에서 부호 확장이 행해지며(27a,27b 동시에 0을 선택), 그 결과가 2단째로 수수受授)된다. 2단째의 누적 가산회로(27b)에서는 제5도에 도시된 바와 같이 선택기(27c,27d)를 이용하여 상위 2비트(32, 33비트째)의 전가산기로 부호 확장이 행해지며, 그 결과가 3단째로 수수된다. 3단째 이후에서는 제5도에 도시된 바와 같이 상위 2비트(32, 33비트째)의 전가산기로 부호 확장이 행해지고, 다음 단으로 수수되며, 그리고, 최종단(8단째)의 부분곱 생성회로(27a)의 출력 C<32>이 상기 래치회로(28)로 입력되도록 되어 있다.

또한, 각 단의 누적 가산회로(27b)는 이후에 상세히 설명하는 바와 같이 전단의 누적 가산 결과와, 그 단의

부분곱 생성회로(27a)에 의하여 생성된 부분곱과의 가산을 행하지만, 그 때에 부스의 부호화 결과(선택신호 K)에 의하여 부분곱으로 -2배 혹은 -1배가 선택된 경우에는 상기 누적 가산회로(27b)의 최하위 비트의 전가산기의 입력의 1개 a<0> (캐리 인에 상당한다)에 '1'을 입력하고, 그 이외가 선택된 경우에는 '0'을 입력한다. 이 전환은 제6도에 도시된 바와 같이 각 단에 설치된 선택기(27f)에서 행한다.

그리고, 1단째의 누적 가산회로(27b)에서는 선택기(25)의 출력 ES<30 : 0>, EC<30 : 0>과, 1단째의 부분곱 생성회로(27a)에서 생성한 부분곱c<32 : 0>과의 가산이 행해진다. 그리고, 얻어진 1단째의 출력 C0<32 : 0>, S0<32 : 0>중의 C0<1 : 0>, S0<1: 0>은 각각 ZC0<1 : 0>로서 외부로 출력되며, 나머지의 출력 C0<32 : 2>, S0<32 : 0>은 각각 2단째의 누적 가산회로(27b)의 입력 데이타 a<31 : 1>, b<30 : 0>로서 공급된다.

2단째의 누적 가산회로(27b)에서는 1단째로부터의 중간 결과와 2단째의 부분곱 생성회로(27a)에서 생성된 부분곱과의 누적 가산을 행한다. 얻어진 2단째의 출력 C0<32 : 0>, S0<32 : 0>중의 C0<1 : 0>, S0<1: 0>은 각각 ZC0<3 : 2>, ZS0<3 : 2>로서 외부로 출력되고, 나머지의 출력 C0<32 : 2>, S0<32 : 2>은 각각 3단째의 누적 가산회로(27b)의 입력 데이타 a<31 : 1>, b<30 : 0>로서 공급된다.

3단째 이후의 누적 가산회로(27b)에서는 1단째와 2단째와의 접속과 같이, i 단께 (i<8)로 하면, i단째의 출력의 S0<1 : 0>은 ZS0<2i-1 : 2i-2>로서, 또한 C0<1 : 0>은 ZC0<2-i : 2i-2>로서 외부로 출력되고, 나머지의 S0<32 : 2>은 (i+1)단째의 입력 데이타 b<30 : 0>로서 출력되며, C0<32 : 2>은 (i+1)단째의 입력 데이타 a<31 : 1>로서 출력되도록 되어 있다. 그리고, 최종단의 8단째의 출력의 S0<1 : 0>은 ZS0<15 : 14>로서, 또 C0<1 : 0>은 ZC0<15 : 14>로서 외부로 출력되고, 나머지의 S0<32 : 2>은 그대로 외부로 출력된다.

다음에, 이상과 같이 구성되는 본 실시예의 승산기의 승산 동작을 제8도를 참조하면서 설명한다.

(A) E스테이지에서의 클록 전반 ①의 동작

먼저, 제8도에 도시된 바와 같이, E스테이지에서의 클록 CLK의 전반 ①('H' 레벨)에서는 피승수 32비트를 래치회로(210에 기록하는 동시에, 승수 상위 17비트를 래치회로(22)에 기록한다. 그리고, 선택기(24)는 승수 하위 16비트의 하위에 '0'을 부가한 17비트 데이타를 선택한다. 또, 승수는 32비트이므로, 승수의 하위 16비트째는 래치회로(22)에 보존되는 동시에, 클록 CLK전반에서도 부스 엔코더(26)로 공급된다.

선택기(24)가 승수의 상기 하위칙을 선택하면, 상기 선택기(24)의 출력 D<16 : 0>은 부스 엔코더(26)에 의하여 부호화되며, 선택신호 K로서 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)로 공급된다. 이 때, 래치회로(21)는 스루 상태이며, 따라서, 피승수인 래치회로(21)의 출력 A<31 : 0>은 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)로 공급된다. 이것에 의해서, 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)에서 부분곱(0, 1, 2배와 -1배-1, -2배-1)이 생성된다.

한편, 선택기(25)는 EC<30 : 0> 및 ES<30 : 0> 함께 전부 '0'의 ALL0 데이타를 선택하므로, 1단째의 누적 가산회로(27b)의 입력 데이타 a<31 : 1> 및 b<30 : 0>에는 모두 '0'이 공급된다. 또한, 각 단의 누적 가산회로(27b)의 입력 데이타 a<0>에는 부분곱 생성의 보정용의 데이타(1/0)가 입력된다. a<32>, b<32 : 31>은 부호 확장용 데이타가 입력된다.

이들의 각 데이타에 의해 누적 가산이 행해지고, 승산 어레이(27)로부터는 ZC0<15 :0> 및 ZS0<15 : 0>이 출력되는 동시에, 최종단의 FS0<30 : 0> 및 FC0<30 : 0>이 출력된다. 그리고, 그중 FC0<30 : 0> 및 FS0<30 : 0>은 래치회로(23)에만 기록되고, ZC0<15 : 0> 및 ZS0<15 : 0>은 래치회로(30)가 홀드 상태이므로 레지스터(29)에만 기록된다.

그리고, 승산 어레이(27)이 최종단으로 생성된 부분곱의 부호는 래치회로(28)로 보존된다.

(B) E스테이지에서의 클록 후반 ②의 동작

E스테이지에서의 클록 CLK의 후반 ② ('L' 레벨시)에서는 래치회로(21) 및 래치회로(22)는 함께 클록 CLK의 전반 ①에서 기록된 값을 유지하고 있고, 선택기(24)는 래치회로(22)의 출력(승수 상위 17비트)을 선택한다. 그렇게 하면, 상기 선택기(24)의 출력 D<16 : 0>은 부스 엔코더(26)에 의하여 부호화 되고, 선택기 K로서 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)로 공급된다. 이 때, 피승수인 래치회로(21)의 출력 A<31 : 0>은 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)로 공급된다. 이것에 의해서, 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)에서 부분곱(0, 1, 2배, -1배-1, -2배-1중 하나)가 생성된다.

한편, 선택기(25)는 EC<30 : 0>이 CC<30 : 0>를, ES<30 : 0>이 CS<30 : 0>을 각각 선택하므로, 1단째의 누적 가산회로(27b)의 입력 데이타 a<31 : 1>에는 CC<30 : 0>이 또한 입력 데이타 b<30 : 0>에는 CS<30 : 0>이 각각 공급된다. 또 각 단의 누적 가산회로(27b)의 입력 데이타 a<0>에는 부분곱 생성의 보정용의 데이타(1/0)가 입력된다. a<32>, b<32 : 31>은 부호 확장용 데이타가 입력된다.

이들 각 데이타에 의해 누적 가산이 행해지고, 승산 어레이(27)로부터는 ZC0<15 : 0> 및 ZS0<15 : 0>이 출력되는 동시에, 최종단 FS0<30 : 0> 및 FC0<30 : 0>이 출력된다. 그리고, 일간, FC0<30 : 0> 및 FC0<30 : 0>은 래치회로(31)에 기록되고, ZC0<15 : 0> 및 ZS0<15 : 0>은 래치회로(30)에 기록된다.

(C) M스테이지에서의 클록 전반 ③의 동작

E스테이지의 다음 M스테이지에서의 클록 CLK의 전반 ③('H' 레벨시)에서는 가산기(32)에 있어서,

$$OC<30:0>,\ HC<15<0>,\ GC<15:0>0+$$

{0, OS<30 : 0>, HS<15 : 0>, GS<15 : 0>}

의 최종 가산을 행함으로써, OUT<63 : 0>이 얻어진다.

이와 같이 본 실시예에서는 제8도에 도시된 바와 같이 클록 CLK의 전반 ①에서 승수 하위 16비트의 부스의 부

호화를 행하고, 그 결과를 받아 승산 어레이 8단의 통과를 행하여 필요한 승산의 반의 연산을 행하며, 그 중간 결과를 래치회로(23)에 보존한다. 또 클럭 CLK의 후반 ②에서는 승수 상위 17비트의 부호화를 행하고, 그 결에 의해 보존한 중간 결과와의 연산 및 누적 가산을 행한다. 그리고, 다음 클럭 CLK의 전반 ③에서는 승산 어레이(27)로부터의 출력 결과를 가산하여 출력한다.

이러한 일련의 동작을 행함으로써, 상기 제1실시예의 승산 어레이에 비하여 승산 어레이의 통과단수를 1/2로 감소시킬 수 있으므로, 승산 어레이의 통과시간의 단축이 가능하다.

제9도는 본 발명의 제3실시예를 도시한 승산기의 전체 구성도이고, 제4도와 공통의 요소에는 동일의 부호가 붙여져 있다.

상기 제2실시예에서는 승산 어레이의 단수가 감소되어 고속 승산이 가능하게 되지만, 부스 엔코더(26)의 소요시간이 필요하다. 그래서, 본 실시예에서는 이 점을 고려하여 부스 엔코더(26)와 승산 어레이(27)와의 사이에 더블에지 트리거 래치회로(41)를 삽입함으로써, 연산 시간은 반사이클 증대하는 각 반사이클로 행하는 처리의 소요시간이 균등에 가까워지므로, 제2실시예에 비하여 고주파수의 클록에서의 제어가 가능한 승산기를 제공한다.

즉, 본 실시예의 승산기는 제4도에 도시한 상기 제2실시예의 승산기에 있어서, 부스 엔코더(26)와 승산 어레이(27)와의 사이에 클록 CLK의 에지에서 출력을 변경시키는 더블 에지 트리거 래치회로(41)를 삽입하고, 또 래치회로(21)와 승산 어레이(27)와의 사이에 32비트의 래치회로(42)를 삽입한다. 그리고, 래치회로(23), 선택기(25), 래치회로(28), 레지스터(29), 래치회로(30) 및 래치회로(31)를 대신하여, 각각 기능이 다른 래치회로(23a), 선택기(25a), 래치회로(28a), 레지스터(29a), 래치회로(30a) 및 래치회로(31a)를 설치한 것으로, 더블 에지 트리거 래치회로(41)의 출력을 L<39 : 0>, 래치회로(42)의 출력을 M<31 : 0>로 하면, 승산 어레이(27)에는 K<39 : 0>을 대신하여 L<39: 0>가, 또한 A<31 : 0>을 대신하여 M<31 : 0>이 공급되며, 그 외의 구성은 제2실시예와 동일하다.

래치회로(23a), 선택기(25a), 래치회로(28a), 레지스터(29a), 래치회로(30a) 및 래치회로(31a)가 상기 제2실시예인 것과 다른 점은 래치회로(23a)는 클록 CLK 'L' 레벨에서의 스루, 'H' 레벨에서 홀드 상태가 되며, 선택기(25a)는 클록 CLK의 'H' 레벨/'L' 레벨에서, 각각 래치회로(23a)의 출력과 ALL0 데이타와의 전환을 행한다. 래치회로(28a)는 클록 CLK의 'L' 레벨에서 스루, 'H' 레벨에서 홀드상태, 레지스터(29a)는 'L' 레벨에서 기록하고, 'H' 레벨에서 출력상태가 되고, 래치회로(30a)는 클록 CLK의 'H' 레벨에서 스루, 'L' 레벨에서 홀드 상태가 되며, 래치회로(31a)는 클록 CLK의 'H' 레벨에서 스루, L' 레벨에서 홀드 상태가 된다. 또 이들 래치회로(23a,28a,30a,31a) 및 레지스터(29a)의 입력 데이타 및 비트 구성은 제2실시예의 래치회로(23,28,30,31) 및 레지스터(29)와 동일하다.

제10도는 상기 더블 에지 트리거 래치회로(41)의 구성을 도시한 회로도이고, 제11도는 그 동작을 도시한 타임차트이다.

본 실시예의 더블 에지 트리거 래치회로(41)는 역위상으로 움직이는 1조의 래치회로(41a,41b)와 클록 CLK의 값에 의하여 상기 래치회로(41a,41b)중 어느 하나의 출력을 선택하는 선택기(41c)로 구성되어 있다.

그 동작은 제11도에 도시된 바와 같이, 입력이 데이타 a일 대에 클록 CLK이 반전하면, 출력이 데이타 a로 변화한다. 이 때, 입력이 데이타 b로 변화하더라도 출력은 데이타 a를 유지한다. 그 후의 클록 CLK의 반전으로, 출력은 데이타 b로 변화하고, 동일하게 이 때 입력이 변화하더라도 출력의 데이타 b는 변화하지 않는다. 즉, 클록 CLK이 변화할 때에 입력을 유지하여 출력하는 동작을 반복한다. 래치회로(42)는 클록 CLK의 'L' 레벨에서 스루, 'H' 레벨에서 홀드 상태가 되는 래치회로이다.

다음에 이상과 같이 구성되는 본 실시예의 승산기의 승산 동작을 제12도를 참조하면서 설명한다.

(A) E스테이지에서 클록 전반 ①의 동작

먼저, 제12도에 도시된 바와 같이, E스테이지에서의 클록 CLK의 저반 ①('H'레벨)에서는 피승수 32비트를 래치회로(21)에 기록하는 동시에, 승수 상위 17비트를 래치회로(22)에 기록한다. 그리고, 선택기(24)는 승수 하위 16비트의 하위에 '0'을 부가한 17비트 데이타를 선택한다.

선택기(24)가 승수의 상기 하위측을 선택하면, 상기 선택기(24)의 출력 D<16 : 0>은 부스 엔코더(26)에 의하여 부호화되고, 그 부호화 결과가 데블 에지트리거 래치(41)에 격납된다.

(B) E 스테이지에서의 클록 후반 ②동작

E스테이지에서의 클록 CLK의 후반 ②('L' 레벨시)에서는 먼저, 래치회로(21)의 출력 A<31 : 0>을 래치회로(42)에 격납하고, 그 출력 M<31 : 0>은 승산 어레이(27)의 각 단위 부분곱 생성회로(27a)로 공급된다. 그리고, 클록 CLK의 전반 ①에서 격납된 부스 엔코더(26)의 부호화 결과 K가 더블 에지 트리거 래치(41)보다 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)로 공급된다. 이것에 의해서, 승산 어레이(27) 각 단의 부분곱 생성회로(27a)에 있어서 부분곱이 생성된다.

한편, 선택기(25)는 EC<30 : 0> 및 ES<30 : 0> 함께 ALL0 데이타를 선택하므로, 1단째의 누적 가산회로(27b)의 입력 데이타 a<31 : 1> 및 b<30 : 0>에는 모두 '0'이 공급된다. 또한, 각 단의 누적 가산회로(27b)의 입력 데이타 a<0>에는 부분곱 생성의 보정용의 데이타(1/0)가 입력돈다. a<32>, b<32 : 31>에는 부호확장용 데이타가 입력된다.

이들의 각 데이타에 의해 누적 가산이 행해지고, 승산 어레이(27)로부터는 ZC0<15 : 0> 및 ZS0<15 : 0>이 출력되는 동시에, FS0<30 : 0> 및 FC0<30 : 0>이 출력된다. 그리고, 일간, FC0<30 : 0> 및 FS0<30 : 0>은 래치회로(23a)에 기록되며, ZC0<15 : 0> 및 ZS0<15 : 0>은 레지스터(29a)에 기록된다. 또 승산 어레이(27)의 최종단에서 생성된 부분곱의 부호는 래치회로(28a)로 보존된다.

또한, 선택기(24)에 의하여 래치회로(22)의 출력이 선택되고, 그 출력 D<16 : 0>이 부스 엔코더(26)에 의하여 부호화된다. 상기 부호화 결과 K는 더블 에지 트리거 래치(41)로 격납된다.

(C) M스테이지에서의 클록 전반 ③의 동작

E스테이지의 다음의 M스테이지에서의 클록 CLK의 전반 ③('H' 레벨시)에서는 래치회로(42)는 클록 CLK의 후반 ②에서 기록된 값을 유지하고 있고, 그 출력 M<31 : 0>은 승산 어레이(27)이 각 단위 부분곱 생성회로(27a)로 공급된다. 또한, 더블 에지 트리거 래치(41)로부터 클록 CLK의 후반 ②에서 격납된 엔코더결과가 승산 어레이(27)의 각 단의 부분곱 생성회로(27a)로 공급된다. 이것에 의해서, 승산 어레이(27) 각 단의 부분곱 생성회로(27a)에서 부분곱이 생성된다.

한편, 선택기(25a)는 래치회로(23a)의 출력을 선택하므로, 1단째의 누적 가산회로(27b)의 입력 데이타 a<31 : 1>에는 CC<30 : 0>이, 또한, 입력 데이타 b<30 : 0>에는 CS<30 : 0>이 각각 공급된다. 또 각 단의 누적 가산회로(27b)의 입력 데이타 a<0>에는 부분곱 생성의 보정용의 데이타(1/0)가 입력된다. a<32>, b(32 : 31>에는 부호 확장용 데이타가 입력된다.

이들 각 데이타에 의해 누적 가산이 행해지고, 승산 어레이(27)로부터는 ZC0<15 : 0> 및 ZS0<15 : 0>이 출력되는 동시에 FS0<30 : 0> 및 FC0<30 : 0>이 출력된다. 그리고, 일간, FC0<30 : 0>은 래치회로(31a)에 기록되고, ZC0<15 : 0> 및 ZS0<15 : 0>은 래치회로(30a)에 기록된다.

(D) M스테이지에서의 클록 후반 ④의 동작

E스테이지의 다음의 M스테이지에서의 클록 CLK의 후반 ④('L' 레벨시)에서는 가산기(32)에 있어서,

$$OC<30:0>, HC<15:0>, GC<15:0>, 0+$$

{0,0S<30 : 0>, HS<15 : 0> GS<15 : 0>}

의 최종 가산을 행함으로써, OUT<63 : 0>이 얻어진다.

이와 같이 본 실시예에서는 제12도에 도시된 바와 같이 클록 전반 ①에서 승수 하위 16비트분의 부스의 부호화를 행하고, 그 결과를 더블 에지 트리거래치(41)로 격납한다. 클록 후반 ②에서는 부스의 부호화 결과를 더블 에지 트리거 래치(41)에서 출력하고, 이것을 받아 승산 어레이 8단의 통과를 행하여 필요한 승산의 반의 연산을 행하며, 이 출력을 중간합 데이타로서 래치회로(23a)에 보존한다. 또 이 승산 어레이(27)의 통과와 병행하여 승수 상위 17비트분의 부스의 부호화를 행하며, 더블 에지 트리거 래치(41)로 보존한다. 그리고, 다음 클록 전반 ③에서는 유지하고 있는 중간합 데이타와, 나머지의 승산 어레이 8단 통과분의 연산 및 누적 가산을 행하며, 그리고, 다음 클록 CLK의 후반 ④에서는 승산 어레이(27)로부터의 출력의 최종 가산을행하여 승산기의 출력 OUT을 얻는 일련의 동작을 행한다.

상기 제2실시예에서는 승산 어레이(27)의 단수는 감소되지만, 부스 엔코더(26)의 통과시간이 오버헤드로 되어 있었다. 이것에 대하여, 본 실시예에서는 부스 엔코더(26)의 부호화시간으로서 반클록을 할당하고, 더블 에지 트리거래치(41)를 사용함으로써, 각 반시이클로 행하는 처리의 소요시간이 균등에 가까워지므로, 상기 제2실시예보다 클록 CLK의 주파수를 올리는 것이 가능하다.

제13도는 본 발명의 제4실시예를 도시한 곱합 연산 장치의 전체 구성도이며, 제9도와 공통의 요소에는 동일의 부호가 부여되어 있다.

본 실시예에서는 상기 제3실시예의 승산기를 기초로 하여, 32비트×32비트+64비트의 고속 곱합 연산(부호 부착)을 가능하게 하는 곱합 연산 장치를 구성한 것이다. 구체적인 구성으로서는 제9도에 도시한 제3실시예의 승산기에 있어서, F/F(29a) 및 래치회로(30a,31a)의 출력측에 64비트의 자리올림 보존 가산기(51)를 설치하고, 또 그 출력측에 접속되는 가산기로서, 상기 가산기(32)를 대신하여 자리올림 보존 상태에 있는 곱합 연산 결과의 가산을 행하는 CLA 부착 가산기(32a) 등의 자리올림 전파 가산기를 설치한 것으로, 그 외의 구성은 제3실시예와 동일하다.

여기서, 자리올림 보존 가산기(51)의 입력에는 F/F(29a)의 출력 및 래치회로(30a,31a)의 출력외에 곱합 연산 데이타 Q,<63 : 0>이 공급이되며, 그 출력신호로서는 자리수 올림 신호 NC<63 : 0>이 출력된다.

상기 구성의 본 실시예의 곱합 연산 장치의 동작에서는 상술한 제3실시예의 승산기의 동작에 있어서, 1번째의 클록 전반 ①로부터 2번째의 클록 전반 ③까지의 동작 (A)~(C)는 동일하며, 단지 2번째의 클록 후반 ④의동작(D)만이 다르다.

즉, 본 실시예의 2번째의 클록 후반 ④에서는 자리올림 보존 가산기(51)로, 래치회로(31a), 래치회로(30a) 및 레지스터(29c)의 각 출력의 최종 가산을 행하는 동시에, 곱합 연산 데이타 Q<63 : 0>을 가산한다. 즉, 자리올림 보존 가산기(51)의 3입력중, 1개째의 입력에는 {OC, HC GC, 0}이, 2개째의 입력에는 {0, 0S, HS, GS}가, 또한 3개째의 입력에는 곱합 연산 데이타 Q<63 : 0>이 각각 공급된다.

그리고, 자리올림 보존 가산기(51)로부터 출력되는 자릿 오림 신호 ND<63 : 0>과 가산 결과 NS<63 : 0>가, CLA 부착 가산기(32a)에서,

$$NC<63<0>, 0+0, NS<63:0>$$

와 같이 가산되며, 가산결과 OUT<63 : 0>이 얻어진다.

상기 제3실시예에 도시된 승산기를 이용하여 곱합 연산을 행하는 경우에는 제9도의 승산기로 승산 결과를 얻은 후, 또 가산을 행하지 않으면 안되지만, CLA 부착 가산기를 이용한 가산에는 시간이 걸린다. 이 점을 고려하여 본 실시예에서는 자리올림 보존 상태의 승산 결과와 곱합 연산 데이타를 자리올림 보존 가산기(51)에 의하여 일단 가산하고, 그 결과를 또 CLA 부착의 가산기(32a)에서 가산하므로, 곱합 연산에 있어서의 가산 시간을 단축할 수 있다. 또한, 이 실시예에서는 종래예는 비교하여 회로 규모는 작아지지만, 연산 시간을 증대하지 않

는다.

또, 상기 제4실시예에서는 상기 제3실시예에 도시된 승산기를 이용하여 곱합 연산을 행하는 경우를 설명하였지만, 상기 제1 또는 제2실시예에 도시한 승산기를 이용한 경우라도, 동일하게 곱합 연산을 행할 수 있다.

지금까지 본 발명을 양호한 실시예로서 설명하였지만 본 발명은 상기 실시예에 의해 한정되는 것이 아니고 후기되는 특허 청구 범위에 의해 정의되는 것으로 한다.

또한, 본원 청구범위의 각 구성 요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

이상 상세히 설명한 바와 같이, 청구범위 제1항 기재의 발명의 승산기에 의하면, 회로 규모가 작고, 또한 연산 시간도 증대하지 않는 승산기를 실현할 수 있다. 또한, 클록의 전반, 후반과 같이 반클록 단위로 구획지어 동작하도록 하고 있으므로, 외부와의 동기를 취하기 쉬우며, 프리차지형의 가산기의 사용에도 적합하다.

청구범위 제2항 기재의 발명의 승산기에 의하면, 예컨대 부스 알고리듬을 이용한 부호화 회로를 설치하였으므로, 부분곱 생성회로 및 누적 가산회로의 단수를 상기 청구범위 제1항 기재의 발명에 비하여 더욱 감소시킬 수 있으며, 누적 가산과정시간의 단축이 가능하다.

청구범위 제3항 기재의 발명의 승산기에 의하면, 상술의 청구범위 제2항 기재의 발명의 오버헤드로 되어 있는 부호화 회로의 통과시간으로서 반클록을 할당하고, 반클록 단위의 동작을 행할 수 있으며, 각 반사이클로 행하는 처리의 소요시간이 균등에 가까워지므로, 연산기를 제어하는 클록의 주파수를 높게 하는 것이 가능하다.

청구범위 제4항 기재의 발명의 곱합 연산 장치에 의하면, 상기 청구범위 제1항 기재의 발명과 같은 효과를 얻는 외에, 곱합 연산에 있어서의 가산 시간을 단축할 수 있다.

청구범위 제5항 기재의 발명의 곱합 연산 장치에 의하면, 상기 청구범위 제2항 기재의 발명과 같은 효과를 얻는 외에, 곱합 연산에 있어서의 가산 시간을 단축할 수 있다.

청구범위 제6항 기재의 발명의 곱합 연산 장치에 의하면, 상기 청구범위 제3항 기재의 발명과 같은 효과를 얻는 외에, 곱합 연산에 있어서의 가산 시간을 단축할 수 있다. 이것에 의해, 곱합 연산 기산을 증가시키지 않고, 하드웨어량을 감소시킨 곱합 연산기를 제공할 수 있다.

(57) 청구의 범위

청구항 1

피승수 데이타를 유지하는 피승수 유지회로(1)와, 승수 데이타의 상위로부터 소정 비트를 유지하는 승수 유지회로(2)와, 클록의 전반 또는 후반에 의해 상기 승수 데이타의 하위로부터 소정 비트와 상기 승수 유지회로의 출력을 전환시키는 제1선택기(4)와, 중간합 데이타를 유지하는 중간합 유지회로(3)와, 상기 클록의 전반 또는 후반에 의해 초기치와 상기 중간합 유지 회로의 출력을 전환시키는 제2선택기(5)와, 상기 제1선택기의 출력과 상기 피승수 유지회로의 출력에 기초하여 부분곱을 생성하는 복수단의 부분곱 생성회로(6a)와, 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 각 단의 부분곱 생성회로의 출력에 기초하여 누적 가산을 행하여 승산의 중간 결과인 상기 중간합 데이타를 생성하는 복수단의 누적 가산회로(6b)와, 상기 누적 가산회로의 소정단의 출력과 상기 각 단의 누적 가산회로의 출력의 일부를 유지하는 누적 가산결과 유지회로(9)와, 상기 각 단의 누적 가산회로의 출력의 1부를 격납하는 출력 유지회로(7,8)를 갖는 승산기에 있어서, 상기 클록의 전반 또는 후반의 제1타이밍시에는, 상기 제1선택기에 의해 상기 승수 데이타의 하위로부터 소정 비트를 선택하고, 상기 제2선택기에 의해 상기 초기치를 선택하며, 상기 각단의 부분곱 생성회로는 상기 제1선택기의 출력 1비트와 상기 피승수 유지회로의 각 비트의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱생성회로의 출력과의 가산을 행하고, 그 소정단의 누적 가산회로의 출력을 상기 중간합 데이타로의 중간합 유지회로에 기록하고, 상기 각 단의누적 가산회로의 출력의 소정 비트수를 상기출력 유지회로의 소정의 비트 위치에 기록하며; 상기클록이 전환된 클록 후반 전반의 제2타이밍시에는, 상기 제1선택기에 의해 상기 승수 유지회로의 출력을 선택하고, 상기 제2선택기에 의해 상기 중간합 유지회로의 출력을 선택하며, 상기 각 단의 부분곱 생성회로는 상기 제1선택기의 출력 1비트와 상기 피승수 유지회로의 각 비트의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산 회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력의 가산을 행하고, 그 소정단의 누적 가산회로의 출력과 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 누적 가산 결과 유지회로에 기록하는 것을 특징으로 하는 승산기.

청구항 2

피승수 데이타를 유지하는 피승수 유지회로(21)와, 승수 데이타의 상위로부터 소정 비트를 유지하는 승수 유지회로(22)와, 클록의 전반 또는 후반에 의해 상기 승수 데이타의 하위로부터 소정 비트와 상기 승수 유지회로의 출력을 전환시키는 제1선택기(24)와, 상기 제1선택기의 출력을 부호화하는 부호화회로(26)와, 중간합 데이타를 유지하는 중간합 유지회로(23)와, 상기 클록의 전반 또는 후반에 의해 초기치와 상기 중간합 유지회로의 출력을 전환시키는 제2선택기(25)와, 상기 부호화 회로의 출력과 상기 피승수 유지회로의 출력에 기초하여 부분곱을 생성하는 복수단의 부분곱 생성회로(28a)와, 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 각 단의 부분곱 생성회로의 출력에 기초하여 누적 가산을 행하여 승산의 중간 결과인 상기 중간합 데이타를 생성하는 복수단의 누적 가산회로(27b)와, 상기 누적 가산회로의 소정단의 출력과 상기 각 단의 누적 가산회로의 출력의 일부를 유지하는 누적 가산결과 유지회로(31)와, 상기 각 단의 누적 가산회로의 출력의 1부를 격납하는 출력 유지회로(29,30)를 갖는 승산기에 있어서, 상기 클록의 전반 또는 후반의 제1타이밍시에는, 상기 제1선택기에 의해 상기 승수 데이타의 하위로부터 소정 비트를 선택하고, 상기 제2선택기에 의해 상기 초기치를 선택하며, 상기 각 단의 부분곱 생성회로는 상기 부호화 회로의 결과와 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하며, 그 소정단의 누적 가산회로의 출력을 상기 중간합 데이타로서 중간합 유지회로에 기록하고, 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 출력

유지회로의 소정의 비트위치에 기록하며; 상기 클록이 전환된 클록 후반 또는 전반의 제2타이밍시에는, 상기 제1선택기에 의해 상기 승수 유지회로의 출력을 선택하고, 상기 제2선택기에 의해 상기 중간합 유지회로의 출력을 선택하며, 상기 각 단의 부분곱 생성회로는 상기 부호화 회로의 출력과 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하며, 그 소정단의 누적 가산회로의 출력과 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기 누적 가산결과 유지회로에 기록하는 것을 특징으로 하는 승산기.

청구항 3

피승수 데이타를 유지하는 피승수 유지회로(21)와, 승수 데이타의 상위로부터 소정 비트를 유지하는 승수 유지회로(22)와, 클록의 전반 또는 후반에 의해 상기 승수 데이타의 하위로부터 소정 비트와 상기 승수 유지회로의 출력을 전환시키는 제1선택기(24)와, 상기 제1선택기의 출력을 부호화하는 부호화 회로(26)와, 상기 부호화 회로의 부호화 결과를 상기 클록의 논리치가 변화할 때에 유지하여 출력하는 보호화 결과 유지회로(41)와, 중간합 데이타를 유지하는 중간합 유지회로(23a)와, 상기 클록의 후반 또는 전반에 의해 초기치와 상기 중간합 유지회로의 출력을 전환시키는 제2선택기(25a)와, 상기 부호화 결과 유지회로의 출력과 상기 피승수 유지회로의 출력에 기초하여 부분곱을 생성하는 복수단의 부분곱 생성회로(27a)와, 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 각 단의 부분곱 생성회로의 출력에 기초하여 누적 가산을 행하여 승산의 중간결과인 상기 중간합 데이타를 생성하는 복수단의 누적 가산회로(27b)와, 상기 누적 가산회로의 소정단의 출력과 상기 각 단의 누적 가산회로의 출력의 일부를 유지하는 누적 가산결과 유지회로(31a)와, 상기 각 단의 누적 가산회로의 출력의 1부를 격납하는 출력 유지회로(29a,30a)를 갖는 승산기에 있어서, 상기클록의 전반 또는 후반의 제1타이밍시에는, 상기 제1선택기에 의해 상기 승수 데이타의 하위로부터 소정 비트를 선택하고, 상기 부호화 회로는 상기 제1선택기의 출력의 부호화를 행하여 그 부호화 결과를 상기 부호화 결과 유지회로에 기록하며; 상기 클록이 전환된 클록 후반 또는 전반의 제2타이밍시에는, 상기 제2선택기에 의해 상기 초기치를 선택하고, 상기 각 단의 부분곱 생성회로는 상기 부호화 결과유지회로의 출력과 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 단의 누적 가산회로는 상기 제2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하며, 그 소정단의 누적 가산회로의 출력을 상기 중간합 데이타로서 중간합 유지회로에 기록하고, 상기 각 단의 누적 가산회로의 출력의 소정 비트수를 상기출력 유지회로의 소정의 비트 위치에 기록하며, 상기 제1선택기에 의해 상기 승수 유지회로의 출력을 선택하고, 상기 부호화 회로는 상기 제1선택기의 출력의 부호화를 행하여 그 부호화 결과를 상기 부호화 결과 유지회로에 기록하며; 상기 클록이 전환된 전반 또는 후반의 제3타이밍시에는, 상기 제2선택기에 의해 상기 중간합 유지회로의 출력을 선택하고, 상기 각 단의 부분곱 생성회로는 상기 부호화 결과 유지회로의 출력과 상기 피승수 유지회로의 출력으로부터 부분곱을 생성하는 동시에, 상기 각 단의 누적 가산회로는 상기 제 2선택기의 출력 또는 전단의 누적 가산회로의 출력과 상기 부분곱 생성회로의 출력과의 가산을 행하며, 그 소정단의 누적 가산회로의 출력과 상기 각 단의 누적 가산회로의 소정 비트수를 상기 누적 가산결과 유지회로에 기록하는 것을 특징으로 하는 승산기.

청구항 4

제1항에 따른 승산기의 상기 누적 가산결과 유지회로의 출력측에, 자리올림 보존가산기(51)를 통하여 자리올림 전파 가산기(32a)를 설치한 곱합 연산 장치에 있어서, 상기 제2타이밍후에 상기 클록이 전환된 클록 전반 또는 후반의 제3타이밍시에, 상기 자리올림 보존 가산기에 의해서 상기 누적 가산결과 유지회로의 출력과 곱합 연산 데이타와의 가산을 행하고, 그 가산 결과를 다시 상기 자리올림 전파 가산기에 의해서 가산하여 곱합 연산 결과를 출력하는 것을 특징으로 하는 곱합 연산 장치.

청구항 5

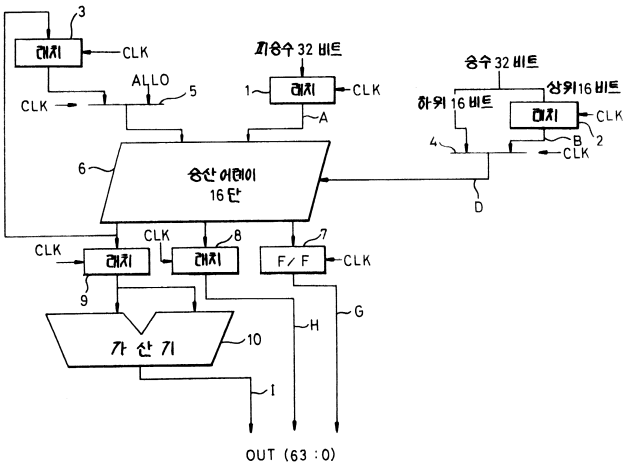
제2항에 따른 승산기의 상기 누적 가산 결과 유지회로 및 상기 출력 유지회로의 출력측에 자리올림 보존 가산기(51)를 통하여 자리올림 전파 가산기(32a)를 설치한 곱합 연산 장치에 있어서, 상기 제2타이밍후에 상기 클록이 전환된 클록 전반 또는 후반의 제3타이밍시에, 상기 자리올림 보존 가산기에 의하여 상기 누적 가산 결과 유지회로의 출력 및 상기 출력 유지회로의 출력과 곱합 연산 데이타와의 가산을 행하고, 그 가산 결과를 다시 상기 자리올림 전파 가산기에 의하여 가산하여 곱합 연산 결과를 출력하는 것을 특징으로 하는 곱합 연산 장치.

청구항 6

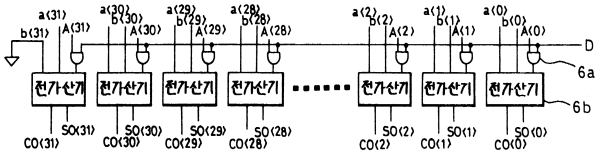
제3항에 따른 승산기의 상기 누적 가산 결과 유지회로 및 상기 출력 유지회로의 출력측에 자리올림 보존 가산기(51)를 통하여 자리올림 전파 가산기(32a)를 설치한 곱합 연산 장치에 있어서, 상기 제3타이밍후에 상기 클록이 전환된 클록 후반 또는 전반의 제4타이밍시에 상기 자리올림 보존 가산기에 의하여 상기 누적 가산 결과 유지회로의 출력 및 상기 출력 유지회로의 출력과 곱합 연산 데이타와의 가산을 행하며, 그 가산 결과를 다시 상기 자리올림 전파 가산기에 의하여 가산하여 곱합 연산 결과를 출력하는 것을 특징으로 하는 곱합 연산 장치.

도면

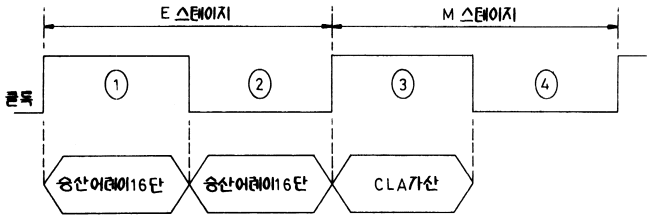
도면1



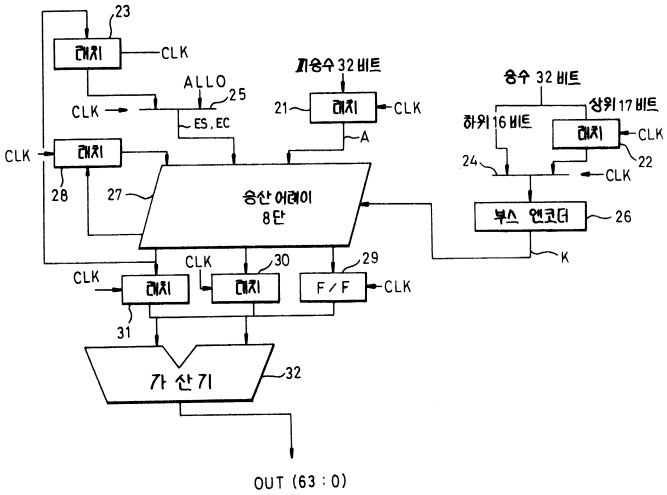
도면2



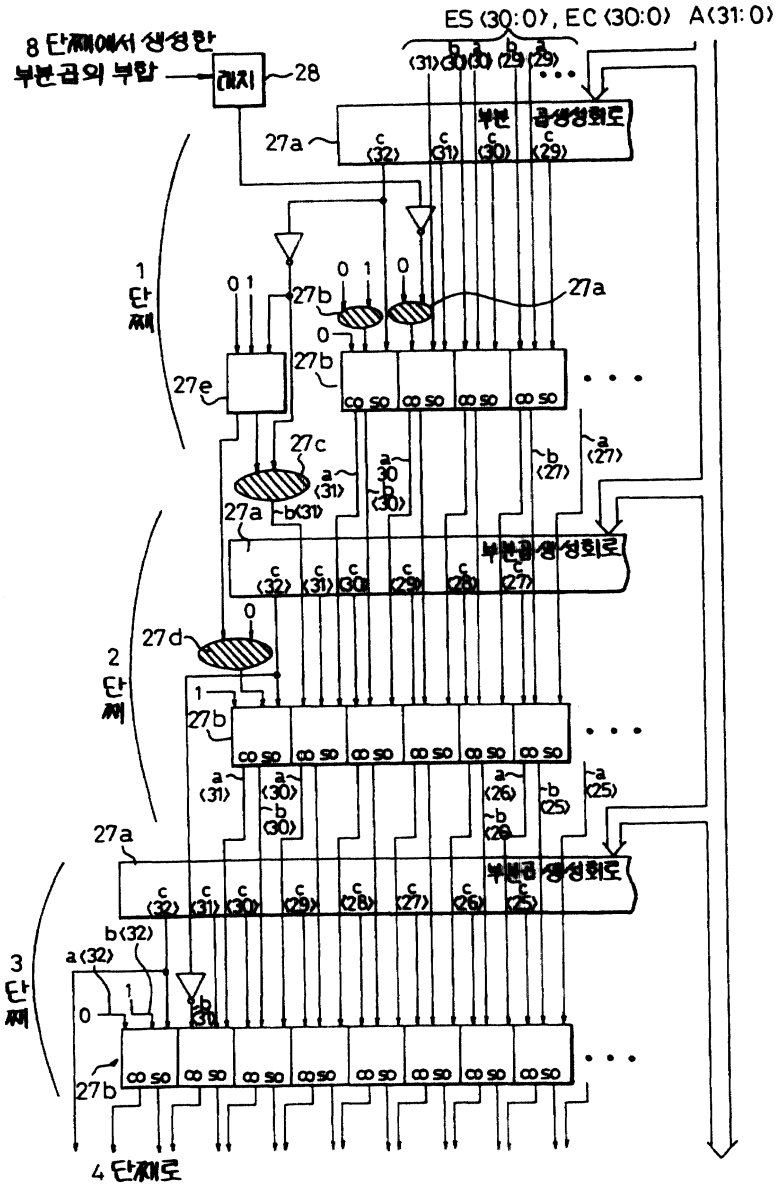
도면3



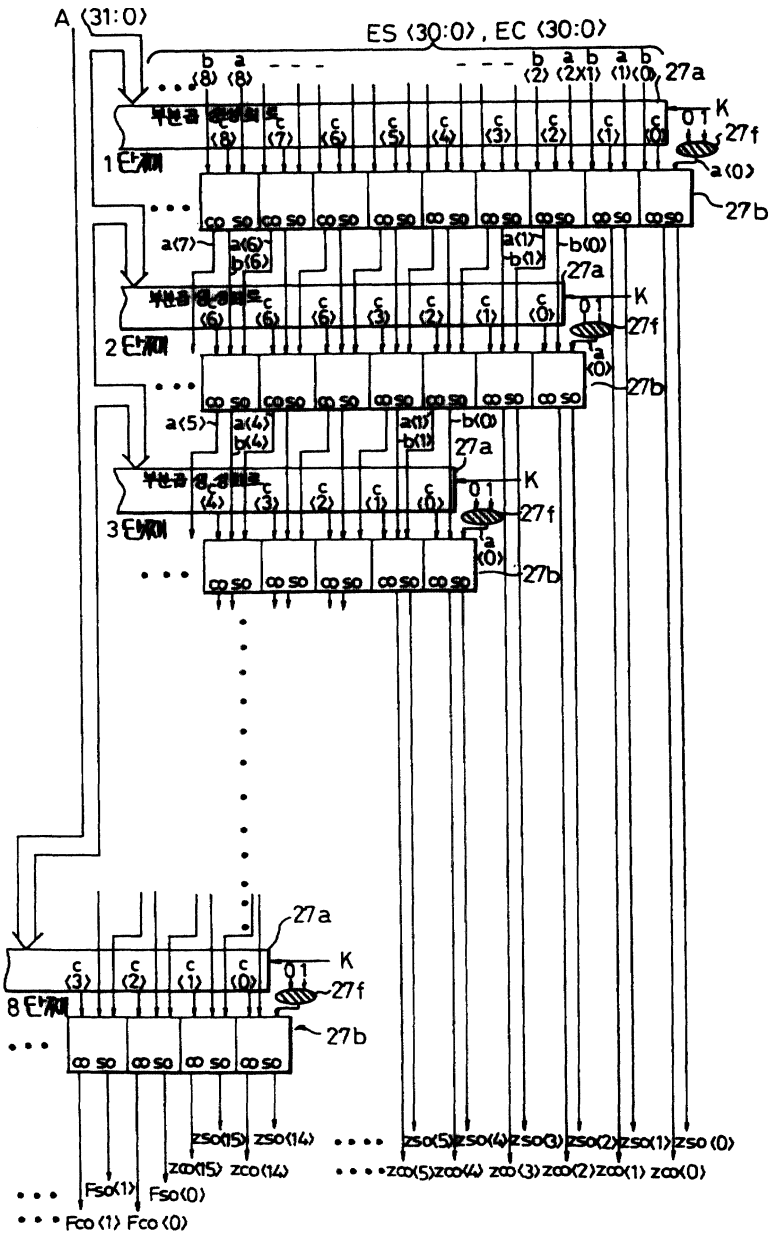
도면4



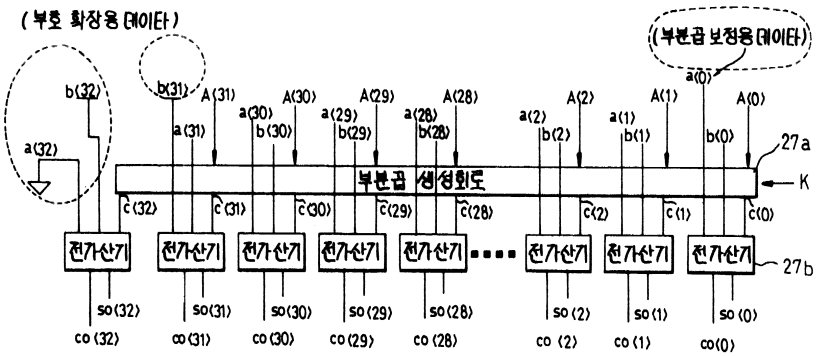
도면5


ES〈30:0〉, EC〈30:0〉 A〈31:0〉
8 단계에서 생성한 부분곱의 부합
래치
28
27a
부분곱생성회로
1 단계
27b
27e
27c
2 단계
27d
3 단계
4 단계로

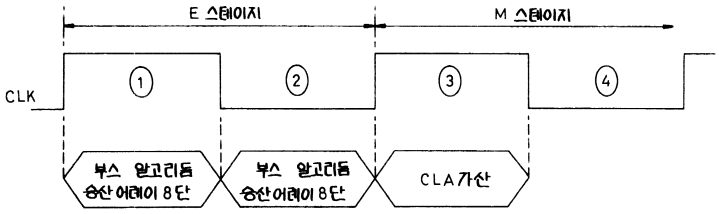
도면6


A (31:0)
ES (30:0), EC (30:0)
27a
27b
27f
K
1 단계
2 단계
3 단계
8 단계
부분곱 생성회로
Fso(1) Fso(0)
Fco (1) Fco (0)

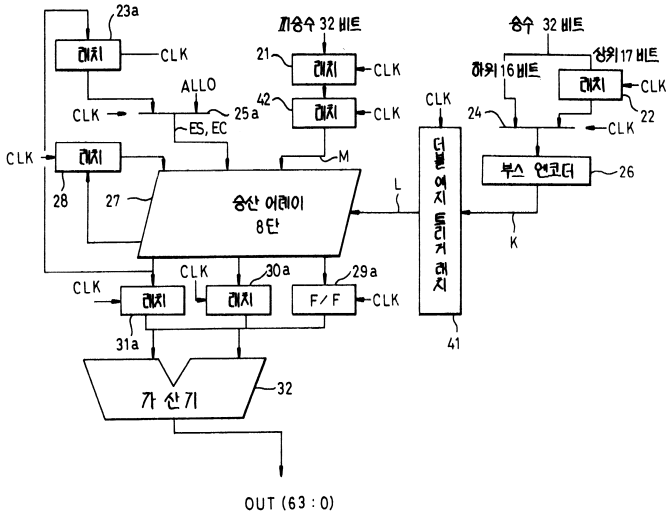
도면7


(부호 확장용 데이타)
(부분곱 보정용 데이타)
부분곱 생성회로
27a
27b
K
전가산기
so(32) so(31) so(30) so(29) so(28) so(2) so(1) so(0)
co (32) co (31) co (30) co (29) co (28) co (2) co (1) co(0)

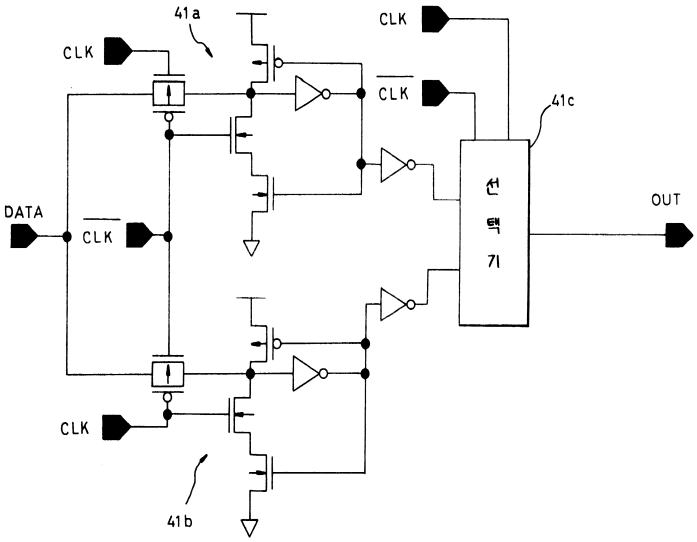
도면8


E 스테이지
M 스테이지
CLK
1
2
3
4
부스 알고리듬 승산 어레이 8단
부스 알고리듬 승산 어레이 8단
CLA가산

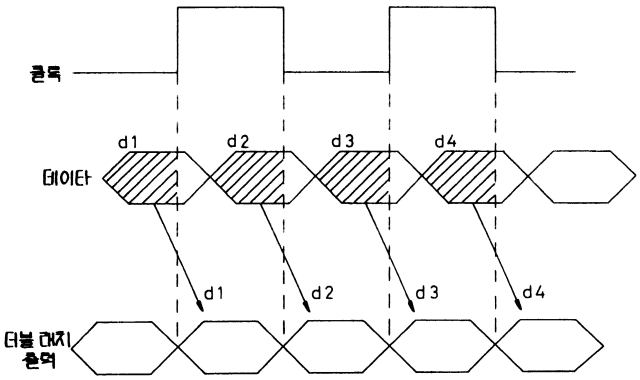
도면9


23a
래치
CLK
ALLO
25a
ES, EC
피승수 32 비트
21
42
M
승수 32 비트
상위 17 비트
하위 16 비트
22
24
부스 엔코더
26
K
L
더블 에지 트리거 래치
41
28
27
승산 어레이 8단
30a
29a
F/F
31a
가 산 기
32
OUT (63 : 0)

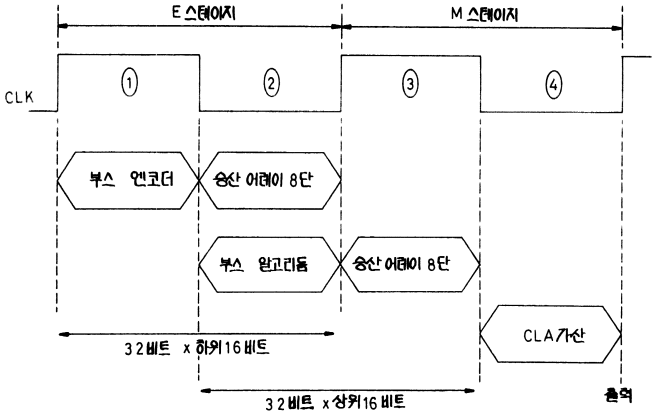
도면10


41a
CLK
DATA
41c
선택기
OUT
41b

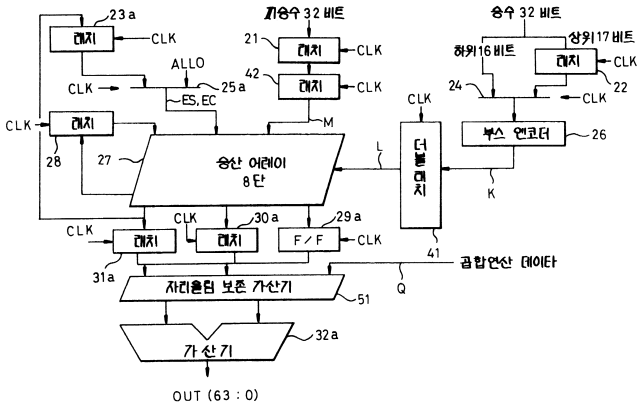
도면11



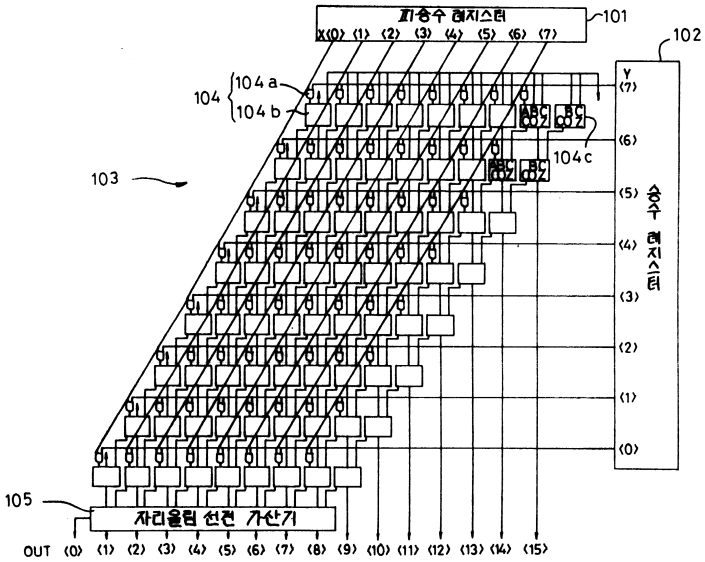
도면12



도면13



도면14



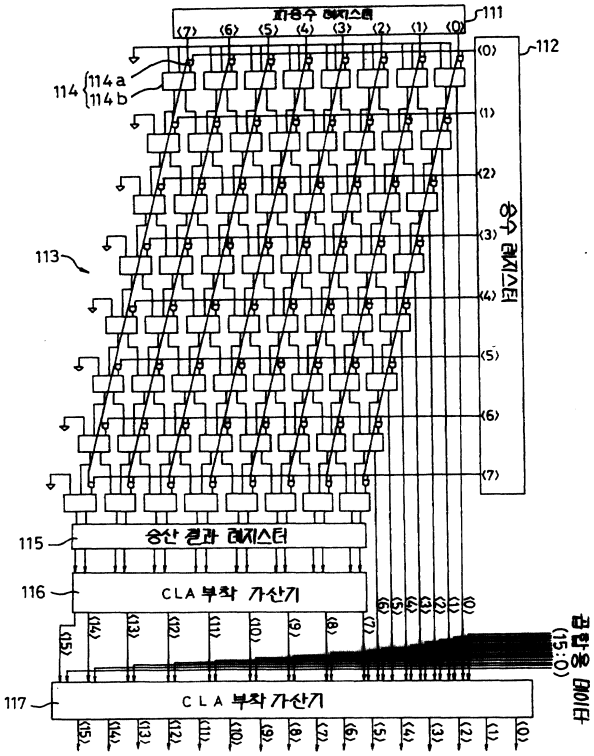
도면15a

ABC	Z	∞
000	0	0
001	1	0
010	1	0
011	0	1
100	1	0
101	0	1
110	0	1
111	1	1

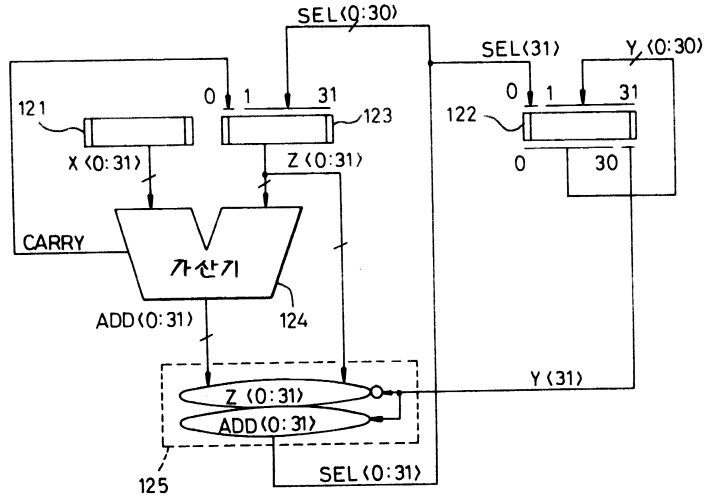
도면15b

BC	Z	∞
00	0	0
01	1	0
10	1	0
11	0	1

도면16


피승수 레지스터
111
112
114
114a
114b
113
승수 레지스터
115
중간 결과 레지스터
116
CLA 부착 가산기
117
CLA 부착 가산기
결합용 데이타

도면17


SEL(0:30)
SEL(31)
Y(0:30)
121
123
122
X(0:31)
Z(0:31)
CARRY
가산기
ADD(0:31)
124
Y(31)
Z(0:31)
ADD(0:31)
125
SEL(0:31)