

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4643248号
(P4643248)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl. F I
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 4 G

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2004-370062 (P2004-370062)	(73) 特許権者	591024111
(22) 出願日	平成16年12月21日(2004.12.21)		株式会社ハイニックスセミコンダクター
(65) 公開番号	特開2005-327433 (P2005-327433A)		HYNIX SEMICONDUCTOR
(43) 公開日	平成17年11月24日(2005.11.24)		INC.
審査請求日	平成19年10月4日(2007.10.4)		大韓民国京畿道利川市夫鉢邑牙美里山13
(31) 優先権主張番号	2004-034450		6-1
(32) 優先日	平成16年5月14日(2004.5.14)		San 136-1, Ami-Ri, Bu
(33) 優先権主張国	韓国 (KR)		bal-Eup, Ichon-Shi, K
			youngki-Do, Korea
		(74) 代理人	100064724
			弁理士 長谷 照一
		(74) 代理人	100073302
			弁理士 神谷 牧

最終頁に続く

(54) 【発明の名称】 デュアルレジスタを有するページバッファの制御方法及びその制御回路

(57) 【特許請求の範囲】

【請求項1】

ビットラインとYAパッドとの間に接続され、ノーマルプログラム動作の際にイネーブルされる第1信号(PBDO)に応じて動作し、前記YAパッドから伝送される第1データを前記ビットラインに出力するトランジスタと、

前記YAパッドに接続され、キャッシュプログラム動作の際に第2信号に応じてイネーブルされて入力される第2データを臨時格納した後、第1レジスタに出力するための第2レジスタと、

前記キャッシュプログラム動作の際に前記第2信号に応じてイネーブルされて前記第2レジスタから伝送された前記第2データを前記ビットラインに出力するための前記第1レジスタを含むデュアルレジスタを有するページバッファにおいて、

前記ノーマルプログラム動作の際には、キャッシュプログラム信号を第1レベル(ロー)に維持させ、前記第2信号を同第1レベルで出力して前記第1及び第2レジスタをデイスエーブルさせ、書込みイネーブル信号がトグルされる度に前記第1信号を第2レベルで出力して前記トランジスタを動作させ、前記キャッシュプログラム動作の際には前記キャッシュプログラム信号を第2レベルに維持させて前記第2信号を同第2レベルで出力して、前記第1及び第2レジスタをイネーブルさせることを特徴とするページバッファの制御方法。

【請求項2】

前記トランジスタがNMOSトランジスタであることを特徴とする請求項1に記載のデ

デュアルレジスタを有するページバッファの制御方法。

【請求項 3】

ビットラインと Y A パッドとの間に接続され、ノーマルプログラム動作の際にイネーブルされる第 1 信号 (P B D O) に応じて動作し、前記 Y A パッドから伝送される第 1 データを前記ビットラインに出力するトランジスタと、

前記 Y A パッドに接続され、キャッシュプログラム動作の際に第 2 信号に応じてイネーブルされて入力される第 2 データを臨時格納した後、第 1 レジスタに出力するための第 2 レジスタと、

前記キャッシュプログラム動作の際に前記第 2 信号に応じてイネーブルされて前記第 2 レジスタから伝送された前記第 2 データを前記ビットラインに出力するための前記第 1 レジスタを含むデュアルレジスタを有するページバッファにおいて、

前記ノーマルプログラム動作の際には、キャッシュプログラム信号を第 1 レベル (ロー) に維持させ、前記第 2 信号を同第 1 レベルで出力して前記第 1 及び第 2 レジスタをディスエーブルさせ、書込みイネーブル信号がトグルされる度に前記第 1 信号を第 2 レベルで出力して前記トランジスタを動作させ、前記キャッシュプログラム動作の際には前記キャッシュプログラム信号を第 2 レベルに維持させて前記第 2 信号を同第 2 レベルで出力して、前記トランジスタをターンオフさせて前記第 2 信号を第 2 レベルで出力して前記第 1 及び第 2 レジスタをイネーブルさせる制御手段を設けたことを特徴とするデュアルレジスタを有するページバッファの制御回路。

【請求項 4】

前記トランジスタが N M O S トランジスタであることを特徴とする請求項 3 に記載のデュアルレジスタを有するページバッファの制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デュアルレジスタを有するページバッファの制御方法及びその制御回路に係り、特に、ノーマルプログラム(normal program)動作の際にプログラムタイム(program time)を減少させて全体プログラムタイムを減少させることが可能な、デュアルレジスタを有するページバッファの制御方法及びその制御回路に関する。

【背景技術】

【0002】

最近、電気的にプログラム(program)と消去(erase)が可能であり、一定の周期でデータを再作成するリフレッシュ(refresh)機能を必要としない半導体メモリ素子の需要が増加しつつある。そして、多くのデータを格納することが可能な大容量メモリ素子の開発のために、メモリ素子の高集積化技術に対する研究が活発に行われている。ここで、プログラムとはデータをメモリセルに書き込む動作をいい、消去とはメモリセルに書き込まれたデータを消去する動作をいう。

【0003】

メモリ素子の高集積化のために複数のメモリセルが直列接続(すなわち、隣接したセル同士にドレインまたはソースを互いに共有する構造)され、一つのストリングを構成する N A N D フラッシュメモリ素子(NAND-type flash memory device)が開発された。N A N フラッシュメモリ素子は、N O R フラッシュメモリ素子(NOR-type flash memory device)とは異なり、順次情報を読み出すメモリ素子である。このような N A N D フラッシュメモリ素子のプログラム及び消去は、F N トンネリング(tunneling)方式を用いてフローティングゲート(floating gate)に対して電子を注入或いは放出しながらメモリセルのしきい値電圧(threshold voltage)を制御することにより行われる。

【0004】

N A N D フラッシュメモリ素子は、短い時間内に大容量の情報を格納するためにページバッファが用いられる。ページバッファは入出力パッド I / O P A D から大容量のデータを受けてメモリセルへ提供する。通常のページバッファは、データを臨時的に格納する

ために単一レジスタから構成されることが普通であったが、最近、NANDフラッシュメモリ素子で大容量データプログラム時のプログラム速度を増加させるためにデュアルレジスタから構成している。

【0005】

一例として、図4には従来の技術に係るデュアルレジスタを有するページバッファが示されている。図4に示したトランジスタにおいて、「P1～P4」はPMOSトランジスタを示し、「N1～N18」はNMOSトランジスタを示し、「HN1～HN4」は高電圧NMOSトランジスタを示す。

【0006】

図4を参照すると、従来の技術に係るデュアルレジスタを有するページバッファは、プログラム動作の際に入出力パッドから入力されるデータに応じてメモリセルアレイ10のメモリセルに対するプログラムを行う。このようなページバッファは、キャッシュレジスタ(cash register)23と、キャッシュレジスタ23からデータの提供を受けて格納した後、ビットライン選択部21の動作に応じてメモリセルアレイ10へ提供するメインレジスタ(main register)22とを含む。

【0007】

図4に示したページバッファのプログラム動作時の動作特性を考察すると、まず、プログラム動作の際にはYAパッドが接地状態に維持される。このような状態で、入出力パッドから「1」データが入力されると、データイン(data in)信号の制御信号DI1が活性化され、これによりトランジスタN13及びN14がターンオンされてキャッシュレジスタ23のラッチ部231の入力端QAはローレベルに遷移する。反面、入出力パッドから「0」データが入力されると、データイン信号の制御信号nDIが活性化され、これによりトランジスタN15がターンオンされてキャッシュレジスタ23のラッチ部231の出力端QAはローレベルに遷移する。すなわち、入出力パッドを介して入力されるデータに応じて、キャッシュレジスタ23のラッチ部231には所定の値を有するデータが格納された後、制御信号PDUMPによってターンオンされるトランジスタN16を介してノードSDを経由してメインレジスタ22に伝送されてラッチ部221に格納される。このようにメインレジスタ22のラッチ部221に格納されたデータは、ビットライン選択部21を介してメモリセルアレイ10の多数のメモリセルへ伝送され、プログラム動作が行われる。

【0008】

ところが、図4に示した従来の技術に係るページバッファの場合には、キャッシュプログラム(cache program)時のみならず、ノーマルプログラム(normal program)時にも前述した動作過程を同一に行う。一般に、プログラム動作は、ノーマルプログラムと、プログラム速度を増加させるためにデータを予めキャッシュレジスタ23に格納させてプログラムを行うキャッシュプログラムとに分離される。ここで、ノーマルプログラムとは、データプログラムが行われるプログラム動作をいう。キャッシュプログラムとは、多数回連続してプログラムを行うべきプログラム動作をいう。一般に、ノーマルプログラム動作時には、入出力パッドに、プログラム動作コマンド信号(command signal)、アドレス信号(address signal)、データ、及びノーマルプログラム動作を表示するノーマルプログラムコマンド信号10hが入力される。これに対し、キャッシュプログラム動作時には、プログラム動作コマンド信号、アドレス信号、データ、及びキャッシュプログラム動作を表示するキャッシュプログラムコマンド信号15hが入力される。すなわち、ノーマルプログラムコマンド信号とキャッシュプログラムコマンド信号によってノーマルプログラムとキャッシュプログラムを分離する。

【0009】

前述したように、従来の技術に係るページバッファの場合には、ノーマルプログラム及びキャッシュプログラム動作時にキャッシュレジスタ23を経由してメインレジスタ22へデータを伝送した後、メモリセルアレイ10へ伝送する過程を行う。言い換えれば、全てのプログラム動作(ノーマルプログラム及びキャッシュプログラムを含む)の際にキャ

10

20

30

40

50

ッシュレジスタ23からメインレジスタ22へデータを伝送する過程が行われる。キャッシュレジスタ23からメインレジスタ22へデータを伝送するためにかかる時間は約3 μ s程度となる。勿論、大容量のデータをプログラムするために用いられるキャッシュレジスタ22を用いるキャッシュプログラムの場合には、プログラムの速度を増加させることはできるが、ノーマルプログラムの場合には、無駄にキャッシュレジスタ23からメインレジスタ22へデータを伝送するための伝送時間がかかるという問題点が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0010】

したがって、本発明は、かかる問題点を解決するために案出されたもので、その目的は、ノーマルプログラム動作の際にプログラムタイムを減少させて全体プログラムタイムを減少させることが可能な、デュアルレジスタを有するページバッファの制御方法及びその制御回路を提供することにある。

【課題を解決するための手段】

【0011】

上記目的を達成するための本発明の一側面によれば、ビットラインとYAパッドとの間に接続され、ノーマルプログラム動作の際にイネーブルされる第1信号(PBDO)に応じて動作し、前記YAパッドから伝送される第1データを前記ビットラインに出力するトランジスタと、前記YAパッドに接続され、キャッシュプログラム動作の際に第2信号に応じてイネーブルされて入力される第2データを臨時格納した後、第1レジスタに出力するための第2レジスタと、前記キャッシュプログラム動作の際に前記第2信号に応じてイネーブルされて前記第2レジスタから伝送された前記第2データを前記ビットラインに出力するための前記第1レジスタを含むデュアルレジスタを有するページバッファにおいて、前記ノーマルプログラム動作の際には、キャッシュプログラム信号を第1レベル(ロー)に維持させ、前記第2信号を同第1レベルで出力して前記第1及び第2レジスタをディスエーブルさせ、書込みイネーブル信号がトグルされる度に前記第1信号を第2レベルで出力して前記トランジスタを動作させ、前記キャッシュプログラム動作の際には前記キャッシュプログラム信号を第2レベルに維持させて前記第2信号を同第2レベルで出力して、前記第1及び第2レジスタをイネーブルさせることを特徴とするデュアルレジスタを有するページバッファの制御方法が提供される。

【0012】

また、上記目的を達成するための本発明の他の側面によれば、ビットラインとYAパッドとの間に接続され、ノーマルプログラム動作の際にイネーブルされる第1信号(PBDO)に応じて動作し、前記YAパッドから伝送される第1データを前記ビットラインに出力するトランジスタと、前記YAパッドに接続され、キャッシュプログラム動作の際に第2信号に応じてイネーブルされて入力される第2データを臨時格納した後、第1レジスタに出力するための第2レジスタと、前記キャッシュプログラム動作の際に前記第2信号に応じてイネーブルされて前記第2レジスタから伝送された前記第2データを前記ビットラインに出力するための前記第1レジスタを含むデュアルレジスタを有するページバッファにおいて、前記ノーマルプログラム動作の際には、キャッシュプログラム信号を第1レベル(ロー)に維持させ、前記第2信号を同第1レベルで出力して前記第1及び第2レジスタをディスエーブルさせ、書込みイネーブル信号がトグルされる度に前記第1信号を第2レベルで出力して前記トランジスタを動作させ、前記キャッシュプログラム動作の際には前記キャッシュプログラム信号を第2レベルに維持させて前記第2信号を同第2レベルで出力して、前記トランジスタをターンオフさせて前記第2信号を第2レベルで出力して前記第1及び第2レジスタをイネーブルさせる制御手段を設けたことを特徴とするデュアルレジスタを有するページバッファの制御回路が提供される。

【発明の効果】

【0013】

本発明によれば、ノーマルプログラム動作時、読み出し動作時に使用する「PBDO」

10

20

30

40

50

を除去してメモリセルアレイからYAパッドへデータが出力されるデータ伝送経路と同一の伝送経路を介してノーマルプログラム動作を行うことにより、プログラム動作時間を減少させてチップの全体プログラム動作を減少させることができる。また、ノーマルプログラム動作の際にデータ経路を短縮させて消耗電流を減少させることができる。

【発明を実施するための最良の形態】

【0014】

以下、添付図面を参照して本発明の好適な実施例をより詳細に説明する。ところが、本発明は、下記の実施例に限定されるものではなく、互いに異なる様々な形で実現できる。これらの実施例は、本発明の開示を完全にするためのもので、通常の知識を有する者に本発明の範疇を知らせるために提供されるものである。図面において、同一の参照符号は同一の機能を行う同一の構成要素を示す。

10

【0015】

図1は本発明の好適な実施例に係るデュアルレジスタを有するページバッファ制御方法を説明するために示す半導体メモリ装置の構成図、図2は図1に示したページバッファの構成図、図3は図1に示した制御回路の構成図である。ここで、図2に示した参照符号のうち、図4に示した参照符号と同一の参照符号は同一の機能を行う同一の要素であって、説明の便宜上、それに対する具体的な説明は省略する。そして、下記の「REb」信号は読み出しイネーブル信号、「WEb」信号は書き込みイネーブル信号、「CACHE_PGM」信号はキャッシュプログラムイネーブル信号である。「CACHE_PGM」信号は、キャッシュプログラム動作の際には「1」状態に維持され、ノーマルプログラム動作の際には「0」状態に維持される。

20

【0016】

図1～図3を参照すると、本発明の好適な実施例に係るページバッファ制御方法では、ノーマルプログラム動作時に制御回路30を介して「PBD0」信号を制御し、YAパッドに入力されるデータをNMOSTランジスタN7を介してメモリセルアレイ10へ伝送する。制御回路30は通常「Y制御回路」といい、「REb」、「WEb」、「CACHE_PGM」信号を用いてノーマルプログラム動作時に「PBD0」信号をイネーブル（「1」）させてNMOSTランジスタN7をターンオンさせる。NMOSTランジスタN7がターンオンされるにつれて、YAパッドから伝送されるデータはNMOSTランジスタN7を介してメモリセルアレイ10のビットラインBLE、BLoの中のいずれか一つに伝送される。この際、NMOSTランジスタN5はターンオン状態に維持される。このような制御回路30は図3のように構成できる。図3に示すように、制御回路30はNANDゲートNAND1～NAND3、NORゲートNOR1及びNOR2、インバータINV1～INV16、PMOSTランジスタP1～P4、NMOSTランジスタN1～N4とから構成できる。

30

【0017】

以下、本発明の好適な実施例に係る制御回路30の動作特性とこれによるページバッファ制御方法について図1～図3を参照して具体的に説明する。

【0018】

まず、ノーマルプログラム動作の際には、「REb」はハイレベルに維持され、「CACHE_PGM」はローレベルに維持される。このような状態で「WEb」がトグルされる度に、「PBD0」はハイレベルで出力される。具体的に、「CACHE_PGM」がローレベルで入力されると、NORゲートNOR1は「WEb」に応じてハイレベルまたはローレベルの信号を出力する。たとえば、「WEb」がローレベルで入力されると、NORゲートNOR1はハイレベルの信号を出力する。この信号はインバータINV1によってローレベルに反転される。NANDゲートNAND1はハイレベルの信号を出力する。したがって、「PBD0」はハイレベルで出力される。すなわち、「WEb」がローレベル状態である度に、「PBD0」はハイレベルで出力される。「PBD0」がハイレベルに遷移してランジスタN7がターンオンされる。

40

【0019】

50

ノーマルプログラム動作の際に、「REb」はハイレベルに維持され、「CACHE__PGM」はローレベルに維持されることにより、「DI1」と「nDI」はローレベルになる。これにより、NMOSTランジスタN13～N15がターンオフされ、キャッシュレジスタ23はイネーブルされなくなる。具体的に、NORゲートNOR2は「CACHE__PGMb」がハイレベルで入力されることにより、「WEb」と関係なく常にローレベルの信号を出力する。これにより、「DIEN」はローレベルで出力され、「DL__DLS」はハイレベルで出力され、「DOEN」はローレベルで出力され、「DL__SFTb」はハイレベルで出力される。「DIEN」がローレベルで出力されることにより、「DL」の状態と関係なく「DI1」と「nDI」は全てローレベルになる。したがって、キャッシュレジスタ23はイネーブルされなくなる。

10

【0020】

キャッシュプログラム動作の際には、「REb」はハイレベルに維持され、「CACHE__PGM」はハイレベルに維持される。このような状態では「WEb」状態と関係なく「PBD0」は常にローレベルで出力される。「PBD0」がローレベルで出力されることにより、ランジスタN7がターンオフされてNMOSTランジスタN7を経由したデータ伝送経路は遮断される。具体的に、「CACHE__PGM」がハイレベルで入力されると、NORゲートNOR1は「WEb」と関係なくローレベルを出力する。NORゲートNOR1の出力信号はインバータINV1によってハイレベルに反転されてNANDゲートNAND1に入力される。NANDゲートNAND1は、「REb」がハイレベルで入力されることにより、ローレベルの信号を出力する。したがって、「PBD0」はローレベルで出力される。

20

【0021】

一方、キャッシュプログラム動作の際には、キャッシュレジスタ23がイネーブルされ、図4に示された段階1（図中の破線の丸の中に記された1）、2（図中の破線の丸の中に記された2）、3（図中の破線の丸の中に記された3）、4（図中の破線の丸の中に記された4）でデータがビットラインBLE、BLoの中のいずれか一つに入力される。YAパッドに入力されるデータに応じて「DI1」及び「nDI」の中のいずれか一つがハイレベルになる。通常、データが「1」の場合には、「nDI」がハイレベルになってNMOSTランジスタN15がターンオンされ、データが「0」の場合には、「DI1」がハイレベルになってNMOSTランジスタN13、N14がターンオンされる。具体的に、「REb」はハイレベルに維持され、「CACHE__PGM」はハイレベルに維持される。NORゲートNOR2は「CACHE__PGMb」がローレベルで入力され、「WEb」がローレベルで入力されると、ハイレベルの信号を出力する。これにより、「DIEN」はハイレベル、「DL__DLS」はローレベル、「DOEN」はハイレベル、「DL__SFTb」はローレベルになる。「DL__SFTb」がローレベルで出力されることにより、PMOSTランジスタP7はターンオンされ、ローレベルを有する信号を出力するインバータINV13により、PMOSTランジスタP10はターンオンされる。この際、PMOSTランジスタP9はハイレベルを有する「DOEN」によってターンオンされる。これにより、ノードDLがハイレベルに遷移し、「DI1」はハイレベルになり、「nDI」はローレベルになる。したがって、NMOSTランジスタN13、N14はターンオンされ、NMOSTランジスタN14はターンオフされる。これにより、YAパッドに入力されるデータ「0」は、NMOSTランジスタN13、N14を経由してキャッシュレジスタ23のラッチ部231に伝送される。

30

40

【0022】

前述したように、本発明の好適な実施例に係るデュアルレジスタを有するページバッファ制御方法は、読み出し動作の際と同様に、ノーマルプログラム動作の際に図2に示した「PBD0」をイネーブルさせてNMOSTランジスタN7をターンオンさせる一方、キャッシュレジスタ23をディスエーブルさせる。これにより、YAパッドに入力されるデータは、キャッシュレジスタ23を経由することなくNMOSTランジスタN7を介して直接ビットラインに伝送される。そして、キャッシュプログラム動作の際にはキャッシ

50

レジスタ23を用いてプログラムを行う。したがって、本発明の好適な実施例に係るデュアルレジスタを有するページバッファ制御方法は、プログラム動作時間を減少させることができる。

【0023】

前述した本発明の技術的思想は、好適な実施例で具体的に述べられたが、これらの実施例は本発明を説明するためのもので、制限するためのものではないことに注意すべきである。また、本発明は、当該技術分野で通常の知識を有する者であれば、本発明の技術的思想の範囲から逸脱することなく様々な実施が可能であることを理解できよう。

【図面の簡単な説明】

【0024】

【図1】本発明の好適な実施例に係るデュアルレジスタを有するページバッファの制御回路を説明するために示す図である。

【図2】図1に示したページバッファの詳細回路図である。

【図3】図1に示した制御回路の詳細回路図である。

【図4】一般的なページバッファの動作特性を説明するために示す詳細回路図である。

【符号の説明】

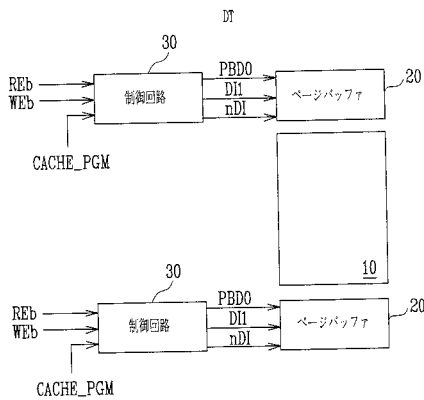
【0025】

- 10 メモリセルアレイ
- 20 ページバッファ
- 21 ビットライン選択部
- 22 メインレジスタ
- 23 キャッシュレジスタ
- 221、231 ラッチ部
- 30 制御回路

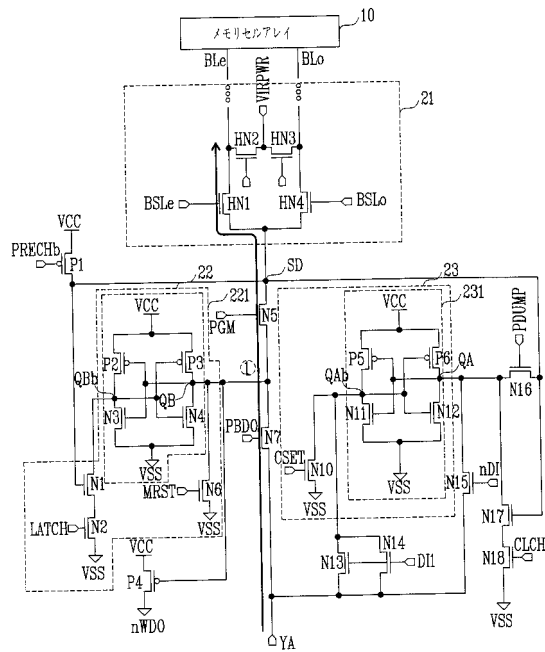
10

20

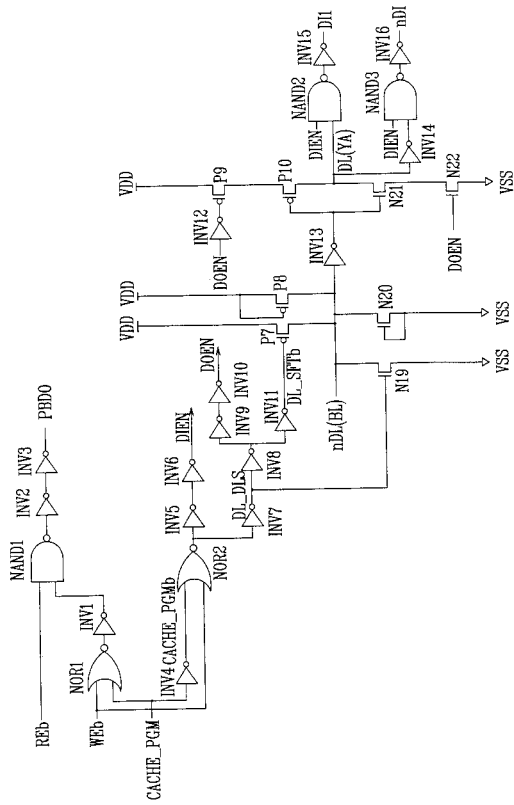
【図1】



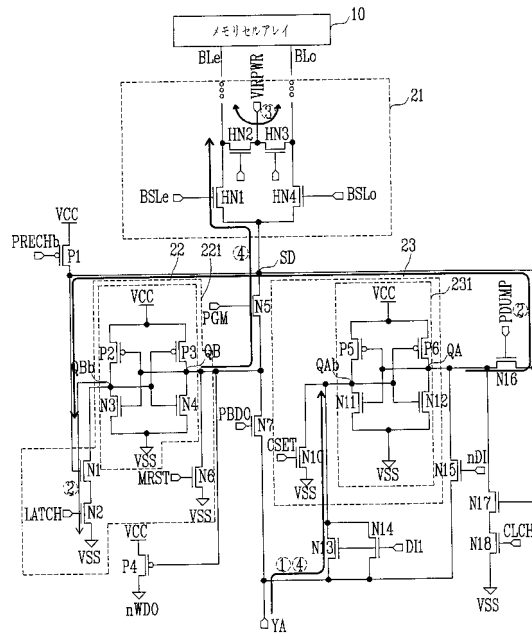
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 金 義錫

大韓民国京畿道龍仁市器興邑上葛里481 クムホワマウル ジュゴンアパート303-1703

審査官 高野 芳徳

(56)参考文献 特開2005-310343(JP,A)

特開2003-141882(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00