



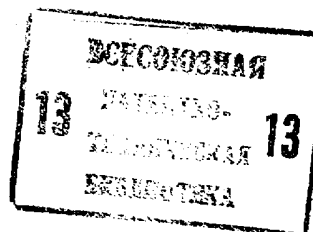
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1170613** **A**

(51) 4 И 03 М 1/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3551266/24-21

(22) 11.02.83

(46) 30.07.85. Бюл. № 28

(72) Г.Ф.Дудкин и С.С.Караваев

(71) Московский ордена Трудового
Красного Знамени инженерно-физичес-
кий институт

(53) 621.317.7(088.8)

(56) 1. Патент США № 3611350,
кл. 340-347, 1971.

2. Методы и средства точных дис-
танционных измерений параметров
быстропротекающих процессов. Сб. ста-
тей. М., Атомиздат, 1977, с. 172-182
(прототип).

(54)(57) ЦИФРОВОЙ РЕГИСТРАТОР ДЛИ-
ТЕЛЬНЫХ СИГНАЛОВ, содержащий анало-
го-цифровой преобразователь, логичес-
кий блок, первый и второй запомина-
ющие узлы, блок управления, времяза-
дающий блок и блок формирования зна-
ка, вход которого соединен с первым
входом блока управления и входной
шиной регистратора, а выход - с пер-
выми входами первого и второго запо-
минающих узлов, первый выход аналого-
цифрового преобразователя соединен с
первым входом логического блока,
первый выход которого подключен к
второму входу первого запоминающего
узла; второй выход - к второму входу
блока управления, а третий выход -
к второму входу второго запоминающе-
го узла, первый выход блока управ-
ления соединен с третьим входом пер-
вого запоминающего узла, второй вы-
ход блока управления подключен к
третьему входу второго запоминающе-

го узла и первому входу времязадаю-
щего блока, первый выход которого
соединен с четвертым входом второго
запоминающего узла, второй выход
времязадающего блока подключен к
третьему входу блока управления,
отличающийся тем, что, с
целью повышения быстродействия, в
него введены генератор, дополнитель-
ный запоминающий узел и балансный
модулятор, первый вход которого сое-
динен с входной шиной регистратора,
второй вход подключен к второму вхо-
ду времязадающего блока, к первому
выходу генератора и к первому входу
аналого-цифрового преобразователя,
второй вход которого соединен с вы-
ходом балансного модулятора, а вто-
рой выход генератора подключен к
четвертому входу первого запоминаю-
щего узла и к третьему входу анало-
го-цифрового преобразователя, второй
выход которого соединен с вторым вхо-
дом логического блока, первый вход
дополнительного запоминающего узла
подключен к первому входу первого
запоминающего узла, четвертый выход
логического блока соединен с вторым
входом дополнительного запоминающего
узла, третий вход которого подключен
к третьему входу первого запоминающе-
го узла и пятому входу второго запо-
минающего узла, четвертый вход допол-
нительного запоминающего узла соеди-
нен с первым выходом генератора,
выход второго запоминающего узла
соединен с четвертым входом блока уп-
равления.

СССР **SU** (11) **1170613** **A**

Изобретение относится к измерительной технике и может быть использовано при регистрации формы однократных длительных импульсных сигналов, имеющих одну или несколько быстрых фаз, причем эффективность его применения возрастает при увеличении отношения длительности сигнала к длительности быстрых фаз.

Известен цифровой регистратор, в котором аналоговый сигнал подвергается дискретизации и квантованию, а затем цифровые данные записываются в запоминающее устройство [1].

Однако известный регистратор не позволяет измерять одновременно быстро протекающие и медленно протекающие процессы.

Наиболее близким к предлагаемому является цифровой регистратор однократных импульсных сигналов, содержащий блок выделения модуля, блок формирования знака, аналого-цифровой преобразователь (АЦП), логический блок, быстродействующий запоминающий узел (БЗУ), запоминающий узел (ЗУ), блок управления (БУ) и времязадающий блок, причем вход блока выделения модуля является входной шиной регистратора, которая соединена с первым входом БУ и входом блока формирования знака, выход которого соединен с первыми входами БЗУ и ЗУ, первый выход АЦП соединен с первым входом логического блока, первый выход которого соединен с вторым входом БЗУ, второй выход - с вторым входом БУ, а третий выход логического блока подключен к второму входу ЗУ, первый выход БУ соединен с третьим входом БЗУ, второй выход БУ подключен к третьему входу ЗУ и первому входу времязадающего блока, первый и второй выходы которого соединены соответственно с четвертым входом ЗУ и третьим входом БУ [2].

Цифровой регистратор предназначен для регистрации формы однократных импульсных длительных сигналов. Однако при регистрации быстрых фаз сигнала быстродействие данного регистратора ограничено быстродействием аналого-цифрового преобразователя, логического и быстродействующего запоминающего устройств. Увеличить быстродействие можно либо используя более быстродействующую элементную базу в указанных блоках, либо разра-

батывая новые схемы, позволяющие снизить требования к быстродействию блоков, ограничивающих быстродействие всего устройства в целом.

Целью изобретения является повышение быстродействия.

Поставленная цель достигается тем, что в цифровой регистратор, состоящий из аналого-цифрового преобразователя, логического блока, первого и второго запоминающих узлов, блока управления, времязадающего блока и блока формирования знака, вход которого соединен с первым входом блока управления и входной шиной регистратора, а выход блока формирования знака подключен к первым входам первого и второго запоминающих узлов, первый выход аналого-цифрового преобразователя соединен с первым входом логического блока, первый выход которого подключен к второму входу первого запоминающего узла, второй выход логического блока соединен с вторым входом блока управления, а третий выход логического блока - с вторым входом второго запоминающего узла, первый выход блока управления соединен с третьим входом первого запоминающего узла, второй выход блока управления подключен к третьему входу второго запоминающего узла и первому входу времязадающего блока, первый выход которого соединен с четвертым входом второго запоминающего узла, второй выход времязадающего блока подключен к третьему входу блока управления, введены генератор, дополнительный запоминающий узел и балансный модулятор, первый вход которого соединен с входной шиной регистратора, второй вход балансного модулятора подключен к второму входу времязадающего блока, к первому выходу генератора и к первому входу аналого-цифрового преобразователя, второй вход которого соединен с выходом балансного модулятора, а второй выход генератора подключен к четвертому входу первого запоминающего узла и к третьему входу аналого-цифрового преобразователя, второй выход которого соединен с вторым входом логического блока, первый вход дополнительного запоминающего узла подключен к первому входу первого запоминающего узла, четвертый выход логического блока соединен с вторым

входом дополнительного запоминающего узла, третий вход которого подключен к третьему входу первого и пятому входу второго запоминающего узла, четвертый вход дополнительного запоминающего узла соединен с первым выходом генератора, выход второго запоминающего узла соединен с четвертым входом блока управления.

На фиг.1 приведена структурная схема регистратора; на фиг.2 - структурная схема логического блока; на фиг.3 - принципиальная схема дифференцирующего узла; на фиг.4 - функциональная схема блока управления; на фиг.5 - функциональная схема времязадающего блока; на фиг.6 - временные диаграммы работы регистратора.

Цифровой регистратор (фиг.1) состоит из блока 1 формирования знака, вход которого соединен с первыми входами блока 2 управления (БУ) и балансного модулятора 3, выход которого соединен с вторым входом аналого-цифрового преобразователя (АЦП) 4, первый и второй выходы которого подключены соответственно к первому и второму входам логического блока 5, выходы которого соединены с входами первого быстродействующего запоминающего узла (БЗУ) 6, дополнительного быстродействующего запоминающего узла (БЗУ) 7, запоминающего узла (ЗУ) 8, времязадающего блока 9, соединенного с генератором 10, выходы которого подключены к входам дополнительного ЗУ 6, БЗУ 7, АЦП 4, балансного модулятора 3.

Логический блок (фиг.2) содержит кодирующие блоки 11 и 12, выходы которых подключены к цифровым дифференцирующим узлам 13 и 14 и элементам И 15-18, входы элементов ИЛИ 19, 20 и 21 подключены к выходам элементов И 15-18 и цифрового дифференцирующего узла 14.

Цифровой дифференцирующий узел (фиг.3) содержит элементы И 22 и 23, выходы которых соединены с R и S входами триггера 24 соответственно.

Блок управления (фиг.4) содержит последовательно соединенные дифференцирующий узел 25, триггеры Шмитта 26 и 27, элемент ИЛИ 28, элемент И 29, укорачивающий узел 30, одновибратор 31, а также счетчик 32, входы которого соединены с элементом И 33, последовательно соединенные элементы И 34,

ИЛИ 35, И 36, элемент ИЛИ 37, через триггер 38 соединен с элементом И 39.

Времязадающий блок 9 (фиг.5) содержит одновибратор 40, триггер 41 и умножитель 42, входы которых соединены с первым и вторым входами времязадающего блока 9 соответственно, элемент И 43 через счетчик 44 подключен к буферному регистру 45 и элементу И 46.

Регистратор работает следующим образом.

При записи сигнала регистратор работает в режиме регистрации быстрых фаз сигнала (режим I) и режиме регистрации остальных фаз сигнала (режим II). Режим работы регистратора автоматически определяется БУ 2.

После установки БУ 2, ЗУ 8 и времязадающего блока 9 в исходное состояние (по шинам "Сброс") регистратор готов к работе.

Входной сигнал (фиг.6а) поступает на первый вход балансного модулятора 3, на второй вход которого поступает сигнал (фиг.6б) с первого (прямого) выхода генератора 10. Балансный модулятор 3 преобразует эти сигналы в балансно-модулированный сигнал (БМ), который поступает на первый вход АЦП 4. На первый и третий входы последнего соответственно подаются сигналы с первого (прямого) и второго (инверсного) выходов генератора 10. АЦП 4 представляет собой набор пороговых устройств, разделенный на две группы. Считывание данных (стробирование) с выхода первой группы, имеющей положительные величины порогов срабатывания, обеспечивается сигналом с первого (прямого) выхода генератора 10, а с выходов второй группы, имеющей отрицательные значения величин порогов срабатывания - с инверсного выхода. Например, обычный пятиразрядный АЦП с равномерной шкалой для регистрации сигналов амплитудой до 3 В имеет тридцать одно пороговое устройство с пороговыми уровнями 0,1; 0,2; 0,3-2,9; 3,0; 3,1 В. В нашем случае в первую группу включаем пороговые устройства с нечетными номерами, имеющие положительные уровни срабатывания 0,1; 0,3; 0,5-2,9; 3,1 В, а во вторую - устройства с четными номерами, имеющие отрицательные величины уровней срабатывания -0,2; -0,4 -2,8; -3,0 В.

Поступающий с выхода балансного модулятора 3 сигнал подвергается АЦП 4. При этом положительные участки БМ-сигнала подвергаются преобразованию в моменты времени $t_1, t_3, t_5, \dots$, определяемые сигналом с прямого выхода генератора 10, а отрицательные — второй группой пороговых устройств в моменты времени $t_2, t_4, t_6, \dots$ (фиг.68), определяемые сигналом с инверсного выхода генератора 10. Таким образом, дважды за период следования сигнала с выхода генератора 10 имеем отсчеты на первом и втором выходах АЦП 4, причем на втором его выходе появляются данные с выходов первой группы пороговых устройств. Данные в унитарном коде с первого и второго выходов АЦП 4 поступают на первый и второй входы логического блока 5 соответственно.

Логический блок 5 может быть реализован различными способами. Один из возможных вариантов представлен на фиг.2. Данные, поступающие на первый и второй его входы, кодирующими блоками 11 и 12 преобразуются в двоичный код (или какой-нибудь ему эквивалентный, например код Грея). При этом на первый выход логического блока 5 поступают цифровые данные, соответствующие отрицательным участкам БМ-сигнала, а на третий — положительным. Одновременно цифровые данные с выходов кодирующих блоков 11 и 12 подаются соответственно на входы первого и второго цифровых дифференцирующих блоков 13 и 14, одна из возможных реализаций которого (для одного разряда) представлена на фиг.3. При изменении кодовой комбинации на выходах кодирующего блока 11 (или 12), на выходах цифрового дифференцирующего узла 13 (14) появляется короткий импульс, который стробирует элементы 15 и 16 (или 17, 18), в результате чего на четвертом выходе логического блока 5 появляется кодовая комбинация, соответствующая номеру последнего сработавшего порогового устройства (при этом данные с выхода кодирующего блока 11 снабжены признаком "0", а данные с выхода кодирующего блока 12 — "1"). При срабатывании цифрового дифференцирующего блока 13 или 14 короткий импульс появляется на втором выходе логического блока 5.

Работой БЗУ 6, дополнительного БЗУ 7, ЗУ 8 и времязадающего блока 9 управляет БУ 2 (фиг.4), который функционирует следующим образом.

Входной сигнал, поступающий на первый вход БУ 2, дифференцируется в дифференцирующем узле 25 и поступает на входы триггеров 26 и 27 Шмитта, первый из которых срабатывает на положительные сигналы, а второй — на отрицательные. Объединенные через элемент ИЛИ 28 выходы триггеров 26 и 27 Шмитта подсоединяются через элемент И 29 к входу укорачивающего узла 30, в результате чего при поступлении быстрых фаз сигнала на его выходе появляется короткий импульс, который через одновибратор 31 и элемент И 39 поступает на первый выход БУ 2.

Импульсы прямого выхода одновибратора 31 поступают на вход счетчика 32, количество разрядов которого согласовано с максимальным числом быстрых фаз, которые можно зарегистрировать с помощью быстродействующих запоминающих устройств. При заполнении счетчика 32 через элемент 33 И происходит блокировка элемента 29 И и регистрация последующих быстрых фаз сигнала не происходит.

При изменении кодовой комбинации на выходах кодирующих блоков 11 и 12 (фиг.2) на второй вход БУ 2 с второго выхода логического блока 5 подается импульс, поступающий на вход элемента 34 И, который управляется сигналом с инверсного выхода одновибратора 31. Сигнал с выхода укорачивающего узла 30 или элемента 34 И через элемент 36 И поступает на второй выход БУ 2. Сигналы, поступающие с выхода ЗУ 8 и второго выхода времязадающего блока 9 соответственно на четвертый и третий входы БУ 2, через элемент 37 ИЛИ и триггер 38 управляют работой элементов 36 и 39 И.

Таким образом, сигналы на втором выходе БУ 2 появляются либо при срабатывании какого-либо из пороговых устройств в АЦП 4, либо при появлении быстрых фаз сигнала, а сигнал на первом выходе БУ 2 появляется при поступлении быстрых фаз сигнала.

Определение моментов времени поступления быстрых фаз сигнала и моментов времени срабатывания порого-

вых устройств при регистрации медленных фаз сигнала производится времязадающим блоком 9 (фиг.5).

Тактовые импульсы с первого выхода генератора 10 через второй вход времязадающего блока 9, умножитель 42 частоты, используемый для увеличения точности измерения моментов времени, и элемент 43 И поступают на вход счетчика 44. Запуск времязадающего блока 9 осуществляется сигналом, поступающим с второго выхода БУ 2 через первый вход времязадающего блока 9 на триггер 41. При этом импульсы с генератора 10 начинают поступать на счетчик 44 при первом срабатывании одного из цифровых дифференцирующих устройств 13 и 14, логического блока 5 (при начале регистрации сигнала с медленной фазы), либо сигнала с дифференцирующего узла 25 (при начале регистрации сигнала с быстрой фазы). Кодовые комбинации моментов времени со счетчика 44 через буферный регистр 45, управляемый одновибратором 40, поступают на первый выход времязадающего блока 9. При заполнении счетчика на выходе элемента 46 И появляется импульс, который через второй выход времязадающего блока 9 поступает на третий вход БУ 2 и останавливает процесс регистрации.

Рассмотрим работу регистратора в режиме I (регистрация быстрых фаз сигнала). При поступлении на первый вход БУ 2 быстрой фазы входного сигнала срабатывает один из триггеров Шмитта (26 или 27) и сигналом с его выхода через элементы 29 И, 28 ИЛИ и укорачивающий узел 30 запускается одновибратор 31. Импульс с одновибратора 31 через элемент 39 И и первый выход БУ 2 поступает на третьи входы быстродействующих запоминающих устройств БЗУ 6 и дополнительного БЗУ 7 (в простейшем случае набор сдвигающих регистров) и разрешает запись в них информации, поступающей на их вторые (информационные) входы соответственно с первого и четвертого выходов логического блока 5, а также информации о знаке сигнала, поступающей с выхода блока 1 формирования знака на первые входы обоих быстродействующих запоминающих устройств. Синхронизация записи данных в БЗУ 6 осуществляется по четвертому его входу сиг-

налом, поступающим с второго (инверсного) выхода генератора 10, а синхронизация записи данных в дополнительное БЗУ 7 - сигналом с первого (прямого) выхода генератора 10. Одновременно сигнал с первого выхода БУ 2, поступая на пятый (информационный) вход ЗУ 8, обеспечивает запись в него признака быстрой фазы. В то время сигнал с инверсного выхода одновибратора 31 БУ 2 закрывает элемент 34 И, блокируя прохождение импульсов с второго выхода логического блока 5 на второй выход БУ 2, а импульс с выхода укорачивающего узла 30 через элементы 35 ИЛИ, 36 И, поступая с второго выхода БУ 2 на третий вход ЗУ 8, разрешает запись данных, поступающих с первого выхода времязадающего блока 9 на четвертый вход ЗУ 8. Импульсом, поступающим на первый вход времязадающего блока 9, осуществляется считывание в буферный регистр 45 времязадающего блока 9 кодовой комбинации, соответствующей моменту поступления быстрой фазы сигнала.

Регистрация медленных фаз (режим "II") сигнала производится следующим образом. При изменении кодовой комбинации на выходе кодирующего блока (11 или 12) срабатывает цифровой дифференцирующий блок (13 или 14) и на третьем и втором выходах логического блока 5 появляются соответственно кодовая комбинация (она соответствует номеру последнего сработавшего порогового устройства) и управляющий импульс, поступающий на второй вход БУ 2. Далее этот импульс через последовательно включенные элементы И 34, ИЛИ 35, И 36 (фиг.4) поступает с второго выхода БУ 2 на первый вход времязадающего блока 9 и третий вход ЗУ 8. Указанный импульс обеспечивает запись в ЗУ 8 кодовых комбинаций, поступающих соответственно на его второй и четвертый входы с третьего выхода логического блока 5 и с первого выхода времязадающего блока 9.

Таким образом, в ЗУ 8 при срабатывании какого-либо порогового устройства записываются данные о номере сработавшего порогового устройства и моменте времени, в который это срабатывание произошло.

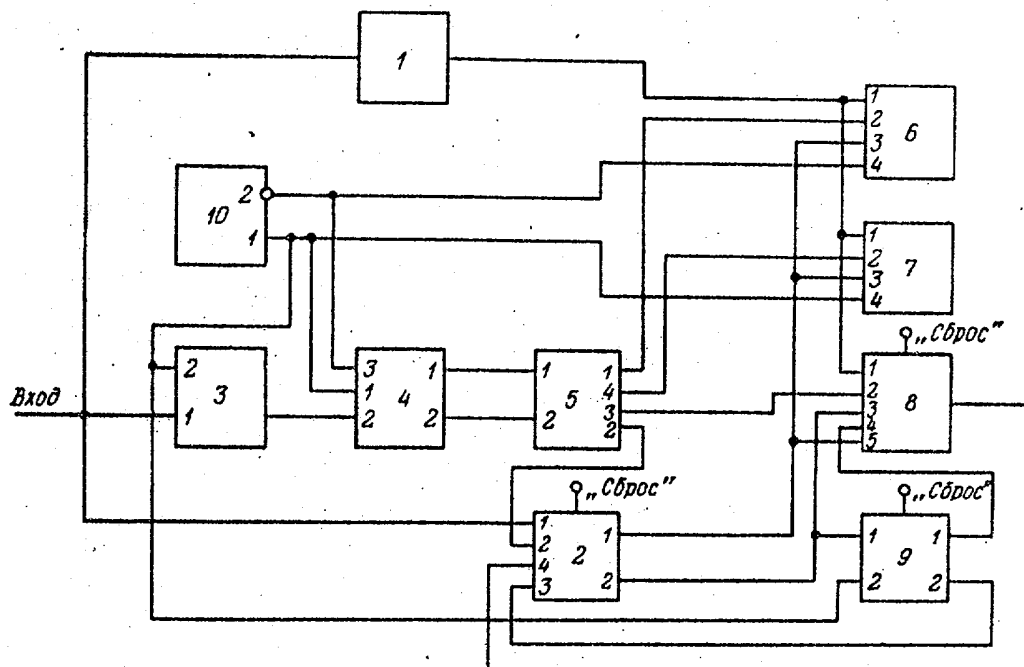
Процесс регистрации прекращается либо при поступлении на четвертый вход БУ 2 сигнала с выхода ЗУ 8 о переполнении, либо при поступлении на третий вход БУ 2 сигнала с второго выхода времязадающего блока 9 о том, что регистрация велась больше чем время T .

Таким образом, при регистрации быстрых фаз сигнала происходит запись в БЗУ 6 и дополнительное БЗУ 7 значений сигнала дважды за период следования сигнала с выхода генератора 10, а также запись в ЗУ 8 момента начала быстрой фазы, а при регистрации медленных фаз сигнала производится запись в ЗУ 8 значений моментов вре-

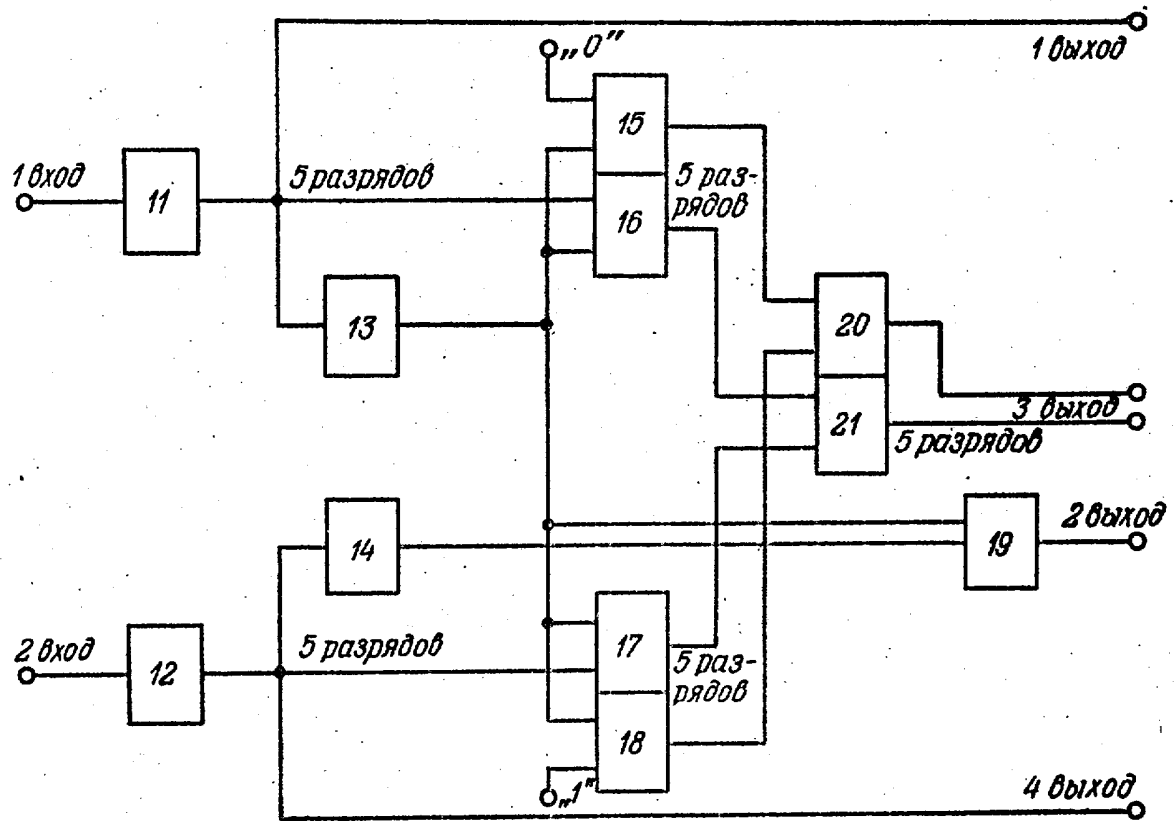
мени, в которые произошло срабатывание порогового устройства, и номер последнего сработавшего в этот момент времени порогового устройства.

Таким образом, введение генератора, балансного модулятора и второго быстродействующего запоминающего устройства обеспечивает увеличение быстродействия регистратора по сравнению с прототипом в два раза без увеличения требований к элементам аналого-цифрового преобразователя, логического и быстродействующего запоминающего устройств.

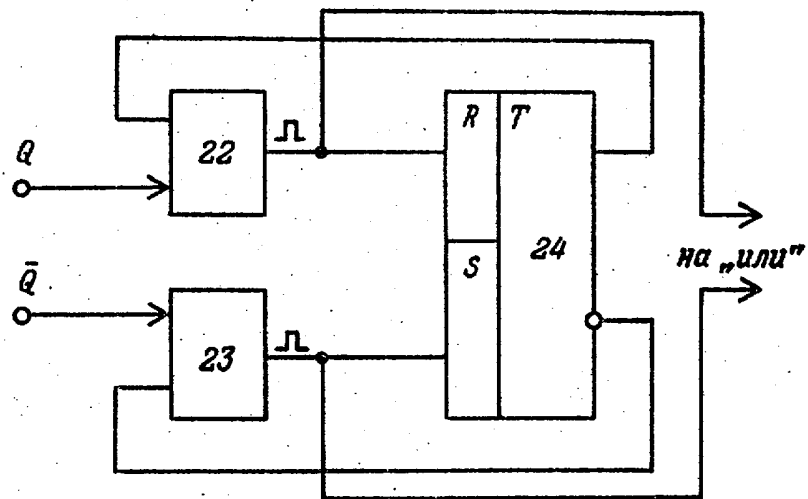
Предлагаемое изобретение может заменить устройства записи и запоминающие осциллографы.



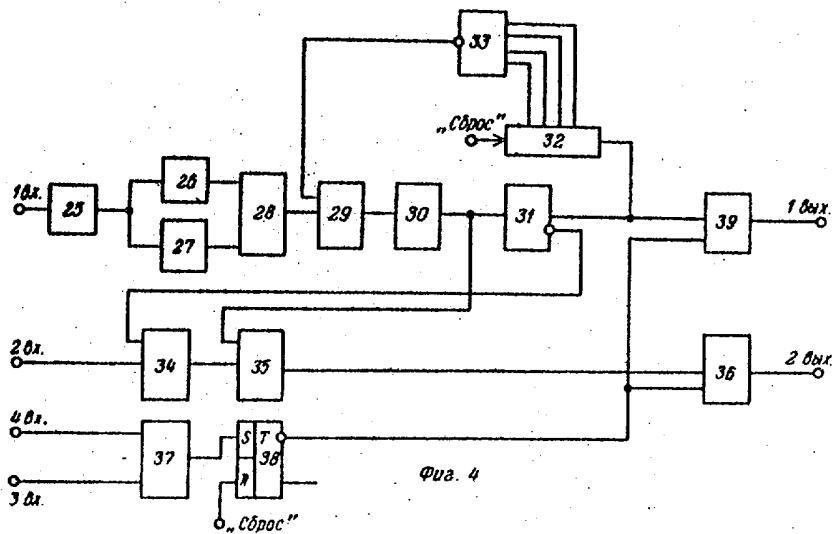
Фиг. 1



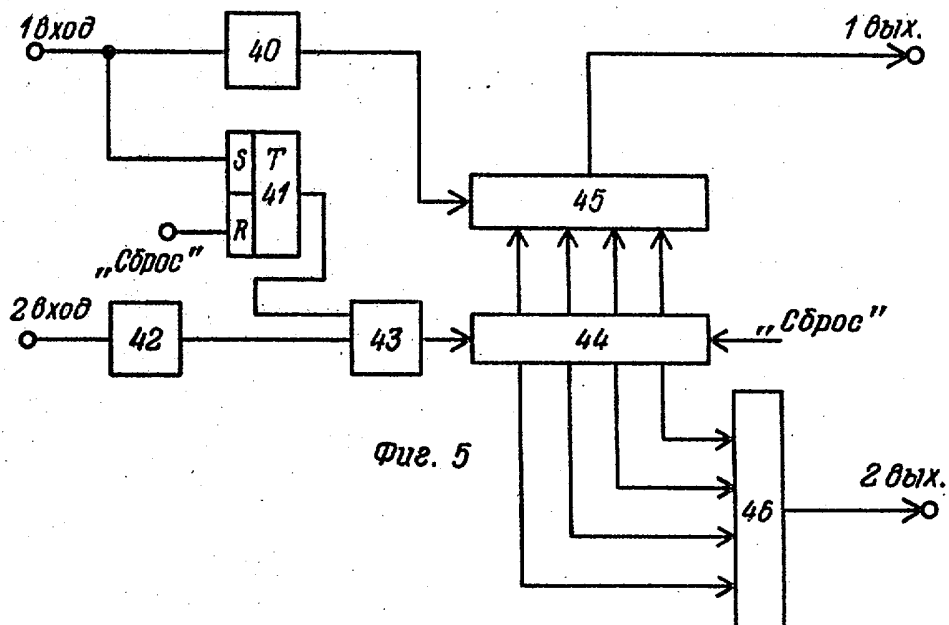
Фиг. 2



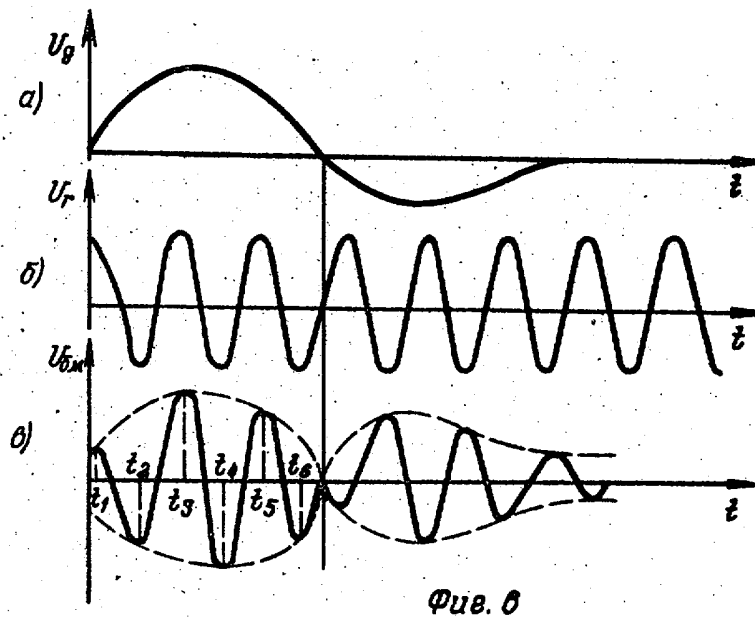
Фиг. 3



Фиг. 4



Фиг. 5



Составитель Н.Каплин

Редактор Т.Митейко Техред Т.Фанта

Корректор В.Синицкая

Заказ 4715/54

Тираж 872

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ИПИ "Патент", г.Ужгород, ул.Проектная, 4