

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4895102号
(P4895102)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl.

F I

G09F 9/30 (2006.01)

G09F 9/30 338

G02F 1/1368 (2006.01)

G02F 1/1368

H01L 29/786 (2006.01)

H01L 29/78 619B

H01L 51/50 (2006.01)

H01L 29/78 617K

H05B 33/14 A

請求項の数 7 (全 24 頁)

(21) 出願番号 特願2006-161629 (P2006-161629)
 (22) 出願日 平成18年6月9日(2006.6.9)
 (65) 公開番号 特開2006-343755 (P2006-343755A)
 (43) 公開日 平成18年12月21日(2006.12.21)
 審査請求日 平成21年6月8日(2009.6.8)
 (31) 優先権主張番号 10-2005-0049341
 (32) 優先日 平成17年6月9日(2005.6.9)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2005-0083188
 (32) 優先日 平成17年9月7日(2005.9.7)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2005-0087669
 (32) 優先日 平成17年9月21日(2005.9.21)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 金 景 旭
 大韓民国 ソウル特別市 江南区 驛三1
 洞 621-23番地

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ表示板

(57) 【特許請求の範囲】

【請求項1】

絶縁基板、

前記絶縁基板上に形成されていて、ゲート電極を含むゲート線、

前記ゲート線と絶縁されて交差する、ソース電極を含むデータ線、

前記ソース電極と、前記ゲート線上で対向しているドレイン電極、

前記データ線下に形成されていて、前記ドレイン電極下まで延長された突出部を含む半導体を有し、

前記半導体の前記データ線から離れて前記ドレイン電極側に位置する部分は、前記ゲート電極を含むゲート線が占有する領域の内部に位置し、

前記ドレイン電極は、前記半導体が占有する領域の内部に位置することを特徴とする薄膜トランジスタ表示板。

【請求項2】

前記半導体の突出部は、前記ゲート電極を含むゲート線が占有する領域の内部に位置することを特徴とする請求項1に記載の薄膜トランジスタ表示板。

【請求項3】

前記ドレイン電極と連結されている画素電極をさらに含むことを特徴とする請求項1に記載の薄膜トランジスタ表示板。

【請求項4】

絶縁基板、

前記絶縁基板上に形成されていて、ゲート電極を含むゲート線、
前記ゲート線上に形成されているゲート絶縁膜、
前記ゲート絶縁膜上に形成されていて、突出部を含む線状半導体、
前記線状半導体上に形成されて前記ゲート線と交差する、ソース電極を含むデータ線、
前記線状半導体の突出部上に形成されているドレイン電極、
前記データ線及びドレイン電極上に形成されていて、前記ドレイン電極を露出する接触孔が形成されている保護膜、
前記保護膜上に形成されていて、前記接触孔を通じて前記ドレイン電極と連結されている画素電極を有し、
前記線状半導体の前記データ線から離れて前記ドレイン電極側に位置する部分は、前記ゲート電極を含むゲート線が占有する領域の内部に位置し、
前記ドレイン電極は、前記半導体が占有する領域の内部に位置することを特徴とする薄膜トランジスタ表示板。

10

【請求項 5】

前記半導体の突出部は、前記ゲート電極を含むゲート線が占有する領域の内部に位置することを特徴とする請求項 4 に記載の薄膜トランジスタ表示板。

【請求項 6】

前記画素電極は、前記ドレイン電極に向かってのびた枝部を含み、前記枝部は、前記ドレイン電極と連結されていることを特徴とする請求項 4 に記載の薄膜トランジスタ表示板。

20

【請求項 7】

前記接触孔は、前記ドレイン電極及び前記ドレイン電極周辺の前記半導体を露出することを特徴とする請求項 4 に記載の薄膜トランジスタ表示板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ表示板に係り、特に液晶表示装置や有機 EL (electroluminescence) 表示装置などに用いられる薄膜トランジスタ表示板に関するものである。

【背景技術】

30

【0002】

薄膜トランジスタ表示板は、液晶表示装置や有機 EL 表示装置などで、各画素を独立的に駆動するための回路基板として使用される。

薄膜トランジスタ表示板は、通常、絶縁基板と、その上に形成された、走査信号を伝達するゲート線及び画像信号を伝達するデータ線と、ゲート線及びデータ線と連結されている薄膜トランジスタと、薄膜トランジスタと連結されている画素電極と、ゲート線を覆って絶縁するゲート絶縁膜と、薄膜トランジスタ及びデータ線を覆って絶縁する保護膜などを含んで構成される。

薄膜トランジスタは、ゲート線の一部であるゲート電極、チャンネルを形成する半導体、データ線の一部であるソース電極及びドレイン電極、及びゲート絶縁膜及び保護膜などからなる。

40

薄膜トランジスタは、ゲート線を通じて伝達される走査信号によって、データ線を通じて伝達される画像信号を画素電極に伝達または遮断するスイッチング素子である。

【0003】

このような薄膜トランジスタ表示板を製造するためには、複数回のフォトリソ加工工程が必要である。

ところが、フォトリソ加工工程の回数が多いほど、製造工程が複雑で、製造費用が高い。

したがって、薄膜トランジスタ表示板の製造に必要なフォトリソ加工工程の回数を減少させるための努力が行われている。

50

一方、薄膜トランジスタはターンオフ (o f f) された時に電流 (漏洩電流) ができるだけ少ないのが好ましい。

しかし、素子そのものの特性や外部の要因によって漏洩電流が発生し、特に、本発明が対象とする液晶表示装置や有機 E L 表示装置の場合のように、薄膜トランジスタを構成する半導体層がバックライト光などの光を受ける場合には、光電子の発生によって漏洩電流が大きく増加し、回路の誤動作、即ち、表示装置としての誤表示に至る場合がある。

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

上記のような問題に対して本発明の目的は、フォトエッチング工程の回数を増加することなく、バックライト光に起因する漏洩電流を抑制できる構造を備えた薄膜トランジスタ表示板を提供することにある。

【課題を解決するための手段】

【 0 0 0 5 】

上記の課題を解決するためになされた本発明の請求項 1 による、薄膜トランジスタ表示板は、絶縁基板、前記絶縁基板上に形成されていて、ゲート電極を含むゲート線、前記ゲート線と絶縁されて交差する、ソース電極を含むデータ線、前記ソース電極と前記ゲート電極上で対向しているドレイン電極、前記データ線下に形成されていて、前記ドレイン電極下まで延長された突出部を含む半導体を有し、前記半導体の前記データ線から離れて前記ドレイン電極側に位置する部分は、前記ゲート電極を含むゲート線が占有する領域の内部に位置し、前記ドレイン電極は、前記半導体が占有する領域の内部に位置することを特徴とする。

【 0 0 0 6 】

本発明によれば、前記ドレイン電極は、前記半導体が占有する領域の内部に位置する。

【 0 0 0 7 】

本発明の請求項 3 によれば、前記半導体の突出部は、前記ゲート電極を含むゲート線が占有する領域の内部に位置する。

【 0 0 0 8 】

本発明によれば、前記画素電極は、前記ドレイン電極と連結されている画素電極をさらに含む。

【 0 0 1 3 】

上記の課題を解決するためになされた本発明の請求項 5 による、薄膜トランジスタ表示板は、絶縁基板、前記絶縁基板上に形成されていて、ゲート電極を含むゲート線、前記ゲート線上に形成されているゲート絶縁膜、前記ゲート絶縁膜上に形成されていて、突出部を含む線状半導体、前記線状半導体上に形成されて前記ゲート線と交差して、ソース電極を含むデータ線、前記線状半導体の突出部上に形成されているドレイン電極、前記データ線及びドレイン電極上に形成されていて、前記ドレイン電極を露出する接触孔が形成されている保護膜、前記保護膜上に形成されていて、前記接触孔を通じて前記ドレイン電極と連結されている画素電極を有し、前記線状半導体の前記データ線から離れて前記ドレイン電極側に位置する部分は、前記ゲート電極を含むゲート線が占有する領域の内部に位置し、前記ドレイン電極は、前記半導体が占有する領域の内部に位置することを特徴とする。

【 0 0 1 4 】

本発明によれば、前記ドレイン電極は、前記半導体が占有する領域の内部に位置する。

【 0 0 1 5 】

本発明によれば、前記半導体の突出部は、前記ゲート電極を含むゲート線が占有する領域の内部に位置する。

【 0 0 1 6 】

本発明によれば、前記画素電極は、前記ドレイン電極に向かったのびた枝部を含み、前記枝部は、前記ドレイン電極と連結されている。

【 0 0 1 8 】

10

20

30

40

50

本発明によれば、前記接触孔は、前記ドレイン電極及び前記ドレイン電極周辺の前記半導体を露出する。

【発明の効果】

【0023】

本発明によれば、薄膜トランジスタを構成する半導体をゲート金属が覆っているため、バックライト光が半導体を照射することによって発生する漏洩電流を防止することができる。

【0024】

また、画素電極及びドレイン電極を連結するための接触孔を半導体上に広く形成できるので、画素電極及びドレイン電極の連結を強化することができる。

10

【発明を実施するための最良の形態】

【0025】

添付した図面を参照して、本発明の実施例について、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。

しかし、本発明は多様な相違した形態に実現でき、ここで説明する実施例に限定されない。

【0026】

図面では、各層及び領域を明確に表現するために、厚さを拡大して示した。

明細書全体を通して類似した部分については、同一の図面符号を付けた。

層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直接の上”にある場合だけでなく、その中間に他の部分がある場合も意味する。

20

反対に、ある部分が他の部分の“直接の上”にあるとする時、これはその中間に他の部分がない場合を意味する。

【実施例1】

【0027】

本発明の第1の実施例による液晶表示装置用薄膜トランジスタ表示板について、詳細に説明する。

図1は本発明の第1の実施例による薄膜トランジスタ表示板の配置図であり、図2及び図3は各々図1のII-II線及びIII-III線による断面図である。

【0028】

30

図1乃至図3に示すように、本実施例による液晶表示装置用薄膜トランジスタ表示板の層状構造は、絶縁基板110上に、複数のゲート電極124、及び外部装置との接続のために幅が拡張されている拡張部129を含む複数のゲート線121が形成されており、ゲート線121と電気的に分離されている複数の維持電極線131が形成されていて、ゲート線121及び維持電極線131は、図1において主に横方向に、互いに平行にのびている。

【0029】

ゲート線121及び維持電極線131は、各々、物理的性質が異なる二つの膜、即ち下部膜121p（以下、124p、129pを含む）、131p及びその上の上部膜121q（以下、124q、129qを含む）、131qを含む。

40

ゲート線の上部膜121qは、ゲート信号の遅延や電圧の降下を抑制できるように、比抵抗の低い金属、例えばアルミニウム（Al）やアルミニウム合金などのアルミニウム系金属からなる。

これとは異なって、下部膜121pは、他の物質、特にITO及びIZOとの物理的、化学的、電気的接触特性が優れている物質、例えばモリブデン（Mo）、モリブデン合金、クロム（Cr）、タンタル（Ta）、チタニウム（Ti）などからなる。

下部膜121p及び上部膜121qの組合わせの例としては、クロムの下部膜及びアルミニウム-ネオジム（Nd）合金の上部膜がある。

【0030】

維持電極線131も、ゲート線121と同様に、下部膜131p及び上部膜131qを

50

含み、維持電極線 131 は、共通電圧などの予め決められた電圧の印加を外部から受ける。

画素電極 190 及びゲート線 121 の重畳によって発生する保持容量が十分である場合には、維持電極線 131 は省略することができる。

この場合には、後述するストレージキャパシタ用導電体 177 も省略することができる。

【0031】

ゲート線 121 及び維持電極線 131 の下部膜 121p、131p 及び上部膜 121q、131q の側面は各々傾いていて、その傾斜角は絶縁基板 110 の表面に対して約 30 - 80 度である。

10

【0032】

ゲート線 121 上には、窒化ケイ素などからなるゲート絶縁膜 140 が形成されている。

ゲート絶縁膜 140 は、実際には、ゲート線 121 の直接の上及び維持電極線 131 の直接の上を含む絶縁基板 110 上に全面的に形成されている。

【0033】

ゲート絶縁膜 140 上には、水素化非晶質シリコンなどからなる複数の線状半導体 151 (図示せず) が形成されて、線状半導体 151 は、図 1 において、後述するデータ線 171 の下に重畳して主に縦方向にのびていて、これから分枝形態にのびてゲート電極 124 を覆う複数の突出部 154 を含む。

20

また、維持電極線 131 の一部を覆う島型半導体 157 も形成されている。

【0034】

ここで、線状半導体 151 の突出部 154 は、ゲート電極 124 と重畳して、絶縁基板 110 上の面積のうちでゲート電極 124 を含むゲート線 121 が占有する領域の内側に位置するように形成されている。

即ち、ゲート電極 124 を含むゲート線 121 の輪郭線が囲む領域内に線状半導体 151 の突出部 154 が位置する。

したがって、絶縁基板 110 の下から見れば、線状半導体 151 の突出部 154 はゲート電極 124 及びゲート線 121 に遮られて見えない。

【0035】

30

突出部 154 を含む線状半導体 151 上及び島型半導体 157 上には、シリサイドまたは n 型不純物が高濃度にドーピングされている n + 水素化非晶質シリコンなどの物質からなる、複数の線状抵抗性接触部材 161、及び複数の島型抵抗性接触部材 165、167 が形成されている。

線状抵抗性接触部材 161 は、さらに突出部 163 を含み、突出部 163 及び島型抵抗性接触部材 165 は対をなして線状半導体 151 の突出部 154 上に位置する。

一方、島型半導体 157 上には、島型抵抗性接触部材 167 が形成されている。

【0036】

突出部 154 を含む線状半導体 151、島型半導体 157、突出部 163 を含む線状抵抗性接触部材 161、及び島型抵抗性接触部材 165、167 の側面も傾いていて、傾斜角は 30 ~ 80 度である。

40

【0037】

突出部 163 を含む線状抵抗性接触部材 161、島型抵抗性接触部材 165、167、及びゲート絶縁膜 140 上には、各々複数の、データ線 171、複数のドレイン電極 175、複数のストレージキャパシタ用導電体 177 が形成されている。

【0038】

データ線 171 は、主に縦方向にのびてゲート線 121 と交差して、データ電圧を伝達する。各データ線 171 は、外部装置との接続のために幅が拡張されている拡張部 179 を含む。

データ線 171 のほとんどは表示領域に位置するが、データ線 171 の拡張部 179 は

50

周辺領域に位置する。

【 0 0 3 9 】

各データ線 1 7 1 からドレイン電極 1 7 5 に向かって分枝形態にのびた複数の枝がソース電極 1 7 3 を構成する。

一对のソース電極 1 7 3 及びドレイン電極 1 7 5 は、互いに分離されていて、ゲート電極 1 2 4 に対して互いに反対側に位置する。

【 0 0 4 0 】

ここで、データ線 1 7 1、そのソース電極 1 7 3、ドレイン電極 1 7 5、及びストレージキャパシタ用導電体 1 7 7 は、各々、線状抵抗性接触部材 1 6 1、その突出部 1 6 3、島型抵抗性接触部材 1 6 5、1 6 7 の直接の上面に丁度完全に置かれている。

10

特に、ドレイン電極 1 7 5 は、線状半導体 1 5 1 の突出部 1 5 4 上に重畳して置かれている島型抵抗性接触部材 1 6 5 と実質的に同一の平面形状を有する。

したがって、線状半導体 1 5 1 の突出部 1 5 4 の輪郭線が囲む領域内にドレイン電極 1 7 5 が位置して、絶縁基板 1 1 0 の下から見れば、ドレイン電極 1 7 5 はゲート電極 1 2 4 及びゲート線 1 2 1 に遮られて見えない。

【 0 0 4 1 】

ゲート電極 1 2 4、ソース電極 1 7 3、及びドレイン電極 1 7 5 は、線状半導体 1 5 1 の突出部 1 5 4 と共に薄膜トランジスタを構成し、薄膜トランジスタのチャンネルは、線状半導体 1 5 1 の突出部 1 5 4 のうち、ソース電極 1 7 3 及びドレイン電極 1 7 5 の間の部分に形成される。

20

【 0 0 4 2 】

ストレージキャパシタ用導電体 1 7 7 は、維持電極線 1 3 1 の一部と重畳して、島型半導体 1 5 7 及び島型抵抗性接触部材 1 6 7 上に形成される。

【 0 0 4 3 】

データ線 1 7 1、そのソース電極 1 7 3、ドレイン電極 1 7 5、ストレージキャパシタ用導電体 1 7 7、及びデータ線 1 7 1 の拡張部 1 7 9 は、各々、物理的性質が異なる二つの導電膜、即ち下部膜 1 7 1 p、1 7 3 p、1 7 5 p、1 7 7 p、1 7 9 p、及びその上の上部膜 1 7 1 q、1 7 3 q、1 7 5 q、1 7 7 q、1 7 9 q、を含む。

上部膜 1 7 1 q、1 7 3 q、1 7 5 q、1 7 7 q、1 7 9 q、は、信号の遅延や電圧の降下を抑制することができるように、比抵抗の低い金属、例えばアルミニウム系金属、銀系金属、銅系金属などからなり、下部膜 1 7 1 p、1 7 3 p、1 7 5 p、1 7 7 p、1 7 9 p は、モリブデン、クロム、タンタル、及びチタニウムなどの高融点金属 (r e f r a c t o r y m e t a l)、またはこれらの合金からなるのが好ましい。

30

これらの組み合わせの好ましい例としては、クロムまたはモリブデン (合金) の下部膜及びアルミニウム (合金) の上部膜があり、ドレイン電極 1 7 5 の上部膜 1 7 5 q 及びデータ線 1 7 1 の拡張部 1 7 9 の上部膜 1 7 9 q の一部が除去されて、下部膜 1 7 9 p、1 7 5 p が露出している。

しかし、データ線 1 7 1、ドレイン電極 1 7 5、及びストレージキャパシタ用導電体 1 7 7 は、前記のような多様な物質からなる単一膜により形成することができ、その他にも多様な金属または導電物質から形成することができる。

40

【 0 0 4 4 】

データ線 1 7 1、そのソース電極 1 7 3、ドレイン電極 1 7 5、ストレージキャパシタ用導電体 1 7 7、データ線 1 7 1 の拡張部 1 7 9 の下部膜 1 7 1 p、1 7 3 p、1 7 5 p、1 7 7 p、1 7 9 p、及び上部膜 1 7 1 q、1 7 3 q、1 7 5 q、1 7 7 q、1 7 9 q の側面も、ゲート線 1 2 1 及び維持電極線 1 3 1 と同様に傾いていて、傾斜角は約 3 0 - 8 0 度である。

【 0 0 4 5 】

線状抵抗性接触部材 1 6 1、その突出部 1 6 3、島状抵抗性接触部材 1 6 5、1 6 7 は、各々、その下部に設けた、線状半導体 1 5 1、その突出部 1 5 4、島型半導体 1 5 7、及び、その上部に設けた、データ線 1 7 1、その突出部 1 7 3、ドレイン電極 1 7 5、ス

50

トレージキャパシタ用導電体 177、の間にだけ位置して、接触抵抗を低くする役割を果たす。

線状半導体 151 は、その突出部 154 の、ソース電極 173 及びドレイン電極 175 の間の部分（チャンネル部）をはじめとして、データ線 171、その突出部 173、及びドレイン電極 175 のいずれにも覆われずに露出した部分を含む。

一方、島型半導体 157 は、ストレージキャパシタ用導電体 177 の下部にある抵抗性接触部材 167 の下部に位置する。

【0046】

データ線 171（突出部 173 を含む）、ドレイン電極 175、及びストレージキャパシタ用導電体 177、露出した線状半導体 151（その突出部 154 を含む）の部分、そして、露出したゲート絶縁膜 140 の部分、の直接の上には、平坦化特性が優れていて感光性のある有機物質、プラズマ化学気相蒸着（PECVD；plasma enhanced chemical vapor deposition）法で形成される a-Si：C：O、a-Si：O：F などの、誘電定数が 4.0 以下である低誘電率絶縁物質、または無機物質である窒化ケイ素などからなる保護膜 180 が形成されている。

【0047】

保護膜 180 には、ドレイン電極 175、ストレージキャパシタ用導電体 177、及びデータ線 171 の拡張部 179 の下部膜 175p、177p、179p を各々露出する複数の接触孔 185、187、182 が形成されている。

また、保護膜 180 及びゲート絶縁膜 140 には、ゲート線 121 の拡張部 129 の下部膜 129p を露出する複数の接触孔 181 が形成されている。

【0048】

保護膜 180 上には、複数の画素電極 190、複数の接触補助部材 81、82 が形成されている。

【0049】

画素電極 190 は、ITO または IZO などの透明な導電物質からなる。

【0050】

画素電極 190 は、接触孔 185、187 を通じてドレイン電極 175 及びストレージキャパシタ用導電体 177 と各々物理的、電氣的に連結されて、ドレイン電極 175 からデータ電圧の印加を受けて、導電体 177 にデータ電圧を伝達する。

【0051】

データ電圧の印加を受けた画素電極 190 は、薄膜トランジスタ表示板に対して液晶層を挟んで対置された共通電極基板上に設けられた共通電極（図示せず）が共通電圧の印加を受けると、共通電極と共に電場を生成することによって、二つの電極の間の液晶層（図示せず）の液晶分子を再配列する。

【0052】

また、液晶層、画素電極 190 及び共通電極はキャパシタ（以下、液晶キャパシタという）を構成し、薄膜トランジスタがターンオフされた後にも印加された電圧を維持するが、電圧維持能力を強化するために、液晶キャパシタと並列に連結された他のキャパシタを構成することもでき、これを「ストレージキャパシタ（storage capacitor）」という。

ストレージキャパシタは、画素電極 190 及び維持電極線 131 の重畳などによって構成され、画素電極 190 に連結されたストレージキャパシタ用導電体 177 を保護膜 180 の下に位置させて、維持電極線 131 との距離を短縮することによって、保持容量を増加させる。

【0053】

画素電極 190 は、また、隣接するゲート線 121 及びデータ線 171 と重畳して開口率を高めているが、重畳しないこともある。

【0054】

接触補助部材 81、82 は、接触孔 181、182 を通じてゲート線の拡張部 129 及

10

20

30

40

50

びデータ線の拡張部 179 に各々連結されている。

接触補助部材 81、82 は、ゲート線 121 及びデータ線 171 の各拡張部 129、179 と外部装置との接続性を補完して、これらを保護する役割を果たす。

【0055】

このような接触補助部材 81、82 も、ITO または IZO などの透明な導電物質からなる。

【0056】

以上のように、線状半導体 151 の突出部 154 をゲート電極 124 及びゲート線 121 が占有する領域の内部に位置するように形成すれば、バックライト光がゲート電極 124 及びゲート線 121 によって遮断されて、線状半導体 151 の突出部 154 に到達しない。

10

したがって、薄膜トランジスタがターンオフされた状態で光電子による漏洩電流が発生するのを防止することができる。

【0057】

この時、線状半導体 151 の突出部 154 全体がゲート電極 124 を含むゲート線 121 が占有する領域の内側に位置する必要は必ずしもないが、少なくともソース電極 173 を含むデータ線 171 及びドレイン電極 175 の間の部分であるチャンネル部の半導体をはじめとして、ドレイン電極 175 の下部に位置する半導体及びその周辺の半導体は、ゲート電極 124 を含むゲート線 121 が占有する領域の内側に位置するように形成するのが好ましい。

20

即ち、データ線 171 から離れてドレイン電極 175 側に位置する半導体は、ゲート電極 124 を含むゲート線 121 が占有する領域の内側に位置するように形成するのが好ましい。

【0058】

以上図 1、図 2、及び図 3 に示した、本実施例による液晶表示装置用薄膜トランジスタ表示板を製造する方法について、図 4 乃至図 19 を参照して詳細に説明する。

【0059】

図 4 は、図 1 乃至図 3 に示した、本実施例による薄膜トランジスタ表示板を製造する第 1 段階での薄膜トランジスタ表示板の配置図である。

図 5 及び図 6 は各々図 4 の VA - VA 線及び VB - VB 線による第 1 段階での断面図である。

30

図 7 及び図 8 は、各々図 4 の VA - VA 線及び VB - VB 線による、第 2 段階での断面図である。

図 10 及び図 11 は、各々図 4 の VA - VA 線及び VB - VB 線による、第 3 段階での断面図である。

図 9 は、第 4 段階での薄膜トランジスタ表示板の配置図であり、

図 12 及び図 13、図 14 及び図 15、図 16 及び図 17 は、各々、図 9 の VIIIA - VIIIA 線及び VIIIB - VIIIB 線による、第 4、第 5、第 6 段階での断面図である。

図 18 及び図 19 は、各々、図 9 の VIIIA - VIIIA 線及び VIIIB - VIIIB 線による、第 7 段階での断面図である。

40

【0060】

第 1 段階では、透明なガラスなどからなる絶縁基板 110 上に、二つの層の金属膜、即ち下部金属膜及び上部金属膜をスパッタリングなどで順次に積層する。

上部金属膜は、Al - Nd 合金などのアルミニウム系金属からなって、2,500 程度の厚さであるのが好ましい。

Al - Nd スパッタリング標的は 2 atm% の Nd を含むのが好ましい。

【0061】

図 4、図 5、図 6 に示したように、上部金属膜及び下部金属膜を順次にパターンニングして、複数のゲート電極 124 を含むゲート線 121 を形成し、ゲート線 121 と電氣的に

50

分離された複数の維持電極線 131 を形成する。

【0062】

次に第2段階では、図7及び図8に示したように、窒化ケイ素からなるゲート絶縁膜 140、真性非晶質シリコン層（半導体）150、不純物非晶質シリコン層（抵抗性接触層）160を連続して積層し、さらに二つの層の金属膜、即ち下部膜 170p及び上部膜 170qをスパッタリングなどで順次に積層した後、感光膜 210をコーティングする。

次に第3段階では、フォトリソを介して感光膜 210に光を照射した後で現像する。

現像された感光膜の厚さは、図10及び図11に示すように、位置によって異なるように形成する。

具体的には、感光膜パターン 212、214のうちで薄膜トランジスタのチャンネル部（C）、即ちソース電極 173及びドレイン電極 175の間に位置する第1部分 214は、データ線 171、ソース電極 173、ドレイン電極 175、ストレージキャパシタ用導電体 177、及び拡張部 179が形成されるべき部分（A）に位置する第2部分より厚さを薄くして、残りの部分（B）の感光膜は全て除去する。

この時、チャンネル部（C）に残っている感光膜 214の厚さと、部分（A）に残っている感光膜 212の厚さの比は、後述するエッチング工程での工程条件によって異なるべきであり、第1部分 214の厚さを第2部分 212の厚さの1/2以下とするのが好ましい。

【0063】

このように位置によって感光膜の厚さを異ならせる方法は多様であるが、フォトリソに透明領域及び遮光領域だけでなく半透明領域を形成することがその例である。

半透明領域には、スリットパターン、格子パターン、透過率が中間であるか、または厚さが中間である薄膜が形成される。

スリットパターンを適用する時には、スリットの幅やスリットの間隔がフォトリソエッチング工程に使用される露光器の分解能より小さいのが好ましい。

他の例としては、リフローが可能な感光膜を適用することができる。

即ち、透明領域及び遮光領域のみが形成されている通常のマスクにリフローが可能な感光膜パターンを形成した後、リフローさせて感光膜が残留しない領域に流れるようにすることによって、薄い部分を形成する。

【0064】

次の第4～第6段階では、感光膜パターン 212、214の下部の膜に対するエッチングを順次行う。

この結果第6段階では、上記図10、図11において、部分（A）に位置する導電体層（データ金属層）及びその下部の膜はそのまま残っていて、チャンネル部（C）には真性非晶質シリコン層（半導体）だけが残っていなければならない、残りの部分（B）ではゲート絶縁膜 140が露出しなければならない。

【0065】

第4段階では、図9、図12、及び図13に示したように、残りの部分（B）に露出している導電体層（データ金属層）を除去して、その下部の不純物非晶質シリコン層（抵抗性接触層）160を露出させる。

この過程では、乾式エッチング方法または湿式エッチング方法を全て適用することができ、この時、導電体はエッチングされて感光膜 212、214はほとんどエッチングされない条件下で行うのが好ましい。

しかし、乾式エッチング方法の場合、導電体のみがエッチングされて感光膜 212、214はエッチングされない条件を見つけるのが難しいので、感光膜パターン 212、214も共にエッチングされる条件下で行うこともできる。

この場合には、湿式エッチング方法の場合より第1部分 214の厚さを十分厚くして、この過程で第1部分 214が完全に除去されて下部の導電体が露出することがないようにする。

【0066】

このようにすれば、図 1 2 及び図 1 3 に示したように、チャンネル部 (C) 及び部分 (A) の導電体、即ちデータ線 1 7 1、ソース/ドレイン用導電体 1 7 8、ストレージキャパシタ用導電体 1 7 7、及び拡張部 1 7 9 だけが残って、残りの部分 (B) の導電体は全て除去されて、その下部の接触層 1 6 0 が露出する。

この時、残った導電体 1 7 8 は、ソース電極 1 7 3 及びドレイン電極 1 7 5 が分離されないで連結されている点が、図 1 乃至図 3 と異なる。

【 0 0 6 7 】

次に第 5 段階では、図 1 4 及び図 1 5 に示したように、残りの部分 (B) の露出した不純物非晶質シリコン層 (抵抗性接触層) 1 6 0 及びその下部の真性非晶質シリコン層 (半導体) 1 5 0 を感光膜の第 1 部分 2 1 4 と共に乾式エッチング方法で同時に除去する。

10

この時、エッチングは、感光膜 2 1 2、2 1 4、不純物非晶質シリコン層 (抵抗性接触層) 1 6 0、及び真性非晶質シリコン層 (半導体) 1 5 0 が同時にエッチングされてゲート絶縁膜 1 4 0 はエッチングされない条件下で行うべきで、特に、感光膜 2 1 2、2 1 4 及び真性非晶質シリコン層 (半導体) 1 5 0 に対するエッチング比がほぼ同一な条件で行うのが好ましい。

例えば、 SF_6 及び HCl の混合気体や、 SF_6 及び O_2 の混合気体を使用すると、ほぼ同一な厚さに二つの膜をエッチングすることができる。

感光膜 2 1 2、2 1 4 及び真性非晶質シリコン層 (半導体) 1 5 0 に対するエッチング比が同一である場合には、第 1 部分 2 1 4 の厚さは真性非晶質シリコン層 (半導体) 1 5 0 及び不純物非晶質シリコン層 (抵抗性接触層) 1 6 0 の厚さの和と同一であるか、それより小さくすべきである。

20

【 0 0 6 8 】

このようにすれば、図 1 4 及び図 1 5 に示したように、チャンネル部 (C) の第 1 部分 2 1 4 が除去されて、ソース/ドレイン用導電体 1 7 8 が露出する。

一方、(A) 部分である第 2 部分 2 1 2 もエッチングされるので、厚さが薄くなる。

【 0 0 6 9 】

次に、アッシング (ashing) を通じてチャンネル部 (C) のソース/ドレイン用導電体 1 7 8 の表面に残っている感光膜クズを除去する。

【 0 0 7 0 】

次に第 6 段階では、図 1 6 及び図 1 7 に示したように、チャンネル部 (C) のソース/ドレイン用導電体 1 7 8 及びその下部の抵抗性接触部材 1 6 8 をエッチングして除去する。

30

この時、エッチングは、ソース/ドレイン用導電体 1 7 8 及び抵抗性接触部材 1 6 8 の両方に対して乾式エッチング方法だけで行うことができ、ソース/ドレイン用導電体 1 7 8 に対しては湿式エッチング方法で、抵抗性接触部材 1 6 8 に対しては乾式エッチング方法で行うこともできる。

前者の場合、ソース/ドレイン用導電体 1 7 8 及び抵抗性接触部材 1 6 8 のエッチング選択比が大きい条件下でエッチングを行うのが好ましく、これは、エッチング選択比が大きい場合には、エッチング終点を見つけるのが難しく、チャンネル部 (C) に残る真性非晶質シリコン層 (半導体) の厚さを調節するのが容易でないからである。

40

湿式エッチング方法及び乾式エッチング方法を交互に行う後者の場合には、湿式エッチングされるソース/ドレイン用導電体 1 7 8 の側面はエッチングされるが、乾式エッチングされる抵抗性接触部材 1 6 8 はほとんどエッチングされないで、階段形状に形成される。

ソース/ドレイン用導電体 1 7 8 及び抵抗性接触部材 1 6 8 をエッチングする時に使用するエッチング気体の例としては、 CF_4 及び HCl の混合気体や CF_4 及び O_2 の混合気体があり、 CF_4 及び O_2 を使用すると、均一な厚さに線状半導体 1 5 1 の突出部 1 5 4 を残すことができる。

この時、図 1 7 に示したように、線状半導体 1 5 1 の突出部 1 5 4 の一部が除去されて厚さが薄くなることもあり、感光膜パターンの第 2 部分 2 1 2 がエッチングされてその下

50

部の導電体層（データ金属層）が露出することのないように、感光膜パターンが十分厚いのが好ましいのはもちろんである。

【0071】

このようにすれば、ソース/ドレイン用導電体178及び抵抗性接触部材168が各々整列して分割され、ソース電極173及びドレイン電極175、及びその下部の抵抗性接触部材163、165が完成する。

【0072】

最後に、部分（A）に残っている感光膜の第2部分212を除去する。

しかし、第2部分212の除去は、チャンネル部（C）のソース/ドレイン用導電体178を除去した後に、その下の抵抗性接触部材168を除去する前に行われることもできる。

10

【0073】

前記のように第6段階では、湿式エッチング方法及び乾式エッチング方法を交互に行うか、または乾式エッチング方法のみを行うことができる。

後者の場合には、一種類のエッチング方法のみを適用するので、工程が比較的簡便であるが、適切なエッチング条件を見つけるのが難しい。

反面、前者の場合には、エッチング条件を見つけるのは比較的やさしいが、工程が後者に比べて面倒である。

【0074】

次に第7段階では、図18及び図19に示したように、窒化ケイ素やa-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着（CVD）法によって成長させたり有機絶縁膜を塗布して、保護膜180を形成する。

20

【0075】

次に、保護膜180をゲート絶縁膜140と共にフォトエッチングして、ドレイン電極175、ゲート線121の拡張部129、データ線171の拡張部179、及びストレージキャパシタ用導電体177の各々を露出する接触孔185、181、182、187を形成する。

【0076】

最後に第8段階では、図1乃至図3に示したように、IZO層及びITO層を蒸着してフォトエッチングして、ドレイン電極175及びストレージキャパシタ用導電体177に連結される画素電極190、ゲート線及びデータ線の拡張部129、179に各々連結される接触補助部材81、82を形成する。

30

【0077】

図1、図2、及び図3に示した本発明の第1の実施例では、導電体層（データ金属層）170から、ソース電極173、拡張部179を含むデータ線171、ドレイン電極175、ストレージキャパシタ用導電体177を、その下部の不純物非晶質シリコン層（抵抗性接触層）160から、突出部163を含む線状抵抗性接触部材161、島型抵抗性接触部材165、167を、及びさらにその下の真性非晶質シリコン層（半導体）150から、突出部154を含む線状半導体151、島型半導体157を、全て一つのマスクを利用して形成し、この過程でソース電極173及びドレイン電極175を、その下の突出部163及び島型抵抗性接触部材165と共に各々分離することによって、製造工程を単純化することができる。

40

ところが、このような製造方法を適用する場合、導電体層（データ金属層）170から形成された部材171、173、175、177、179の下部には常に、真性非晶質シリコン層（半導体）150から形成された部材151、154、157が位置する。

一般に、真性非晶質シリコン層（半導体）がバックライトなどに曝露される場合、漏洩電流が増加して、薄膜トランジスタの信頼性が低下し、液晶表示装置の表示品質が低下する。

これに対して本実施例では、薄膜トランジスタを構成する真性非晶質シリコン層（半導体）151のうちのデータ線から離れてドレイン電極175側に位置する部分及びドレイ

50

ン電極 175 が、ゲート電極 124 を含むゲート線 121 が占有する領域の内部に位置するように配置する。

【実施例 2】

【0078】

次に、本発明の第 2 の実施例による薄膜トランジスタ表示板について説明する。

図 20 は本発明の第 2 の実施例による薄膜トランジスタ表示板の配置図であり、図 21 は図 20 の薄膜トランジスタ表示板を製造する時に使用するフォトマスクのパターン図である。

【0079】

図 20 の薄膜トランジスタ表示板の層状構造は、図 1 乃至図 3 に示した薄膜トランジスタ表示板（実施例 1）と全体的に類似した構造からなる。

【0080】

即ち、絶縁基板 110 上にゲート線 121 及び維持電極線（図示せず）が形成され、ゲート線 121 及び維持電極線上にゲート絶縁膜 140 が形成されていて、ゲート絶縁膜 140 上に突出部 154 を含む線状半導体 151（図示せず）、及び不純物非晶質シリコン層（抵抗性接触層）からなる部材 161、163、165（図示せず）、などが形成されている。

部材 163、161、165 上には各々、ソース電極 173、データ線 171、及びドレイン電極 175 が形成され、それらの上には、保護膜（図示せず）が形成されている。

保護膜には、ドレイン電極 175 を露出する接触孔 185 が形成され、保護膜上には、接触孔 185 を通じてドレイン電極 175 と連結されている画素電極 190 が形成されている。

【0081】

この時、図 20 の薄膜トランジスタ表示板では、図 1 乃至図 3 の薄膜トランジスタ表示板とは異なって、画素電極 190 がドレイン電極 175 に向かったのびた枝部 191 を含み、枝部 191 が接触孔 185 を通じてドレイン電極 175 に連結されている。

枝部 191 を除く画素電極 190 の他の部分は、ゲート電極 124 と重畳しない。

【0082】

これは、画素電極 190 及びゲート電極 124 の間に形成される寄生静電容量を減少させて、キックバック（kick back）電圧によるフリッカー（flicker）現象を防止するためである。

即ち、画素電極 190 及びゲート電極 124 が重畳する面積が広い場合、これらの間に形成される寄生静電容量が大きいので、ゲート電圧がオン電圧からオフ電圧に下がる時に、画素電極電圧も共に下がる現象（キックバック）が著しくなるので、これを防止するためである。

【0083】

図 21 はゲート電極 124 を含むゲート線 121 が形成されている絶縁基板上に、ゲート絶縁膜、真性非晶質シリコン層（半導体層）、不純物非晶質シリコン層（抵抗性接触層）、及び導電体層（データ金属層）を順次に蒸着し、導電体層（データ金属層）上に感光膜を塗布した状態で、導電体層（データ金属層）、不純物非晶質シリコン層（抵抗性接触層）、及び真性非晶質シリコン層（半導体層）を共にパターンニングするための感光膜を形成する工程で使用するフォトマスクの遮光パターンを示す図面である。

【0084】

図 21 に示したように、データ線用遮光パターン 710 及びドレイン電極用遮光パターン 750 の間にスリットパターン 751 が配置されている。

ここで、ドレイン電極用遮光パターン 750 及びスリットパターン 751 は、ゲート電極 124 を含むゲート線 121 が占有する領域の内側に配置される。

スリットパターン 751 は、上記実施例 1 の第 3 段階（図 11）に触れたスリットパターンの第 1 の具体例であり、これにより、チャンネル部（C）に残す感光膜 214 の厚さを部分（A）（ソース電極 173、ドレイン電極 175 に対応する領域）の感光膜 212

10

20

30

40

50

の厚さより薄くすることができる。

即ち、本スリットパターン751は、本実施例では上記のように、枝部191を備えた画素電極190(図20)と組み合わせて説明したが、この組み合わせに必ずしも限定されるものではない。

【実施例3】

【0085】

さらに、本発明の第3の実施例による薄膜トランジスタ表示板について説明する。

図22は本発明の第3の実施例による薄膜トランジスタ表示板の配置図であり、図23は図22の薄膜トランジスタ表示板を製造する時に使用するフォトマスクのパターン図である。

10

【0086】

図22の薄膜トランジスタ表示板は、図20に示した薄膜トランジスタ表示板(実施例2)と全体的に類似した構造からなる。

【0087】

即ち、絶縁基板110上にゲート線121及び維持電極線(図示せず)が形成され、ゲート線121及び維持電極線上にゲート絶縁膜140が形成されていて、ゲート絶縁膜140上に突出部154を含む真性非晶質シリコン層(半導体)及び不純物非晶質シリコン層(抵抗性接触層、図示せず)が形成されている。

不純物非晶質シリコン層(抵抗性接触層)上には、データ線171及びドレイン電極175が形成され、データ線171及びドレイン電極175上には、保護膜(図示せず)が形成されている。

20

保護膜には、ドレイン電極175を露出する接触孔185が形成され、保護膜上には、接触孔185を通じてドレイン電極175に連結されている画素電極190が形成されている。

【0088】

この時、図22の薄膜トランジスタ表示板では、図20の薄膜トランジスタ表示板とは異なって、データ線171が突出したソース電極(図20の173)を含まず、代りにドレイン電極175が突出部を含んで、データ線171と対向する幅を増加させている。

これにより、薄膜トランジスタのチャンネルの幅を十分に確保する。

【0089】

30

図23はゲート電極124を含むゲート線121が形成されている絶縁基板上に、ゲート絶縁膜、真性非晶質シリコン層(半導体層)、不純物非晶質シリコン層(抵抗性接触層)、及び導電体層(データ金属層)を順次に蒸着し、導電体層(データ金属層)上に感光膜を塗布した状態で、導電体層(データ金属層)、不純物非晶質シリコン層(抵抗性接触層)、及び真性非晶質シリコン層(半導体層)を共にパターニングするための感光膜を形成する工程で使用するフォトマスクの遮光パターンを示す図面である。

【0090】

図23に示したように、データ線用遮光パターン710及びドレイン電極用遮光パターン750の間にスリットパターン751が配置されている。

ここで、ドレイン電極用遮光パターン750及びスリットパターン751は、ゲート電極124を含むゲート線121が占有する領域の内側に配置される。

40

図23のスリットパターン751は、上記実施例1の第3段階(図11)に触れたスリットパターンの第2の具体例であり、これにより、チャンネル部(C)に残す感光膜214の厚さを部分(A)(ソース電極173、ドレイン電極175に対応する領域)の感光膜212の厚さより薄くすることができる。

即ち、本スリットパターン751は、本実施例でも上記のように、枝部191を備えた画素電極190(図22)と組み合わせて説明したが、この組み合わせに必ずしも限定されるものではない。

【実施例4】

【0091】

50

さらに、本発明の第４の実施例による薄膜トランジスタ表示板について説明する。
図２４は本発明の第４の実施例による薄膜トランジスタ表示板の配置図であり、図２５は図２４のX V I I I - X V I I I 線による断面図である。

【００９２】

図２４及び図２５に示した薄膜トランジスタ表示板の層状構造は、図１乃至図３に示した薄膜トランジスタ表示板（実施例１）と全体的に類似した構造からなる。

【００９３】

即ち、絶縁基板１１０上にゲート電極１２４を含むゲート線１２１及び維持電極線（図示せず）が形成され、ゲート線１２１及び維持電極線の上にゲート絶縁膜１４０が形成されていて、ゲート絶縁膜１４０上に突出部１５４を含む線状半導体１５１（図示せず）及び島型抵抗性接触部材１６５が形成されている。

島型抵抗性接触部材１６５上には、ソース電極１７３ａ、１７３ｂを含むデータ線１７１及びドレイン電極１７５が形成されていて、データ線１７１及びドレイン電極１７５上には、保護膜１８０が形成されている。

保護膜１８０には、ドレイン電極１７５を露出する接触孔１８５が形成され、保護膜１８０上には、接触孔１８５を通じてドレイン電極１７５と連結されている画素電極１９０が形成されている。

【００９４】

この時、図２４及び図２５の薄膜トランジスタ表示板では、図１乃至図３の薄膜トランジスタ表示板とは異なって、画素電極１９０がドレイン電極１７５に向かってのびた枝部１９１を含み、枝部１９１が接触孔１８５を通じてドレイン電極１７５に連結されている。

これは、画素電極１９０及びゲート電極１２４の間に形成される寄生静電容量を減少させて、キックバック（kick back）電圧によるフリッカー（flicker）現象を防止するためである。

また、ソース電極１７３ａ、１７３ｂが二股状にのびていて、二つのソース電極１７３ａ、１７３ｂの間にドレイン電極１７５が配置されていて、ドレイン電極１７５は長細い棒形状に形成されている。

【００９５】

線状半導体１５１の突出部１５４は、ソース電極１７３ａ、１７３ｂ及びドレイン電極１７５の外側にも拡張されている。

したがって、ドレイン電極１７５周辺に余裕の面積がある。

【００９６】

接触孔１８５は、ドレイン電極１７５の両端のうちのデータ線１７１から遠い側を露出し、さらに、ドレイン電極１７５周辺の、線状半導体１５１の突出部１５４の一部を露出している。

したがって、画素電極１９０の枝部１９１は、ドレイン電極１７５の上面はもちろん、側面とも接触するだけでなく、露出した、線状半導体１５１の突出部１５４とも接触している。

【００９７】

このように、画素電極１９０の枝部１９１がドレイン電極１７５の上面はもちろん、側面とも接触していると、画素電極１９０及びドレイン電極１７５の間の電氣的接続を強化することができる。

その際、接触孔１８５をドレイン電極１７５だけでなく、ドレイン電極１７５周辺まで共に露出するように形成しなければならないが、ドレイン電極１７５が真性非晶質シリコン層（半導体）に囲まれているので、接触孔１８５が露出する領域をドレイン電極と真性非晶質シリコン層（半導体）上に制限することができる。

真性非晶質シリコン層（半導体）は、絶縁物質からなる保護膜１８０とのエッチング選択性を十分に高くすることができるので、接触孔１８５の形成のために保護膜１８０をエッチングする時に、エッチング遮断層として作用させ、その下部のゲート絶縁膜１４０が

10

20

30

40

50

損傷するのを防止することができる。

【0098】

ここで、線状半導体151の突出部154は、前記実施例1～3と同様に、ゲート電極124と重畳して、絶縁基板110上の面積のうちでゲート電極124を含むゲート線121が占有する領域の内側に位置するように形成されている。

即ち、ゲート電極124を含むゲート線121の輪郭線が囲む領域内に線状半導体151の突出部154が位置する。

したがって、絶縁基板110の下から見れば、線状半導体151の突出部154はゲート電極124及びゲート線121に遮られて見えない。

【0099】

この時、線状半導体151の突出部154全体がゲート電極124を含むゲート線121が占有する領域の内側に位置する必要は必ずしもないが、少なくともソース電極173a、173bを含むデータ線171及びドレイン電極175の間の部分であるチャンネル部の真性非晶質シリコン層(半導体)をはじめとして、ドレイン電極175の下部に位置する真性非晶質シリコン層(半導体)及びその周辺の真性非晶質シリコン層(半導体)は、ゲート電極124を含むゲート線121が占有する領域の内側に位置するように形成するのが好ましい。

即ち、データ線171から離れてドレイン電極175側に位置する真性非晶質シリコン層(半導体)は、ゲート電極124を含むゲート線121が占有する領域の内側に位置するように形成するのが好ましい。

【0100】

以上で、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も、本発明の権利範囲に属する。

【図面の簡単な説明】

【0101】

【図1】本発明の第1の実施例による薄膜トランジスタ表示板の配置図である。

【図2】図1のII-II線による断面図である。

【図3】図1のIII-III線による断面図である。

【図4】第1の実施例による薄膜トランジスタ表示板を製造する第1段階での薄膜トランジスタ表示板の配置図である。

【図5】図4のVA-VA線による断面図である。

【図6】図4のVB-VB線による断面図である。

【図7】図4のVA-VA線による第2段階での断面図である。

【図8】図4のVB-VB線による第2段階での断面図である。

【図9】第4段階での薄膜トランジスタ表示板の配置図である。

【図10】図4のVA-VA線による第3段階での断面図である。

【図11】図4のVB-VB線による第3段階での断面図である。

【図12】図9のVIIIA-VIIIA線による第4段階での断面図である。

【図13】図9的VIIIB-VIIIB線による第4段階での断面図である。

【図14】図9のVIIIA-VIIIA線による第5段階での断面図である。

【図15】図9のVIIIB-VIIIB線による第5段階での断面図である。

【図16】図9のVIIIA-VIIIA線による第6段階での断面図である。

【図17】図9のVIIIB-VIIIB線による第6段階での断面図である。

【図18】図9のVIIIA-VIIIA線による第7段階での断面図である。

【図19】図9のVIIIA-VIIIA線による第7段階での断面図である。

【図20】本発明の第2の実施例による薄膜トランジスタ表示板の配置図である。

【図21】図20の薄膜トランジスタ表示板を製造する時に使用するフォトマスクのパターン図である。

【図22】本発明の第3の実施例による薄膜トランジスタ表示板の配置図である。

10

20

30

40

50

【図 2 3】図 2 2 の薄膜トランジスタ表示板を製造する時に使用するフォトマスクのパターン図である。

【図 2 4】本発明の第 4 の実施例による薄膜トランジスタ表示板の配置図である。

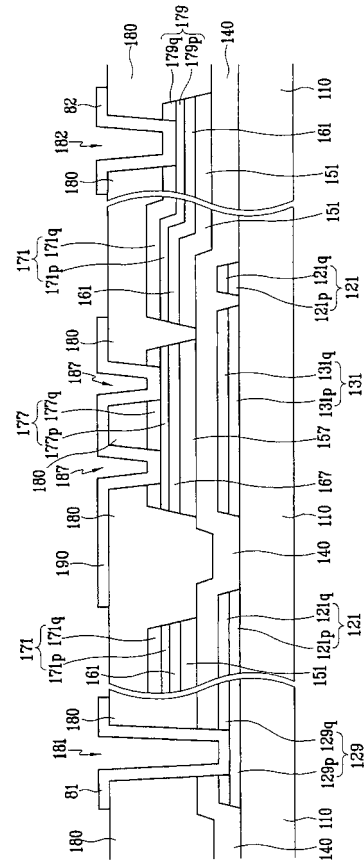
【図 2 5】図 2 4 の X V I I I - X V I I I 線による断面図である。

【符号の説明】

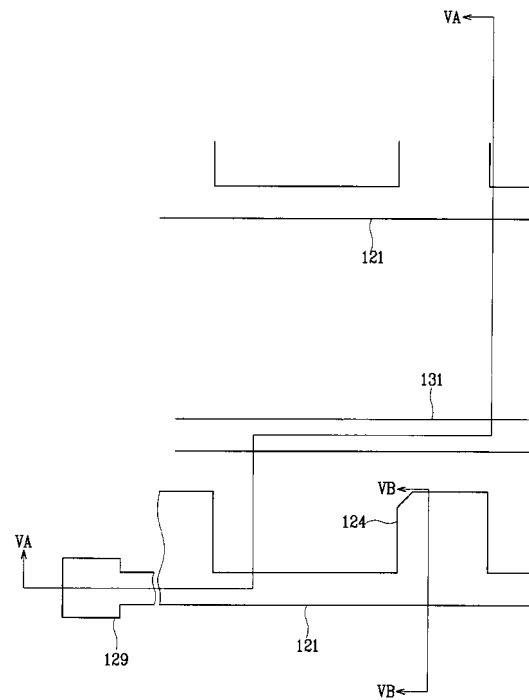
【 0 1 0 2 】

8 1、8 2	接触補助部材	
1 1 0	絶縁基板	
1 2 1	ゲート線	
1 2 1 p、1 2 4 p、1 3 1 p	下部膜	10
1 2 1 q、1 2 4 q、1 3 1 q	上部膜	
1 2 4	ゲート電極	
1 2 9	拡張部	
1 3 1	維持電極線	
1 4 0	ゲート絶縁膜	
1 5 0	真性非晶質シリコン層（半導体）	
1 5 1	線状半導体	
1 5 4	突出部	
1 5 7	島型半導体	
1 6 0	不純物非晶質シリコン層（抵抗性接触層）	20
1 6 1	線状抵抗性接触部材	
1 6 3	突出部	
1 6 5、1 6 7	島型抵抗性接触部材	
1 6 8	（ソース/ドレイン用導電体の下の）抵抗性接触部材	
1 7 0	導電体層（データ金属層）	
1 7 0 p、1 7 1 p、1 7 3 p、1 7 5 p、1 7 7 p、1 7 9 p	上部膜	
1 7 0 q、1 7 1 q、1 7 3 q、1 7 5 q、1 7 7 q、1 7 9 q	下部膜	
1 7 1	データ線	
1 7 3、1 7 3 a、1 7 3 b	ソース電極	
1 7 5	ドレイン電極	30
1 7 7	ストレージキャパシタ用導電体	
1 7 8	ソース/ドレイン用導電体	
1 7 9	拡張部	
1 8 0	保護膜	
1 8 1、1 8 2、1 8 5、1 8 7	接触孔	
1 9 0	画素電極	
1 9 1	（画素電極の）枝部	
2 1 0	感光膜	
2 1 2、2 1 4	感光膜パターン（第 1 部分、第 2 部分）	

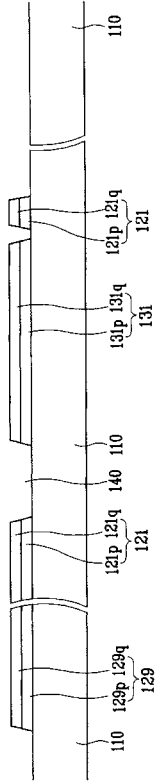
【 図 2 】



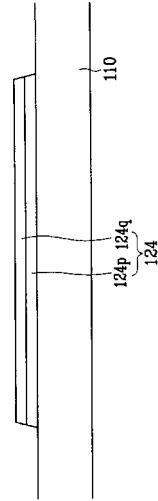
【 図 4 】



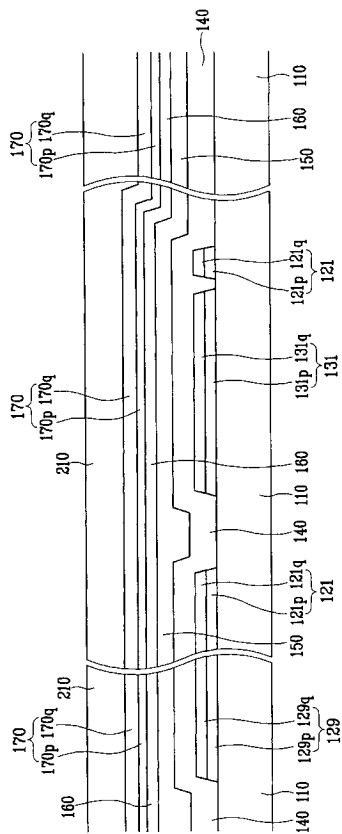
【図 5】



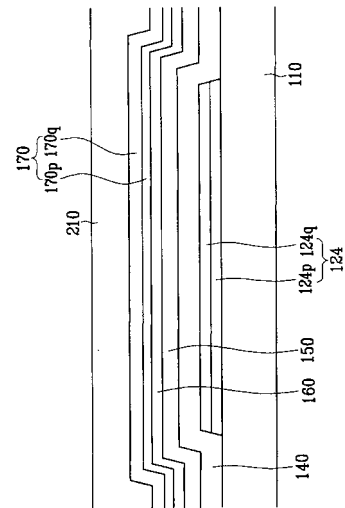
【図 6】



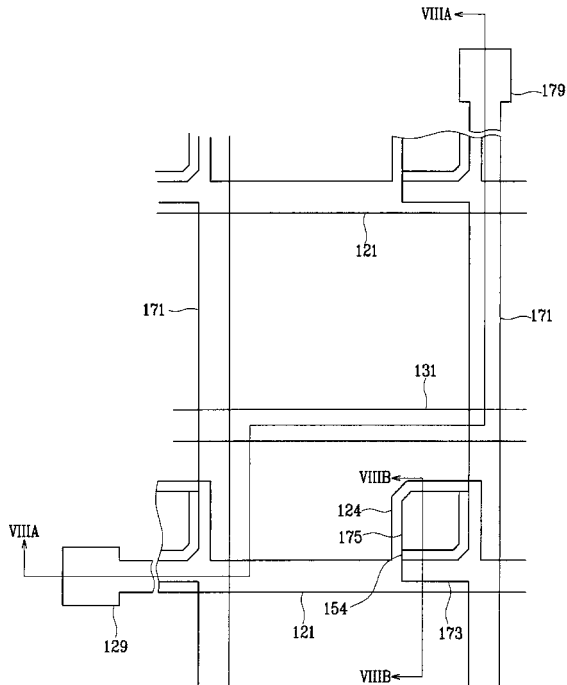
【図 7】



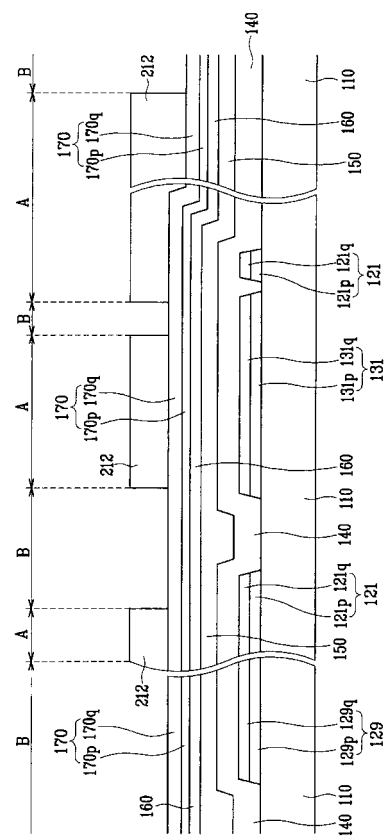
【図 8】



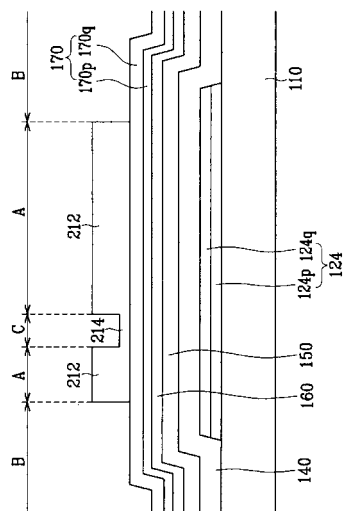
【図 9】



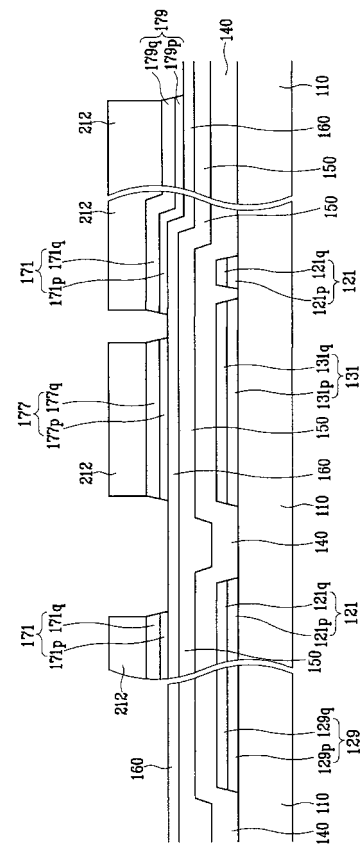
【図 10】



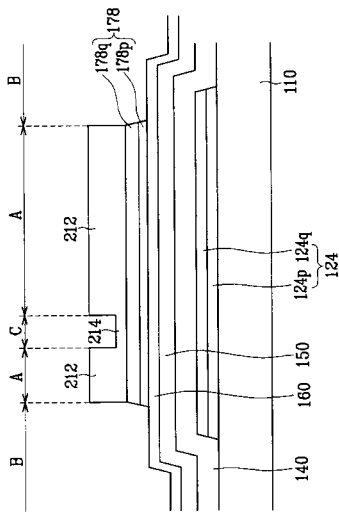
【図 11】



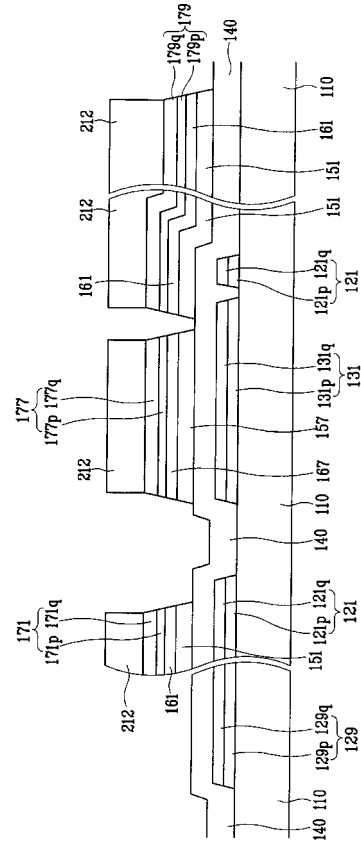
【図 12】



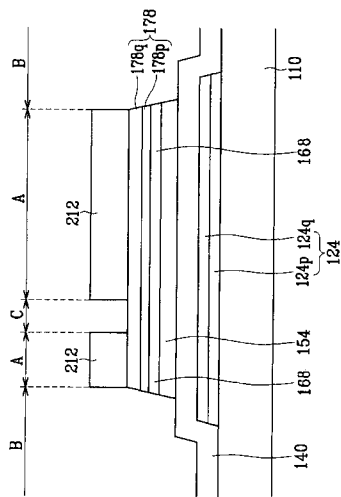
【図 13】



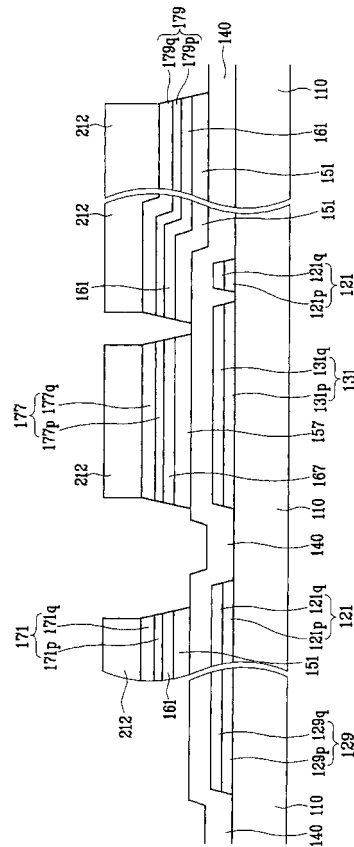
【図 14】



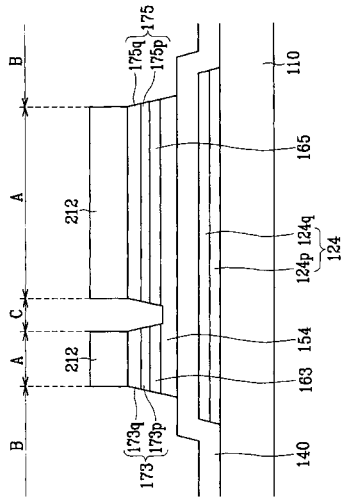
【図 15】



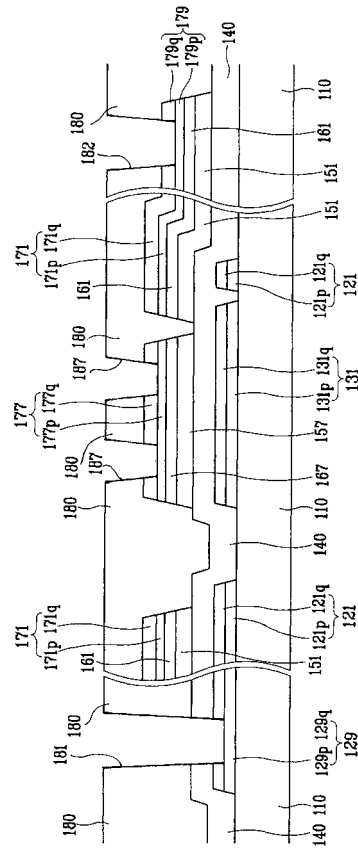
【図 16】



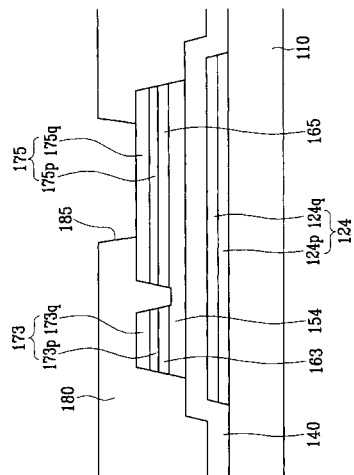
【 図 1 7 】



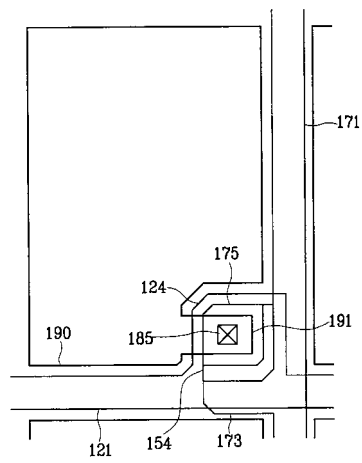
【 図 1 8 】



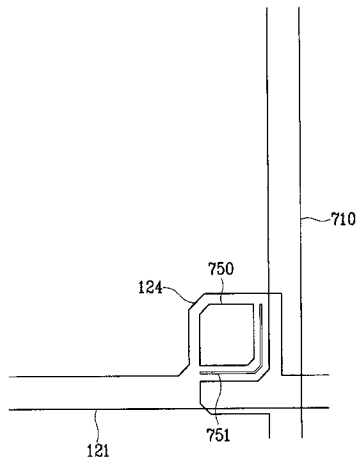
【 図 1 9 】



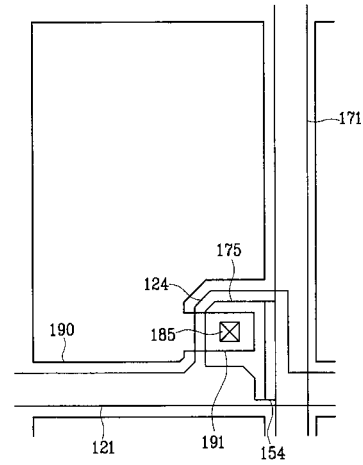
【 図 2 0 】



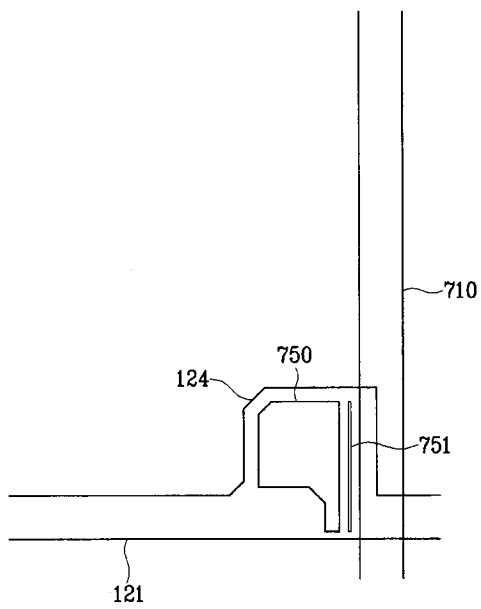
【図 2 1】



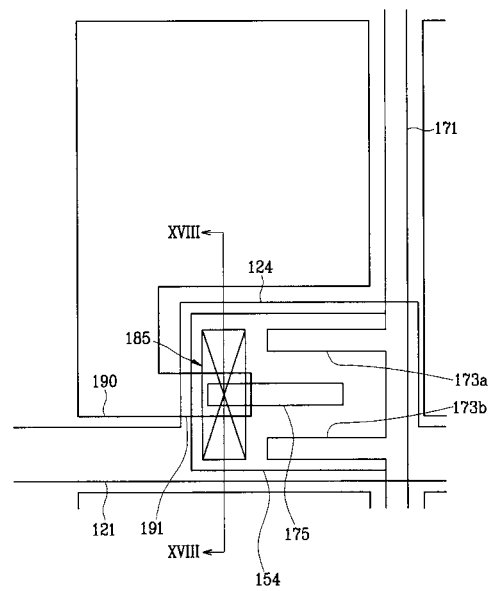
【図 2 2】



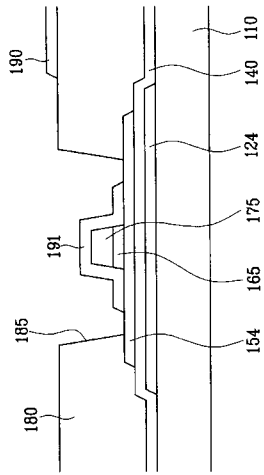
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

(72)発明者 朴 旻 ウク

大韓民国 忠 清 南道 牙山市 湯井面 虎山里 ホンイックアパート 103棟 501号

審査官 佐竹 政彦

(56)参考文献 特開平08-234236(JP,A)

特開2001-264818(JP,A)

米国特許出願公開第2004/0051823(US,A1)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00 - 9/46

G02F 1/1343 - 1/1345、1/135 - 1/1368