

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6662015号  
(P6662015)

(45) 発行日 令和2年3月11日(2020.3.11)

(24) 登録日 令和2年2月17日(2020.2.17)

(51) Int. Cl.	F I	
HO 1 L 21/768 (2006.01)	HO 1 L 21/90	B
HO 1 L 23/522 (2006.01)	HO 1 L 21/88	J
HO 1 L 21/3205 (2006.01)	HO 1 L 27/00	3 O 1 B
HO 1 L 27/00 (2006.01)	HO 1 L 25/08	C
HO 1 L 25/065 (2006.01)	HO 1 L 21/02	B
請求項の数 10 (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2015-242555 (P2015-242555)	(73) 特許権者	000004112
(22) 出願日	平成27年12月11日(2015.12.11)		株式会社ニコン
(65) 公開番号	特開2017-108076 (P2017-108076A)		東京都港区港南二丁目15番3号
(43) 公開日	平成29年6月15日(2017.6.15)	(74) 代理人	100084412
審査請求日	平成30年11月8日(2018.11.8)		弁理士 永井 冬紀
		(74) 代理人	100146709
			弁理士 白石 直正
		(74) 代理人	100078189
			弁理士 渡辺 隆男
		(72) 発明者	綱井 史郎
			東京都港区港南二丁目15番3号 株式会 社ニコン内
		審査官	佐藤 靖史
最終頁に続く			

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1配線を有する第1の半導体基板と、  
前記第1の半導体基板と積層され、第2配線と第3配線とが設けられた第2の半導体基板と、  
前記第2の半導体基板と積層され、第4配線と第5配線と、積層した逆の表面に第6配線と第7配線とが設けられる第3の半導体基板と、  
前記第2の半導体基板と前記第3の半導体基板とを貫通する孔に設けられ、前記第2配線と前記第4配線とを貫通し、前記第1配線と前記第2配線と前記第4配線と前記第6配線とを接続する第1接続部と、  
前記第3の半導体基板を貫通し前記第1接続部が設けられる孔と深さが異なる孔に設けられ、前記第5配線を貫通し、前記第3配線と前記第5配線と前記第7配線とを接続する第2接続部と、  
を備える半導体装置。

【請求項2】

請求項1に記載の半導体装置において、  
前記第1の半導体基板と前記第2の半導体基板とはシリコンであり、  
前記第1接続部と前記第2接続部とは、TSV(through-silicon via)である半導体装置。

【請求項3】

請求項 1 または 2 に記載の半導体装置において、  
前記第 1 配線及び前記第 3 配線の材料と、前記第 2 配線、前記第 4 配線及び前記第 5 配線の材料とは、エッチングレートが異なる半導体装置。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の半導体装置において、  
前記第 1 配線及び前記第 3 配線の材料はチタンであり、  
前記第 2 配線及び前記第 4 配線及び前記第 5 配線の材料はアルミニウムである半導体装置。

【請求項 5】

請求項 1 から 3 のいずれか一項に記載の半導体装置において、  
前記第 1 配線及び前記第 3 配線の材料は金属であり、  
前記第 2 配線、前記第 4 配線及び前記第 5 配線の材料は非金属の導体である半導体装置。

10

【請求項 6】

第 1 配線を有する第 1 の半導体基板と、第 2 配線と第 3 配線とを有する第 2 の半導体基板と、第 4 配線と第 5 配線とを有する第 3 の半導体基板と、を積層する工程と、

前記第 1 の半導体基板と前記第 2 の半導体基板と前記第 3 の半導体基板との積層後に、  
前記第 2 配線と前記第 4 配線とを貫通し、前記第 1 配線と前記第 2 配線と前記第 4 配線とを接続する第 1 接続部を形成する工程と、

前記第 5 配線を貫通し、前記第 3 配線と前記第 5 配線とを接続する第 2 接続部を形成する工程と、

20

前記第 1 の半導体基板の前記第 2 の半導体基板と積層された面とは逆の表面に、前記第 1 接続部と接続する第 6 配線と、前記第 2 接続部と接続する第 7 配線とを形成する工程と、

を有し、

前記第 2 接続部を形成する工程は、  
前記第 3 の半導体基板側から前記第 5 配線を貫通して前記第 2 の半導体基板の第 3 配線まで孔を設ける工程と、

前記孔に導体を設けて前記第 3 配線および前記第 5 配線を接続する工程とを含む、  
半導体装置の製造方法。

30

【請求項 7】

請求項 6 に記載の半導体装置の製造方法において、  
前記積層する工程の後、かつ前記第 1 接続部および前記第 2 接続部を形成する工程の前に、前記第 3 の半導体基板を薄膜化する工程を有する半導体装置の製造方法。

【請求項 8】

請求項 6 または 7 に記載の半導体装置の製造方法において、  
前記第 1 接続部を形成する工程は、  
前記第 3 の半導体基板側から前記第 4 配線および前記第 2 配線を貫通して前記第 1 の半導体基板の第 1 配線まで孔を設ける工程と、

前記孔に導体を設けて前記第 1 配線、前記第 2 配線、および前記第 4 配線を接続する工程とを含む、半導体装置の製造方法。

40

【請求項 9】

請求項 6 または 7 に記載の半導体装置の製造方法において、  
前記孔を設ける工程は、エッチング工程であり、  
前記第 3 配線の材料のエッチングレートは前記第 5 配線の材料のエッチングレートより低い半導体装置の製造方法。

【請求項 10】

請求項 8 に記載の半導体装置の製造方法において、  
前記孔を設ける工程は、エッチング工程であり、  
前記第 1 配線の材料のエッチングレートは前記第 2 配線の材料および前記第 4 配線の材

50

料のエッチングレートより低い半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

2つの半導体基板を積層した半導体装置が知られている（特許文献1参照）。積層した半導体装置では2つの半導体基板にある回路間の電気的な接続が長くなるという問題が知られている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-245506号公報

【発明の概要】

【0004】

半導体装置は、第1配線を有する第1の半導体基板と、前記第1の半導体基板と積層され、第2配線と第3配線とが設けられた第2の半導体基板と、前記第2の半導体基板と積層され、第4配線と第5配線と、積層した逆の表面に第6配線と第7配線とが設けられる第3の半導体基板と、前記第2の半導体基板と前記第3の半導体基板とを貫通する孔に設けられ、前記第2配線と前記第4配線とを貫通し、前記第1配線と前記第2配線と前記第4配線と前記第6配線とを接続する第1接続部と、前記第3の半導体基板を貫通し前記第1接続部が設けられる孔と深さが異なる孔に設けられ、前記第5配線を貫通し、前記第3配線と前記第5配線と前記第7配線とを接続する第2接続部と、を備える。

20

半導体装置の製造方法は、第1配線を有する第1の半導体基板と、第2配線と第3配線とを有する第2の半導体基板と、第4配線と第5配線とを有する第3の半導体基板と、を積層する工程と、前記第1の半導体基板と前記第2の半導体基板と前記第3の半導体基板との積層後に、前記第2配線と前記第4配線とを貫通し、前記第1配線と前記第2配線と前記第4配線とを接続する第1接続部を形成する工程と、前記第5配線を貫通し、前記第3配線と前記第5配線とを接続する第2接続部を形成する工程と、前記第1の半導体基板の前記第2の半導体基板と積層された面とは逆の表面に、前記第1接続部と接続する第6配線と、前記第2接続部と接続する第7配線とを形成する工程と、を有し、前記第2接続部を形成する工程は、前記第3の半導体基板側から前記第5配線を貫通して前記第2の半導体基板の第3配線まで孔を設ける工程と、前記孔に導体を設けて前記第3配線および前記第5配線を接続する工程とを含む。

30

【図面の簡単な説明】

【0005】

【図1】半導体装置の概略構成を示す図である。

【図2】図2(a)は、接合前の第1の半導体ウェハを説明する図である。図2(b)は、接合前の第2の半導体ウェハを説明する図である。以下、本発明は配線方法に特徴が有るため、チップの配線部分のみを拡大した断面図を中心として示す。

40

【図3】第1の半導体ウェハの表面に第2の半導体ウェハの表面を貼り合わせた際のチップの拡大断面図である。

【図4】図4(a)は、第2の半導体ウェハの薄膜化を説明する図である。図4(b)は、接合前の第3の半導体ウェハを説明する図である。

【図5】図5(a)は、第2の半導体ウェハの裏面に第3の半導体ウェハの表面を貼り合わせた図である。図5(b)は、薄膜化した第3の半導体ウェハを説明する図である。

【図6】図6(a)は、全厚調整された第1の半導体ウェハ～第3の半導体ウェハを説明する図である。図6(b)は、フォトリジストパターンを形成する工程を説明する図である。

【図7】図7(a)は、貫通孔の形成を説明する図である。図7(b)は、through-silicon vi

50

a ( T S V ) の形成を説明する図である。

【図 8】完成した半導体装置を説明する図である。

【図 9】半導体装置の製造手順について説明するフローチャートである。

【発明を実施するための形態】

【 0 0 0 6 】

図 1 は、本実施形態に係る半導体装置の概略構成を示す図である。図 1 において、半導体装置 1 は、第 1 の半導体ウェハ ( 半導体基板 ) 1 0 と、第 2 の半導体ウェハ ( 半導体基板 ) 2 0 と、第 3 の半導体ウェハ ( 半導体基板 ) 3 0 とを積層して構成される。

なお、本実施形態では 3 層積層を例示するが、3 層構造に限らず、例えば 2 層でも 4 層でもそれ以上でも構わない。

【 0 0 0 7 】

半導体装置 1 は、第 1 の半導体ウェハ 1 0、第 2 の半導体ウェハ 2 0、および第 3 の半導体ウェハ 3 0 を積層した後で、これら 3 つの半導体ウェハ 1 0 ~ 3 0 を相互に電気的に接続するための T S V が設けられることによって完成する。

【 0 0 0 8 】

第 1 の半導体ウェハ 1 0、第 2 の半導体ウェハ 2 0、および第 3 の半導体ウェハ 3 0 は、それぞれ、公知の製造技術によって製造される半導体基板である。各半導体基板には、例えば、光センサ、メモリ、トランジスタ、L S I 等のデバイス、およびこれらのデバイスを接続する配線等が、必要に応じて形成される。

【 0 0 0 9 】

< 第 1 の半導体ウェハ >

第 1 の半導体ウェハ 1 0 には、例えば、光電変換素子が二次元状に配列されたセンサ領域 1 1 と、センサ領域 1 1 に対する制御回路 1 2 とが形成されており、半製品状態のイメージセンサを構成する。センサ領域 1 1 は、例えば、画素を構成するフォトダイオード ( P D ) と、各フォトダイオードに対して配された画素トランジスタとを有する。

【 0 0 1 0 】

制御回路 1 2 は、例えば、メタルオキシドシリコン ( M O S ) トランジスタ等によって構成される。第 1 の半導体ウェハ 1 0 における配線は、例えば、銅、アルミニウムやチタンまたはその化合物等によって構成される。

【 0 0 1 1 】

< 第 2 の半導体ウェハ >

第 2 の半導体ウェハ 2 0 には、例えば、メモリ素子が二次元状に配列されたメモリ領域 2 1 と、メモリ領域 2 1 に対する制御回路 2 2 とが形成されており、半製品状態のメモリ回路を構成する。メモリ領域 2 1 は、例えば、シリコン基板上に形成されたドレイン電極と、ソース電極と、トンネル酸化絶縁膜で挟まれたフローティングゲートとを有する。制御回路 2 2 は、例えば、M O S トランジスタ等によって構成される。第 2 の半導体ウェハ 2 0 における配線は、例えば、銅、アルミニウムやチタンまたはその化合物等によって構成される。

【 0 0 1 2 】

< 第 3 の半導体ウェハ >

第 3 の半導体ウェハ 3 0 には、例えば、半製品状態の信号処理回路 3 1 が形成されている。信号処理回路 3 1 は、例えば、C M O S トランジスタ等によって構成される。第 3 の半導体ウェハ 3 0 における配線は、例えば、銅、アルミニウムやチタンまたはその化合物等によって構成される。

【 0 0 1 3 】

以下、図面を参照して第 1 の半導体ウェハ 1 0、第 2 の半導体ウェハ 2 0、および第 3 の半導体ウェハ 3 0 を積層し、3 つの半導体ウェハ 1 0 ~ 3 0 を電気的に接続する製造工程を説明する。

【 0 0 1 4 】

< 積層 >

10

20

30

40

50

図 2 (a) は、接合前の第 1 の半導体ウェハ 1 0 a を説明する図である。図 2 (a) において、上述したセンサ領域 1 1、制御回路 1 2 および配線等のうち、金属の配線 1 5 のみを図示している。配線 1 5 は、後にエッチングストッパー層として機能する配線であり、例えば、チタンのようなエッチングレートが低い金属によって構成されるか、エッチングレートの低いバリアメタルで表面を覆われた金属で構成される。配線 1 5 は、T S V を設ける予定位置に設けられている。

なお、T S V により接続する配線以外の配線は、エッチングレートが高いアルミニウム等の金属や、ポリシリコン等の非金属によって構成される。

【 0 0 1 5 】

図 2 (b) は、接合前の第 2 の半導体ウェハ 2 0 a を説明する図である。図 2 (b) において、上述したメモリ領域 2 1、制御回路 2 2 および配線等のうち、金属の配線 2 5、2 6 のみを図示している。配線 2 5 は、上記配線 1 5 の場合と同様に、後にエッチングストッパー層として機能する配線であり、例えば、チタンによって構成される。配線 2 5 は、T S V を設ける予定位置に設けられている。

10

【 0 0 1 6 】

T S V の予定位置に設けられ、エッチングにより貫通させるための配線 2 6 は、エッチングレートが高いアルミニウム等の金属や、ポリシリコン等の非金属によって構成される。また、T S V により接続する配線以外の配線も、アルミニウム等の金属やポリシリコン等の非金属によって構成される。

【 0 0 1 7 】

20

第 1 の半導体ウェハ 1 0 a の表面 1 0 f と、第 2 の半導体ウェハ 2 0 a の表面 2 0 f とは、プラズマ接合、または接着剤接合によって貼り合わせる。

【 0 0 1 8 】

図 3 は、第 1 の半導体ウェハ 1 0 a の表面 1 0 f と第 2 の半導体ウェハ 2 0 a の表面 2 0 f とを貼り合わせた図である。

【 0 0 1 9 】

次に、第 2 の半導体ウェハ 2 0 a は、裏面 2 0 b が研削、研磨され、例えば、厚さ 1 0  $\mu\text{m}$  以下程度まで薄膜化される。図 4 (a) は、第 2 の半導体ウェハ 2 0 が薄膜化された状態を説明する図である。ここで、第 1 の半導体ウェハ 1 0 a の厚さ、および、薄膜化前における第 2 の半導体ウェハ 2 0 a の厚さは、ともに 1 2 インチウェハの場合は通常 7 7 5  $\mu\text{m}$  である。

30

【 0 0 2 0 】

図 4 (b) は、接合前の第 3 の半導体ウェハ 3 0 a を説明する図である。図 4 (b) において、上述した信号処理回路 3 1 および配線等のうち、金属の配線 3 5、3 6 のみを図示している。配線 3 5 および配線 3 6 は、それぞれ T S V の予定位置に設けられている。

【 0 0 2 1 】

配線 3 5 および配線 3 6 は、エッチングにより貫通させるための配線であるため、エッチングレートが高いアルミニウム等の金属や、ポリシリコン等の非金属によって構成される。また、T S V により接続する配線以外の配線は任意の材質の金属配線で構成される。

【 0 0 2 2 】

40

図 4 (b) の第 3 の半導体ウェハ 3 0 a の表面 3 0 f は、第 2 の半導体ウェハ 2 0 の裏面 2 0 b とプラズマ接合、または接着剤接合によって貼り合わせる。

【 0 0 2 3 】

図 5 (a) は、第 2 の半導体ウェハ 2 0 の裏面 2 0 b に、第 3 の半導体ウェハ 3 0 a の表面 3 0 f を貼り合わせた状態を説明する図である。

【 0 0 2 4 】

次に、第 3 の半導体ウェハ 3 0 a は、裏面 3 0 b が研削、研磨され、例えば、厚さ 1 0  $\mu\text{m}$  以下程度まで薄膜化される。図 5 (b) は、第 3 の半導体ウェハ 3 0 が薄膜化された状態を説明する図である。ここで、平坦化、薄膜化前における第 3 の半導体ウェハ 3 0 a の厚さは、1 2 インチウェハの場合は通常 7 7 5  $\mu\text{m}$  である。

50

## 【 0 0 2 5 】

次に、第1の半導体ウェハ10aの裏面10bが研磨されることで、例えば、全厚を700 $\mu$ mにする。図6(a)は、全厚調整された後の、第1の半導体ウェハ10～第3の半導体ウェハ30が張り合わされた状態を説明する図である。

## 【 0 0 2 6 】

< T S V 形成 >

図6(b)は、フォトレジスト40によるパターンを形成する工程を説明する図である。具体的には、図6(a)の第3の半導体ウェハ30の裏面30bの全体に、ポジ型のフォトレジスト40が塗布される。次に、T S V 予定位置に相当する位置のみを露光し、その後、現像することによってT S V 予定位置のフォトレジスト40を除去する。これにより、  
10

## 【 0 0 2 7 】

図7(a)は、T S V 予定位置に対する貫通孔51、52の形成を説明する図である。フォトレジスト40によるパターンを形成した後に、異方性エッチングを施すことにより、貫通孔51、52を形成させる。上述したように、第1の半導体ウェハ10における配線15、および第2の半導体ウェハ20における配線25は、共に、エッチングレートが低い金属(例えば、チタンのバリアメタルで覆われた金属)により形成されている。従って、これらの配線は、ともにエッチングストッパー層として機能する。  
20

## 【 0 0 2 8 】

エッチングストッパー層として機能する配線15、配線25を設けたことにより、深さが異なる貫通孔51、52を、単一のエッチング工程で得ることができる。具体的には、貫通孔51の深さを基準にエッチング時間を決定する。すなわち、エッチングにより形成された孔が、第3の半導体ウェハ30の配線36および第2の半導体ウェハ20の配線26を貫通し、第1の半導体ウェハ10の配線15へ到達するまでに必要な時間をエッチング時間とする。

## 【 0 0 2 9 】

貫通孔52については、貫通孔51より浅いので、エッチングで浸食された孔が第2の半導体ウェハ20の配線25まで到達する時間が、貫通孔51側において浸食された孔が第1の半導体ウェハ10の配線15まで到達する時間よりも短い。しかしながら、第2の半導体ウェハ20の配線25はエッチングレートが低い金属により形成されているため、配線25のエッチング速度は遅い。このため、配線25が貫通する前に、貫通穴51が配線15まで達する。すなわち、同じエッチング時間でありながら、異なる深さの貫通孔51、52が得られる。  
30

## 【 0 0 3 0 】

図7(b)は、T S V の形成を説明する図である。図7(a)に示した、エッチング後に残留しているフォトレジスト40を除去した後、貫通孔51、52の内側壁面51a、52aに、それぞれチタン膜を形成させる。そして、チタン膜を形成した貫通孔51、52の内側に、それぞれ銅を充填することによってT S V を形成する。充填材料としては、銅の他にタングステンまたはポリシリコンを用いてもよい。T S V 形成後、貫通孔51、52の上にそれぞれ金属配線45、46を施す。ここに用いる金属は配線に適したものであれば任意である。  
40

## 【 0 0 3 1 】

図8は、完成した半導体装置1を説明する図である。図8に示す半導体装置1においては、アルミニウム45、46を覆うように、例えば、SiO<sub>2</sub>等の誘電体による上層カバー47を形成する。さらに、ボンディングPAD48を、例えば、銅によって形成する。ボンディングPAD48は、第3の半導体ウェハ30における不図示の配線と接続される。すなわち、ボンディングPAD48は、半導体装置1からの取り出し電極、いわゆる電極パッドの役割を担う。ボンディングPAD48を用いる場合は、ボンディングPAD4  
50

8と外部配線（不図示）との間をワイヤボンディングにて接続することができる。

【0032】

なお、ボンディングPAD48を用いる例を説明したが、第1の半導体ウェハ10の裏面10bに不図示の電極パンプを設け、この電極パンプと外部配線（不図示）との間をフェースダウンボンディングにて接続する構成にしてもよい。

【0033】

<フローチャートの説明>

図9を参照して半導体装置1の製造手順について説明する。例えば、作業者（ロボットでもよい）は、接合前の第1の半導体ウェハ10a、接合前の第2の半導体ウェハ20a、および接合前の第3の半導体ウェハ30aを準備し、図9に示す製造手順をスタートさせる。

10

【0034】

ステップS10において、作業者は、第1の半導体ウェハ10aの表面10fと、第2の半導体ウェハ20aの表面20fとを、互いに接合するためにそれぞれ研磨、平坦化し（図2(a)、図2(b)）、ステップS20へ進む。

【0035】

ステップS20において、作業者は、接合前の第1の半導体ウェハ20aの表面10fに対し、第2の半導体ウェハ20aの表面20fを接合する（図3）。両者の位置合わせは、例えば、不図示の赤外線干渉法を用いた測定装置を用いて行う。

【0036】

20

ステップS30において、作業者は、第2の半導体ウェハ20aの裏面20bを研削、研磨することによって、第2の半導体ウェハ20aを薄膜化し（図4(a)）、ステップS40へ進む。ステップS40において、作業者が、第3の半導体ウェハ30aの表面30fを上記第2の半導体ウェハ20の裏面20と接合するために研磨、平坦化し（図4(b)）、ステップS50へ進む。

【0037】

ステップS50において、作業者は、接合前の第2の半導体ウェハ20の裏面20bに対し、第3の半導体ウェハ30aの表面30fを接合する（図5(a)）。両者の位置合わせは、ステップS20の場合と同様に、赤外線干渉法を用いた測定装置を用いて行う。

【0038】

30

ステップS60において、作業者は、第3の半導体ウェハ30aの裏面30bを研削、研磨することによって第3の半導体ウェハ30aを薄膜化し（図5(b)）、ステップS70へ進む。ステップS70において、作業者は、第1の半導体ウェハ10aの裏面10bを研磨することによって全厚を調整し（図6(a)）、ステップS80へ進む。

【0039】

ステップS80～S100では、作業者がTSVを形成する。ステップS80において、作業者は、以下のようにフォトリソパターンを形成する。すなわち、作業者は、第3の半導体ウェハ30の裏面30bにフォトリソを塗布し、TSV予定位置に相当する位置のみを露光する。その後、現像することによってTSV予定位置のフォトリソ40を除去する。これにより、フォトリソ40によるパターンが形成される（図6(b)）。

40

【0040】

ステップS90において、作業者は、フォトリソパターンを形成した後に、不図示のイオンビームエッチング装置を用いて異方性エッチングを施すことにより、貫通孔51、52を形成させて（図7(a)）、ステップS100へ進む。ステップS100において、作業者は、エッチング後に残留したフォトリソ40を除去した後、貫通孔51、52の内側壁面51a、52aにそれぞれチタン膜を形成させる。作業者はさらに、不図示のメッキ装置を用いて、チタン膜を形成した貫通孔51、52の内側にそれぞれ銅を充填することによって、TSVを形成する（図7(b)）。

【0041】

50

ステップS110において、作業者は、貫通孔51、52の上をそれぞれアルミニウム45、46で覆い、アルミニウム45、46を覆うようにSiO<sub>2</sub>等の誘電体による上層カバー47を形成し(図8)、図9に例示する工程を終了する。

【0042】

本実施形態に係る半導体装置1およびその製造方法によれば、以下の作用効果が得られる。

【0043】

(1)半導体装置1は、配線25を有する第2の半導体ウェハ20と、配線35を有する第3の半導体ウェハ30と、第2の半導体ウェハ20と第3の半導体ウェハ30との接合後に設けられ、配線25および配線35を接続するTSV52tとを備える。これにより、2つの半導体ウェハ間を短く接続することができる。

10

【0044】

(2)第2の半導体ウェハ20および第3の半導体ウェハ30は、TSV52tが設けられる予定位置に配線25および配線35をそれぞれ有するようにした。TSV52tを介した接続が不要な半導体ウェハには、上記予定位置における配線を省略することができる。

【0045】

(3)TSV52tは、配線35および配線25のうちの配線35を貫通するようにしたので、両配線とともに貫通する場合に比べて、TSV52tの深さを抑えることができる。

20

【0046】

(4)配線25と、配線35とはエッチングレートが異なるので、一方の配線35を貫通し、他方の配線25に達するTSV52tを容易に形成することができる。

【0047】

(5)配線25はチタンで構成され、配線35はアルミニウムで構成されるので、アルミニウムの配線35を貫通し、チタンの配線25まで達するTSV52tを容易に形成することができる。

【0048】

(6)配線25は金属(チタン)で構成され、配線35は非金属の導体(ポリシリコン)で構成される場合も、ポリシリコンの配線35を貫通し、チタンの配線25まで達するTSV52tを容易に形成することができる。

30

【0049】

(7)半導体装置1の製造方法は、配線25を有する第2の半導体ウェハ20と、配線35を有する第3の半導体ウェハ30とを接合する工程(S50)と、第2の半導体ウェハ20と第3の半導体ウェハ30との接合後に、配線25および配線35を接続するTSV52tを形成する工程(S80~S100)とを有する。これにより、2つの半導体ウェハ間を短い経路で接続した半導体装置1を得ることができる。

【0050】

(8)接合する工程(S50)の後、かつTSV52tを形成する工程(S100)の前に、第3の半導体ウェハ30を薄膜化する工程(S60)を有する。つまり、第2の半導体ウェハ20を、第3の半導体ウェハ30の薄膜化の際の支持基板として用いている。これによって、部材の節約、製造工程の簡略化を図ることができる。

40

【0051】

(9)TSV52tを形成する工程は、第3の半導体ウェハ30側から配線35を貫通して第2の半導体ウェハ20の配線25まで孔52を設ける工程(S90)と、孔52の内側壁面52aにチタンを設けて配線25および配線35を接続する工程(S100)とを含む。これにより、設けた孔52を用いてTSV52tを容易に形成することができる。

【0052】

(10)孔52を設ける工程は、エッチング工程であり、配線25のエッチングレートは配線35のエッチングレートより低い。これにより、一方の配線35を貫通し、他方の配

50

線 25 に達する TSV 52 t を形成するための孔 52 を容易に形成することができる。

【0053】

(11) 半導体装置 1 は、第 1 の半導体ウェハ 10、第 2 の半導体ウェハ 20、および第 3 の半導体ウェハ 30 に分離した構成であるので、例えば、センサ部、メモリ部、信号処理部のそれぞれに最適なプロセス形成技術を用いることができる。これにより、センサ部、メモリ部、信号処理部それぞれの性能を十分に発揮させることができ、高性能の半導体装置 1 を提供できる。

【0054】

(12) 第 1 の半導体ウェハ 10 a と、第 2 の半導体ウェハ 20 a とを半製品状態で貼り合わせた上で、第 2 の半導体ウェハ 20 を薄膜化している。つまり、第 1 の半導体ウェハ 10 a を、第 2 の半導体ウェハ 20 の薄膜化の際の支持基板として用いている。これによって、部材の節約、製造工程の簡略化を図ることができる。

10

【0055】

(13) さらに、第 1 の半導体ウェハ 10 a および第 2 の半導体ウェハ 20 に対し、第 3 の半導体ウェハ 30 a を半製品状態で貼り合わせた上で、第 3 の半導体ウェハ 30 を薄膜化している。つまり、第 1 の半導体ウェハ 10 a および第 2 の半導体ウェハ 20 を、第 3 の半導体ウェハ 30 の薄膜化の際の支持基板として用いている。これによって、部材の節約、製造工程の簡略化を図ることができる。

【0056】

(14) 全厚の調整後に貫通孔 51、52 の形成を行うので、孔のアスペクト比が小さくなり、高精度の貫通孔 51、52 の形成が可能になる。また、低アスペクト比の貫通孔 51、52 に充填する導体材料として、被覆性の良いタングステン (W) 等の金属材料はもちろんのこと、タングステンに比べて被覆性の劣る銅 (Cu) 等の金属材料を用いることができる。つまり、導体材料の制約を受けないことにより、製造コストを抑え、量産性に適した半導体装置 1 を製造できる。

20

【0057】

次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

(変形例 1)

上層カバー 47 の上から、さらに半導体ウェハを積層してもよい。例えば、図 8 の半導体装置 1 (ただし、ボンディング PAD 48 は設けない) の上から、第 2 の半導体ウェハ 20 a、第 3 の半導体ウェハ 30 a と同様の半導体ウェハを、それぞれ平坦化した後に接合する。

30

【0058】

つまり、所定数 (上記実施形態では 3 層) の半導体ウェハ 10 ~ 半導体ウェハ 30 を接合した半導体装置 1 に対し、さらに所定数 (例えば 2 層) の半導体ウェハを上から接合した上で、最上層の半導体ウェハから半導体装置 1 の最上層の半導体ウェハ (第 3 の半導体ウェハ 30) までを接続する TSV を設ける。

【0059】

変形例 1 によれば、全ての半導体ウェハ (5 層) を接合してから、最上層の半導体ウェハから最下層の半導体ウェハまでの 4 層分を接続する TSV を設ける代わりに、後から接合した所定数 (2 層) の半導体ウェハを接続する TSV を設けることで、TSV 用に形成する貫通孔のアスペクト比が小さくなり、高精度の貫通孔の形成が可能になる。また、半導体装置の製造工程における自由度を高めることができる。

40

【0060】

(変形例 2)

上述した実施形態において、半導体装置 1 における第 3 の半導体ウェハ 30 から第 1 の半導体ウェハ 10 まで 3 層をそれぞれ接続する TSV と、第 3 の半導体ウェハ 30 および第 2 の半導体ウェハ 20 の 2 層を接続する TSV との例を説明した。この他にも、第 3 の半導体ウェハ 30 および第 1 の半導体ウェハ 10 の 2 層を接続する TSV を設けてもよい

50

。

【0061】

このように、TSVによって接続する半導体ウェハは、半導体装置の設計時において適宜選択して構わない。

【0062】

上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

【符号の説明】

【0063】

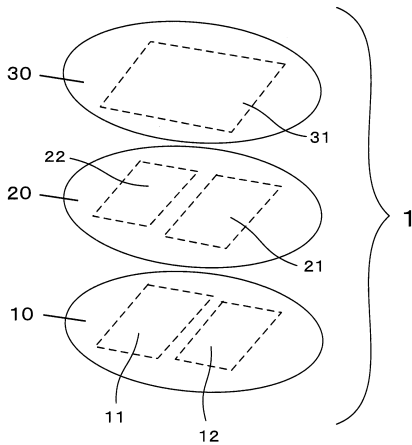
- 1 ...半導体装置
- 10、10a ...第1の半導体ウェハ
- 10b、20b、30b ...裏面
- 10f、20f、30f ...表面
- 15、25 ...配線(チタン等)
- 20、20a ...第2の半導体ウェハ
- 26、35、36 ...配線(アルミニウム等)
- 30、30a ...第3の半導体ウェハ
- 40 ...フォトレジスト
- 51、52 ...貫通孔
- 51a、52a ...内側壁面
- 51t、52t ...TSV

10

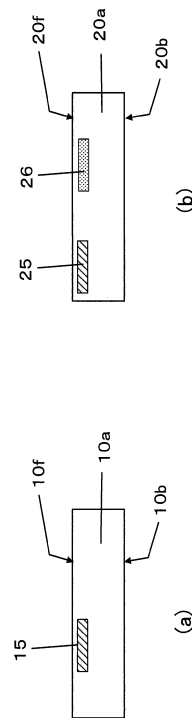
20

【図1】

【図1】

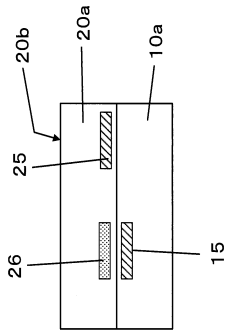


【図2】



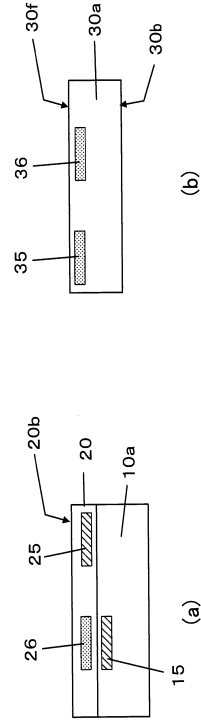
【図2】

【 図 3 】



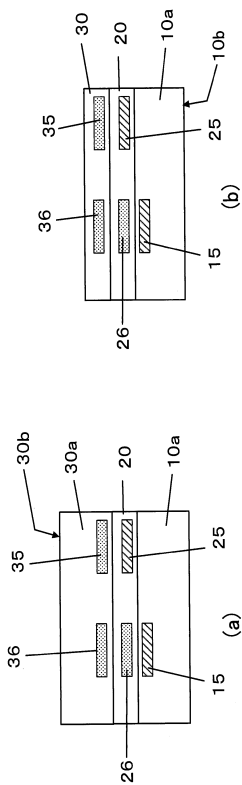
【 図 3 】

【 図 4 】



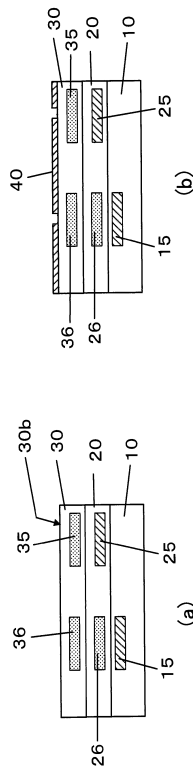
【 図 4 】

【 図 5 】



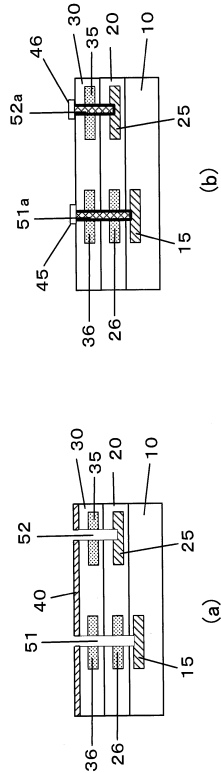
【 図 5 】

【 図 6 】



【 図 6 】

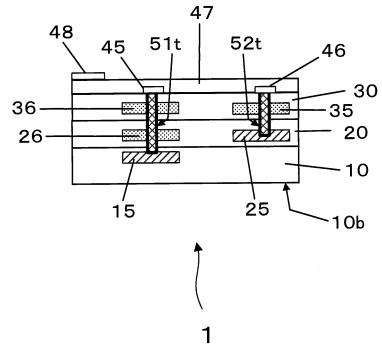
【図7】



【図7】

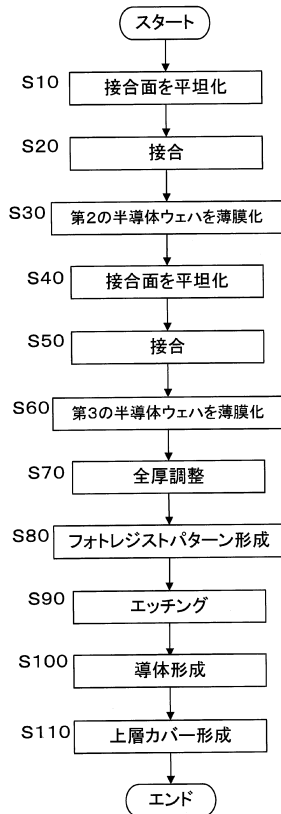
【図8】

【図8】



【図9】

【図9】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 25/07 (2006.01)  
H 0 1 L 25/18 (2006.01)  
H 0 1 L 21/02 (2006.01)

(56)参考文献 国際公開第2011/033601(WO, A1)  
特開平10-242274(JP, A)  
特開2012-174826(JP, A)  
特表2009-505401(JP, A)  
特開2010-225701(JP, A)  
特開2004-047964(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 1 / 0 2  
H 0 1 L 2 1 / 3 2 0 5  
H 0 1 L 2 3 / 5 2 2  
H 0 1 L 2 5 / 0 6 5  
H 0 1 L 2 5 / 0 7  
H 0 1 L 2 5 / 1 8  
H 0 1 L 2 7 / 0 0