

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6602579号
(P6602579)

(45) 発行日 令和1年11月6日 (2019.11.6)

(24) 登録日 令和1年10月18日 (2019.10.18)

(51) Int. Cl.

F I

G O 6 F 13/38 (2006.01)

G O 6 F 13/38 3 2 0 A

G O 6 F 15/78 (2006.01)

G O 6 F 15/78 5 1 4

G O 6 F 13/38 3 5 0

請求項の数 18 (全 26 頁)

(21) 出願番号 特願2015-141224 (P2015-141224)
 (22) 出願日 平成27年7月15日 (2015.7.15)
 (65) 公開番号 特開2017-21749 (P2017-21749A)
 (43) 公開日 平成29年1月26日 (2017.1.26)
 審査請求日 平成30年5月24日 (2018.5.24)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 三ッ石 直幹
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 猪狩 誠司
 東京都小平市上水本町五丁目20番1号
 ルネサスシステムデザイン株式会社内

審査官 打出 義尚

最終頁に続く

(54) 【発明の名称】 半導体装置およびシステム

(57) 【特許請求の範囲】

【請求項1】

同期クロックに従って、送信または受信の順序的な通信を行うインタフェース回路を備える半導体装置であって、

前記インタフェース回路は、

送信状態および受信状態の少なくとも1つをイネーブルにする動作イネーブル状態を指定する第1のレジスタと、

データ転送時に、データ転送情報またはデータ転送の内容に基づき、前記インタフェース回路の少なくとも1つのモードを変更するように生成された情報に従って、前記動作イネーブル状態において、送信または受信の少なくとも1つのモードを変更するモード制御回路と、

を備え、

前記モード制御回路は、前記動作イネーブル状態において、送受信モード、送信モード、および受信モードのモード間でモードを変更する半導体装置。

【請求項2】

請求項1の半導体装置において、

前記インタフェース回路は、前記モードの変更に応じて、ステータス出力を行うよう構成される半導体装置。

【請求項3】

請求項1の半導体装置において、

10

20

さらに、送受信同時動作時において、送信抑止または受信抑止を指定することが可能な情報を有する第2のレジスタを備える半導体装置。

【請求項4】

請求項3の半導体装置において、

前記第2のレジスタは、さらに、コマンド受信およびデータ受信のいずれかを指定することが可能な情報を備える半導体装置。

【請求項5】

請求項1の半導体装置において、

前記インタフェース回路は、データ送信完了割り込み要求、コマンド受信完了割り込み要求およびデータ受信完了割り込み要求のいずれかを出力することが可能であるよう構成される半導体装置。

10

【請求項6】

請求項1の半導体装置において、

さらに、データ転送装置を備え、

前記モード制御回路は、前記データ転送装置の所定の動作に応じた制御を受け、送信または受信の動作完了後に、少なくとも1つの前記モードの変更を行うよう構成される半導体装置。

【請求項7】

請求項5の半導体装置において、

さらに、データ転送装置を備え、

前記データ転送装置は、前記データ送信完了割り込み要求、前記コマンド受信完了割り込み要求および前記データ受信完了割り込み要求のいずれかに基づいて起動するよう構成される半導体装置。

20

【請求項8】

請求項7の半導体装置において、

前記データ転送装置は、転送モード情報を格納するレジスタと、第1および第2の転送元アドレス情報を格納するレジスタと、転送先アドレス情報を格納するレジスタと、演算回路と、を含み、

前記第1の転送元アドレス情報に基づきリードしたデータと、前記第2の転送元アドレス情報とを、前記演算回路で演算した結果に基づきリードした転送データを前記転送先アドレス情報に基づきライトを行うよう構成される半導体装置。

30

【請求項9】

請求項1の半導体装置において、

さらに、中央処理装置と割り込み制御回路とデータ転送装置とを有し、

前記インタフェース回路は、前記割り込み制御回路に対して割り込み要求を行い、

前記割り込み制御回路は、前記割り込み要求に応じて、前記中央処理装置に対して割り込み信号を出力し、または前記データ転送装置に対して起動要求を出力するよう構成される半導体装置。

【請求項10】

同期クロックに従って、送信または受信の順序的な通信を行う第1のインタフェース回路を備える第1の半導体装置と、

40

前記同期クロックに従って、送信または受信の順序的な通信を行う第2のインタフェース回路を備える第2の半導体装置と、
を備えるシステムであって、

前記第2のインタフェース回路は、

送受信状態、送信状態、または受信状態を指定する第1のレジスタと、

データ転送時に、データ転送情報またはデータ転送の内容に基づき、前記第2のインタフェース回路の少なくとも一つのモードを変更するように生成された情報に従って、送受信、送信、または受信をイネーブルにする動作イネーブル状態において、送信または受信の少なくとも一つのモードを変更するモード制御回路と、

50

を備え、

前記モード制御回路は、前記動作イネーブル状態において、送受信モード、送信モード、および受信モードのモード間でモードを変更するシステム。

【請求項 1 1】

請求項 1 0 のシステムにおいて、

前記第 2 のインタフェース回路は、前記モードの変更に応じて、ステータスを出力し、

前記第 1 のインタフェース回路は、前記ステータスを入力するよう構成される システム

。

【請求項 1 2】

請求項 1 0 のシステムにおいて、

前記第 2 のインタフェース回路は、さらに、前記送受信状態において、送信抑止または受信抑止を指定することが可能な情報を有する第 2 のレジスタを備える システム。

【請求項 1 3】

請求項 1 2 のシステムにおいて、

前記第 2 のレジスタは、コマンド受信およびデータ受信のいずれかを指定することが可能な情報を備える システム。

【請求項 1 4】

請求項 1 0 のシステムにおいて、

前記第 2 のインタフェース回路は、前記第 1 のインタフェース回路から出力される 1 つの同期クロックに同期して、送信および受信の順的な通信を行うよう構成される システム。

【請求項 1 5】

請求項 1 0 のシステムにおいて、

前記第 2 の半導体装置は、さらに、データ転送装置を備え、

前記モード制御回路は、前記データ転送装置の所定の動作に応じた制御を受け、送信または受信の動作完了後に、前記モードの変更を行うよう構成される システム。

【請求項 1 6】

請求項 1 0 のシステムにおいて、

前記第 2 の半導体装置は、さらに、データ転送装置を備え、

前記データ転送装置は前記第 2 のインタフェース回路のデータ送信完了割り込み要求、コマンド受信完了割り込み要求およびデータ受信完了割り込み要求のいずれかに基づいて起動するよう構成される システム。

【請求項 1 7】

請求項 1 6 のシステムにおいて、

前記データ転送装置は、転送モード情報を格納するレジスタと、第 1 および第 2 の転送元アドレス情報を格納するレジスタと、転送先アドレス情報を格納するレジスタと、演算回路と、を含み、

前記第 1 の転送元アドレス情報に基づきリードしたデータと、前記第 2 の転送元アドレス情報とを、前記演算回路で演算した結果に基づき リードした転送データ を前記転送先アドレス情報に基づきライトを行うよう構成される システム。

【請求項 1 8】

請求項 1 0 のシステムにおいて、

前記第 2 の半導体装置は、さらに、中央処理装置と割り込み制御回路とデータ転送装置とを有し、

前記第 2 のインタフェース回路は、前記割り込み制御回路に対して割り込み要求を行い、

前記割り込み制御回路は、前記割り込み要求に応じて、前記中央処理装置に対して割り込み信号を出力し、または前記データ転送装置に対して起動要求を出力するよう構成される システム。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本開示は半導体装置に関し、例えばシリアルコミュニケーションインタフェース (Serial Communication Interface: 以下、S C Iという。) を備えた半導体装置に適用可能である。

【背景技術】

【0002】

半導体集積回路でなるマイクロコンピュータは、機器制御用途に広く用いられている。マイクロコンピュータ間の通信には、S C Iが用いられる (例えば、特開2011-114630号公報)。S C Iは、データを1ビットずつ送信または受信するものである。S C Iには、クロック同期式モードとして、クロックの立ち下がりから次の立ち下がりまでを1ビットとして送受信を行う。1つのクロック線と送信線と受信線の3本で送受信同時動作を行う。クロック同期式は、比較的高速の通信に用いられる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-114630号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

20

S C Iは、送信のみまたは受信のみを行うことも可能であるが、送受信から送信のみまたは受信のみに切り替えるには、S C Iの再設定が必要になる。

【0005】

その他の課題と新規な特徴は、本発明書の記述および添付図面が明らかになるであろう。

【課題を解決するための手段】

【0006】

本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、半導体装置は、送信または受信の順序的な通信を行うインタフェース回路を備える。インタフェース回路は、送信状態および受信状態の少なくとも1つの状態である動作イネーブル状態を指定するレジスタと、動作イネーブル状態において、送信または受信の少なくとも1つのモードを変更するモード制御回路と、を備える。

30

【発明の効果】

【0007】

上記の半導体装置によれば、送信または受信のモードの変更を容易にすることができる。

【図面の簡単な説明】

【0008】

【図1A】実施例に係るマイクロコンピュータの構成を説明するためのブロック図。

【図1B】図1Aのマイクロコンピュータの主要なインタフェースを説明するためのブロック図。

40

【図2】図1AのS C Iの構成を説明するためのブロック図。

【図3】図1AのS C Iのレジスタ構成を説明するための図。

【図4】図1AのS C Iのモード制御状態遷移を説明するための図。

【図5】図1Aの割り込みコントローラの構成を説明するためのブロック図。

【図6】図1AのD T Cのデータ転送情報を説明するための図。

【図7】図1AのD T Cの構成を説明するためのブロック図。

【図8A】応用例に係るマイクロコンピュータシステムの構成を説明するためのブロック図。

【図8B】図8Aのマイクロコンピュータシステムの接続関係を説明するためのブロック

50

図。

【図 9】図 8 A のマイクロコンピュータシステムにおける通信動作の第 1 の例を説明するためのタイミング図。

【図 10】図 8 A のマイクロコンピュータシステムにおけるコマンド受信完了のためのデータ転送を説明するための図。

【図 11】図 8 A のマイクロコンピュータシステムにおけるコマンド受信完了のためのデータ転送を説明するための図。

【図 12】図 8 A のマイクロコンピュータシステムにおける通信動作の第 2 の例を説明するためのタイミング図。

【図 13】実施形態に係る半導体装置の構成を説明するためのブロック図。

10

【発明を実施するための形態】

【0009】

以下、実施形態、実施例および応用例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。

【0010】

まず、本願発明者らが検討した S C I の課題について説明する。

クロック同期式モードの送受信同時動作の場合、送信または受信の一方に不所望の状態にある場合には、所望の動作を行うことができない。例えば、送信データが用意できていないときには、原理的に所望の送受信同時動作を実現できず、実装上、送受信の両方の動作を行わないようにすることが多い。

20

【0011】

送受信同時動作と、送信のみ動作または受信のみ動作を切り替える場合、S C I の設定変更を行う必要がある。設定変更にあたっては待機時間が必要になる場合もある。待機時間は、S C I が順序的な動作を行うための内部動作の初期化のためなどに必要なものであり、待機時間の計測を行う。設定変更や待機時間の計測は、正味の通信とは直接関係のない処理であり、また、データトランスファコントローラ (D T C) などのデータ転送装置に担わせることが難しく、処理の高速化も難しい。

【0012】

通信の内容は、マイクロコンピュータが利用されるシステムによって異なる。一般的に、制御用途では、コマンドとそれに付随するデータが含まれることが多い。コマンドを受ける側は、コマンドの内容を判断しなければ、その後の動作 (送信または受信) を決めることができない。コマンドと、それに付随する通信のデータ長はシステムによって異なり、コマンドに対応してデータ長も異なることが考えられる。例えば、コマンドは 8 ビット単位、それに付随する通信は 32 ビット単位などである。

30

【0013】

例えば、送受信同時動作を行うシステムにおいて、コマンド送受信を行う場合は、対となるデータは存在しないことが多いので、送受信同時動作のままとして、コマンド受信側 (スレーブ) はダミーの送信データを用意し、コマンド送信側 (マスタ) は受信したダミーの受信データを無視するようにしなければならない。ダミーの送信データおよび受信データに対する、これらの処理は、本来必要のないものである。または、マスタは送信のみ、スレーブは受信のみに設定変更を行わなければならない。この場合は、設定変更の処理や待機時間の計測などが必要になってしまう。

40

【0014】

< 実施形態 >

図 13 は実施形態に係る半導体装置の構成を示すブロック図である。

【0015】

半導体装置 (S D) は、同期クロックに従って、送信または受信の順序的な通信を行うインタフェース回路 (S I) を備える。インタフェース回路 (S I) は、送信状態および受信状態の少なくとも 1 つの状態である動作イネーブル状態を指定するレジスタ (R E G

50

ISTER)と、動作イネーブル状態において、送信または受信の少なくとも1つのモードを変更するモード制御回路(MDC)と、を備える。

半導体装置によれば、送受信から送信または受信のモードの変更を容易にし、待機時間などを不要にして、通信のモードを変更可能にする。

【実施例】

【0016】

図1Aは実施例に係るマイクロコンピュータの構成を示すブロック図である。マイクロコンピュータ(Micro Controller Unit:以下、MCUという。)10は1つの半導体基板上に図1Aに示す機能ブロックまたはモジュール等を備える半導体装置である。すなわち、MCU10は、中央処理装置(Central Processing Unit:以下、CPUという。)11、データ転送装置(データトランスファコントローラ(Data Transfer Controller:以下、DTCという。))12、割り込みコントローラ(Interrupt Controller:INT)13、リードオンリメモリ(Read Only Memory:以下、ROMという。)14およびランダムアクセスメモリ(Random Access Memory:以下、RAMという。)15を備える。MCU10は、さらに、バスコントローラ(Bus Controller:以下、BSCという。)16、タイマ(TIMER)17、SCI18、A/D(Analog/Digital)変換器およびD/A(Digital/Analog)変換器などのアナログモジュール(ANALOG)19および入出力ポート(I/O)1Aを備える。

【0017】

MCU10の動作の主体となるCPU11は、主にROM14から命令を読込んで動作する。ROM14は電氣的に書換が可能なメモリであるフラッシュメモリ等の不揮発性メモリで構成される。DTC12は、CPU11の設定に基づき、CPU11に代ってデータ転送を行う。

【0018】

INT13は、BSC16、タイマ17、SCI18、アナログモジュール19などからの割り込み要求(INTREQ)、およびMCU10外部からの複数の外部割り込み要求信号に基づく、I/O1Aからの割り込み要求(INTREQ)を受けて、CPU11に割り込み要求、またはDTC12にデータ転送起動要求を出力する。割り込み信号による処理を開始したときまたは終了したときに、割り込みをクリアする信号である割り込みクリア信号(INTCLR)を、BSC16、タイマ17、SCI18、アナログ19、I/O1Aのそれぞれの割り込み信号または割り込み要因フラグに対応して出力する。

【0019】

BSC16は、CPU11およびDTC12からのバスリクエスト信号を受けてMCU内部バス1Bの占有に対する調停をして、バス使用許可信号を出力する。BSC16は、CPU11およびDTC12と、バスリクエスト、バスアクノレジ、バスコマンド、ウェイト、アドレス、データなどのインタフェースを行い、MCU内部バス1Bに接続された、RAM15やその他の機能ブロックまたはモジュールに対するリード/ライトを実現する。RAM15はSRAM等の揮発性メモリで構成される。

【0020】

SCI18の送信データ出力(TXD)および受信データ入力(RXD)は、MCU10の外部のSCIとシリアルバスによって入出力される。このとき、必要に応じて入出力ポートを介して、入出力するようにすることもできる。

【0021】

図1Bは図1Aのマイクロコンピュータの主要なインタフェースを示すブロック図である。SCI18は、INT13を介して、DTC起動要求(DTCREQ)によりDTC12を起動する。SCI18のデータ転送起動要因として、コマンド受信完了(コマンド受信データフル)割り込み要求(CRXI)、データ受信完了(受信データフル)割り込み要求(DRX)、データ送信完了(送信データエンプティ)割り込み要求(TXI)を持つ。

【0022】

DTC12は、INT13の示すDTCベクタ番号(DTCEC)に対応した、データ転送情報をRAM15からリードして、データ転送を行う。データ転送情報は、データ転送起動要因に対応したものが用意される。後述のように、コマンド受信完了に対応したデータ転送によって、受信データフル(受信データ転送)、送信データエンpty(送信データ転送)で使用するデータ転送情報を切り替えるようにする。また、DTC12はデータ転送時にアクノレジ信号(ACK)を活性化するとともに、データ転送情報または転送データに応じてモード制御信号(MDC)を出力する。このアクノレジ信号(ACK)とモード制御信号(MDC)は、INT13を介して、SCI18に与えられ、これに基づき、SCI18のモード制御部(SCIMDC)は後述するモードの変更を行う。SCI18は、モードと送受信の状態に従って、ステータス(ST)の出力を行う。

10

【0023】

なお、データ転送装置の起動要因が一意に決まる場合には、SCI18とデータ転送装置を直接接続するようにしてもよい。これは、データ転送装置として、DTC12とINT13を一体化したものと理解することができる。

【0024】

(SCI)

図2は図1AのSCIの構成を示すブロック図である。SCI18は、制御レジスタ181、モード制御部(SCIMDC)182、送受信制御部(SCICNT)183、受信部184、送信部185、受信FIFO186、送信FIFO187等を備える。

【0025】

20

制御レジスタ181は、送受信の方式やフォーマットの指定を行うとともに、割り込み要求などの状態を表示するために、モードレジスタ(SMR)、コントロールレジスタ(SCR)、ステータスレジスタ(SSR)、ファンクションコントロールレジスタ(SFCR)を有する。例えば、SCRのトランスミットイネーブル(TE)ビット、レシーブイネーブル(RE)ビットのいずれかが1にセットされた状態に応じて、SCI18の動作イネーブル状態(SCIイネーブル)を指定する。この動作イネーブル状態は、ほかの送受信の方式やフォーマットの指定がなされた後に指定する。換言すれば、動作イネーブル状態では、送受信の方式やフォーマットの変更は行わない。

【0026】

SCIMDC182は、制御レジスタ181のSFCRの設定に基づき、コマンド/データの識別(CMD)、送信抑止(TD)、受信抑止(RD)などのモード制御を行う。また、SCIMDC182は、DTC12のモード制御信号(MDC)に応じて、モードの切り替えを行う。このとき、SCIMDC182は、モード制御信号(MDC)をSCIMDC182内部で一旦、次モードとして保持し、実行中の送受信が完了した時点で、SFCRに反映するようにする。SCI18がスレーブ側である場合は、モードに対応してI/Oポート(端子18D)からステータス(ST)を出力する。コマンド受信が指定された状態での受信動作によって、ステータス(ST)出力をビジー状態にする。コマンド受信完了によるデータ転送装置の動作によって、モードの切り替えを行ったときに、ステータス(ST)出力をレディ状態にする。また、データ送信またはデータ受信動作によって、ステータス(ST)出力をビジー状態にし、これらによるデータ転送装置の動作によって、モードの切り替え(コマンド受信にモードを切り替え)たときに、レディ状態にする。

30

40

【0027】

SCICNT183は、制御レジスタ181およびSCIMDC182に基づき、クロック部ポーレートジェネレータ(BRG)188からの同期クロック(SCK)に同期して、送信/受信/送受信動作を行う。また、SCI18がマスタ側である場合は、I/Oポート(端子18D)からステータス(ST)の入力を行い、ビジー状態の場合は、新たな送受信動作を開始しないようにする。

【0028】

送信動作は、送信FIFO187に有効なデータが存在する状態で、同期クロック(S

50

CK)が入力されると、送信部185を介して送信データ(TXD)を出力端子18Aに出力する。送信FIFO187に有効なデータがない状態で、同期クロック(SCK)が入力されると送信オーバーランエラーを発生する。

【0029】

受信動作は、同期クロック(SCK)に同期して、入力端子18Bから受信データ(RXD)を受信部184に入力し、単位データの入力が行われると、受信FIFO186に転送する。受信FIFO186が一杯の状態で、さらに受信データを入力すると受信オーバーランエラーを発生する。

【0030】

SCICNT183は、送信オーバーランエラーまたは受信オーバーランエラーが発生すると、INT13に割り込みを要求する。この割り込み処理ルーチンによって、CPU11は所要の処理を行い、SCI18は動作を再開することになる。

10

【0031】

SCICNT183は、送信FIFO187に所定の量の空きが生じた場合には送信データエンプティ割り込み要求(TXI)を、受信FIFO186に所定の量のデータが蓄積された場合は受信データフル割り込み要求(DRXI)を発生する。この所定の量は、制御レジスタ181の設定によって指定することができる。

【0032】

制御レジスタ181において、TEビット、REビットがいずれも1にセットされた動作イネーブル状態においては、同期クロック(SCK)は送受信に共通であるため、送信動作と受信動作は同時に動作する。この動作イネーブル状態を送受信同時動作イネーブル状態という。送受信同時動作イネーブル状態であっても、送信オーバーランエラーまたは受信オーバーランエラーが発生した状態では、送受信動作は行わない。

20

【0033】

SCICNT183は、送受信同時動作イネーブル状態においても、コマンド受信(CMD=1)の場合は、送信FIFO187に有効なデータがなくても、送信オーバーランエラーを発生させず、送信動作を行い、また、送信FIFO187に有効なデータがあっても、送信FIFO187を保持したまま送信動作を行う。この送信動作では、送信出力を0または1に固定する。これは、TEビットを0に設定した場合と同様の動作である。また、SCICNT183は、単位データの受信によって、コマンド受信完了割り込み要求(CRXI)を発生させる。

30

【0034】

送受信同時動作イネーブル状態においても、送信抑止(TD=1)の場合は、コマンド受信の場合と同様の動作になる。

【0035】

SCICNT183は、送受信同時動作イネーブル状態においても、受信抑止(RD=1)の場合は、受信データは無視し、受信FIFO186も保持する。このため、受信データフル、受信オーバーランエラーも発生させない。これは、REビットを0に設定した場合と同様の動作である。

【0036】

40

受信部184は、入力端子18Bに接続され、1ビットずつ受信データ(RXD)を格納する。所定のデータ(例えば8ビット)の受信が完了すると、そのデータを受信FIFO186に転送する。後述のRDビットが1にセットされている場合は、受信完了とみなさない。受信FIFO186の内容は、MCU内部バス1Bを介して、CPU11またはDTC12からリードすることができる。

【0037】

送信FIFO187は、MCU内部バス1Bを介して、CPU11またはDTC12により、送信データのライトが行われる。後述のTDREフラグが0にクリアされ、送信が開始されると、送信FIFO187の内容は送信部185に転送される。送信部185は出力端子18Aに接続され、1ビットずつ送信データ(TXD)を出力する。

50

【 0 0 3 8 】

ポーレートジェネレータ (B R G) 1 8 8 は、送受信の基本となるタイミングを生成することができるようにする。ポーレートジェネレータ (B R G) 1 8 8 は、ビットレートレジスタ、ビットレートカウンタを有する。

【 0 0 3 9 】

S C I C N T 1 8 3 は、割り込み要求信号として、T X I (データ送信完了または送信データエンプティ割り込み要求)、C R X I (コマンド受信完了またはコマンド受信データフル割り込み要求)、D R X I (データ受信完了または受信データフル割り込み要求)、E R I (受信エラー割り込み要求) 信号を出力する。T X I、C R X I、D R X I 信号は、D T C 1 2 のデータ転送要求として使用することができる。

10

【 0 0 4 0 】

図 3 は図 1 A の S C I のレジスタ構成を示す図である。図 3 では、クロック同期式モードに係するビットのみを示す。調歩同期式モードやその他の方式も、図示はされない、コントロールビット、ステータスフラグによって、実現することができる。

【 0 0 4 1 】

シリアルモードレジスタ (S M R) のビット 1、0 は、クロックセレクトビット (C K S 1、C K S 0) であり、内蔵ポーレートジェネレータ (B R G) 1 8 8 のクロックソースを選択する。

【 0 0 4 2 】

シリアルコントロールレジスタ (S C R) のビット 7 は、トランスミットインタラプトイネーブル (T I E) であり、T I E ビットを 1 にセットすると、T X I が許可される。ビット 6 は、レシーブインタラプトイネーブル (R I E) であり、R I E ビットを 1 にセットすると、R X I および E R I が許可される。ビット 5 は、トランスミットイネーブル (T E) であり、T E ビットを 1 にセットすると、送信動作が可能になる。ビット 4 は、レシーブイネーブル (R E) であり、R E ビットを 1 にセットすると、受信動作が可能になる。ビット 1 は、クロックイネーブル (C K E) であり、クロックソースおよび S C K の入出力端子 1 8 C の機能を選択する。C K E ビットが 0 にクリアされているときは、ポーレートジェネレータ (B R G) 1 8 8 からの内部クロックを使用し、入出力端子 1 8 C は S C K の出力端子となる。C K E ビットが 1 にセットされているときは、外部クロックを使用し、入出力端子 1 8 C は S C K の入力端子となる。

20

30

【 0 0 4 3 】

M C U 1 0 が適用されるシステムによって、S C I 1 8 の動作は固定され、送信動作のみ (T E = 1、R E = 0)、受信動作のみ (T E = 0、R E = 1)、送受信同時動作 (T E = R E = 1) のいずれかになる。送受信コントロールは通信状態の遷移を司るにあたって、送信動作のみ、受信動作のみ、送受信同時動作の 3 つの動作によって、参照するレジスタやビットを変更する必要があるため、送受信等の通信動作中に不整合を生じることを防ぐため、T E、R E ビットの通信動作中の切り替えは禁止される。T E、R E ビットを設定した後、ポーレートジェネレータ (B R G) 1 8 8 による基本クロックの同期化などの時間を待つ必要がある。

【 0 0 4 4 】

40

シリアルステータスレジスタ (S S R) のビット 7 は、トランスミットデータレジスタエンプティ (T D R E) フラグであり、送信 F I F O 1 8 7 の空きの状態を表示する。所定の空きがある場合に、T D R E フラグは 1 にセットされる。また、C P U 1 1 が、T D R E フラグの 1 の状態をリードした後、0 をライトしたとき、および、T X I により起動された D T C 1 2 で送信 F I F O 1 8 7 へ送信データを転送したときに 0 にクリアされる。T D R E フラグが 0 にクリアされると送信動作を開始する。ビット 6 は、レシーブデータレジスタフル (R D R F) フラグであり、受信 F I F O 1 8 6 のデータの状態を表示する。受信 F I F O 1 8 6 に所定のデータが存在する場合に、R D R F フラグは 1 にセットされる。また、C P U 1 1 が、R D R F フラグの 1 の状態をリードした後、0 をライトしたとき、および、C R X I または D R X I により起動された D T C 1 2 で受信 F I F O 1

50

8 6 からデータを転送したときに 0 にクリアされる。ビット 5 は、オーバランエラー (O R E R) フラグであり、受信時にオーバランエラーが発生したことを表示する。具体的には、O R E R フラグは、R D R F フラグが 1 にセットされた状態で次のデータを受信したときに、1 にセットされる。このとき、受信データレジスタ (R D R) はオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われる。O R E R フラグに 1 がセットされた状態では、以降のシリアル送受信は行わないようにする。

【 0 0 4 5 】

T D R E フラグと T I E ビットがいずれも 1 にセットされると、T X I が発生する。R D R F フラグと R I E ビットが 1 にセットされると、後述の C M D ビットによって、C R X I または D R X I が発生する。また、O R E R フラグと R I E ビットが 1 にセットされると E R I が発生する。

10

【 0 0 4 6 】

ファンクションコントロールレジスタ (S F C R) のビット 5 は、送信ディスエーブル (T D) であり、クロック同期式モードの送受信動作時、かつクロック入力の状態、T D ビットが 1 にセットされている場合、T D R E フラグの状態によらず、クロック入力に従って、送受信動作を開始する。送信データは固定値 (例えば 0 0 または F F) とする。0 または 1 に固定することで、信号変化を抑止し、不所望の消費電力増加を回避することができる。データを固定するのみで、そのほかの通信動作は、送受信同時動作になる。ビット 4 は、受信ディスエーブル (R D) であり、R D ビットを 1 にセットした場合は、受信を完了したとみなさず、R D R F、O R E R フラグは 1 にセットされない。ビット 2 は、コマンド受信 (C M D) であり、受信完了時にコマンド受信完了またはデータ受信完了のいずれとみなすかを指定する。すなわち、C M D ビットが 1 にセットされている場合は、コマンド受信完了として C R X I が発生し、C M D ビットが 0 にクリアされている場合は、D R X I が発生する。

20

【 0 0 4 7 】

これらの C M D、T D、R D ビットは、D T C 1 2 からのモード制御信号 (M D C) に応じた、S C I M D C 1 8 2 に従い、変更される。

【 0 0 4 8 】

図 4 は図 1 A の S C I のモード制御状態遷移を示す図である。リセット後は、T E、R E ビットが 0 にされた停止状態 S T 1 である。C P U 1 1 などにより、制御レジスタ 1 8 1 の S C R の設定を行い、T E、R E ビットの少なくとも 1 ビットを 1 にセットすると、動作イネーブル状態 S T 2 になる。動作イネーブル状態 S T 2 は、送信動作 (T E = 1)、受信動作 (R E = 1) または送受信動作 (T E = R E = 1) のいずれかの状態である。

30

【 0 0 4 9 】

まず、特に制限はされないものの、D T C 動作による S F C R 設定 (モード制御) によって C M D ビットを 1 にセットしてコマンド受信状態 S T 2 1 にする。コマンド受信が完了すると、D T C 1 2 によるモード制御を待つ設定判定 / 待ち状態 S T 2 2 になる。

【 0 0 5 0 】

このモード制御によってデータ受信状態 S T 2 3、データ送受信状態 S T 2 4、データ送信状態 S T 2 5 のいずれかに遷移する。T D ビットを 1 にセットするとデータ受信状態 S T 2 3 に、R D ビットを 1 にセットするとデータ送信状態 S T 2 5 に、T D ビットおよび R D ビットのいずれも 1 にセットしない (0 にクリアする) とデータ送受信状態 S T 2 4 に遷移する。所要のデータ受信、データ送受信、データ送信を行うと、D T C 1 2 によるモード制御を待つ設定判定 / 待ち状態 S T 2 6 になる。モード制御によって C M D ビットを 1 にセットして、コマンド受信状態 S T 2 1 に遷移する。なお、動作イネーブル状態 S T 2 では、送受信の方式やフォーマットの変更は行わないようにする。

40

【 0 0 5 1 】

(I N T)

図 5 は図 1 A の割り込みコントローラ (I N T) の構成を示すブロック図である。M C U 1 0 の割り込み要因には、内部割り込み、外部割り込みの 2 種類があり、それぞれ割り

50

込み要因フラグを有する。ここでは、代表的に S C I 1 8 からの内部割り込み要因のみを示している。

【 0 0 5 2 】

割り込みの要因フラグは、S C I 1 8 と同様に、タイマ 1 7、アナログ 1 9 の機能ブロックが所定の状態になったときに、または、M C U 1 0 の外部割り込み入力端子が所定の状態になったときに、1 にセットされる。割り込み要因フラグが 1 にセットされ、対応する割り込み許可ビットが 1 にセットされていると、I N T 1 3 に割り込み要求される。

【 0 0 5 3 】

この割り込み要求 (I N T R E Q) は、割り込み / D T C 判定回路 1 3 1 に入力される。割り込み / D T C 判定回路 1 3 1 には、さらに D T C 許可レジスタ (D T E R) 1 3 2 の内容が入力され、割り込み / D T C 判定回路 1 3 1 は、割り込みが要求されたとき、D T C 1 2 を起動するか、C P U 1 1 に割り込みを許可するかを選択する。割り込み / D T C 判定回路 1 3 1 は、D T C 許可レジスタ 1 3 2 の当該割り込み要因に対応した D T E ビットが 1 にセットされていると、D T C 1 2 への起動を要求し、C P U 1 1 への割り込みを要求しない。割り込み / D T C 判定回路 1 3 1 は、D T C 許可レジスタ 1 3 2 の D T E ビットが 0 にクリアされていると、C P U 1 1 への割り込みを要求し、D T C 1 2 への起動を要求しない。

【 0 0 5 4 】

割り込み / D T C 判定回路 1 3 1 の出力は、C P U 1 1 への割り込み要求と D T C 1 2 への起動要求が独立にそれぞれ優先順位・マスケレベル判定回路 1 3 3 と優先順位判定回路 1 3 4 とに入力される。C P U の優先順位判定・マスケレベル判定回路 1 3 3 は、プライオリティレジスタ、割り込みマスケレベルなどに従って制御される。

【 0 0 5 5 】

C P U 1 1 への割り込み要求、D T C 1 2 への起動要求のそれぞれについて、複数の割り込み要求が発生している場合に、優先順位・マスケレベル判定回路 1 3 3 および優先順位判定回路 1 3 4 はそれぞれ優先順位を判定する。この判定の結果、優先順位の最高のものが選択され、ベクタ番号が生成される。優先順位・マスケレベル判定回路 1 3 3 は C P U 割り込み要求 (C P U I N T) とベクタ番号 (V E C) を出力し、優先順位判定回路 1 3 4 は D T C 起動要求 (D T C R E Q) と D T C ベクタ番号 (D T C V E C) を出力する。

【 0 0 5 6 】

D T C 起動要求 (D T C R E Q) は D T C 1 2 に入力され、また D T C ベクタ番号 (D T C V E C) はラッチ回路 1 3 5 に入力される。D T C 動作開始信号 (D T C S T A) および D T C 動作終了信号 (D T C E N D) が D T C 1 2 から出力され、ラッチ回路 1 3 5 に入力される。すなわち、D T C 1 2 が動作を開始すると、D T C 動作開始信号 (D T C S T A) が活性状態になり、ラッチ回路 1 3 5 は D T C ベクタ番号 (D T C V E C) のラッチおよび保持を行う。そして、D T C 1 2 のデータ転送が終了して D T C 動作終了信号 (D T C E N D) が活性状態になり、ラッチ回路 1 3 5 のラッチは解除される。

【 0 0 5 7 】

また、D T C ベクタ番号 (D T C V E C) と D T C 動作終了信号 (D T C E N D) はデコード回路 1 3 6 に入力され、対応する割り込み要因フラグ (例えば S C I 1 8 の T D R E , R D R F , O R E R) に対して D T C 1 2 からの割り込み要因クリア信号 (I N T C L R) または D T E クリア信号 (D T E C L R) が活性状態になって、割り込み要因フラグまたは D T E ビットがクリアされる。

【 0 0 5 8 】

所要の割り込み要因で、D T C 1 2 を起動する場合、C P U 1 1 は予め、データ転送情報などを R A M 1 5 の所要のアドレスにライトするとともに、当該割り込みの割り込み許可ビット (例えば S C I 1 8 の T I E , R I E) と、D T C 許可レジスタ 1 3 2 の当該割り込み要因に対応した D T E ビットを 1 にセットしておく。

【 0 0 5 9 】

この状態で当該割り込み要因フラグが1にセットされると、DTC12が起動される。DTC12が所定のデータ転送などの動作を実行している状態では、DTC12は割り込み要因クリア信号(INTCLR)によってデータ転送毎に当該割り込み要因フラグを0にクリアする。このとき、CPU11に割り込みは要求されない。

【0060】

所定のデータ転送などを終了した場合、DTC12はDTEクリア信号(DTECLR)によって動作終了時にDTEビットを0にクリアする。このとき、当該割り込み要因フラグは1に保持され、DTEビットが0にクリアされているので、CPU11に割り込みが要求される。CPU11は、所定のデータ転送の終了などに対応した処理を実行するとともに、データ転送情報やDTEビットの再設定を行う。

10

【0061】

(DTC)

図6は図1AのDTCのデータ転送情報(転送情報セット)を示す図である。DTC12のデータ転送情報は、モードレジスタ(MR)、データレジスタ(DR)、第1および第2ソース(転送元)アドレスレジスタ(SAR1、SAR2)、デスティネーション(転送先)アドレスレジスタ(DAR)、転送カウントレジスタ(CR)からなる。

【0062】

MRに保持した内容によって、この内の必要なものが使用される。CRは、ブロック転送カウントレジスタ(BTCR)、転送カウントレジスタ(TCR)に分割され、TCRは8ビットずつ上位(TCRH)、下位(TCRL)に分割されている。後述のデータ転送モードに従って動作する。これらのレジスタ(MR、CR)は、1組分の回路がDTC12の内部に存在し、特に制限はされないものの、CPU11のアドレス空間上には存在しない。これらに格納されるべきデータ転送情報は、必要組数がCPU11のアドレス空間上の、RAM15などの所定のデータ転送情報アドレス領域に配置される。

20

【0063】

モードレジスタ(MR)のビット構成は以下の通りである。

ビット31~16は、データ転送モードの設定と、テーブル参照用の入力データの指定を行う。ビット15~0は、テーブル参照用のデータ転送機能のテーブル参照の指定と、通常データ転送機能のデータ転送の指定を行う。

【0064】

ビット31は、TLUビットであり、通常データ転送またはテーブル参照用のデータ転送機能を選択する。TLUビットが0にクリアされた場合は、通常データ転送を行う。データ転送情報はMR、SAR2、DAR、CR(32ビット×4本)とされる。通常データ転送の説明において、ハードウェアとしてのSAR2を、データ転送情報としてはSARと記す。TLUビットが1にセットされた場合は、テーブル参照モードである。

30

【0065】

ビット30は、BRMビットであり、TLUビットが1にセットされた場合に有効になり、分岐モードを指定する。データ転送情報はMR、SAR1、SAR2、DAR(32ビット×4本)とされる。CRは0とみなす。DTC12は、SAR1で指定したアドレスからリードしたデータに基づき、SAR2で指定したテーブルを参照する。DTC12は、テーブルからリードしたデータを、DARで指定した転送先アドレスにライトする。

40

【0066】

ビット27は、MDCEビットである。DTC12は、MDCEビットが1にセットされた状態で、CR=0のデータ転送を行うと、モード制御信号(MDC)を出力する。

【0067】

ビット26~24は、MDC[2:0]ビットである。TLUビットが0にクリアされ、MDCEビットが1にセットされた状態で、CR=0のデータ転送時に、モード制御信号(MDC)を指定する。MDC[2]ビットがCMDビットに、MDC[1]ビットがTDビットに、MDC[0]ビットがRDビットに反映されるようにする。DTC12は、TLUビットおよびMDCEビットがいずれも1にセットされた状態では、SAR2で

50

指定したテーブルからリードしたデータに基づき、モード制御信号 (MDC) を出力する。

【0068】

ビット22～20は、SF[2:0]ビットであり、入力データの左シフトを8～0ビットで指定する。

【0069】

ビット17、16はISz[1:0]ビットであり、入力データのリードをバイトサイズ、ワードサイズ、ロングワードサイズのいずれで行うかを選択する。

【0070】

ビット15、ビット14は、SM1、SM0ビットであり、データ転送後にSARをインクリメントするか、デクリメントするか、固定にするかを指定する。

10

【0071】

ビット13、ビット12は、DM1、DM0ビットであり、データ転送後にDARをインクリメントするか、デクリメントするか、固定にするかを指定する。

【0072】

ビット11、ビット10は、TMD1、TMD0ビットであり、データ転送モードを選択する。TMD1、TMD0ビットを00にするとノーマルモードとなる。このノーマルモードでは、1回の起動で、SARで示されるアドレスからDARで示されるアドレスへ1回のデータ転送を行う。その後、SM1、SM0、DM1、DM0ビットの指定に基づいてSAR、DARの操作が行われ、CRがデクリメントされる。これを起動要因が発生する毎に、CRで指定された回数だけ繰り返す。そして、CRで指定された回数のデータ転送が終了すると、DTC動作が禁止され、起動要因となった割り込みがCPU11に要求される。TMD1、TMD0ビットを01にするとリピートモードとなる。TMD1、TMD0ビットを10にするとブロック転送モードとなる。リピートモード、ブロック転送モードは、公知の技術で実現できる。

20

【0073】

ビット9はDIRビットであり、転送元または転送先のいずれをリピート領域、ブロック領域とするかを選択する。

【0074】

ビット7、6はSz1、Sz0ビットであり、1回のデータ転送をバイトサイズ、ワードサイズ、ロングワードサイズのいずれで行うかを選択する。

30

【0075】

ビット2はCREビットであり、CREビットを0にクリアした場合は、DTC起動要求(DTCREQ)に応じて、無制限にDTC12の動作を行う。ノーマルモードの場合はCRを使用しない。CREビットを1にセットした場合は、CRに初期設定した値に応じて、DTC12の動作を行う。

【0076】

ビット1はNXTE1ビットであり、1つの起動要因に対してデータ転送を終了するか、次のデータ転送を行うかを選択する。このNXTE1ビットを0にクリアした場合、データ転送情報リードおよびデータ転送後、データ転送情報をライトしてDTCの動作を終了する。また、このNXTE1ビットを1にセットした場合、データ転送情報リードおよびデータ転送後、データ転送情報をライトして、さらに連続したアドレスからデータ転送情報をリードして、このデータ転送情報で指定されるデータ転送を行い、データ転送情報をライトする。これをチェーン転送と呼ぶ。ビット0はNXTE0ビットであり、CRが0になったときに、チェーン転送を行うかを指定する。

40

【0077】

図7は図1AのDTCの構成を示すブロック図である。DTC12はデータ転送制御ブロック(DTCCNT)121、バスインタフェース(BIF)122、ベクタ生成ブロック(VG)123、ベクタアドレスレジスタ(VAR)124および演算器(ALU)12Aを備える。また、DTC12はモードレジスタ(MR)、第1ソースアドレスレジ

50

スタ (SAR1)、第2ソースアドレスレジスタ (SAR2)、デスティネーションアドレスレジスタ (DAR) およびデータ転送カウンタ (CR) を備える。

【0078】

DTCCNT121は、INT13からのDTC転送要求 (DTCREQ) およびMRの内容に基づき、DTC12の制御を行う。

【0079】

BIF122は、DTC内部バス12Bと、MCU内部バス1Bとのインタフェースを行う。このインタフェースには、バスリクエスト、バスアクノレジ、バスコマンド、ウェイト、アドレス、データなどを含む。また、BIF122は、データ転送制御ブロック (DTCCNT) 121が転送データの確認を行うのにも使用される。

10

【0080】

VG123は、INT13から与えられる割り込みDTCベクタ番号 (DTCVEC) に従って、ベクタアドレスを生成する。例えば、DTCVECを4倍などとし、所定のオフセットを加算する。

【0081】

VAR124は、VG123で生成されたベクタアドレスが指し示すRAM15の領域からリードしたデータ転送情報の先頭アドレスを格納する。

【0082】

MR、SAR1、SAR2、DAR、CRは、VAR124に格納されたデータ転送情報の先頭アドレスが指し示すRAM15の領域から順次リードしたデータ転送情報を格納する。

20

【0083】

ALU12Aは、論理演算、シフト、算術演算などの機能を持ち、所定の順序で、これらの演算の複数を実行にする。

【0084】

DTC内部バス12Bは、図示はされないものの、複数のバスを持っており、SAR1、SAR2、DAR、CRの複数の内容を、ALU12Aに与えて演算できるようにする。これらによって、リピートモードやブロック転送モードの演算を行う。リピートモード、ブロック転送モードのデータ転送動作の内容については、公知の技術で実現できるので、詳細な説明は省略する。

30

【0085】

INT13からDTC起動要求信号 (DTCREQ) が与えられると、DTC12は動作を開始する。DTCCNT121は、DTC12が動作を開始すると、DTC動作開始信号 (DTCSTA) を活性状態にする。DTCCNT121は、データ転送を行うとき、このバスサイクルに応じて、アクノレジ信号 (ACK) を活性化する。また、DTCCNT121は、転送カウンタ (CR) が0のとき、かつMRの設定に従い、モード制御信号 (MDC) を所定の状態にし、SCI18のSFCRの設定を行う。DTCCNT121は、割り込み要因クリア信号 (INTCLR) またはDTEクリア信号 (DTECLR) を活性状態にし、起動要因となった割り込み要因フラグ又はDTEビットをクリアし、動作を終了する。DTCCNT121は、DTC12が動作を終了すると、DTC動作終了信号 (DTCEND) を活性状態にし、停止状態に戻る。

40

【0086】

< 応用例 >

図8Aは応用例に係るマイクロコンピュータシステムの構成を示すブロック図である。図8Bは図8Aのマイクロコンピュータシステムの接続関係を示すブロック図である。マイクロコンピュータシステム1は、マスタMCU10M、スレーブMCU10S、モータ20、モータ20の位置を検出するエンコーダ30を含む。マイクロコンピュータシステム1は、例えばカメラシステムであり、カメラマスタMCU10Mはカメラボディ用MCUであり、スレーブMCU10Sはカメラレンズ用MCUである。

【0087】

50

実施例に係るMCU10は、マスタMCU10MおよびスレーブMCU10Sに適用される。スレーブMCU10Sは、焦点モータ(M)20の駆動用のタイマ17F、焦点モータ20の位置を検出するためのエンコーダ(ENCODER)の入力用のタイマ17D、インターバルタイマ機能を持つタイマ17Iを使用するものとする。また、各種設定のスイッチ(SWITCH)などを、入出力ポート(I/O)1Aで入力する。

【0088】

図8Bに示すように、マスタMCU10MのSCI18、スレーブMCU10SのSCI18はクロック同期式モードの3本およびステータスを示す入出力ポートの1本の信号線でインタフェースを行う。マスタMCU10MのTXDを出力する端子18A、RXDを入力する端子18B、SCKを出力する端子18CおよびSTを入力する端子18Dのそれぞれが、スレーブMCU10SのRXDを入力する端子18B、TXDを出力する端子18A、SCKを入力する端子18CおよびSTを出力する端子18Dに接続される。マスタMCU10Mが同期クロック(SCK)を出力し、スレーブMCU10Sがステータス(ST)を出力する。

【0089】

(通信動作の第1の例)

図9は図8Aのマイクロコンピュータシステムにおける通信動作の第1の例を示すタイミング図である。通信動作の第1の例はマスタ送信/スレーブ受信の場合である。図9において、網掛け部が、スレーブMCU10SのSCI18のモード制御を行う、DTC12の動作を示す。

【0090】

まず、マスタMCU10MおよびスレーブMCU10SはそれぞれのSCI18のレジスタに送受信動作(TE=1、RE=1)として初期設定を行う(タイミングT1)。

【0091】

マスタMCU10Mは、スレーブMCU10Sのステータス(ST)出力を入力して、これがビジー(BUSY)状態である場合は、送信を待機する。送信データ(コマンド)が設定され、ステータス(ST)入力がレディ(READY)状態になると、マスタMCU10Mは、コマンド(CMND)を送信する。このとき、マスタMCU10MはRDビットを1にセットし、受信データを無視するようにする。

【0092】

スレーブMCU10Sは、CMDビットを1にセットし、TDビットを1にセットしてコマンド受信に設定する(タイミングT1)。送信データエンプティ割り込み要求(TXI)のセットは抑止され、送信FIFO187へのデータ設定を行わず、送信データ(TXD)は、例えばハイレベルに固定され、ダミー(DUMMY)データが出力される。受信が開始されると、ステータス(ST)出力をビジー状態にする。SCI18は、コマンドの受信が完了されると、コマンド受信完了割り込み要求(CRXI)を発生し、INT13はDTC12にDTC起動要求(DTCREQ)を発生する。DTC12は、コマンドの受信データをリードして、これをSAR2に加算して、RAM15のテーブル領域をリードする。この内容は、DARで指定される送信データエンプティ(送信データ転送)、受信データフル(受信データ転送)によるデータ転送起動要求のDTCベクタ(TXIベクタ、DRXIベクタ)を設定する。本例では、ロングワード2個をブロック転送するものとする。2個のロングワードの一方が所定のデータの場合(例えば、00000000の場合)、対応するTDビットまたはRDビットを1にセットするように、モード制御信号(MDC)を活性化する。具体的には、送信データエンプティのDTCベクタが00000000の場合、TDビットを1にセットし、送信抑止とする。受信データフルのDTCベクタが00000000の場合、RDビットを1にセットし、受信抑止とする。CMDビットは0にクリアする。このモード制御信号(MDC)に従い、SCI18はSFCRの設定を行って、データ受信またはデータ送信に切り替えるとともに、ステータス(ST)出力をビジー状態にする。この場合、先のコマンドに応じて、マスタの送信/スレーブの受信、スレーブの送信/マスタの受信、マスタ/スレーブの送受信の3つの態様があ

る。本例では、マスタの送信／スレーブの受信を行う場合であるので、マスタはRDビットを1にセットして受信抑止（データ送信）に設定し、スレーブはTDビットを1にセットして送信抑止（データ受信）に設定する（タイミングT2）。

【0093】

マスタMCU10Mはコマンド送信完了後、送信データが設定され、ステータス（ST）入力がレディ状態になると、コマンドに対応した、所定の数のデータを送信する。

【0094】

スレーブMCU10Sは、データ受信の開始時に、ステータス（ST）出力をビジー状態にする。データの受信が完了に従い、受信データフル（受信データ転送）データ転送起動要求を行い、DTC12を起動する。DTC12は受信したデータをRAM15の所定のアドレスに転送する。CRにはコマンドに対応した、所定の数のデータを設定しておき、これに従った個数のデータ転送を行い、CRが0になると、MRで指定したモード制御信号（MDC）を出力し、SCI18のモード制御状態を遷移させる（タイミングT3）。SCI18はこれによって、ステータス（ST）出力をレディ状態にする。CRが0のデータ転送が完了すると、CPU11に割り込みを要求する。

【0095】

図10は図9の第1の例におけるコマンド受信完了のためのデータ転送を示す図である。スレーブMCU10Sのコマンド受信完了のためのデータ転送においては、データ転送情報を以下のようにCPU11が設定する。

【0096】

MRのTLUビット、BRMビット、MDCEビットをいずれも1にセットする。SF[2:0]ビットは+4を指定する。ISz[1:0]ビットは、コマンドに対応したバイトサイズを指定する。SM1、SM0ビットは、SAR2固定を指定する。DM1、DM0ビットは、DAR固定を指定する。TMD1、TMD0ビットはノーマルモードを指定する。SAR1は受信FIFO186のアドレスを、SAR2は、データ送信エンプティ転送要求、データ受信フル転送要求のDTCベクタのテーブル領域の先頭アドレスを指定する。DARは、データ送信エンプティ転送要求、データ受信フル転送要求のDTCベクタアドレスを指定する。これらは図10のデータ転送情報Cとして格納される。

【0097】

図10において、細線の矢印はアドレスの指定を、二重線の矢印はデータのリード／ライトを示す。

（A）コマンド受信完了によって、DTCが起動されると、対応するベクタ領域（CRXI割り込みのベクタアドレスが指定する領域（CRXIベクタ））から、データ転送情報の先頭アドレスをリードする。

（B）このアドレスに基づいて、データ転送情報アドレス領域からデータ転送情報Cをリードする。このデータ転送情報Cは、MR、SAR1、SAR2、DARに格納すべき内容である。SAR1には受信FIFO186のアドレスが、SAR2にはテーブル領域の先頭アドレスが、DARにはTXIベクタアドレスが格納される。

（C）まず、SAR1で指定した受信FIFO186から、ISzビットで指定したバイトサイズの、コマンドをリードする。リードしたデータは、ALU12Aで、SF[2:0]ビットで指定した4ビットの左シフトし、この結果を、SAR2に加算して転送元アドレスとして使用する。

（D）SAR2で指定した、テーブル領域の転送元アドレスから転送データをリードする。本例では、TXIベクタn、DRXIベクタnをリードする。

（E）これをDARで示す、TXIベクタおよびDRXIベクタ領域へのライトを行う。同時に、前記の通り、モード制御信号（MDC）を出力する。

例えば、DRXIベクタnは所要のデータ転送情報mなどを示す内容とする。

【0098】

これによって、コマンドに対応した、TXIおよびDRXIデータ転送に応じた、データ転送情報を（データ転送情報m、m1、m2、m3などから）選択可能にできる。

【 0 0 9 9 】

なお、コマンドはバイトサイズの場合、最大 2 5 6 通りを指定することができる。後続するデータの有無やデータ長、データの種類などを定義する。例えば、後続するデータを、スレーブ M C U 1 0 S のタイマ 1 7 D , 1 7 F , 1 7 I や I / O ポート 1 A へライトすることを指示したり、スレーブ M C U 1 0 S のタイマ 1 7 D , 1 7 F , 1 7 I や I / O ポート 1 A の所望のデータを送信することを指示したりする。かかるコマンドは、当該マイクロコンピュータシステム 1 に適切なものを、任意に定義することができる。

【 0 1 0 0 】

図 1 1 は図 9 の第 1 の例における受信データフル（受信データ転送）のためのデータ転送を示す図である。スレーブ M C U 1 0 S の受信データフル（受信データ転送）のためのデータ転送においては、データ転送情報を以下のように設定する。

10

【 0 1 0 1 】

M R の T L U ビット、B R M ビットを 0 にクリアし、M D C E ビットを 1 にセットする。S z [1 : 0] ビットは、コマンドに対応したバイトサイズを指定する。S M 1、S M 0 ビットは、S A R 固定を指定する。D M 1、D M 0 ビットは、D A R インクリメントを指定する。T M D 1、T M D 0 ビットはノーマルモードを指定する。S A R は受信 F I F O 1 8 6 のアドレスを、D A R はデータ受信用の R A M 1 5 のアドレスを、C R はコマンドに対応したデータ数を指定する。これらは図 1 1 のデータ転送情報 m として格納される。

(A) 受信データフル（受信データ転送）によって、D T C 1 2 が起動されると、対応するベクタ領域（D R X I 割込みのベクタアドレスが指定する領域（D R X I ベクタ））から、データ転送情報先頭アドレスをリードする。これはコマンド受信完了によるデータ転送によって、所要の内容に更新され、データ転送情報 m を示すようにされている。

20

(B) このアドレスに基づいて、データ転送情報アドレス領域からデータ転送情報 m をリードする。このデータ転送情報は、M R、S A R、D A R、C R の内容である。S A R には受信 F I F O 1 8 6 のアドレスが、D A R には R A M 1 5 のアドレスが格納される。

(C) まず、S A R で指定した受信 F I F O 1 8 6 から、S z ビットで指定したバイトサイズの、受信データをリードする。リードした受信データは、D A R で指定した R A M 1 5 などにライトする。これを C R で指定した回数繰り返し、C R = 0 となると、前記の通り、モード制御信号（M D C）を出力する。

30

【 0 1 0 2 】

（通信動作の第 2 の例）

図 1 2 は図 8 A のマイクロコンピュータシステムにおける通信動作の第 2 の例を示すタイミング図である。通信動作の第 2 の例では、コマンドに対応したデータ転送が、スレーブの送信 / マスタの受信の場合である。マスタ M C U 1 0 M およびスレーブ M C U 1 0 S はそれぞれ送受信動作として初期設定を行うこと、コマンドの送信 / 受信は、上述の第 1 の例と同様である。

【 0 1 0 3 】

マスタ M C U 1 0 M は、所要のデータの数に相当する同期クロックを出力するため、T D ビットを 1 にセットして、例えば送信データをハイレベルに固定してダミーのデータを送信する。

40

【 0 1 0 4 】

スレーブ M C U 1 0 S は、コマンド受信完了時の D T C 1 2 のモード制御によって、R D ビットを 1 にセットしてデータ送信に設定するようにする（タイミング T 2）。すなわち、R A M 1 5 のテーブル上の送信データエンプティの D T C ベクタを 0 0 0 0 0 0 0 0 以外の所定のベクタにし、受信データフルの D T C ベクタを 0 0 0 0 0 0 0 0 にする。

【 0 1 0 5 】

スレーブ M C U 1 0 S は、コマンドに対応した、所定の数のデータを送信するため、送信データエンプティ（送信データ転送）データ転送要求に従い、D T C 1 2 S を起動する。D T C 1 2 は、送信すべきデータを R A M 1 5 の所定のアドレスから送信 F I F O 1 8

50

7 に転送する。データ送信の開始時に、ステータス (S T) 出力をビジー状態にする。 C R で示される、予め決められた個数のデータ転送を行い、 C R が 0 になると、 M R で指定したモード制御信号 (M D C) を出力し、 S C I 1 8 S のモード制御状態を遷移させる (タイミング T 3 ')。このとき、モードの変更、または S F C R の変更は直ちに反映されず、送信データの出力完了後に (送信 F I F O 1 8 7 および送信部 1 8 5 にデータがなくなった状態で) 反映する (タイミング T 3)。言い換えると、モード制御入力を送受信に同期させて反映させる。 S C I 1 8 S はステータス (S T) 出力をレディ状態にする。 C R が 0 のデータ転送が完了すると、 S C I 1 8 S は C P U 1 1 に割り込みを要求する。

【 0 1 0 6 】

送信データエンプティ (送信データ転送) のためのデータ転送においては、データ転送情報を以下のように設定する。

【 0 1 0 7 】

M R の T L U ビット、 B R M ビットを 0 にクリアし、 M D C E ビットを 1 にセットする。 S z [1 : 0] ビットは、コマンドに対応したバイトサイズを指定する。 S M 1、 S M 0 ビットは、 S A R インクリメントを指定する。 D M 1、 D M 0 ビットは、 D A R 固定を指定する。 T M D 1、 T M D 0 ビットはノーマルモードを指定する。 S A R はデータ送信用の R A M 1 5 S のアドレスを、 D A R は送信 F I F O 1 8 7 のアドレスを、 C R はコマンドに対応したデータ数を指定する。

【 0 1 0 8 】

(通信動作の第 3 の例)

通信動作の第 3 の例であるマスタ / スレーブの送受信の場合は、図示を省略するが、スレーブ M C U 1 0 S は、 T D ビット、 R D ビットをいずれも 0 にクリアし、 D T C 1 2 が送信データ完了によるデータ転送時には S F C R の変更の制御を行わず、受信データ完了によるデータ転送時には S F C R の変更の制御を行うようにする。すなわち、 R A M 1 5 のテーブル上の送信データエンプティ、受信データフルの D T C ベクタを、いずれも 0 0 0 0 0 0 以外の所定のベクタにする。

【 0 1 0 9 】

以上の実施例によれば以下の作用効果を得るものである。

(1) 送信および受信がイネーブルとされた状態 (T E = R E = 1) において (送受信同時動作を指定したまま)、 T D ビットまたは R D ビットを 1 に設定することにより、送信または受信の一方の動作を抑止可能にする。送信動作抑止の場合は、送信データの用意や送信開始の指定を必要とせず、同期クロック入力に対応して、任意データの送信と、受信動作を可能にする。受信動作抑止の場合は、受信した内容を見捨てオーバーランエラーも検出しないようにし、割り込み要求やデータ転送起動要求を行わないようにする。これにより、送受信同時動作かつ同期クロック入力での動作イネーブル状態において、一時的に、換言すれば、設定変更の待機時間などを不要としながら、送信動作抑止、受信動作抑止が可能になる。無駄な送信データの準備や、無駄な受信データの処理などを不要とし、処理を効率化できる。 T E ビットまたは R E ビットを切り替えると、 S C I 全体の動作との整合を図る必要があるのに対し、送受信同時動作の基本的な動作は変更せず、 T D ビットおよび R D ビットの制御対象を限定することで、論理を簡略化することができる。不所望の状態に陥る可能性を低減することができる。

(2) 受信動作において、コマンドを受信する動作であるか、データを受信する動作であるかを指定可能にし、これらの割り込み要求またはデータ転送起動要求を別々に要求するようにする。これによって、データ転送装置の起動要因を専用にすることが可能になる。コマンド受信する動作時は、送信動作抑止とすることにより、送信データの用意を不要にする。データ受信する動作時では、送信動作の抑止を指定可能にする。コマンド受信完了の割り込み要求、データ受信完了の割り込み要求を分離することにより、いずれかの判断を行うことなく、必要な処理を直ちに実行することができる。コマンド受信完了の割り込み要求に対してはデータ転送装置によるデータ転送を行い、データ受信完了の割り込み要求に対しては C P U による割り込み処理を行うなどの、好適な処理方法の選択を効率的

10

20

30

40

50

にすることができる。

【0110】

(3) コマンド受信、データ受信のみ、データ送信のみ等のモードおよび起動要因に応じたデータ転送装置の動作によって、モードを切り替える。例えば、データ送信またはデータ受信に対応した、データ転送装置によるデータ転送の完了時に、コマンド受信に切り替える。

(4) モードに対応したステータスを出力可能にする。コマンド受信が指定された状態での受信動作によって、外部へのステータス出力を第2状態(ビジー)にする。コマンド受信完了によるデータ転送装置の動作によって、モードの切り替えを行ったときに、外部へのステータス出力を第1状態(レディ)にする。また、データ送信またはデータ受信動作によって、ステータス出力を第2状態(ビジー)にし、これらによるデータ転送装置の動作によって、モードの切り替え(コマンド受信にモードを切り替え)たときに、第1状態(レディ)にする。

これらによって、実際の通信処理に応じたモードを実現可能にするとともに、設定変更や待機時間を減らすことができる。モードと通信動作に応じて、データ転送装置を起動し、データ転送装置の制御によって、モードを切り替えるようにして、CPUの処理を不要にし、効率化と高速化を実現することができる。データ転送装置がCPUに代わって、SCIのモード制御や、コマンドの判定、データ転送を実行可能にすることで、CPUに割り込みを要求する頻度を低減したり、CPUを低消費電力状態にする期間を長くしたりすることができる。CPUが割り込み処理にあたって実行すべき、例外処理、スタックの退避・復帰操作、復帰命令の実行を不要とすることができ、プログラムの簡略化やシステムの効率化に寄与することができる。また、イベントの発生から所要の動作の実行までの時間を短縮し、いわゆる応答性を向上することができる。CPUより論理規模が小さく、かつ高速に処理を行うことができるデータ転送装置が動作し、CPUを低消費電力状態にすることで、低消費電力化を実現することができる。また、ソフトウェアの開発効率を向上することができる。

【0111】

マイクロコンピュータシステムのそれぞれに適切なコマンドや通信方式に、柔軟に対応することができる。換言すれば、マイクロコンピュータへ与えるデータによって、マイクロコンピュータの送受信の態様を変更可能にすることができる。

【0112】

以上、本発明者らによってなされた発明を実施形態、実施例および応用例に基づき具体的に説明したが、本発明は、実施形態、実施例および応用例に限定されるものではなく、種々変更可能であることはいうまでもない。

【0113】

本実施例では、SCIの設定完了後の動作の許可として、TEビット、REビットを使用する仕様とし、これとは独立のTDビット、RDビットを設けたが、SCIの動作イネーブルビットを、送信および受信に共通に設け、TEビットおよびREビットと、TDビットおよびRDビットとの機能を併せるようにし、動作中に変更可能にしてもよい。コマンド受信および送信抑止の場合の送信出力は任意であってよいが、0または1に固定することが好ましい。CMDビットを1にセットした場合は、TDビットに関わらず、送信抑止としてもよい。CRXI、DRXIの割り込み要因フラグは共通のRDRFフラグとせずに、独立の割り込み要因フラグとしてもよい。RDビットを1にセットしたときに、RIEビットまたはRDRFフラグを0にクリアするようにしてもよい。TDビット、RDビットを指定するためのロングワードデータは、データ転送情報格納領域として使用しないデータとすればよい。本実施例では00000000としたが、これはCPUのリセットベクタと共通であり、データ転送情報格納領域として使用しないことを想定したものである。データ転送格納アドレスはロングワード単位と考える場合、下位の2ビットを使用してもよい。

【0114】

受信FIFO、送信FIFOが受信データフル（受信データ転送）、送信データエンブティ（送信データ転送）を検出するための、空きやデータ量を、制御レジスタによって変更可能にしてもよい。また、コマンド受信のときの受信完了を判定する単位も、バイトサイズ以外に選択可能にしてもよい。コマンド受信完了によるデータ転送によって、ベクタ領域を書き換えるほか、データ転送情報を書き換えるようにしてもよい。CPUによって、CMDビット、TDビット、RDビットを設定可能にしてもよい。任意のコマンドをCPUが処理するようにし、CMDビット、TDビット、RDビットを設定するようにしてもよい。

【0115】

本実施例ではSCIを例に説明したが、これに限定されるものではなく、I²C（Inter-Integrated Circuit）、SPI（Serial Peripheral Interface）等のシリアル通信インタフェースに適用することができる。本実施例ではDTCを例に説明したが、これに限定されるものではなく、DMAC（Direct Memory Access Controller）等のメモリとレジスタ等の中でデータを転送するものであってもよい。DTC、割り込みコントローラの具体的な構成についても種々変更可能である。BSCや、バス権やウェイトなどのバス動作の詳細については省略したが、これらは適宜実装可能である。マスタMCU、スレーブMCUの一方のみに適用してもよい。この場合、スレーブMCUに適用するのが好ましい。

【0116】

マイクロコンピュータの構成についても限定されない。そのほかや機能ブロックなども種々変更できる。以上の説明ではマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、その他の半導体装置、例えば、デジタルシグナルプロセッサ（DSP）に適用することができる。

【0117】

<実施態様>

以下、実施態様について付記する。

（付記1）

同期クロックに従って送信または受信の順序的な通信を行うインタフェース回路を有する半導体装置であって、

前記インタフェース回路は、

送信状態及び受信状態の少なくとも一つの状態である動作イネーブル状態を指定する第1のレジスタと、

送信抑止または受信抑止を指定することが可能な情報を有する第2のレジスタと、を有し

前記第1のレジスタと前記第2のレジスタの状態に基づいて情報の送信または受信の少なくとも一つの動作を決定する

半導体装置。

【0118】

（付記2）

同期クロックに従って、送信または受信の順序的な通信を行う第1のインタフェース回路を備える第1の半導体装置と、

前記同期クロックに従って、送信または受信の順序的な通信を行う第2のインタフェース回路を備える第2の半導体装置と、

を備えるシステムであって、

前記第2のインタフェース回路は、

送信状態及び受信状態の少なくとも一つの状態である動作イネーブル状態を指定する第1のレジスタと、

送信抑止または受信抑止を指定することが可能な情報を有する第2のレジスタと、を有し

前記第1のレジスタと前記第2のレジスタの状態に基づいて情報の送信または受信の少

10

20

30

40

50

なくとも一つの動作を決定する
システム。

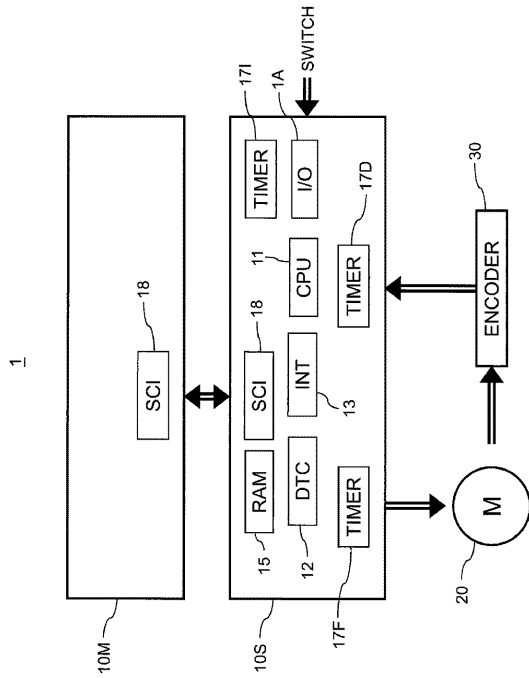
【符号の説明】

【0119】

1・・・マイクロコンピュータシステム	
10・・・マイクロコンピュータ	
11・・・中央処理装置（CPU）	
12・・・データトランスファコントローラ（DTC）	
121・・・データ転送制御ブロック（DTC CNT）	
122・・・バスインタフェース（BIF）	10
123・・・ベクタ生成ブロック（VG）	
124・・・ベクタアドレスレジスタ（VAR）	
12A・・・演算器（ALU）	
12B・・・DTC内部バス	
13・・・割り込みコントローラ（INT）	
131・・・割り込み/DTC判定回路	
132・・・DTC許可レジスタ（DTER）	
133・・・優先順位マスクレベル判定回路	
134・・・優先順位判定回路	
135・・・ラッチ回路	20
136・・・デコーダ回路	
14・・・リードオンリメモリ（ROM）	
15・・・ランダムアクセスメモリ（RAM）	
16・・・バスコントローラ（BSC）	
17・・・タイマ（TIMER）	
18・・・シリアルコミュニケーションインタフェース（SCI）	
181・・・制御レジスタ	
182・・・モード制御部（SCIMDC）	
183・・・送受信制御部（SCICNT）	
184・・・受信部	30
185・・・送信部	
186・・・受信FIFO	
187・・・送信FIFO	
188・・・ボーレートジェネレータ（BRG）	
18A・・・出力端子	
18B・・・入力端子	
18C・・・入出力端子	
18D・・・入出力端子	
19・・・アナログモジュール（ANALOG）	
1A・・・入出力ポート（I/O）	40
1B・・・MCUバス	

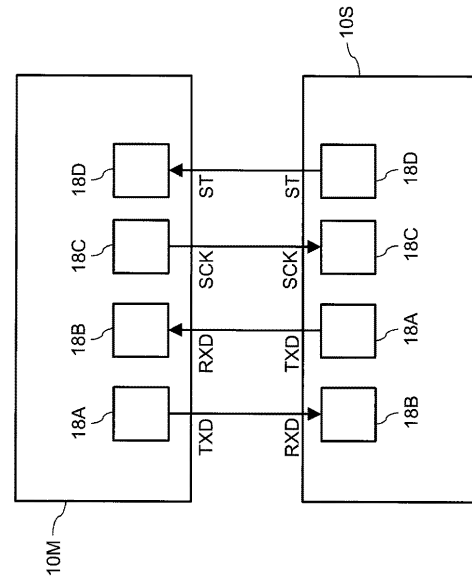
【図 8 A】

図 8 A



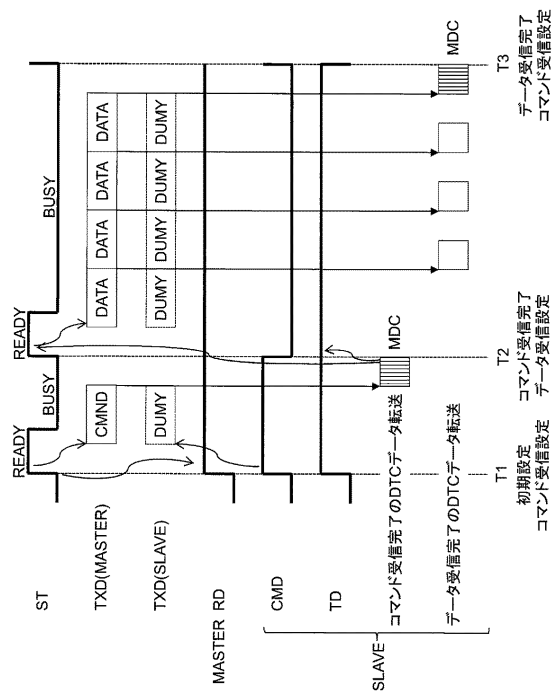
【図 8 B】

図 8 B



【図 9】

図 9



【図 10】

図 10

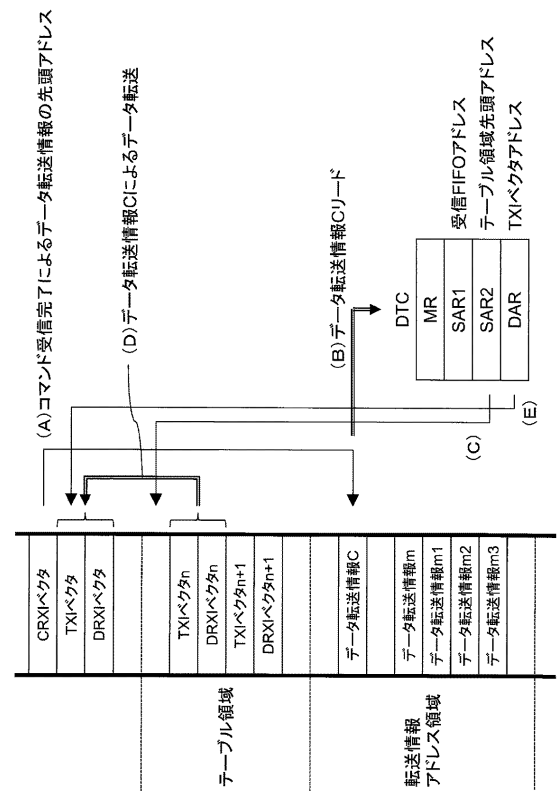


図 1 3

【図 1 3】

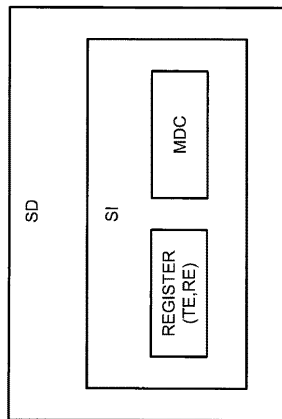


図 1 1

【図 1 1】

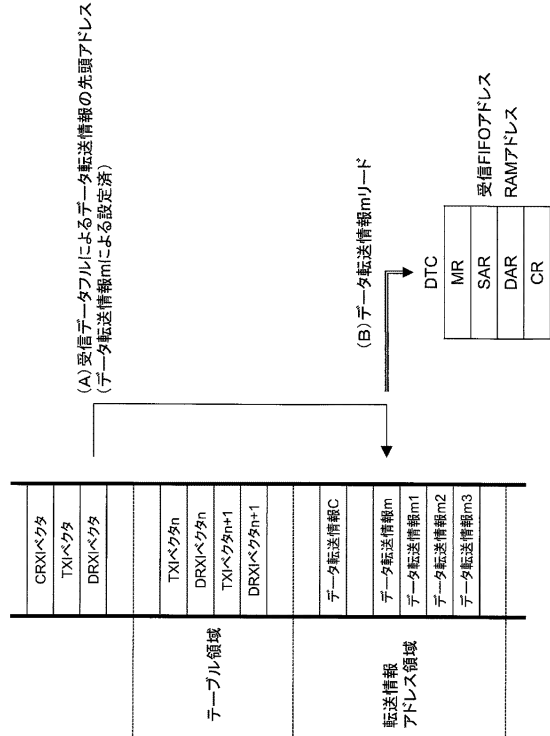
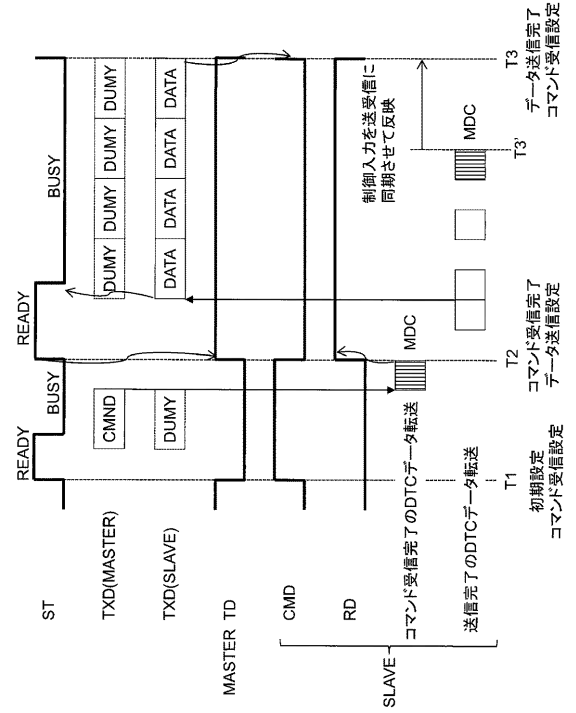


図 1 2

【図 1 2】



フロントページの続き

(56)参考文献 特開2009-110335(JP,A)
特開2005-293283(JP,A)
特開平08-185363(JP,A)
米国特許出願公開第2015/0193367(US,A1)

(58)調査した分野(Int.Cl., DB名)
G06F 13/38
G06F 15/78