



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06F 9/38 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월09일 10-0689717 2007년02월26일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0056946 2000년09월28일 2004년11월01일	(65) 공개번호 (43) 공개일자	10-2001-0050693 2001년06월15일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장	99-281957	1999년10월01일	일본(JP)
------------	-----------	-------------	--------

(73) 특허권자	후지쯔 가부시끼가이샤 일본국 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1		
-----------	---	--	--

(72) 발명자	미야케히 데오 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쯔가부시 끼가이샤나이		
----------	---	--	--

	스가아츠히로 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쯔가부시 끼가이샤나이		
--	--	--	--

	나카무라야스키 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쯔가부시 끼가이샤나이		
--	---	--	--

	다케베요시마사 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쯔가부시 끼가이샤나이		
--	---	--	--

(74) 대리인	김태홍 강승옥
----------	------------

(56) 선행기술조사문헌 JP 08-234978 A JP 10-232779 A US5,852,741 A US 5,930,508 * * 심사관에 의하여 인용된 문헌	JP 10-074145 A KR 10-1999-0007023 A US 5,787,303 *
---	--

심사관 : 노지명

전체 청구항 수 : 총 9 항

(54) 병렬 처리 프로세서

(57) 요약

본 발명은 효율적인 병렬 처리를 실현하는 병렬 처리 프로세서를 제공하는 것을 과제로 한다.

명령 단락 정보에 의해서 구획된 명령어에 포함되는 하나 또는 복수의 기본 명령을 병렬적으로 실행하는 병렬 처리 프로세서로서, 공급되는 기본 명령에 따른 처리를 병렬적으로 실행하는 복수의 명령 실행부(EU0, EU1)와, 명령 단락 정보에 따라서 명령어를 하나씩 수신하는 명령 독출부(46)와, 명령 독출부(46)에 의해 수신하는 명령어에 포함되는 기본 명령마다 대응하는 어느 하나의 명령 실행부에 기본 명령을 발행하는 명령 발행부(72)를 구비한 것을 특징으로 하는 병렬 처리 프로세서를 제공한다.

대표도

도 3

특허청구의 범위

청구항 1.

명령 단락 정보에 의해 구획된 복수의 명령어 각각에 포함된 하나 이상의 기본 명령을 병렬적으로 처리하는 병렬 처리 프로세서로서, 상기 복수의 명령어 각각은 하나 이상의 명령 실행부에 의해 실행되는 상기 하나 이상의 기본 명령과, 상기 하나 이상의 기본 명령을 단락하는 단락 정보로 구성되는 것인, 병렬 처리 프로세서에 있어서,

대응하는 공급된 기본 명령에 따른 처리를 병렬적으로 실행하는 N개(N은 2이상의 정수)의 명령 실행부와,

소정의 명령어에 포함된 하나 이상의 기본 명령을 공급하기 위해 상기 명령 단락 정보에 따라서 상기 명령어를 하나씩 독출하는 명령 독출부와,

상기 명령 독출부로부터 공급된 상기 소정의 명령어에 포함된 하나 이상의 기본 명령에 응답하여 N개의 명령 쌍을 발행하는 명령 발행부를 포함하고,

상기 N개의 명령 쌍은 상기 소정의 명령어에 포함된 하나 이상의 기본 명령의 실행을 위해 상기 N개의 명령 실행부의 각각에 공급되며,

상기 N개의 명령 실행부 중 소정의 하나에 대응하는 상기 N개의 명령 쌍의 소정의 하나는 기본 명령과, 이 기본 명령이 상기 N개의 명령 실행부 중 소정의 하나에 의해 실행되는지 여부를 제어하는 하나의 유효 비트를 포함하는 것인, 병렬 처리 프로세서.

청구항 2.

제1항에 있어서, 상기 복수의 명령 실행부는 모두 동일한 구성을 갖는 것인 병렬 처리 프로세서.

청구항 3.

제1항에 있어서,

상기 명령 실행부 중 적어도 2 개는 서로 구성이 상이하고,

상기 명령 독출부는 취득한 명령어 각각에 포함된 기본 명령을 상기 복수의 명령 실행부의 배열에 따라서 재배열한 후에, 그 재배열한 기본 명령을 상기 명령 발행부로 공급하는 것인 병렬 처리 프로세서.

청구항 4.

제1항에 있어서,

상기 명령 실행부 중 적어도 2 개는 서로 구성이 상이하고,

상기 명령 발행부는 상기 명령 독출부로부터 공급된 명령어 각각에 포함된 기본 명령을 상기 복수의 명령 실행부의 배열에 따라서 재배열한 후에, 그 재배열한 기본 명령을 상기 명령 실행부에 공급하는 것인 병렬 처리 프로세서.

청구항 5.

제1항에 있어서,

상기 명령 실행부 중 적어도 2 개는 서로 구성이 상이하고,

상기 명령 독출부는 취득한 명령어 각각에 포함된 기본 명령을 상기 명령 실행부의 배열에 따라서 재배열한 후에, 그 재배열한 기본 명령을 상기 명령 발행부에 공급하며,

상기 명령 발행부는 상기 명령 독출부로부터 공급된 명령어 각각에 포함된 기본 명령을 상기 명령 실행부의 배열에 따라서 추가로 재배열한 후에, 그 재배열한 기본 명령을 상기 명령 실행부에 공급하는 것인 병렬 처리 프로세서.

청구항 6.

제1항에 있어서, 상기 명령 발행부는 상기 명령 실행부 중 하나에 의해 현재 실행되고 있는 기본 명령의 종류에 따라, 현재 실행되고 있는 기본 명령의 실행이 완료되기 전에, 다음 기본 명령을 발행하는 것인 병렬 처리 프로세서.

청구항 7.

제1항에 있어서, 제1 명령어 형식은 제2 명령어 형식으로 변환되고, 상기 제1 명령어 형식은 상기 명령 독출부에서의 제1 명령어 배열을 나타내고, 상기 제2 명령어 형식은 상기 명령 실행부에 대응하는 제2 명령어 배열을 나타내는 것인 병렬 처리 프로세서.

청구항 8.

제1항에 있어서, 상기 변환부는 대응하는 명령 실행부의 이용 가능 여부를 나타내는, 상기 명령 실행부에 대응하는 유효 비트에 기초해서 제1 명령어 형식을 제2 명령어 형식으로 변환하는 것인 병렬 처리 프로세서.

청구항 9.

제1항에 있어서, 상기 명령 발행부는 상기 인터페이스에 기초해서 상기 기본 명령을 대응하는 명령 실행부에 발행하는 것인 병렬 처리 프로세서.

청구항 10.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 프로세서에 관한 것으로, 더욱 상세하게는 복수의 기본 명령을 병렬적으로 실행하는 병렬 처리 프로세서에 관한 것이다.

일반적으로, 종래의 계산기 시스템에 있어서는 파이프라인식 처리 등으로 복수의 기본 명령을 병렬로 실행함으로써, 처리 능력의 향상을 도모하고 있다. 또한 종래에는 복수의 기본 명령을 통합하여 고정 길이의 명령어로 하여, 하나의 명령어에 포함된 복수의 기본 명령을 병렬로 실행하는 방식으로서 초장 명령어(Very Long Instruction Word-VLIW) 방식이 채용되고 있다. 또한, 슈퍼 스칼라(super-Scalar) 방식 등에서는 명령 병렬도에 따라서 기본 명령을 병렬로 실행하는 것이 이루어지고 있다.

도 1은 종래의 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 1에 나타난 바와 같이, 종래의 병렬 처리 프로세서(10)는 메모리(7)에 접속된 명령 독출부(1)와, 명령 독출부(1)에 접속된 명령 발행부(3)와, 각각이 명령 발행부(3)에 접속된 명령 실행부(EU0~EUn)와, 모든 명령 실행부(EU0~EUn)에 접속된 레지스터부(5)를 구비한다.

여기서, 명령 독출부(1)는 메모리(7)로부터 명령어를 읽어내어, 그 명령어를 명령 발행부(3)에 공급한다. 또, 명령 발행부(3)는 공급된 명령어에 포함되는 기본 명령을 명령 실행부(EU0~EUn)에 발행한다. 또한, 이 때 명령 실행부(EU0~EUn)가 이미 앞의 기본 명령을 실행중인 경우에는 그 실행의 완료를 기다린 후에 대응하는 명령 실행부에 다음의 기본 명령을 공급한다.

그리고, 명령 실행부(EU0~EUn)는 공급된 기본 명령을 실행하는 동시에, 그 실행이 완료된 경우에는 그 취지를 명령 발행부(3)에 통지한다. 또한, 레지스터부(5)는 필요에 따라서 명령 실행부(EU0~EUn)로 데이터를 공급하고, 또 각 명령 실행부(EU0~EUn)에서의 실행 결과를 유지한다. 또한, 외부 접속된 메모리(7)는 병렬 처리 프로세서(10)에서 실행하는 명령어 열을 기억하는 동시에, 명령 실행부(EU0~EUn)가 명령의 실행에 있어서 필요로 하는 데이터 및 그 실행의 결과로 얻어진 데이터를 기억한다.

도 2는 4개의 명령 실행부(EU0~EU3)를 구비한 상기 병렬 처리 프로세서에 공급되는 명령어의 형식을 나타낸 도면이다. 도 2에 나타난 바와 같이, 명령어는 기본 명령(ED)과 무조작 명령(nop)으로 이루어진다. 여기서, 하나의 명령어에 포함되어 병렬적으로 실행되는 기본 명령의 수가 명령 실행부(EU0~EU3)의 수에 도달하지 않는 경우에는 무조작 명령의 비율이 많아지는 것을 알 수 있다.

즉, 종래의 VLIW에 의한 복수의 기본 명령의 병렬 처리 방식은 명령어가 고정 길이였기 때문에, 병렬로 실행하는 기본 명령의 수가 소정의 수에 도달하지 않는 경우에는 무조작 명령을 부가하여 소정의 길이로 할 필요가 있었다. 이 때문에, 명령 병렬도가 낮은 프로그램에 대해서는 무조작 명령이 많아지는 동시에 명령 코드량이 증대하기 때문에, 메모리의 사용 효율의 악화나 캐시 메모리의 히트율의 저하, 명령 독출 기구의 부하의 증대 등을 초래한다고 하는 문제가 있었다.

한편, 슈퍼 스칼라 방식에서는 프로그램 실행시에 병렬 실행되는 명령의 수를 증가시키면 필요한 회로 규모가 커진다고 하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제를 해소하기 위해서 이루어진 것으로, 효율적인 병렬 처리를 실현하는 병렬 처리 프로세서를 제공하는 것을 목적으로 한다.

발명의 구성

상기 목적은 명령 단락 정보에 의해 구획된 복수의 명령어 각각에 포함된 하나 이상의 기본 명령을 병렬적으로 처리하는 병렬 처리 프로세서로서, 대응하는 공급된 기본 명령에 따라 그 기본 명령을 병렬적으로 처리하는 복수의 명령 실행부와, 상기 명령 단락 정보에 따라서 상기 명령어를 하나씩 취득하는 명령 독출부와, 상기 명령 독출부로부터 공급된 기본 명령 각각을 인식하고, 그에 따라, 발행된 기본 명령을 실행하는 실행부에 그 기본 명령 각각을 선택적으로 발행하는 명령 발행부를 포함하고, 상기 명령 발행부는 명령어 형식에 기초해서 유효 비트를 갖는 인터페이스를 생성하는 변환부를 포함하며, 상기 유효 비트는 대응하는 명령 실행부의 이용 가능성을 나타내고, 상기 명령어 형식은 기본 명령의 배열을 나타내는 것인 병렬 처리 프로세서를 제공함으로써 달성된다.

이러한 수단에 의하면, 명령 독출부는 명령 단락 정보에 따라서 명령어를 하나씩 수신하기 때문에 그 명령어를 가변 길이로 할 수 있는 동시에, 명령 발행부는 공급된 명령어에 포함되는 기본 명령마다, 선택적으로 그 기본 명령을 실행해야 할 명령 실행부에 그 기본 명령을 발행하기 때문에 명령어를 효율적으로 실행할 수 있다. 또, 상기에서 복수의 명령 실행부는 전부 동일한 구성을 갖는 것으로 할 수도 있다.

또한, 복수의 명령 실행부 중 적어도 2 개는 구성이 상이함과 동시에, 명령 독출부는 수신한 명령어마다 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부에 공급할 수 있다. 이러한 수단에 의하면, 명령 발행부에는 복수의 명령 실행부의 구성에 따라서 재배열한 기본 명령이 공급되기 때문에, 기본 명령이 효율적으로 병렬 실행된다.

또, 복수의 명령 실행부 중 적어도 2 개는 구성이 상이함과 동시에, 명령 발행부는 명령 독출부로부터 공급된 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 후에 명령 실행부에 발행하는 것으로 할 수 있다.

또한, 명령 발행부는 명령 실행부에 있어서 실행중인 기본 명령의 종류에 따라서, 실행이 완료되기 전에 다음의 기본 명령을 발행할 수 있다. 이러한 수단에 의하면, 기본 명령의 병렬 처리를 보다 확실하고 또한 효율적으로 수행할 수 있다.

이하에 있어서, 본 발명의 실시 형태를 도면을 참조하여 상세히 설명한다. 또, 도면 중 동일 부호는 동일 또는 상당하는 부분을 나타낸다.

[제1 실시 형태]

도 3 및 도 6에 나타난 바와 같이, 본 제1 실시 형태에 따른 병렬 처리 프로세서(20, 21)는 각각, 메모리(12)에 접속된 명령 독출부(46, 47)와, 명령 독출부(46, 47)에 각각 접속된 명령 발행부(72, 73)와, 명령 발행부(72, 73)에 접속되어 같은 구성으로 이루어지는 2 개의 명령 실행부(EU0, EU1)와, 모든 명령 실행부(EU0, EU1)에 접속된 레지스터부(98)를 구비한 것이다.

이하에 있어서, 제1 실시 형태에 따른 병렬 처리 프로세서를 한 명령어의 최대 기본 명령어 길이가 2인 경우를 예로서 설명한다. 또, 한 명령어의 최대 기본 명령어 길이가 3 이상인 경우도 같은 식으로 설명할 수 있다.

(제1 실시예)

도 4는 도 3에 나타난 명령 독출부(46)와 명령 발행부(72)의 구성을 나타낸 도면이다. 도 4에 나타난 바와 같이, 명령 독출부(46)는 고정 길이 패치부(FPC)(300), 가산기(324, 325), 명령 버퍼(308), 절출부(316) 및 실행 패치부(EPC)(339)를 구비한다.

여기서, FPC(300)는 메모리(12) 및 명령 실행부(EU0, EU1)에 접속되고, 가산기(324)는 FPC(300)에 접속된다. 또한, 명령 버퍼(308)는 메모리(12)에 접속되고, 절출부(316)는 명령 버퍼(308)에 접속된다. 그리고, 가산기(325)는 절출부(316)에 접속되고, EPC(339)는 가산기(325) 및 레지스터부(98)에 접속된다. 그리고, 상기 FPC(300)에는 메모리(12)로부터 명령어에 포함된 패치 어드레스가 공급되고, 명령 버퍼(308)에는 메모리(12)로부터 명령어에 포함된 패치 데이터가 공급된다. 또한, FPC(300)에는 분기 명령에 대응하는 분기처의 어드레스 등이 명령 실행부(EU0, EU1)로부터 공급된다.

한편, 명령 발행부(72)는 명령 레지스터(347), 셀렉터(355, 356), 제어부(370) 및 AND 게이트(378)를 구비한다. 여기서, 명령 레지스터(347)는 절출부(316)에 접속되고, 셀렉터(355, 356)는 함께 명령 레지스터(347)에 접속된다. 그리고, 셀렉터(355)는 명령 실행부(EU0)에 접속되고, 셀렉터(356)는 명령 실행부(EU1)에 접속된다. 또, 제어부(370)는 AND 게이트

(378) 및 셀렉터(355, 356)에 접속되고, AND 게이트(378)는 명령 실행부(EU0, EU1)에 접속된다. 여기서, 명령의 실행 완료료를 나타내는 명령 완료 신호(EUc0, EUc1)가 각각 명령 실행부(EU0, EU1)로부터 AND 게이트(378)에 공급된다. 이하에서, 본 실시예에 따른 병렬 처리 프로세서의 동작에 관해서 설명한다.

도 5는 제1 실시예에 따른 병렬 처리 프로세서에 공급되는 명령어의 형식을 나타내는 것이다. 도 5에 나타난 바와 같이, 그 명령어는 명령 실행부에서 실행되는 기본 명령어(EI) 및 명령어 단락 필드 0, 1로 이루어져, 그 기본 명령어 길이가 1인 경우와 2인 경우가 있다. 즉 도 5의 상단은 명령어 단락 필드 0 및 기본 명령(EI)으로 이루어지는 기본 명령어, 명령어 단락 필드 1 및 기본 명령(EI)으로 이루어지는 기본 명령어와의 배열로 이루어지는 기본 명령어 길이가 2인 명령어를 나타내고, 도 5의 하단은 명령어 단락 필드 1 및 기본 명령(EI)으로 이루어지는 기본 명령어 길이 1의 명령어를 나타낸다.

상기와 같은 명령어는 미리 메모리(12)에 기억되어, 프로세서(20)의 명령 독출부(46)에 포함된 가산기(324)에 의해서 고정 길이(displ)만큼 어드레스가 증가되면 순차로 독출된다. 여기서, 명령 독출부(46)에 포함된 절출부(316)는 상기 명령어를 독출했을 때, 명령어 단락 필드 1에 이어지는 기본 명령(EI)까지를 하나의 명령어로 인식한 다음에, 한 명령어마다, 예컨대 상기 기본 명령어 길이 2의 하나의 명령어를 명령어 열에서 절출하여 명령 독출부(46)에 수신한다. 또, 여기서 가산기(325)는 절출부(316)로부터 공급된 명령어 길이를 나타내는 신호(SL)에 기초하여 실행되는 기본 명령(EI)에 대응하는 번지를 산출하고, EPC(339)는 이것을 일시적으로 유지한다. 그리고, 또한 레지스터부(98)는 소정의 경우에 있어서 EPC(339)에 유지되어 있는 상기 기본 명령(EI)의 재실행을 위한 복귀 번지를 저장한다.

그리고, 명령 발행부(72)는 절출부(316)로부터 공급된 상기 하나의 명령어에 포함되는 명령어 단락 필드 0, 1에 기초하여, 각 기본 명령(EI)을 인식하여, 상기 각 기본 명령(EI)을 어느 하나의 명령 실행부(EU0, EU1)에 셀렉터(355, 356)를 통해 선택적으로 발행한다. 따라서, 예컨대 명령어 단락 필드 0에 이어지는 기본 명령(EI)은 명령 실행부(EU0)에 발행되고, 명령어 단락 필드 1에 이어지는 기본 명령(EI)은 명령 실행부(EU1)에 발행된다. 또 여기서, 셀렉터(355, 356)는 제어부(370)에 의해 제어되어, 명령어의 실행이 완료되었을 때에 셀렉터(355, 356)를 통해 명령 실행부(EU0, EU1)에 기본 명령(EI)이 공급된다.

또한, 같은 식으로 명령 독출부(46)에 의해 상기 기본 명령어 길이 1의 하나의 명령어가 프로세서(20)의 명령 버퍼(308)에 수신된 경우에는 절출부(316)는 공급된 상기 명령어에 포함되는 명령어 단락 필드 1에 기초하여, 명령어 단락 필드 1에 이어지는 기본 명령(EI)을 절출하여, 명령 레지스터(347)에 의해 어느 하나의 명령 실행부, 예컨대 명령 실행부(EU0)에 발행된다.

또, 상기 명령어 단락 필드 0, 1은 1 비트로 나타내어지지만, 명령어를 구획하는 정보라면 어떠한 데이터를 명령어 단락 필드에 기록하더라도 좋다. 또한, 본 실시예에서는 동일한 구성을 갖는 명령 실행부(EU0, EU1)가 2 개 구비되는 경우를 설명했지만, 3 개 이상 구비된 것도 같은 식으로 생각할 수 있다.

이상으로부터, 본 실시예에 따른 병렬 처리 프로세서(20)에 의하면, 명령 독출부(46)는 명령 단락 필드 1에 따라서 명령어를 하나씩 수신하기 때문에, 그 명령어를 가변 길이로 할 수 있다. 그리고, 하나의 명령 발행부(72)는 수신된 명령어에 포함되는 기본 명령(EI)마다 복수의 명령 실행부(EU0, EU1) 중 그 기본 명령(EI)에 대응하는 어느 하나의 명령 실행부(EU0, EU1)에 기본 명령(EI)을 발행하므로, 명령어 중에 무조작 명령(nop)을 포함시킬 필요는 없으며, 기본 명령(EI)을 명령어에 의해 효율적으로 포함시킬 수 있다. 그리고, 이러한 명령어에 따라서 기본 명령(EI)을 실행함으로써, 병렬 처리 프로세서의 병렬 처리 능력을 향상시킬 수 있다.

(제2 실시예)

도 6은 본 제2 실시예에 따른 병렬 처리 프로세서(21)의 구성을 나타낸 도면이다. 도 6에 나타난 바와 같이, 상기 병렬 처리 프로세서(21)는 도 3에 나타난 병렬 처리 프로세서(20)와 같은 구성을 갖지만, 명령 발행부(73)에는 공급된 기본 명령(EI)이 어느 한 명령 실행부(EU0, EU1)에 의해 실행되고 있는 기본 명령(EI)에 대하여, 데이터 의존 관계나 제어 의존 관계를 갖는 것인지의 여부, 또는 자원 경합을 발생시키는 것인가의 여부를 판단하는 판단부(103)가 포함되어 있는 점에서 상이한 것이다.

여기서, 판단부(103)는 이미 실행중인 기본 명령(EI) 중에 지정되어 있는 테스트네이션 레지스터 번호(기록 레지스터 번호)와, 금후 명령 실행부(EU0, EU1)에 발행하는 기본 명령(EI) 중에 지정되어 있는 소스 레지스터 번호(독출 레지스터 번호)를 비교하여, 그들의 번호가 일치한 경우에는 데이터 의존 관계를 갖고, 일치하지 않는 경우에는 데이터 의존 관계를 갖지 않는 것으로서 처리를 진행시킨다.

또한, 판단부(103)는 이미 실행중인 기본 명령(EI)이 분기 명령을 포함하거나, 또는 0에 의한 뺄셈 등의 처리의 예외를 발생시킬 가능성이 있다고 판단한 경우에는 제어 의존 관계를 갖고, 그렇지 않은 경우에는 제어 의존 관계를 갖지 않는 것으로서 처리를 진행시킨다.

또, 판단부(103)는 각 기본 명령(EI)의 내용으로부터, 이미 실행중인 기본 명령(EI)이 필요로 하는 자원[예컨대 명령 실행부(EU0, EU1) 등]과 금후 발행하는 기본 명령(EI)이 필요로 하는 자원을 비교하여, 이들 자원이 일치한 경우에는 자원 경합을 발생시키고, 일치하지 않는 경우에는 자원 경합을 발생시키는 것으로서 처리를 진행시킨다.

이상과 같은 판단에 의해, 명령 발행부(73)는 금후 발행하고자 하는 기본 명령(EI)이 명령 실행부(EU0, EU1)에 있어서 실행중인 기본 명령(EI)에 대하여 데이터 의존 관계를 갖지 않고, 또한 제어 의존 관계를 갖지 않으며, 또 자원 경합도 발생하지 않는 것이라고 판단한 경우에는 상기 실행이 완료되기 전에 상기 기본 명령(EI)을 대응하는 명령 실행부(EU0, EU1)에 발행한다. 따라서, 이 경우에는 명령 발행부(73)에 의한 명령 발행 동작과, 명령 실행부(EU0, EU1)에 있어서의 명령 실행 동작은 시분할형 병렬 처리가 된다.

한편, 금후 발행하고자 하는 기본 명령(EI)이 명령 실행부(EU0, EU1)에 있어서 실행중인 기본 명령(EI)에 대하여 데이터 의존 관계나 제어 의존 관계, 또는 자원 경합을 발생시키는 것이라고 판단한 경우에는 상기 실행의 완료를 기다려 상기 기본 명령(EI)을 대응하는 명령 실행부(EU0, EU1)에 발행한다.

또한, 본 실시예에서는 동일한 구성을 갖는 명령 실행부(EU0, EU1)가 2 개 구비되는 경우를 설명했지만, 3개 이상 구비된 것도 같은 식으로 생각할 수 있다.

이로써, 본 실시예에 따른 병렬 처리 프로세서(21)에 의하면, 상기 제1 실시예에 따른 병렬 처리 프로세서(20)와 같은 효과를 보이는 동시에, 또한 기본 명령(EI)의 병렬 처리를 확실하고 또 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있다.

[제2 실시 형태]

도 7 및 도 12에서부터 도 21에 나타낸 바와 같이, 제2 실시 형태에 따른 병렬 처리 프로세서(22~27)는 각각, 메모리(12)에 접속된 명령 독출부(48~53), 명령 독출부(48~53)에 각각 접속된 명령 발행부(74~79), 명령 발행부(74~79)에 접속되는 명령 실행부(LU0, IU0, IU1, FU0, FU1, BU0) 및 모든 명령 실행부에 접속된 레지스터부(99)를 구비한 것이다.

여기서, 명령 실행부(LU0)는 로드 스토어 명령 실행부이며, 로드 명령 및 스토어 명령을 실행한다. 또, 이들 실행이 완료되었을 때에는 명령 실행부(LU0)는 명령 발행부(74~79)에 통지한다. 또, 명령 실행부(IU0, IU1)는 정수 연산 명령 실행부로, 정수 연산 명령을 실행한다. 또한, 이 실행이 완료되었을 때에는 명령 실행부(IU0, IU1)는 명령 발행부(74~79)에 통지한다.

또, 명령 실행부(FU0, FU1)는 부동 소수점 연산 명령 실행부로, 부동 소수점 연산 명령을 실행한다. 또한, 이 실행이 완료되었을 때에는 명령 실행부(FU0, FU1)는 명령 발행부(74~79)에 통지한다. 또, 명령 실행부(BU0)는 분기 명령 실행부로, 분기 명령을 실행한다. 또한, 이 실행이 완료되었을 때에는 명령 실행부(BU0)는 명령 발행부(74~79)에 통지한다.

이하에 있어서, 제2 실시 형태에 따른 병렬 처리 프로세서를 한 명령어에 포함되는 최대 기본 명령어 길이가 2인 경우를 예로서 설명한다. 또, 한 명령어의 최대 기본 명령어 길이가 3 이상인 경우도 같은 식으로 설명할 수 있다.

(제1 실시예)

도 7은 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 7에 나타낸 바와 같이, 이 병렬 처리 프로세서(22)는 명령 독출부(48)에 변환부(115)를 구비한다. 이 변환부(115)는 이하에 상술하는 것과 같이, 수신한 한 명령어마다 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부(LU0, IU0, IU1, FU0, FU1, BU0)의 구성에 따라서 재배열한 다음에 명령 발행부(74)에 공급하는 것이다. 또한, 변환부(115)에 있어서 이렇게 재배열하는 것은 명령 발행부(74)에 있어서의 기본 명령의 발행을 용이하게 하기 위해서이다.

여기서, 상기한 '기본 명령의 발행을 용이하게 한다'라는 의미를 설명한다. 본 발명에 따른 병렬 처리 프로세서는 그 구성을 프린터 기관 상 또는 LSI 상에 표현하게 된다. 즉, 이차원 평면에 각 구성 요소가 배치되고, 그 사이가 배선에 의해 접속된

다. 이 때, 배선이 교차하는 것과 같은 상황이 상정되지만, 일반적으로 프린터 기관 또는 LSI는 복수의 배선층을 갖기 때문에, 그 때에는 다른 배선층을 사용하여 교차하는 것과 같은 배선을 우회하도록 배선한다. 따라서, 논리적으로는 어떠한 배치에 대하여도 배선 가능하다고 생각할 수 있지만, 회로의 동작 속도의 관점에서는 상기 우회는 배선의 연장을 의미하기 때문에, 우회가 적을수록 동작 속도를 저하시키는 요인이 적어진다. 이 때문에, 우회가 적게 끝나는 배선이 바람직하다고 할 수 있다. 이상으로부터, 상기한 '기본 명령의 발행을 용이하게 한다'란, 명령 발행부(74)에 공급된 명령어에 포함되는 각 기본 명령을 대응하는 명령 실행부에 발행하기 위한 배선을 단축하여, 동작 속도를 향상시킨다고 하는 의미이다.

도 8은 도 7에 나타난 명령 독출부(48)와 명령 발행부(74)의 구성을 나타낸 도면이다. 도 8에 나타난 바와 같이, 이 명령 독출부(48)와 명령 발행부(74)는 각각 도 4에 나타난 명령 독출부(46) 및 명령 발행부(72)와 같은 구성을 갖지만, 명령 독출부(48)는 절출부(317)에 접속된 상기 변환부(115)를 더욱 구비하는 점에서 상이하다. 또한 FPC(301)에는 분기 명령에 대응하는 분기처의 어드레스 등이 명령 실행부(BU0)로부터 공급된다.

또, 도 8에 있어서는 도면을 간략하게 하여 보기 쉽게 하기 위해서, 명령 레지스터(348)로부터 2 개의 명령 실행부(LU0, IU0)에 명령이 발행되는 경로만을 나타내고 있지만, 도 7에 나타내는 다른 명령 실행부(IU1, FU0, FU1, BU0)에의 명령 발행 경로도 같은 식일 수 있다. 그리고 이것은 AND 게이트(379)에 공급되는 신호로서 2 개의 명령 완료 신호(LUc, IUc0)만이 나타내어져 있는 점에 대해서도 마찬가지이다.

이하에, 본 실시예에 따른 병렬 처리 프로세서(22)의 동작에 관해서 설명한다. 우선, 명령 독출부(48)의 절출부(317)는 상기 제1 실시 형태에 따른 병렬 처리 프로세서와 마찬가지로, 명령어 단락 필드 1까지의 기본 명령을 명령어로 하여, 그 명령어를 하나씩 수신한다. 여기서, 명령 독출부(48)에 공급되는 명령어의 형식(13)을 도 9에 도시한다. 도 9에 나타난 바와 같이, 이 명령어는 도 5에 도시한 명령어와 마찬가지로, 기본 명령의 단락을 나타내는 명령어 단락 필드 0 또는 1, 정수 연산 명령(II), 부동 소수점 연산 명령(FI), 로드 스토어 명령(LI) 및 분기 명령(BI)으로 이루어진다.

또한, 명령 발행부(74)의 명령 실행부(LU0, IU0, IU1, FU0, FU1, BU0)에 대한 인터페이스(15)는 도 9에 나타난 바와 같이, 기본 명령의 발행에 있어서의 유효 비트(V)와, 정수 연산 명령을 실행하는 데에 있어서 필요한 정보(II)와, 부동 소수점 연산 명령을 실행하는 데에 있어서 필요한 정보(FI)와, 로드 스토어 명령을 실행하는 데에 있어서 필요한 정보(LI)와, 분기 명령을 실행하는 데에 있어서 필요한 정보(BI)에 의해 기술된다. 즉 인터페이스(15)는 그 좌측으로부터 순서대로, 명령 발행부(74)로부터 명령 실행부(LU0)에는 유효 비트(V) 및 정보(LI)를, 명령 실행부(IU0, IU1)에는 유효 비트(V) 및 정보(II)를, 명령 실행부(FU0, FU1)에는 유효 비트(V) 및 정보(FI)를, 명령 실행부(BU0)에는 유효 비트(V) 및 정보(BI)를 각각 공급하는 것을 의미한다.

여기서, 유효 비트(V)에 있어서의 0은 기본 명령을 발행하지 않음을 의미하고, 1은 기본 명령을 발행하는 것을 의미한다. 그리고, 이러한 유효 비트(V)와 정보(II, FI, LI, BI)는 쌍을 이루어, 각각 명령 실행부에 대응된다.

그리고, 도 9에 나타난 바와 같이 명령어의 형식(13)은 명령 독출부(48)에 포함되는 변환부(115)에 있어서, 명령 실행부(LU0, IU0, IU1, FU0, FU1, BU0)의 구성에 따른 명령어의 형식(17)으로 재배열하여, 명령 발행부(74)의 명령 레지스터(348)에 공급된다. 이로써 명령 레지스터(348)는 유효 비트(V)가 1인 기본 명령을 대응하는 명령 실행부에 발행한다. 즉 예컨대, 명령어의 형식(17)의 제일 위에 기록된 명령어가 명령 발행부(74)에 공급되었을 때, 명령 발행부(74)는 유효 비트(V)가 1의 부동 소수점 연산 명령(FI)을 명령 실행부(FU0)에 발행하고, 분기 명령(BI)을 명령 실행부(BU0)에 발행한다.

이 결과, 명령 실행부(FU0)는 부동 소수점 연산 명령(FI)을 실행하고, 명령 실행부(BU0)는 분기 명령(BI)을 실행한다. 또 이 경우에는 다른 명령 실행부(LU0, IU0, IU1, FU1)는 기본 명령을 하등 실행하지 않게 된다.

도 10은 도 8에 도시한 변환부(115)의 구성을 나타내는 회로도이다. 도 10에 나타난 바와 같이, 변환부(115)는 전송선(L1, L2), BI 검출기(BD1, BD2), FI 검출기(FD1, FD2), II 검출기(ID1, ID2), LI 검출기(LD1, LD2), 버퍼(155~158), AND 게이트(163~166, 185, 186), 배타적 OR 게이트(187~190), 셀렉터(209~212) 및 OR 게이트(199~202)를 포함한다.

여기서, 전송선(L1)은 명령어 내에 포함되는 제1번째의 기본 명령을 전송하고, 전송선(L2)은 한 명령어 내에 포함되는 제2번째의 기본 명령을 전송한다. 또한, BI 검출기(BD1)는 전송선(L1)에 접속되고, BI 검출기(BD2)는 전송선(L2)에 접속된다. 그리고, 버퍼(155)는 BI 검출기(BD1)에 접속되고, AND 게이트(163)는 BI 검출기(BD1, BD2)에 접속되고, 셀렉터(209)는 전송선(L1, L2)과 버퍼(155) 및 AND 게이트(163)에 접속된다. 또한, OR 게이트(199)는 버퍼(155) 및 AND 게이트(163)에 접속된다.

또, FI 검출기(FD1)는 전송선(L1)에 접속되고, FI 검출기(FD2)는 전송선(L2)에 접속된다. 그리고, 버퍼(156)는 FI 검출기(FD1)에 접속되고, AND 게이트(164)는 FI 검출기(FD1, FD2)에 접속되고, 배타적 OR 게이트(187)의 2 개의 입력단은 각각 버퍼(156)의 입력 노드와 출력 노드에 접속된다. 나아가서는, 배타적 OR 게이트(188)의 2 개의 입력단은 각각 AND 게이트(164)의 출력 노드와 FI 검출기(FD2)에 접속되고, AND 게이트(185)는 2 개의 배타적 OR 게이트(187, 188)에 접속된다. 또한, 셀렉터(210)는 전송선(L1, L2)과 버퍼(156) 및 AND 게이트(164)에 접속되고, OR 게이트(200)는 버퍼(156) 및 AND 게이트(164)에 접속된다.

또한, II 검출기(ID1)는 전송선(L1)에 접속되고, II 검출기(ID2)는 전송선(L2)에 접속된다. 그리고, 버퍼(157)는 II 검출기(ID1)에 접속되고, AND 게이트(165)는 II 검출기(ID1, ID2)에 접속되고, 배타적 OR 게이트(189)의 2 개의 입력단은 각각 버퍼(157)의 입력 노드와 출력 노드에 접속된다. 나아가서는, 배타적 OR 게이트(190)의 2 개의 입력단은 각각 AND 게이트(165)의 출력 노드와 II 검출기(ID2)에 접속되고, AND 게이트(186)는 2 개의 배타적 OR 게이트(189, 190)에 접속된다. 또한, 셀렉터(211)는 전송선(L1, L2)과 버퍼(157) 및 AND 게이트(165)에 접속되고, OR 게이트(201)는 버퍼(157) 및 AND 게이트(165)에 접속된다.

또한, LI 검출기(LD1)는 전송선(L1)에 접속되고, LI 검출기(LD2)는 전송선(L2)에 접속된다. 그리고, 버퍼(158)는 LI 검출기(LD1)에 접속되고, AND 게이트(166)는 LI 검출기(LD1, LD2)에 접속되고, 셀렉터(212)는 전송선(L1, L2)과 버퍼(158) 및 AND 게이트(166)에 접속된다. 또한, OR 게이트(202)는 버퍼(158) 및 AND 게이트(166)에 접속된다.

또, 2 개의 BI 검출기(BD1, BD2)에 의해 BI 검출기 블록(147)이 형성되고, 2 개의 FI 검출기(FD1, FD2)에 의해 FI 검출기 블록(149)이 형성된다. 또한, 2 개의 II 검출기(ID1, ID2)에 의해 II 검출기 블록(151)이 형성되고, 2 개의 LI 검출기(LD1, LD2)에 의해 FI 검출기 블록(153)이 형성된다.

이상과 같은 구성을 갖는 변환부(115)의 동작을, 도 9에 도시한 명령어의 형식(13)의 제일 위에 도시한 기본 명령(BI, FI)으로 이루어지는 명령어가, 변환부(115)에 공급된 경우를 예로 하여 이하에 설명한다. 우선 제1번째의 기본 명령(BI)이 전송선(LD)을 전송하기 때문에, BI 검출기(BD1)는 그 기본 명령(BI)을 검출하여 논리 레벨이 1인 검출 신호를 버퍼(155)에 공급한다. 이때, AND 게이트(163)로부터는 논리 레벨이 0인 신호가 출력된다. 이로써, 셀렉터(209)는 버퍼(155)로부터 공급된 검출 신호에 따라서 제1번째의 기본 명령(BI)을 선택하여 그 기본 명령(BI)을 명령 실행부(BU0)에서 실행해야 할 명령으로서, 명령 발행부(74)에 출력한다. 한편, 기본 명령(BI)의 출력과 동시에, OR 게이트(199)로부터는 버퍼(155)로부터 공급된 검출 신호에 따라서 논리 레벨이 1인 유효 비트(V)가 출력된다. 또, 상기 제1번째의 기본 명령(BI)에 대하여 FI 검출기(FD1)와 II 검출기(ID1) 및 LI 검출기(LD1)로부터는 함께 논리 레벨이 0인 비검출 신호가 출력되기 때문에, 셀렉터(210, 211, 212)는 함께, 전송선(L1)을 전송하는 제1번째의 기본 명령을 선택하지 않는다.

이어서, 전송선(L2)을 상기 명령어의 제2번째의 기본 명령(FI)이 전송한다. 이 때, 상기 제1번째의 기본 명령(BI)의 경우와 마찬가지로 FI 검출기(FD2)는 그 기본 명령(FI)을 검출하여 논리 레벨이 1인 검출 신호를 AND 게이트(164)에 공급한다. 이 때, AND 게이트(164)의 출력은 논리 레벨이 1인 신호가 된다. 그리고, 셀렉터(209)는 AND 게이트(164)로부터 공급된 상기 논리 레벨이 1인 신호에 따라서 제2번째의 기본 명령(FI)을 선택하여 상기 기본 명령(FI)을 명령 실행부(FU0)에서 실행해야 할 명령으로서 출력한다. 한편, 기본 명령(FI)의 출력과 동시에, OR 게이트(200)로부터는 AND 게이트(164)로부터 공급된 검출 신호에 따라서 논리 레벨이 1인 유효 비트(V)가 출력된다.

또한, 상기 제2번째의 기본 명령(FI)에 대하여 BI 검출기(BD2, ID2, LD2)로부터는 논리 레벨이 0인 비검출 신호가 출력되기 때문에, 셀렉터(209, 211, 212)는 함께, 전송선(L2)을 전송하는 제2번째의 기본 명령을 선택하지 않는다. 또한, 명령 실행부(LU0, IU0, IU1, FU1)에서 실행되어야 할 기본 명령은 상기 제1번째와 제2번째의 어느 쪽의 기본 명령에 있어서도 검출되지 않았기 때문에, 각각 OR 게이트(202, 201)나 AND 게이트(186, 185)로부터는 유효 비트(V)로서 논리 레벨이 0인 신호가 출력된다.

명령 독출부(48)에 있어서의 변환부(115)의 이상과 같은 동작에 의해, 도 9에 도시한 명령어의 형식(13)이 명령어의 형식(17)으로 재배열된다.

도 11은 메모리(12)로부터 명령 독출부(48)에 공급되는 한 명령어의 최대 기본 명령어 길이가 4인 경우에 있어서의 변환부(115)의 구성을 나타내는 회로도이다. 도 11에 나타난 바와 같이, 이 경우의 변환부(115)의 구성은 도 10에 도시한 최대 명령어 길이가 2인 경우에 있어서의 변환부(115)의 구성과 같지만, 최대 기본 명령어 길이가 4임에 대응하여 4 개의 전송선(L1~L4)이 구비되고, 각각의 전송선(L1~L4)에 접속되는 4 개의 BI 검출기(BD1~BD4), FI 검출기(FD1~FD4), II 검

출기(ID1~ID4) 및 LI 검출기(LD1~LD4)가 구비되는 점에서 상이하다. 또한, 기본 명령(FI)에 대해서는 최대 명령어 길이가 4임에 따라서, 2 개의 셀렉터(214, 215)가 구비되고, 기본 명령(II)에 대해서도 마찬가지로 2 개의 셀렉터(216, 217)가 구비되는 점에서 상이하다.

또한 이 회로는 버퍼(159~162), AND 게이트(167~184), 배타적 OR 게이트(191~198), OR 게이트(203~208) 및 셀렉터(213, 218)를 구비한다. 또, 4 개의 BI 검출기(BD1~BD4)에 의해 BI 검출기 블록(148)이 형성되고, 4 개의 FI 검출기(FD1~FD4)에 의해 FI 검출기 블록(150)이 형성된다. 또한, 4 개의 II 검출기(ID1~ID4)에 의해 II 검출기 블록(152)이 형성되고, 4 개의 LI 검출기(LD1~LD4)에 의해 LI 검출기 블록(154)이 형성된다.

이상과 같은 구성을 갖는 변환부(115)는 도 10에 도시한 변환부(115)와 같은 식으로 동작하지만, 이하에 있어서 동일한 기본 명령어가 포함되는 명령어, 예컨대 기본 명령(BI, FI, FI, II)으로 구성되는 명령어가 변환부(115)에 공급된 경우의 동작에 관해서 설명한다. 우선 제1번째의 기본 명령(BI)이 전송선(L1)을 전송하기 때문에, BI 검출기(BD1)는 상기 기본 명령(BI)을 검출하여 논리 레벨이 1인 검출 신호를 버퍼(159)에 공급한다. 이 때, AND 게이트(167~169)로부터는 논리 레벨이 0인 신호가 출력된다. 이로써, 셀렉터(213)는 버퍼(159)로부터 공급된 검출 신호에 따라서 제1번째의 기본 명령(BI)을 선택하여 상기 기본 명령(BI)을 명령 실행부(BU0)에서 실행해야 할 명령으로서, 명령 발행부(74)에 출력한다. 한편, 기본 명령(BI)의 출력과 동시에, OR 게이트(203)로부터는 버퍼(159)로부터 공급된 검출 신호에 따라서 논리 레벨이 1인 유효 비트(V)가 출력된다. 또한, 상기 제1번째의 기본 명령(BI)에 대하여 FI 검출기(FD1), II 검출기(ID1) 및 LI 검출기(LD1)로부터는 함께 논리 레벨이 0인 비검출 신호가 출력되기 때문에, 셀렉터(214, 216, 218)는 함께, 전송선(L1)을 전송하는 제1번째의 기본 명령을 선택하지 않는다.

이어서, 전송선(L2)을 상기 명령어의 제2번째의 기본 명령(FI)이 전송한다. 이 때, 상기 제1번째의 기본 명령(BI)의 경우와 같은 식으로 FI 검출기(FD2)는 상기 기본 명령(FI)을 검출하여 논리 레벨이 1인 검출 신호를 AND 게이트(170)에 공급한다. 이 때, AND 게이트(170)의 출력은 논리 레벨이 1인 신호가 된다. 그리고, 셀렉터(214)는 AND 게이트(170)로부터 공급된 상기 논리 레벨이 1인 신호에 따라서 제2번째의 기본 명령(FI)을 선택하여 상기 기본 명령(FI)을 명령 실행부(FU0)에서 실행해야 할 명령으로서 출력한다. 한편, 기본 명령(FI)의 출력과 동시에, OR 게이트(204)로부터는 AND 게이트(170)로부터 공급된 검출 신호에 따라서 논리 레벨이 1인 유효 비트(V)가 출력된다.

또한, 상기 제2번째의 기본 명령(FI)에 대하여 BI 검출기(BD2), II 검출기(ID2), LI 검출기(LD2)로부터는 논리 레벨이 0인 비검출 신호가 출력되기 때문에, 셀렉터(213, 216, 218)는 함께 전송선(L2)을 전송하는 제2번째의 기본 명령을 선택하지 않는다.

다음에, 전송선(L3)을 상기 명령어의 제3번째의 기본 명령(FI)이 전송한다. 이 때, 상기 제1번째의 기본 명령(BI)의 경우와 같은 식으로 FI 검출기(FD3)는 상기 기본 명령(FI)을 검출하여 논리 레벨이 1인 검출 신호를 AND 게이트(171)에 공급한다. 이 때, AND 게이트(171)에는 FI 검출기(FD2)로부터 논리 레벨이 1인 검출 신호가 공급되고 있기 때문에, 그 출력은 논리 레벨이 0인 신호가 된다. 이 때문에, 배타적 OR 게이트(193)로부터는 논리 레벨이 1인 신호가 출력되고 AND 게이트(174)로부터는 논리 레벨이 1인 신호가 출력된다. 그리고, 셀렉터(215)는 AND 게이트(174)로부터 공급된 상기 논리 레벨이 1인 신호에 따라서 제3번째의 기본 명령(FI)을 선택하여 상기 기본 명령(FI)을 명령 실행부(FU1)에서 실행해야 할 명령으로서 출력한다. 한편, 기본 명령(FI)의 출력과 동시에, OR 게이트(205)로부터는 AND 게이트(174)로부터 공급된 신호에 따라서 논리 레벨이 1인 유효 비트(V)가 출력된다.

또한, 상기 제3번째의 기본 명령(FI)에 대하여 BI 검출기(BD3), II 검출기(ID3), LI 검출기(LD3)로부터는 논리 레벨이 0인 비검출 신호가 출력되기 때문에, 셀렉터(213, 216, 218)는 함께, 전송선(L3)을 전송하는 제3번째의 기본 명령을 선택하지 않는다.

그리고, 이어서, 전송선(L4)을 상기 명령어의 제4번째의 기본 명령(II)이 전송한다. 이 때, 상기 제1번째의 기본 명령(BI)의 경우와 마찬가지로 II 검출기(ID4)는 상기 기본 명령(II)을 검출하여 논리 레벨이 1인 검출 신호를 AND 게이트(178)에 공급한다. 이 때, AND 게이트(178)의 출력은 논리 레벨이 1인 신호가 된다. 그리고, 셀렉터(216)는 AND 게이트(178)로부터 공급된 상기 논리 레벨이 1인 신호에 따라서 제4번째의 기본 명령(II)을 선택하여 상기 기본 명령(II)을 명령 실행부(IU0)에서 실행해야 할 명령으로서 출력한다. 한편, 기본 명령(II)의 출력과 동시에, OR 게이트(206)로부터는 AND 게이트(178)로부터 공급된 신호에 따라서 논리 레벨이 1인 유효 비트(V)가 출력된다.

이상으로부터, 본 실시예에 따른 병렬 처리 프로세서에 의하면, 명령 독출부(48)는 공급된 명령어에 포함되는 기본 명령을 명령 실행부의 배치에 따라서 재배열한 다음에, 그 명령어를 명령 발행부(74)에 공급하기 때문에, 명령 실행부의 명령 발행부(74)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또 상기 실시예에 있어서는, 명령 독출부(48)는 미리 복수의 명령 실행부의 구성에 따른 순서로 배열된 기본 명령이 포함되는 명령어를, 메모리(12)로부터 수신하는 것도 유용하다. 즉, 상기한 명령 독출부(48)에 있어서 재배열을 실현하는 데에 있어서 필요로 하는 회로 규모가 작아지도록 미리 기본 명령의 배열을 제약한다.

구체적으로는, 동등한 기능을 하는 명령어는 한쪽만을 채용한다. 예컨대, 도 9에 있어서의 명령어의 형식(13)의 제일 위 및 위에서부터 4번째에 도기한 명령어에 관해서는, 재배열된 명령어의 형식(17)이 동일하게 된다. 따라서, 이러한 경우에는 한쪽만을 채용하고, 다른 쪽을 미리 금지한다. 또한, 명령 독출부(22)의 배선의 우회가 많아지는 식의 명령어를 금지하는 것을 생각할 수 있다. 예컨대, 상기 2 개의 명령어에 착안하면, 기본 명령(BI, FI)이 배열된 순서가 반대의 관계에 있다. 여기서, 회로의 구성 요소는 이차원 평면으로 배치되기 때문에, 어느 한쪽의 명령어를 재배열하는 데에 있어서는 다른 쪽보다 배선의 우회를 많이 필요로 한다. 따라서, 이러한 배선의 우회를 보다 많이 필요로 하는 명령어의 배열을 미리 금지한다.

이상과 같이, 명령 독출부(48)에 제공하는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(22)의 회로 규모를 작게 할 수 있다.

(제2 실시예)

도 12는 제2 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 12에 나타낸 바와 같이, 이 병렬 처리 프로세서(23)는 도 7에 도시한 상기 제1 실시예에 따른 병렬 처리 프로세서(22)와 같은 구성을 갖지만, 변환부(116)가 명령 발행부(75)에 내장되는 점에서 상이한 것이다. 여기서 변환부(116)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같은 것이다.

또한, 도 13은 도 12에 도시한 명령 독출부(49)와 명령 발행부(75)의 구성을 나타낸 도면이다. 도 13에 나타낸 바와 같이, 이 명령 독출부(49)와 명령 발행부(75)는 각각 도 4에 도시한 명령 독출부(46) 및 명령 발행부(72)와 같은 구성을 갖지만, 명령 발행부(75)는 명령 레지스터(349)에 접속된 상기 변환부(116)를 더욱 구비하는 점에서 상이하다. 또, 도 13에 있어서는 도 12를 간략하게 하여 보기 쉽게 하기 위해서, 변환부(116)로부터 2 개의 명령 실행부(LU0, IU0)에 명령이 발행되는 경로만을 나타내고 있지만, 도 12에 나타내어지는 다른 명령 실행부(IU1, FU0, FU1, BU0)에의 명령 발행 경로도 같은 식으로 그릴 수 있다. 또한 이것은 AND 게이트(380)에 공급되는 신호로서 2 개의 명령 완료 신호(LUc, IUc0)만이 나타내어져 있는 점에 관해서도 마찬가지이다.

이러한 본 실시예에 따른 병렬 처리 프로세서에 의하면, 명령 발행부(75)의 변환부(116)는 명령 레지스터(349)로부터 공급된 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 후에 그 명령 실행부에 각 기본 명령을 발행하기 때문에, 전체적인 배선 길이를 짧게 하여 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(49)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(23)의 회로 규모를 작게 할 수 있는 것도, 상기 제1 실시예에 따른 병렬 처리 프로세서(22)와 마찬가지이다.

(제3 실시예)

도 14는 제2 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 14에 나타낸 바와 같이, 이 병렬 처리 프로세서(24)는 도 7에 도시한 상기 제1 실시예에 따른 병렬 처리 프로세서(22)와 같은 구성을 갖지만, 명령 독출부(50)는 수신한 명령어마다 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열하는 제1 변환부(117)를 포함하고, 명령 발행부(76)는 명령 독출부(50)로부터 공급된 명령어에 포함되는 기본 명령을 상기 복수의 명령 실행부의 구성에 따라서 더욱 재배열하는 제2 변환부(118)를 포함하는 점에서 상이한 것이다.

또한, 도 15는 도 14에 도시한 명령 독출부(50)와 명령 발행부(76)의 구성을 나타낸 도면이다. 도 15에 나타낸 바와 같이, 이 명령 독출부(50)와 명령 발행부(76)는 각각 도 4에 도시한 명령 독출부(46) 및 명령 발행부(72)와 같은 구성을 갖지만, 명령 독출부(50)는 절출부(319)에 접속된 상기 제1 변환부(117)를 더욱 구비하고, 명령 발행부(76)는 명령 레지스터(350)에 접속된 상기 제2 변환부(118)를 더욱 구비하는 점에서 상이하다. 또, 도 15에 있어서는 도 14를 간략하게 하여 보기 쉽게 하기 위해서, 제2 변환부(118)로부터 2 개의 명령 실행부(LU0, IU0)에 명령이 발행되는 경로만을 나타내고 있지만, 도 14에 나타내어지는 다른 명령 실행부(IU1, FU0, FU1, BU0)에의 명령 발행 경로도 같은 식일 수 있다. 또한 이것은 AND 게이트(381)에 공급되는 신호로서 2 개의 명령 완료 신호(LUc, IUc0)만이 나타내어져 있는 점에 관해서도 마찬가지이다.

여기서, 상기 제1 변환부(117)에 있어서는 기본 명령을 재배열하는 소위 전처리가 실행되고, 상기 제2 변환부(118)에 있어서는 기본 명령을 재배열하는 소위 후처리가 실행된다.

또, 실제의 회로에서는 병렬 처리 프로세서의 처리 능력을 향상시키기 위해서, 명령 관독부(50)와 명령 발행부(76)에 있어서의 처리가 파이프라인화된다. 이 때문에, 명령 독출부(50)에 있어서의 처리 시간과 명령 발행부(76)에 있어서의 처리 시간의 차가 적을수록, 파이프라인화한 효과를 기대할 수 있다. 따라서, 명령 독출부(50)에 있어서의 처리 시간과 명령 발행부(76)에 있어서의 처리 시간의 차가 적어지도록, 상기 전처리와 후처리를 분할한다.

보다 구체적으로는, 일례로서, 도 10 및 도 11에 도시한 BI 검출기 블록(147, 148), FI 검출기 블록(149, 150), II 검출기 블록(151, 152), LI 검출기 블록(153, 154)에 상당하는 회로를 제1 변환부(117)에 구비하는 동시에, 도 10 및 도 11에 도시한 그 이외의 회로에 관해서는 제2 변환부(118)에 구비할 수 있다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의해서도, 전체적으로 배선 길이를 짧게 할 수 있어, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(50)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(24)의 회로 규모를 작게 할 수 있는 것은 상기 제1 및 제2 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제4 실시예)

도 16은 제2 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 16에 나타난 바와 같이, 이 병렬 처리 프로세서(25)는 도 7에 도시한 상기 제1 실시예에 따른 병렬 처리 프로세서(22)와 같은 구성을 갖지만, 변환부(119)가 명령 독출부(51)에 내장되는 동시에, 판단부(104)가 명령 발행부(77)에 내장되는 점에서 상이한 것이다.

또, 도 17은 도 16에 도시한 명령 독출부(51)와 명령 발행부(77)의 구성을 나타낸 도면이다. 도 17에 나타난 바와 같이, 이 명령 독출부(51)와 명령 발행부(77)는 각각 도 8에 도시한 명령 독출부(48) 및 명령 발행부(74)와 같은 구성을 갖지만, 명령 발행부(77)가 명령 레지스터(351)와 제어부(374)의 사이에 접속된 판단부(104)를 더욱 구비하는 점에서 상이하다. 여기서, 판단부(104)는 공급된 기본 명령에 기초하여, 발행 대상이 되는 기본 명령이 상기 데이터 의존성이나 제어 의존성을 갖는 것인가의 여부, 또는 자원 경합을 발생시키는 것인가의 여부를 판단하여, 그 결과를 제어부(374)에 통지한다. 여기서, 발행 대상이 되는 기본 명령이 상기 데이터 의존성 또는 제어 의존성을 지니고, 또는 자원 경합을 발생시키는 것이라고 판단되는 경우에는 명령의 실행 완료를 나타내는 명령 완료 신호(LUc, IUc0)가 공급되는 것을 기다려 명령 발행부(77)로부터 기본 명령이 발행된다.

또한, 도 17에 있어서도 도면을 간략하게 하여 보기 쉽게 하기 위해서, 명령 레지스터(351)로부터 2 개의 명령 실행부(LU0, IU0)에 명령이 발행되는 경로만을 기술하고 있지만, 도 16에 나타내어지는 다른 명령 실행부(IU1, FU0, FU1, BU0)에의 명령 발행 경로도 같은 식일 수 있다. 또한, 이것은 판단부(104)에 공급되는 신호로서 2 개의 명령 완료 신호(LUc, IUc0)만이 나타내어져 있는 점에 관해서도 마찬가지이다.

여기서 변환부(119)의 구성 및 동작은 도 10 및 도 11에 나타난 변환부(115)의 구성 및 동작과 같고, 판단부(104)의 구성 및 동작은 도 6에 나타난 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제1 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서와, 상기 제2 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 양자에 있어서의 효과를 얻을 수 있다. 즉, 명령 발행부(77)에 판단부(104)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(51)에 변환부(119)를 내장함으로써, 명령 실행부에의 명령 발행부(77)에 의한 기본 명령의 발행을 용이하게 하여 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(51)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(25)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제5 실시예)

도 18은 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 18에 나타낸 바와 같이, 이 병렬 처리 프로세서(26)는 도 16에 도시한 상기 제4 실시예에 따른 병렬 처리 프로세서(25)와 구성은 같지만, 변환부(120)가 명령 발행부(78)에 내장되는 점에서 상이한 것이다.

또한 도 19는 도 18에 도시한 명령 독출부(52)와 명령 발행부(78)의 구성을 나타낸 도면이다. 도 19에 나타낸 바와 같이, 이 명령 독출부(52)와 명령 발행부(78)는 각각 도 13에 도시한 명령 독출부(49) 및 명령 발행부(75)와 같은 구성을 갖지만, 명령 발행부(78)가 명령 레지스터(352)와 제어부(375)의 사이에 접속된 판단부(105)를 더욱 구비하는 점에서 상이하다. 여기서, 판단부(105)는 공급된 기본 명령에 기초하여, 발행 대상이 되는 기본 명령이 상기 데이터 의존성이나 제어 의존성을 갖는 것인가의 여부 또는 자원 경합을 발생시키는 것인가의 여부를 판단하여, 그 결과를 제어부(375)에 통지한다. 여기서, 발행 대상이 되는 기본 명령이 상기 데이터 의존성 또는 제어 의존성을 지니고, 또는 자원 경합을 발생시키는 것이라고 판단되는 경우에는 명령의 실행 완료를 나타내는 명령 완료 신호(LUc, IUc0)가 공급되는 것을 기다려 명령 발행부(78)로부터 기본 명령이 발행된다.

또한, 도 19에 있어서도 도면을 간략하게 하여 보기 쉽게 하기 위해서, 명령 레지스터(352)로부터 2 개의 명령 실행부(LU0, IU0)에 명령이 발행되는 경로만을 나타내고 있지만, 도 18에 나타내어지는 다른 명령 실행부(IU1, FU0, FU1, BU0)에의 명령 발행 경로도 같은 식일 수 있다. 또한 이것은 판단부(105)에 공급되는 신호로서 2 개의 명령 완료 신호(LUc, IUc0)만이 나타내어져 있는 점에 관해서도 마찬가지이다.

여기서 변환부(120)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같고, 판단부(105)의 구성 및 동작은 도 16에 도시한 판단부(104)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제4 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(78)에 판단부(105)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 발행부(78)에 더욱 변환부(120)를 내장함으로써, 명령 실행부에의 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(52)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(26)의 회로 규모를 작게 할 수 있는 것은, 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제6 실시예)

도 20은 제2 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 20에 나타낸 바와 같이, 이 병렬 처리 프로세서(27)는 도 14에 도시한 상기 제3 실시예에 따른 병렬 처리 프로세서(24)와 구성은 같지만, 판단부(106)가 더욱 명령 발행부(79)에 내장되는 점에서 상이하다.

또한 도 21은 도 20에 도시한 명령 독출부(53)와 명령 발행부(79)의 구성을 나타낸 도면이다. 도 21에 나타낸 바와 같이, 이 명령 독출부(53)와 명령 발행부(79)는 각각 도 15에 도시한 명령 독출부(50) 및 명령 발행부(76)와 같은 구성을 갖지만, 명령 발행부(79)가 명령 레지스터(353)와 제어부(376)의 사이에 접속된 판단부(106)를 더욱 구비하는 점에서 상이하다. 여기서, 판단부(106)는 공급된 기본 명령에 기초하여, 발행 대상이 되는 기본 명령이 상기 데이터 의존성이나 제어 의존성을 갖는 것인가의 여부, 또는 자원 경합을 발생시키는 것인가의 여부를 판단하여, 그 결과를 제어부(376)에 통지한다. 여기서, 발행 대상이 되는 기본 명령이 상기 데이터 의존성 또는 제어 의존성을 지니고, 또는 자원 경합을 발생시키는 것이라고 판단되는 경우에는 명령의 실행 완료를 나타내는 명령 완료 신호(LUc, IUc0)가 공급되는 것을 기다려 명령 발행부(79)로부터 기본 명령이 발행된다.

또한, 도 21에 있어서도 도면을 간략하게 하여 보기 쉽게 하기 위해서, 명령 레지스터(353)로부터 2 개의 명령 실행부(LU0, IU0)에 명령이 발행되는 경로만을 나타내고 있지만, 도 20에 나타내어지는 다른 명령 실행부(IU1, FU0, FU1, BU0)에의 명령 발행 경로도 같은 식으로 그릴 수 있다. 또한 이것은 판단부(106)에 공급되는 신호로서 2 개의 명령 완료 신호(LUc, IUc0)만이 나타내어져 있는 점에 관해서도 마찬가지이다.

여기서, 제1 변환부(121)와 제2 변환부(122)의 구성 및 동작은 도 14에 도시한 제1 변환부(117)와 제2 변환부(118)의 구성 및 동작과 같고, 판단부(106)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제1 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서와, 상기 제2 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 양자에 있어서의 효과를 얻을 수 있다. 즉, 명령 발행부(79)에 판단부(106)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(53)에 제1 변환부(121)를 포함하는 동시에 명령 발행부(77)에 제2 변환부(122)를 포함함으로써, 명령 실행부(79)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(53)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(27)의 회로 규모를 작게 할 수 있는 것은, 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

[제3 실시 형태]

도 22 내지 도 27에 나타낸 바와 같이, 제3 실시 형태에 따른 병렬 처리 프로세서(28~33)는 메모리(12)에 접속된 명령 독출부(54~59), 명령 독출부에 각각 접속된 명령 발행부(80~85), 명령 발행부에 접속되는 명령 실행부(LU0, IU0, IU1, FU0, FU1, MU0, MU1, BU0) 및 모든 명령 실행부에 접속된 레지스터부(100)를 구비한 것이다. 여기서, 명령 실행부(MU0, MU1)는 특정 용도용의 전용 연산 명령 실행부이며, 특정 용도용 전용 연산 명령을 실행한다. 또, 이들의 실행이 완료되었을 때에는 명령 실행부(MU0, MU1)는 명령 발행부(80~85)에 통지한다.

이하에 있어서, 제3 실시 형태에 따른 병렬 처리 프로세서를, 한 명령어에 포함되는 최대 기본 명령어 길이가 2인 경우를 예로서 설명한다. 또, 한 명령어의 최대 기본 명령어 길이가 3 이상인 경우도 같은 식으로 설명할 수 있다.

(제1 실시예)

도 22는 제3 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 22에 나타낸 바와 같이, 이 병렬 처리 프로세서(28)는 명령 독출부(54)에 변환부(123)를 구비한다. 그리고 이 변환부(123)의 구성 및 동작은 상기 제2 실시 형태의 제1 실시예에서 상술한 변환부(115)의 구성 및 동작과 같은 것이다. 즉 변환부(123)는 수신한 한 명령어마다, 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부(80)에 공급한다.

이상과 같은 구성을 갖는 병렬 처리 프로세서(28)에 있어서도 상기 제2 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서(22)와 같은 효과를 얻을 수 있다.

즉, 명령 실행부(80)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(54)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(28)의 회로 규모를 작게 할 수 있는 것은 상기 실시 형태에 따른 병렬 처리 프로세서와 마찬가지이다.

(제2 실시예)

도 23은 제3 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 23에 나타낸 바와 같이, 이 병렬 처리 프로세서(29)는 도 12에 도시한 병렬 처리 프로세서(23)와 같은 구성을 갖고, 변환부(124)가 명령 발행부(81)에 포함된다. 여기서 변환부(124)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같다.

이러한 본 실시예에 따른 병렬 처리 프로세서에 의하면, 명령 발행부(81)는 명령 독출부(55)로부터 공급된 명령어에 포함되는 기본 명령을, 복수의 명령 실행부의 구성에 따라서 나란히 늘어놓은 후에 상기 명령 실행부에 각 기본 명령을 발행하기 때문에, 전체적으로 배선 길이를 짧게 하여 동작 속도를 향상시킬 수 있다.

또, 명령 독출부(55)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(29)의 회로 규모를 작게 할 수 있는 것도 상기한 병렬 처리 프로세서와 마찬가지이다.

(제3 실시예)

도 24는 제3 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 24에 나타낸 바와 같이, 이 병렬 처리 프로세서(30)는 도 14에 도시한 상기 병렬 처리 프로세서(24)와 같은 구성을 갖고, 명령 독출부(56)는 수신한 명령어마다 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열하는 제1 변환부(125)를 포함한다. 그리고, 명령 발행부(82)는 명령 독출부(56)로부터 공급된 명령어에 포함되는 기본 명령을 그 복수의 명령 실행부의 구성에 따라서 더욱 재배열하는 제2 변환부(126)를 포함한다.

여기서, 상기 제1 변환부(125)에 있어서는 기본 명령을 재배열하는 소위 전처리가 실행되고, 상기 제2 변환부(126)에 있어서는 기본 명령을 재배열하는 소위 후처리가 실행된다.

또한, 실제의 회로에서는 병렬 처리 프로세서의 처리 능력을 향상시키기 위해서, 명령 독출부(56)와 명령 발행부(82)에 있어서의 처리가 파이프라인화된다. 이 때문에, 명령 독출부(56)에 있어서의 처리 시간과 명령 발행부(82)에 있어서의 처리 시간의 차가 적을수록, 파이프라인화한 효과를 기대할 수 있다. 따라서, 명령 독출부(56)에 있어서의 처리 시간과 명령 발행부(82)에 있어서의 처리 시간의 차가 적어지도록, 상기 전처리와 후처리를 분할한다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의해, 전체적으로 배선 길이를 짧게 할 수 있어, 동작 속도를 향상시킬 수 있다.

또, 명령 독출부(56)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(30)의 회로 규모를 작게 할 수 있는 것은 상기 제1 및 제2 실시예에 따른 병렬 처리 프로세서와 마찬가지로이다.

(제4 실시예)

도 25는 제3 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 25에 나타낸 바와 같이, 이 병렬 처리 프로세서(31)는 도 16에 도시한 상기 병렬 처리 프로세서(25)와 같은 구성을 갖고, 변환부(127)가 명령 독출부(57)에 내장되는 동시에, 판단부(107)가 명령 발행부(83)에 내장된다.

여기서 변환부(127)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같고, 판단부(107)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(83)에 판단부(107)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(57)에 변환부(127)를 내장함으로써, 명령 실행부의 명령 발행부(83)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(57)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(31)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지로이다.

(제5 실시예)

도 26은 제3 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 26에 나타낸 바와 같이, 이 병렬 처리 프로세서(32)는 도 18에 도시한 상기 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서(26)와 같은 구성을 갖고, 변환부(128) 및 판단부(108)가 명령 발행부(84)에 내장된다.

여기서 변환부(128)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같고, 판단부(108)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(84)에 판단부(108)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 발행부(84)에 더욱 변환부(128)를 내장함으로써, 명령 실행부의 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(58)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(32)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지로이다.

(제6 실시예)

도 27은 제3 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 27에 나타난 바와 같이, 이 병렬 처리 프로세서(33)는 도 20에 도시한 상기 병렬 처리 프로세서(27)와 같은 구성을 갖는다.

여기서, 제1 변환부(129)와 제2 변환부(130)의 구성 및 동작은 도 14에 도시한 제1 변환부(117)와 제2 변환부(118)의 구성 및 동작과 같고, 판단부(109)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(85)에 판단부(109)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(59)에 제1 변환부(129)를 포함하는 동시에 명령 발행부(85)에 제2 변환부(130)를 포함함으로써, 명령 실행부의 명령 발행부(85)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또, 명령 독출부(59)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(33)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

[제4 실시 형태]

도 28 내지 도 33에 나타난 바와 같이, 제4 실시 형태에 따른 병렬 처리 프로세서(34~39)는 메모리(12)에 접속된 명령 독출부(60~65), 명령 독출부에 각각 접속된 명령 발행부(86~91), 명령 발행부에 접속되는 명령 실행부(LU0, LU1, IU0, IU1, FU0, FU1, BU0, BU1) 및 모든 명령 실행부에 접속된 레지스터부(101)를 구비한 것이다. 여기서, 명령 실행부(LU1)는 로드 스토어 명령 실행부로, 로드 명령 및 스토어 명령을 실행한다. 또, 이들의 실행이 완료되었을 때에는 명령 실행부(LU1)는 명령 발행부(86~91)에 통지한다. 또한, 명령 실행부(BU1)는 분기 명령 실행부로, 분기 명령을 실행한다. 또, 이 실행이 완료되었을 때에는 명령 실행부(BU1)는 명령 발행부(86~91)에 통지한다.

이하에 있어서, 제4 실시 형태에 따른 병렬 처리 프로세서를 한 명령어에 포함되는 최대 기본 명령어 길이가 4인 경우를 나타낸 도면을 이용하여 설명한다. 또, 도 28 내지 도 33에 있어서는, 한 명령어의 최대 기본 명령어 길이가 4인 것이 명령 독출부(60~65)로부터 명령 발행부(86~91)로의 4 개의 화살표로 나타내어져 있다.

또한, 제4 실시 형태는 한 명령어의 최대 기본 명령어 길이가 4인 경우에 한정되는 것이 아님은 물론이다.

(제1 실시예)

도 28은 제4 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 28에 나타난 바와 같이, 이 병렬 처리 프로세서(34)는 명령 독출부(60)에 변환부(131)를 구비한다. 그리고 이 변환부(131)의 구성 및 동작은 상기 제2 실시 형태의 제1 실시예에서 상술한 변환부(115)의 구성 및 동작과 같은 것이다. 즉 변환부(131)는 수신한 한 명령어마다, 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부(86)에 공급한다.

이상과 같은 구성을 갖는 병렬 처리 프로세서(34)에 있어서도, 상기 제2 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서(22)와 같은 효과를 얻을 수 있다.

즉, 명령 실행부의 명령 발행부(86)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(60)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(34)의 회로 규모를 작게 할 수 있는 것은 상기 실시 형태에 따른 병렬 처리 프로세서와 마찬가지이다.

(제2 실시예)

도 29는 제4 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 29에 나타난 바와 같이, 이 병렬 처리 프로세서(35)는 도 12에 도시한 병렬 처리 프로세서(23)와 같은 구성을 갖고, 변환부(132)가 명령 발행부(87)에 포함된다. 여기서 변환부(132)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같다.

이러한 본 실시예에 따른 병렬 처리 프로세서에 의하면, 명령 발행부(87)는 명령 독출부(61)로부터 공급된 명령어에 포함되는 기본 명령을, 복수의 명령 실행부의 구성에 따라서 재배열한 후에 상기 당명령 실행부에 각 기본 명령을 발행하기 때문에, 전체적인 배선 길이를 짧게 하여 동작 속도를 향상시킬 수 있다.

또, 명령 독출부(61)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(35)의 회로 규모를 작게 할 수 있는 것도 상기한 병렬 처리 프로세서와 마찬가지다.

(제3 실시예)

도 30은 제4 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 30에 나타낸 바와 같이, 이 병렬 처리 프로세서(36)는 도 14에 도시한 상기 병렬 처리 프로세서(24)와 같은 구성을 갖고, 명령 독출부(62)는 수신한 명령어마다 그 명령어에 포함되는 기본 복수의 명령 실행부의 구성에 따라서 재배열하는 제1 변환부(133)를 포함한다. 그리고, 명령 발행부(88)는 명령 독출부(62)로부터 공급된 명령어에 포함되는 기본 명령을 상기 복수의 명령 실행부의 구성에 따라서 더욱 재배열하는 제2 변환부(134)를 포함한다.

여기서, 상기 제1 변환부(133)에 있어서는 기본 명령을 재배열하는 소위 전처리가 실행되고, 상기 제2 변환부(134)에 있어서는 기본 명령을 재배열하는 소위 후처리가 실행된다.

또한, 실제의 회로에서는 병렬 처리 프로세서의 처리 능력을 향상시키기 위해서, 명령 독출부(62)와 명령 발행부(88)에 있어서의 처리가 파이프라인화된다. 이 때문에, 명령 독출부(62)에 있어서의 처리 시간과 명령 발행부(88)에 있어서의 처리 시간의 차가 적을수록, 파이프라인화한 효과를 기대할 수 있다. 따라서, 명령 독출부(62)에 있어서의 처리 시간과 명령 발행부(88)에 있어서의 처리 시간의 차가 적어지도록, 상기 전처리와 후처리를 분할한다. ~

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의해, 전체적으로 배선 길이를 짧게 할 수 있어, 동작 속도를 향상시킬 수 있다.

또, 명령 독출부(62)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(36)의 회로 규모를 작게 할 수 있는 것은 상기 제1 및 제2 실시예에 따른 병렬 처리 프로세서와 마찬가지다.

(제4 실시예)

도 31은 제4 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 31에 나타낸 바와 같이, 이 병렬 처리 프로세서(37)는 도 16에 도시한 상기 병렬 처리 프로세서(25)와 같은 구성을 갖고, 변환부(135)가 명령 독출부(63)에 내장되는 동시에, 판단부(110)가 명령 발행부(89)에 내장된다.

여기서 변환부(135)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같고, 판단부(110)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(89)에 판단부(110)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(63)에 변환부(135)를 내장함으로써, 명령 실행부의 명령 발행부(89)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(63)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(37)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지다.

(제5 실시예)

도 32는 제4 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 32에 나타낸 바와 같이, 이 병렬 처리 프로세서(38)는 도 18에 도시한 상기 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서(26)와 같은 구성을 갖고, 변환부(136) 및 판단부(111)가 명령 발행부(90)에 내장된다.

여기서 변환부(136)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같고, 판단부(111)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(90)에 판단부(111)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 발행부(90)에 더욱 변환부(136)를 내장함으로써, 명령 실행부(136)의 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(64)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(38)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제6 실시예)

도 33은 제4 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 33에 나타낸 바와 같이, 이 병렬 처리 프로세서(39)는 도 20에 도시한 상기 병렬 처리 프로세서(27)와 같은 구성을 갖는다.

여기서, 제1 변환부(137)와 제2 변환부(138)의 구성 및 동작은 도 14에 도시한 제1 변환부(117)와 제2 변환부(118)의 구성 및 동작과 같고, 판단부(112)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(91)에 판단부(112)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(65)에 제1 변환부(137)를 포함하는 동시에 명령 발행부(91)에 제2 변환부(138)를 포함함으로써, 명령 실행부(138)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(65)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(39)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

[제5 실시 형태]

도 34 내지 도 39에 나타낸 바와 같이, 제5 실시 형태에 따른 병렬 처리 프로세서(40~45)는 메모리(12)에 접속된 명령 독출부(66~71), 명령 독출부에 각각 접속된 명령 발행부(92~97), 명령 발행부에 접속되는 명령 실행부(LU0, LU1, IU0, IU1, FU0, FU1, MU0, MU1, BU0, BU1) 및 모든 명령 실행부에 접속된 레지스터부(102)를 구비한 것이다.

이하에 있어서, 제5 실시 형태에 따른 병렬 처리 프로세서를, 명령어에 포함되는 최대 기본 명령어 길이가 4인 경우를 나타낸 도면을 이용하여 설명한다. 또, 도 34 내지 도 39에 있어서는 한 명령어의 최대 기본 명령어 길이가 4인 것이 명령 독출부(66~71)로부터 명령 발행부(92~97)에의 4 개의 화살표로 나타내어져 있다.

또한, 제5 실시 형태는 한 명령어의 최대 기본 명령어 길이가 4인 경우에 한정되는 것이 아님은 물론이다.

(제1 실시예)

도 34는 제5 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 34에 나타낸 바와 같이, 이 병렬 처리 프로세서(40)는 명령 독출부(66)에 변환부(139)를 구비한다. 그리고 이 변환부(139)의 구성 및 동작은 상기 제2 실시 형태의 제1 실시예에서 상술한 변환부(115)의 구성 및 동작과 같은 것이다. 즉 변환부(139)는 수신한 한 명령어마다, 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부(92)에 공급한다.

이상과 같은 구성을 갖는 병렬 처리 프로세서(40)에 있어서도, 상기 제2 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서(22)와 같은 효과를 얻을 수 있다.

즉, 명령 발행부(92)에 의한 명령 실행부(139)의 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(66)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(40)의 회로 규모를 작게 할 수 있는 것은 상기 실시 형태에 따른 병렬 처리 프로세서와 마찬가지이다.

(제2 실시예)

도 35는 제5 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 35에 나타난 바와 같이, 이 병렬 처리 프로세서(41)는 도 12에 도시한 병렬 처리 프로세서(23)와 같은 구성을 갖고, 변환부(140)가 명령 발행부(93)에 포함된다. 여기서 변환부(140)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같다.

이러한 본 실시예에 따른 병렬 처리 프로세서에 의하면, 명령 발행부(93)는 명령 독출부(67)로부터 공급된 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 후에 상기 명령 실행부에 각 기본 명령을 발행하기 때문에, 전체적인 배선 길이를 짧게 하여 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(67)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(41)의 회로 규모를 작게 할 수 있는 것은 상기한 병렬 처리 프로세서와 마찬가지이다.

(제3 실시예)

도 36은 제5 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 36에 나타난 바와 같이, 이 병렬 처리 프로세서(42)는 도 14에 도시한 상기 병렬 처리 프로세서(24)와 같은 구성을 갖고, 명령 독출부(68)는 수신한 명령어마다 그 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열하는 제1 변환부(141)를 포함한다. 그리고, 명령 발행부(94)는 명령 독출부(68)로부터 공급된 명령어에 포함되는 기본 명령을 그 복수의 명령 실행부의 구성에 따라서 더욱 재배열하는 제2 변환부(142)를 포함한다.

여기서, 상기 제1 변환부(141)에 있어서는 기본 명령을 재배열하는 소위 전처리가 실행되고, 상기 제2 변환부(142)에 있어서는 기본 명령을 재배열하는 소위 후처리가 실행된다.

또, 실제의 회로에서는 병렬 처리 프로세서의 처리 능력을 향상시키기 위해서, 명령 독출부(68)와 명령 발행부(94)에 있어서의 처리가 파이프라인화된다. 이 때문에, 명령 독출부(68)에 있어서의 처리 시간과 명령 발행부(94)에 있어서의 처리 시간의 차가 적을수록, 파이프라인화한 효과를 기대할 수 있다. 따라서, 명령 독출부(68)에 있어서의 처리 시간과 명령 발행부(94)에 있어서의 처리 시간의 차가 적어지도록, 상기 전처리와 후처리를 분할한다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의해, 전체적으로 배선 길이를 짧게 할 수 있어, 동작 속도를 향상시킬 수 있다.

또, 명령 독출부(68)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(42)의 회로 규모를 작게 할 수 있는 것은 상기 제1 및 제2 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제4 실시예)

도 37은 제5 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 37에 나타난 바와 같이, 이 병렬 처리 프로세서(43)는 도 16에 나타난 상기한 병렬 처리 프로세서(25)와 같은 구성을 갖고, 변환부(143)가 명령 독출부(69)에 내장되는 동시에, 판단부(113)가 명령 발행부(95)에 내장된다.

여기서 변환부(143)의 구성 및 동작은 도 10 및 도 11에 나타난 변환부(115)의 구성 및 동작과 같고, 판단부(113)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(95)에 판단부(113)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(69)에 변환부(143)를 내장함으로써, 명령 실행부에의 명령 발행부(95)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(69)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(43)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제5 실시예)

도 38은 제5 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 38에 나타난 바와 같이, 이 병렬 처리 프로세서(44)는 도 18에 도시한 상기 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서(26)와 같은 구성을 가지며, 변환부(144) 및 판단부(114)가 명령 발행부(96)에 내장된다.

여기서 변환부(144)의 구성 및 동작은 도 10 및 도 11에 도시한 변환부(115)의 구성 및 동작과 같고, 판단부(114)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서와 같은 효과를 얻을 수 있다. 즉, 명령 발행부(96)에 판단부(114)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 발행부(96)에 더욱 변환부(144)를 내장함으로써, 명령 실행부의 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(70)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(44)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

(제6 실시예)

도 39는 제5 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면이다. 도 39에 나타난 바와 같이, 이 병렬 처리 프로세서(45)는 도 20에 도시한 상기 병렬 처리 프로세서(27)와 같은 구성을 갖는다.

여기서, 제1 변환부(145)와 제2 변환부(146)의 구성 및 동작은 도 14에 도시한 제1 변환부(117)와 제2 변환부(118)의 구성 및 동작과 같고, 판단부(112)의 구성 및 동작은 도 6에 도시한 판단부(103)의 구성 및 동작과 같다.

이상과 같은 구성을 갖는 본 실시예에 따른 병렬 처리 프로세서에 의하면, 상기 제2 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서와 동일한 효과를 얻을 수 있다. 즉, 명령 발행부(97)에 판단부(219)를 내장함으로써 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있는 동시에, 명령 독출부(71)에 제1 변환부(145)를 포함하는 동시에 명령 발행부(97)에 제2 변환부(146)를 포함함으로써, 명령 실행부의 명령 발행부(97)에 의한 기본 명령의 발행을 용이하게 하여, 동작 속도를 향상시킬 수 있다.

또한, 명령 독출부(71)에 공급되는 명령어에 포함된 기본 명령의 배열을 미리 제약함으로써, 병렬 처리 프로세서(45)의 회로 규모를 작게 할 수 있는 것은 상기 실시예에 따른 병렬 처리 프로세서와 마찬가지이다.

마지막으로, 본 발명에 따른 과제를 해결하기 위한 수단에 관해서 부기한다.

(1) 명령 단락 정보에 의해서 구획된 명령어에 포함되는 하나 또는 복수의 기본 명령을 병렬적으로 실행하는 병렬 처리 프로세서로서, 공급되는 기본 명령에 따른 처리를 병렬적으로 실행하는 복수의 명령 실행부, 명령 단락 정보에 따라서 명령어를 하나씩 수신하는 명령 독출부, 명령 독출부로부터 공급된 명령어에 포함되는 기본 명령마다 기본 명령을 실행해야 할 어느 하나의 명령 실행부에 선택적으로 기본 명령을 발행하는 명령 발행부를 구비한 것을 특징으로 하는 병렬 처리 프로세서.

(2) 복수의 명령 실행부는 전부 동일한 구성을 갖는 (1)에 기재한 병렬 처리 프로세서.

(3) 복수의 명령 실행부 중 적어도 2 개는 구성이 상이함과 동시에, 명령 독출부는 수신한 명령어마다 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부에 공급하는 (1)에 기재한 병렬 처리 프로세서.

(4) 복수의 명령 실행부 중 적어도 2 개는 구성이 상이함과 동시에, 명령 발행부는 명령 독출부로부터 공급된 명령어에 포함되는 기본 명령을, 복수의 명령 실행부의 구성에 따라서 재배열한 후에 명령 실행부에 발행하는 (1)에 기재한 병렬 처리 프로세서.

(5) 복수의 명령 실행부 중 적어도 2 개는 구성이 상이함과 동시에, 명령 독출부는 수신한 명령어마다 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부에 공급하고, 명령 발행부는 명령 독출부로부터 공급된 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 더욱 재배열한 후에 명령 실행부에 발행하는 (1)에 기재한 병렬 처리 프로세서.

(6) 복수의 명령 실행부 중 적어도 2 개는 구성이 상이함과 동시에, 명령 독출부는 미리 복수의 명령 실행부의 구성에 따른 순서로 늘어놓은 기본 명령이 포함되는 명령어를 수신하는 (3) 내지 (5) 중 어느 하나에 기재한 병렬 처리 프로세서. 여기서, 이러한 수단에 의하면, 명령 독출부는 미리 복수의 명령 실행부의 구성에 따른 순서로 늘어놓은 기본 명령이 포함되는 명령어를 수신하기 때문에, 병렬 처리 프로세서의 회로 규모를 작게 할 수 있다.

(7) 명령 발행부는 명령 실행부에 있어서 실행중의 기본 명령의 종류에 따라서, 실행이 완료되기 전에 다음 기본 명령을 발행하는 (1) 내지 (6) 중 어느 하나에 기재한 병렬 처리 프로세서.

(8) 명령 발행부는 공급된 기본 명령이 명령 실행부에 있어서 실행중인 기본 명령에 대하여 데이터 의존 관계를 갖지 않고, 또한 제어 의존 관계를 갖지 않으며, 또한 자원 경합도 발생시키지 않는 것인 경우에는, 실행이 완료되기 전에 공급된 기본 명령을 발행하는 (7)에 기재한 병렬 처리 프로세서. 이러한 수단에 의하면, 또한 기본 명령의 병렬 처리를 확실하고 또한 효율적으로 수행할 수 있어, 동작의 신뢰성을 높일 수 있다.

발명의 효과

전술한 바와 같이, 본 발명에 의하면, 명령 독출부는 명령 단락 정보에 따라서 명령어를 하나씩 수신하기 때문에 그 명령어를 가변 길이로 할 수 있고, 명령 발행부는 수신되는 명령어에 포함되는 기본 명령마다 대응하는 어느 하나의 명령 실행부에 기본 명령을 발행하기 때문에, 명령어 중에 기본 명령을 보다 효율적으로 포함시킬 수 있는 동시에, 병렬 처리 프로세서의 병렬 처리 능력을 향상시킬 수 있다.

또한, 본 발명에 있어서 복수의 명령 실행부 중 적어도 2 개가 구성을 서로 상이하게 하면, 명령어의 실행을 위해 과도한 회로 규모가 필요로 되지 않게 되어, 병렬 처리 프로세서의 소형화를 실현할 수 있다.

또, 명령 독출부는 수신된 명령어마다 명령어에 포함되는 기본 명령을 복수의 명령 실행부의 구성에 따라서 재배열한 다음에 명령 발행부에 공급하는 것으로 하면, 병렬 처리 프로세서의 회로 규모를 작게 할 수 있는 동시에, 동작의 고속화를 도모할 수 있다.

또한, 명령 발행부가, 명령 실행부에 있어서 실행중인 기본 명령의 종류에 따라서, 그 실행이 완료되기 전에 다음 기본 명령을 발행하는 것으로 하면, 한층 더 병렬 처리의 효율화를 도모할 수 있다.

도면의 간단한 설명

도 1은 종래의 병렬 처리 프로세서의 구성을 나타낸 도면.

도 2는 4 개의 명령 실행부를 갖춘 도 1에 나타내는 병렬 처리 프로세서에 공급되는 명령어의 형식을 나타낸 도면.

도 3은 제1 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 4는 도 3에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 5는 제1 실시 형태에 따른 병렬 처리 프로세서에 공급되는 명령어의 형식을 나타낸 도면.

도 6은 제1 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 7은 제2 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 8은 도 7에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 9는 제2 실시 형태에 따른 병렬 처리 프로세서에 있어서의 기본 명령의 재배열을 설명하기 위한 도면.

도 10은 도 7에 나타난 변환부의 구성을 나타내는 회로도.

도 11은 최대 기본 명령어 길이가 4인 경우에 있어서의 변환부의 구성을 나타내는 회로도.

도 12는 제2 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 13은 도 12에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 14는 제2 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 15는 도 14에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 16은 제2 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 17은 도 16에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 18은 제2 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 19는 도 18에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 20은 제2 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 21은 도 20에 나타난 명령 독출부와 명령 발행부의 구성을 나타낸 도면.

도 22는 제3 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 23은 제3 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 24는 제3 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 25는 제3 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 26은 제3 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 27은 제3 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 28은 제4 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 29는 제4 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 30은 제4 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 31은 제4 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 32는 제4 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 33은 제4 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

도 34는 제5 실시 형태의 제1 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.
 도 35는 제5 실시 형태의 제2 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.
 도 36은 제5 실시 형태의 제3 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.
 도 37은 제5 실시 형태의 제4 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.
 도 38은 제5 실시 형태의 제5 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.
 도 39는 제5 실시 형태의 제6 실시예에 따른 병렬 처리 프로세서의 구성을 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 46~71 : 명령 독출부
- 3, 72~97 : 명령 발행부
- 5, 98~102 : 레지스터부
- 7, 12 : 메모리
- 10 : 병렬 처리 프로세서
- 13, 17 : 명령어의 형식
- 15 : 인터페이스
- 20~45 : 프로세서
- 103~114, 219 : 판단부
- 115~146 : 변환부
- 147, 148 : 분기 명령(BI) 검출기 블록
- 149, 150 : 부동 소수점 연산 명령(FI) 검출기 블록
- 151, 152 : 정수 연산 명령(II) 검출기 블록
- 153, 154 : 로드 스토어 명령(LI) 검출기 블록
- 155~162 : 버퍼
- 163~186 : AND 게이트
- 187~198 : 배타적 OR 게이트
- 199~208 : OR 게이트
- 209~218, 355~368 : 셀렉터
- 300~306 : 고정 길이 패치부(FPC)

308~314 : 명령 버퍼

316~322 : 절출부

324~337 : 가산기

339~345 : 실행 페치부(EPC)

347~353 : 명령 레지스터

370~376 : 제어부

378~381 : AND 게이트

EU0~EUn, LU0, LU1, IU0, IU1, FU0, FU1, MU0, MU1, BU0, BU1 : 명령 실행부

BD1~BD4 : 분기 명령(BI) 검출기

FD1~FD4 : 부동 소수점 연산 명령(FD) 검출기

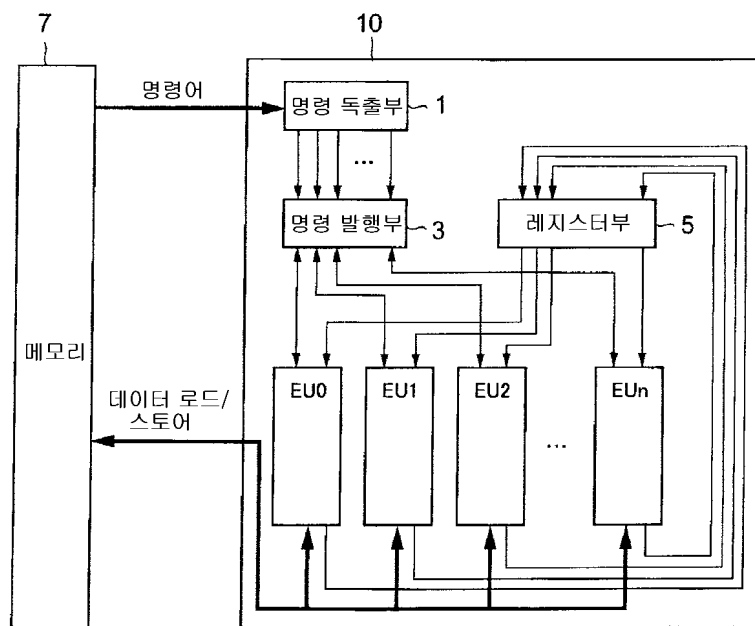
ID1~ID4 : 정수 연산 명령(ID) 검출기

LD1~LD4 : 로드 스토어 명령(LI) 검출기

L1~L4 : 전송선

도면

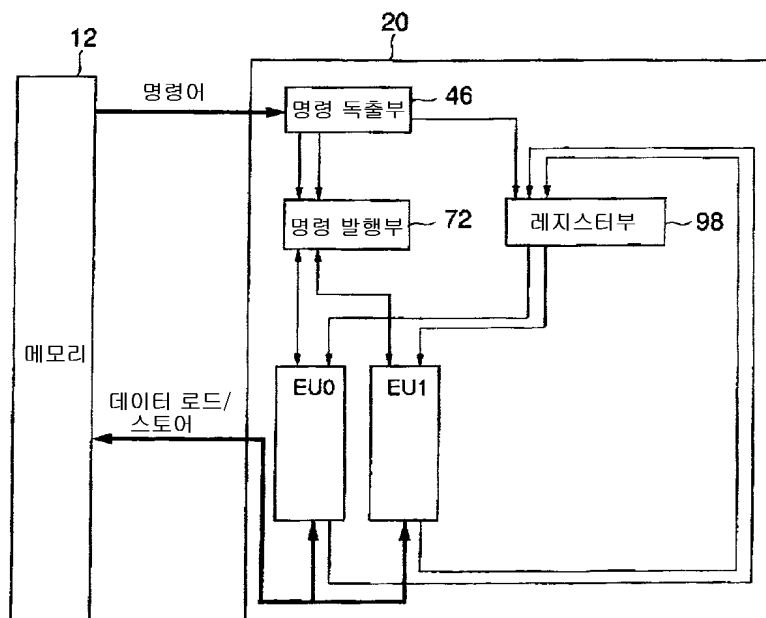
도면1



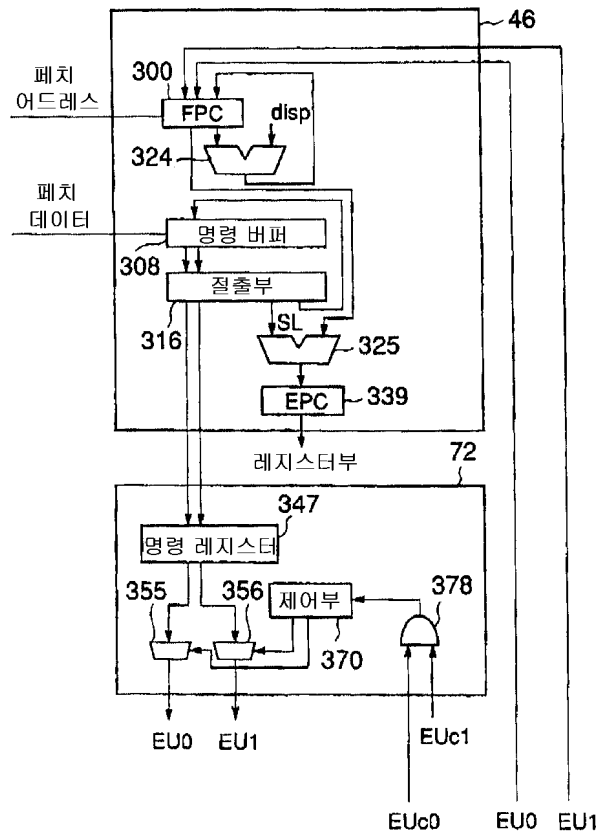
도면2

no	no	no	no
EI	no	no	no
no	EI	no	no
no	no	EI	no
no	no	no	EI
EI	EI	no	no
EI	no	EI	no
EI	no	no	EI
no	EI	EI	no
no	EI	no	EI
no	no	EI	EI
EI	EI	EI	no
EI	EI	no	EI
EI	no	EI	EI
no	EI	EI	EI
EI	EI	EI	EI

도면3



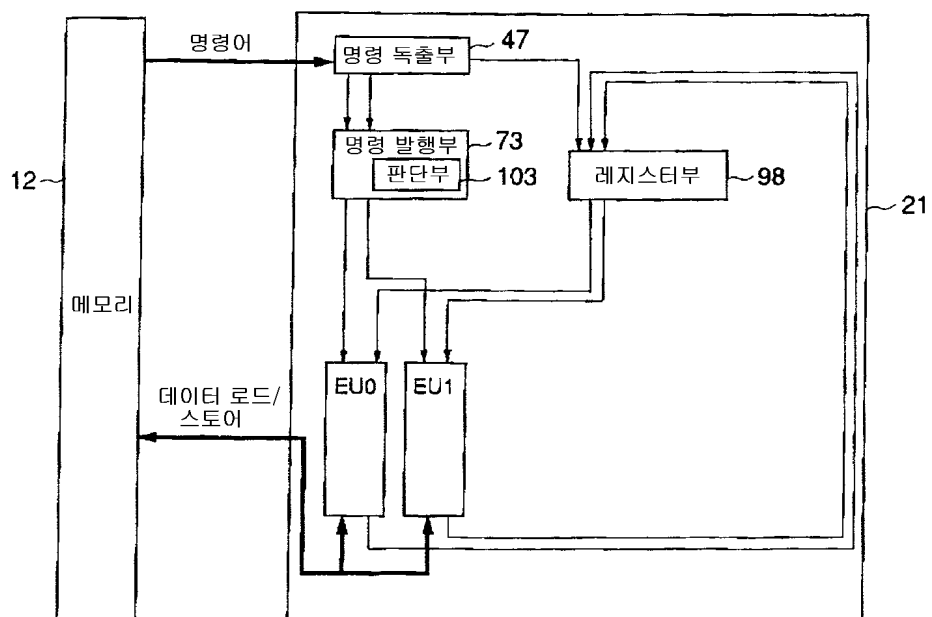
도면4



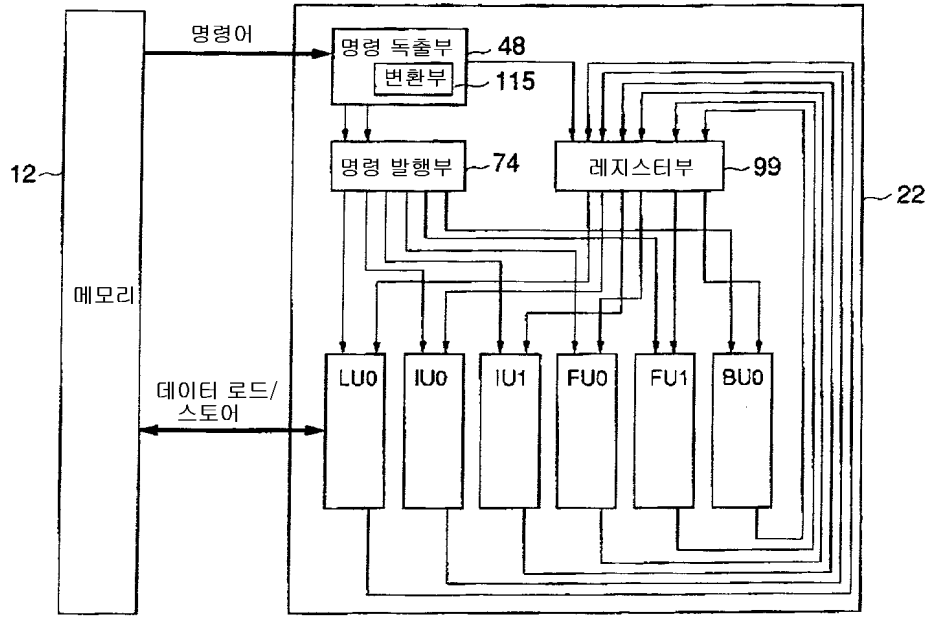
도면5

0	EI	1	EI
1	EI		

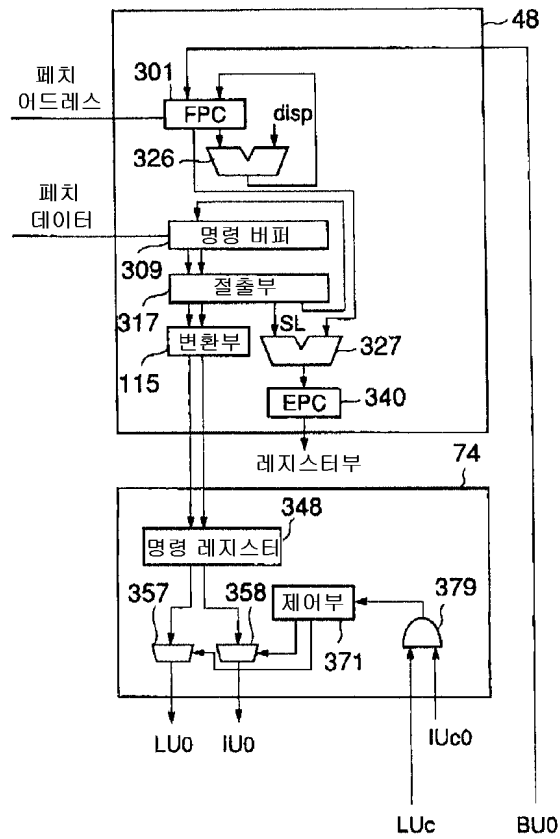
도면6



도면7



도면8

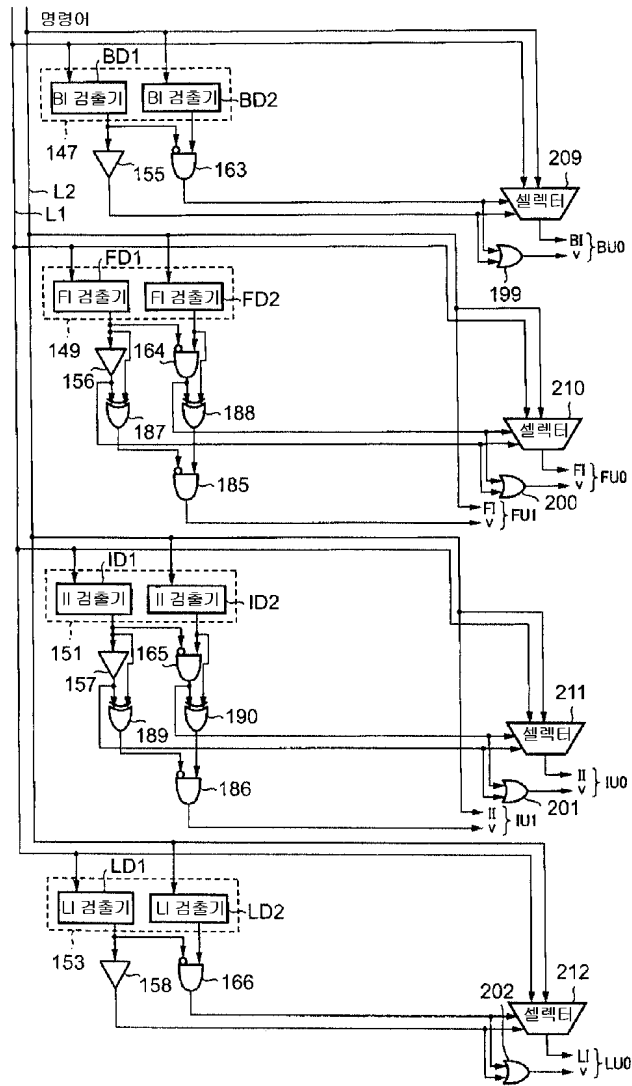


도면9

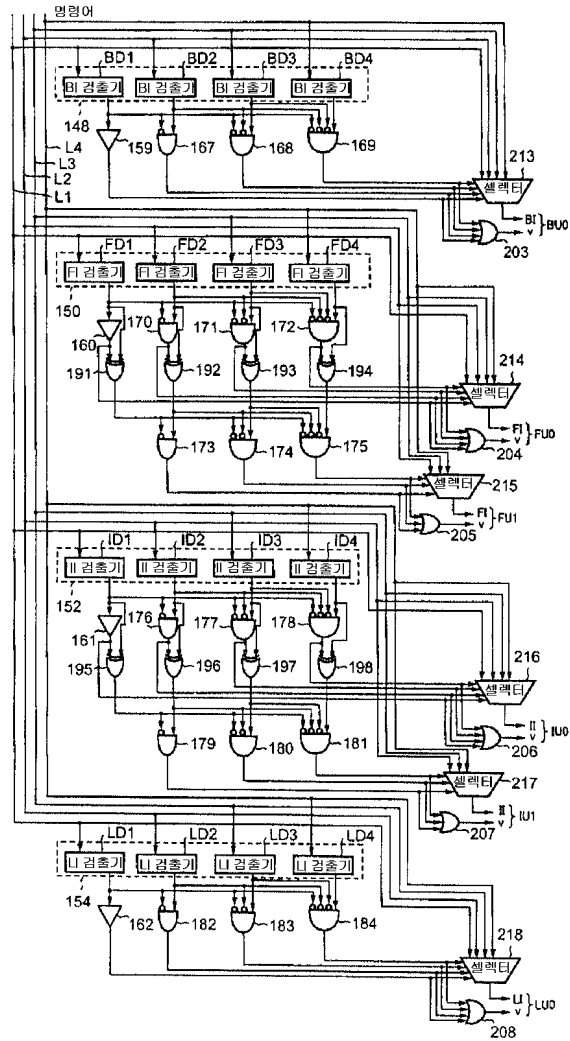
명령어의 형식				LU0	IU0	IU1	FU0	FU1	BU0		
V	LI	V	LI	V	LI	V	FI	V	FI	V	BI

0	BI	1	FI	0	-	0	-	0	-	1	FI	0	-	1	BI
0	BI	1	LI	0	-	1	LI	0	-	0	-	0	-	1	BI
0	BI	1	LI	1	LI	0	-	0	-	0	-	0	-	1	BI
0	FI	1	BI	0	-	0	-	0	-	1	FI	0	-	1	BI
0	FI	1	FI	0	-	0	-	0	-	1	FI	1	FI	0	-
0	FI	1	LI	0	-	1	LI	0	-	1	FI	0	-	0	-
0	FI	1	LI	1	LI	0	-	0	-	1	FI	0	-	0	-
0	LI	1	BI	0	-	1	LI	0	-	0	-	0	-	1	BI
0	LI	1	FI	0	-	1	LI	0	-	1	FI	0	-	0	-
0	LI	1	LI	1	LI	1	LI	0	-	0	-	0	-	0	-
0	LI	1	LI	1	LI	0	-	0	-	0	-	0	-	1	BI
0	LI	1	FI	1	LI	0	-	0	-	1	FI	0	-	0	-
0	LI	1	LI	1	LI	1	LI	0	-	0	-	0	-	0	-
1	BI			0	-	0	-	0	-	0	-	0	-	1	BI
1	FI			0	-	0	-	0	-	1	FI	0	-	0	-
1	LI			0	-	1	LI	0	-	0	-	0	-	0	-
1	LI			1	LI	0	-	0	-	0	-	0	-	0	-

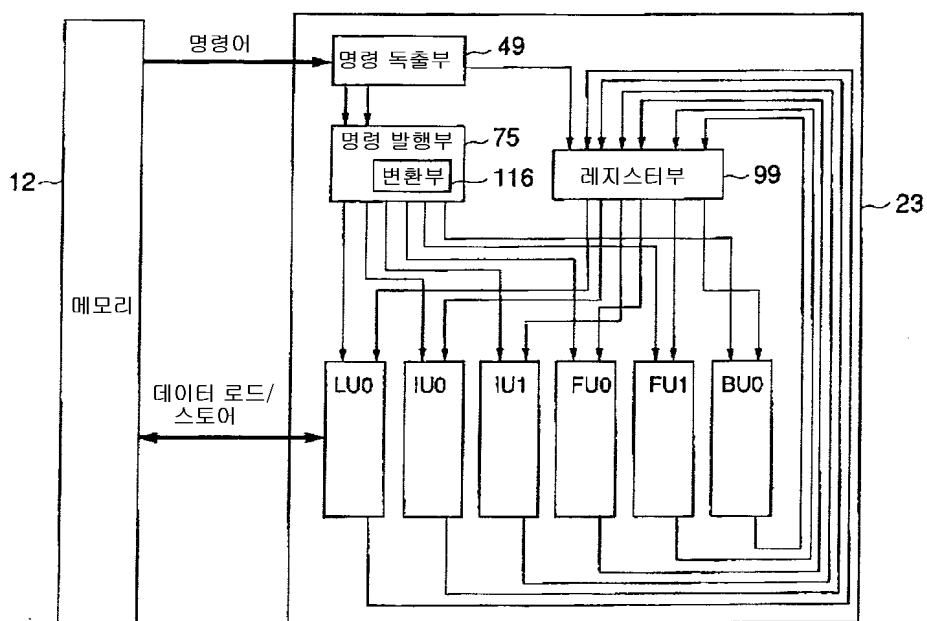
도면10



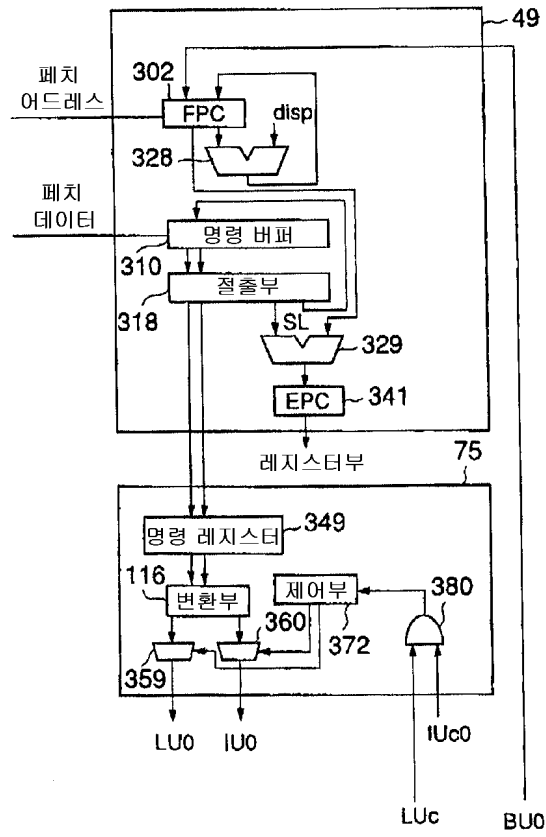
도면11



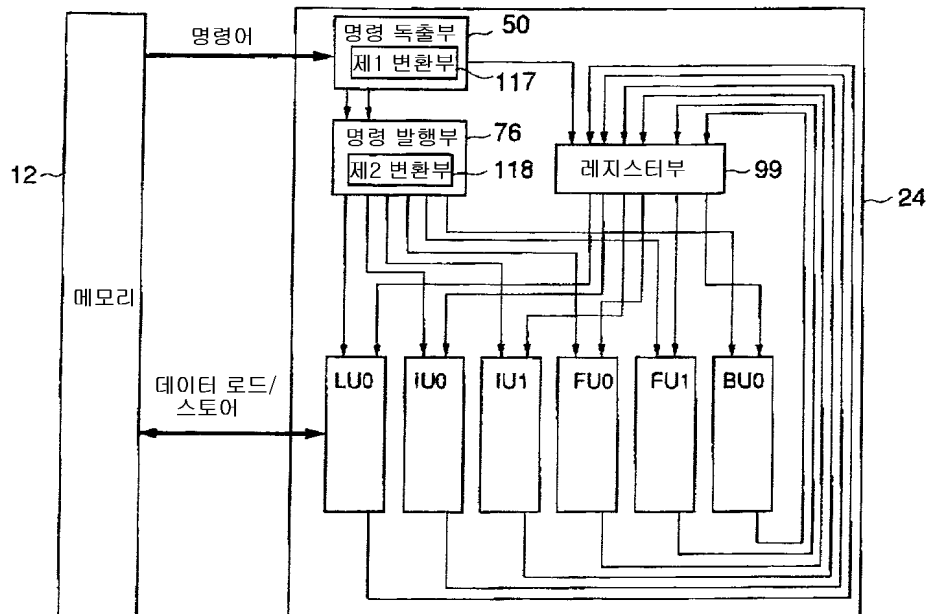
도면12



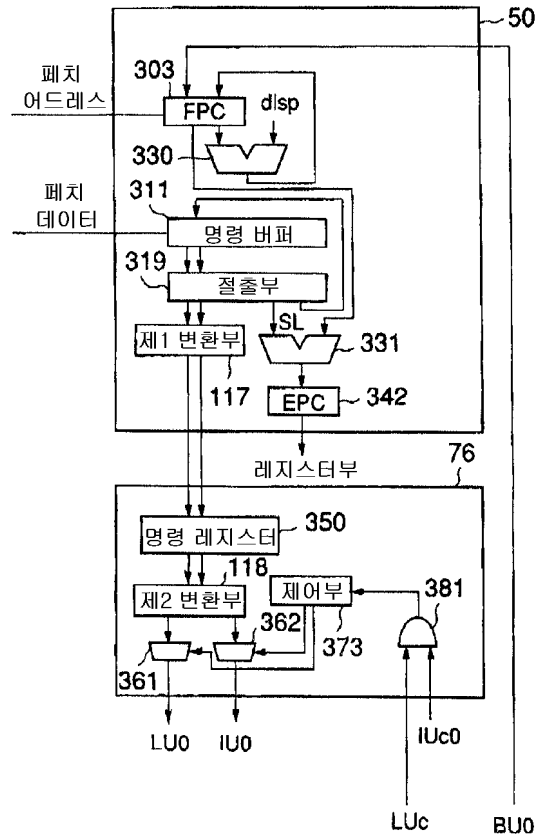
도면13



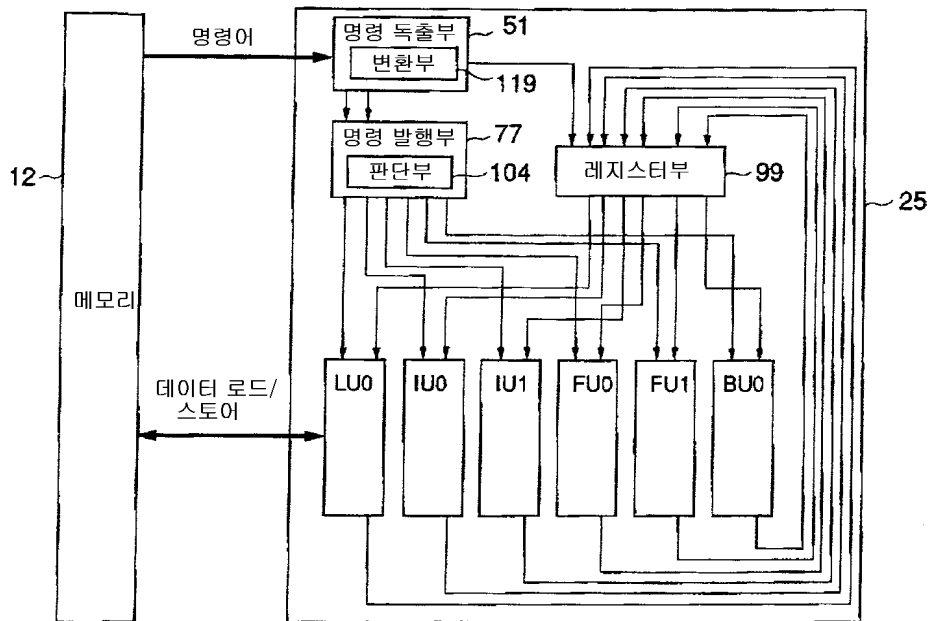
도면14



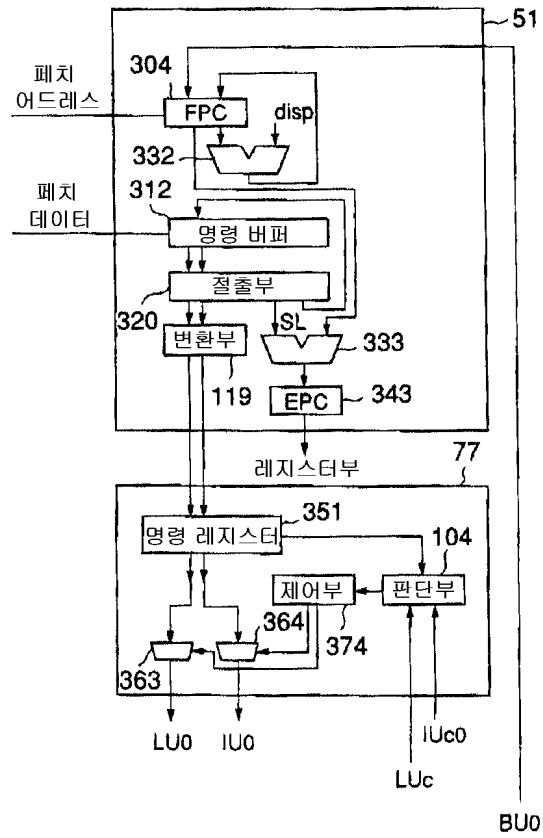
도면15



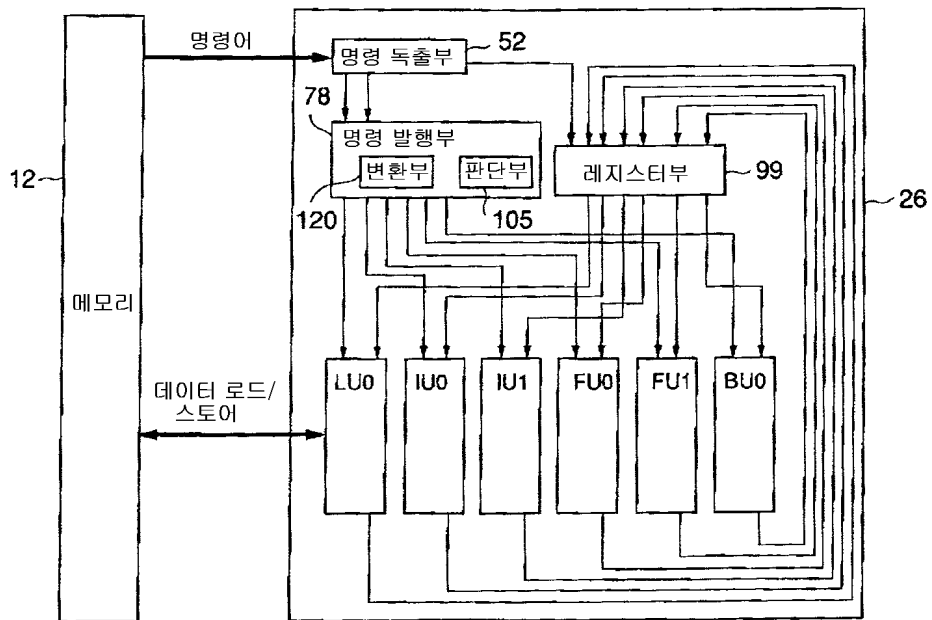
도면16



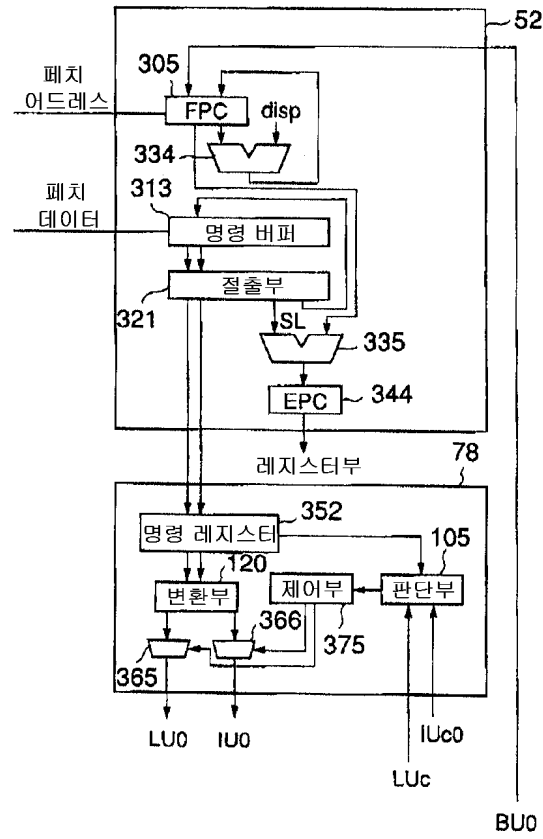
도면17



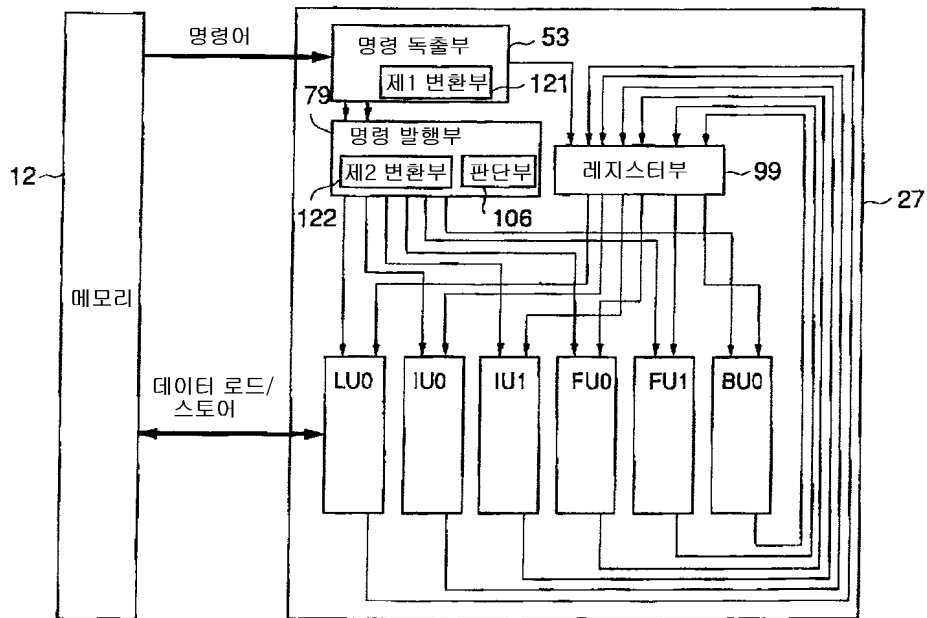
도면18



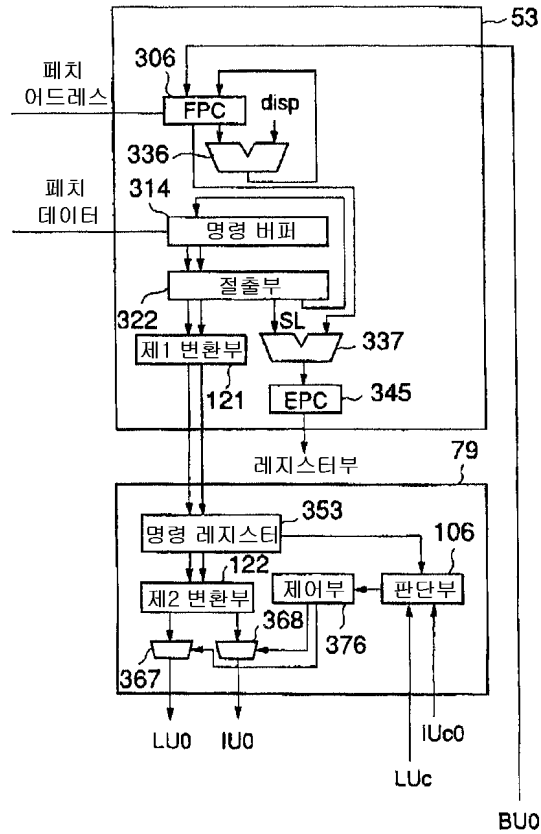
도면19



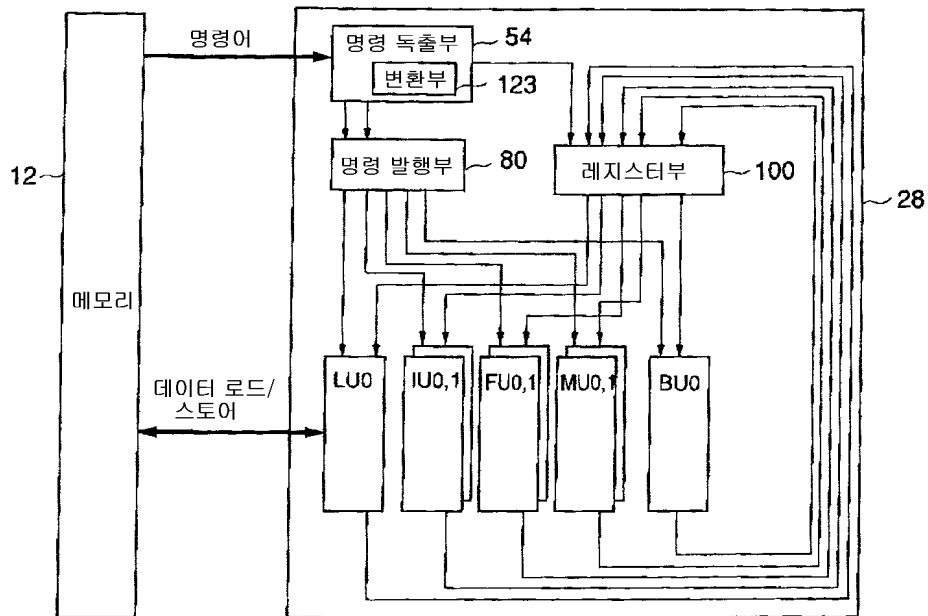
도면20



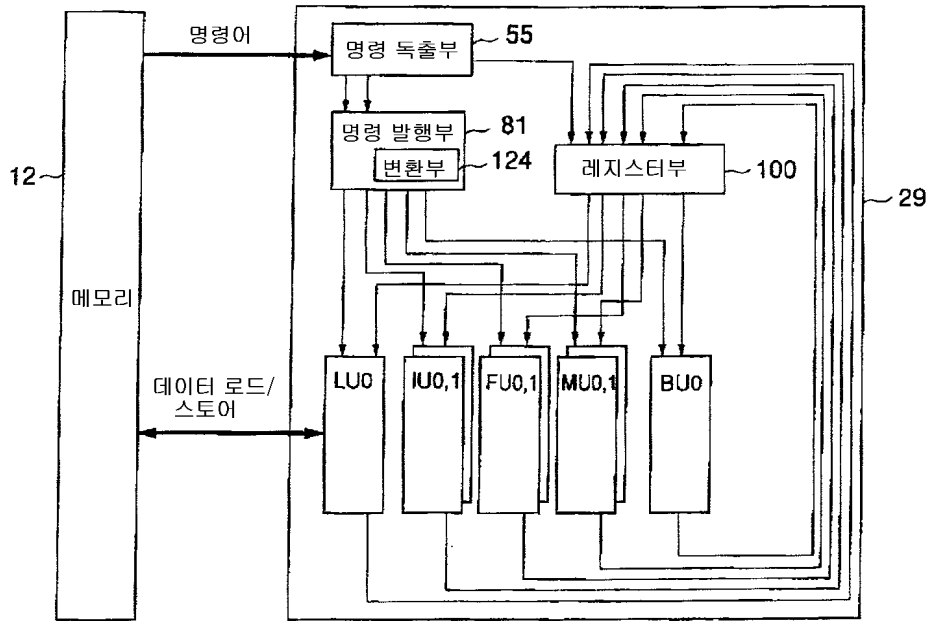
도면21



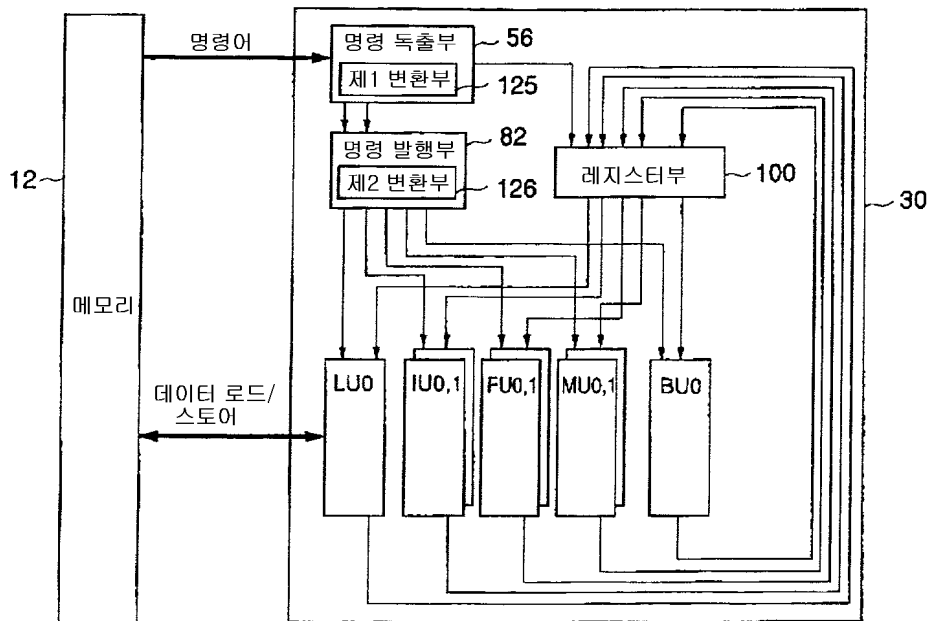
도면22



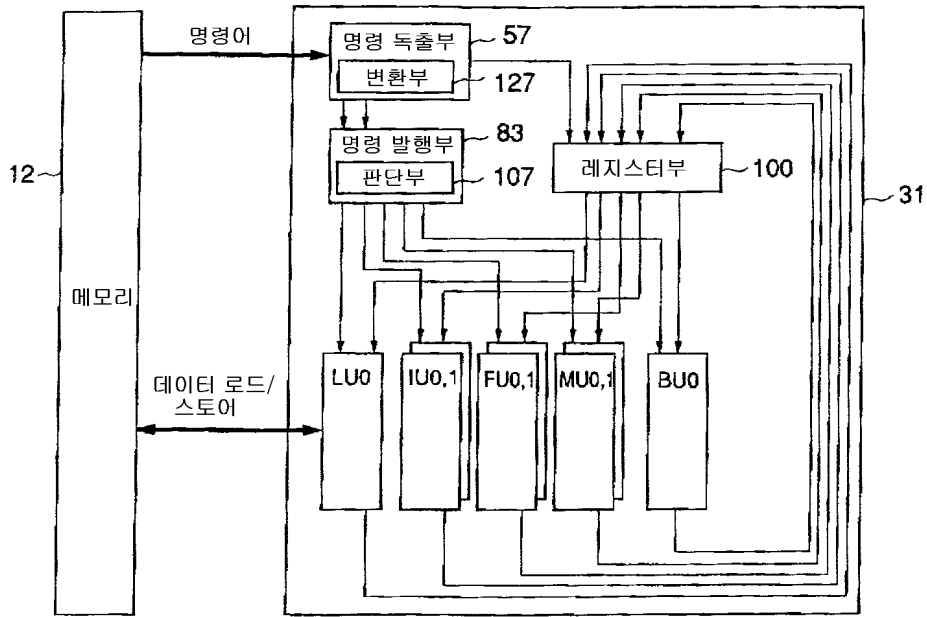
도면23



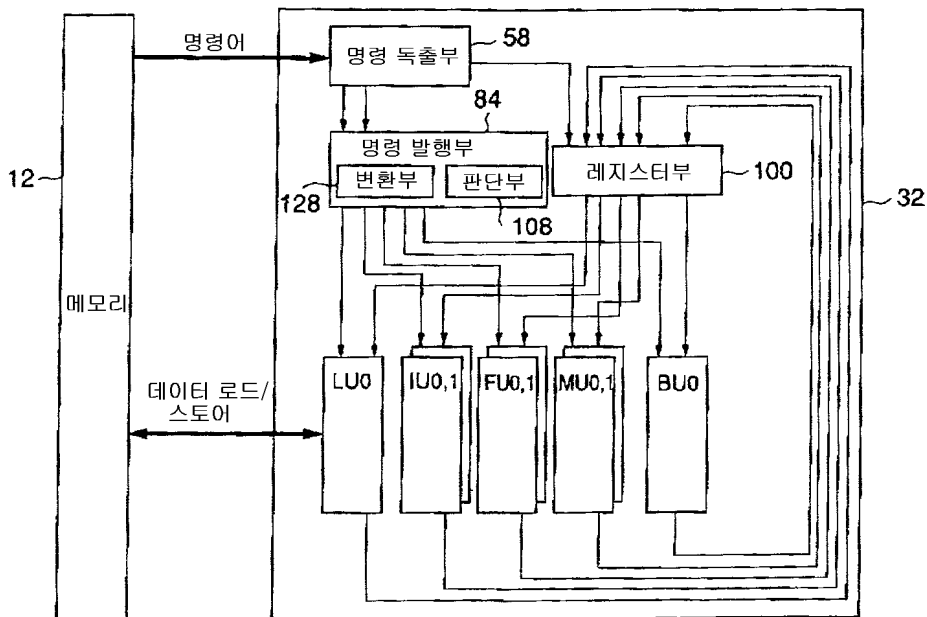
도면24



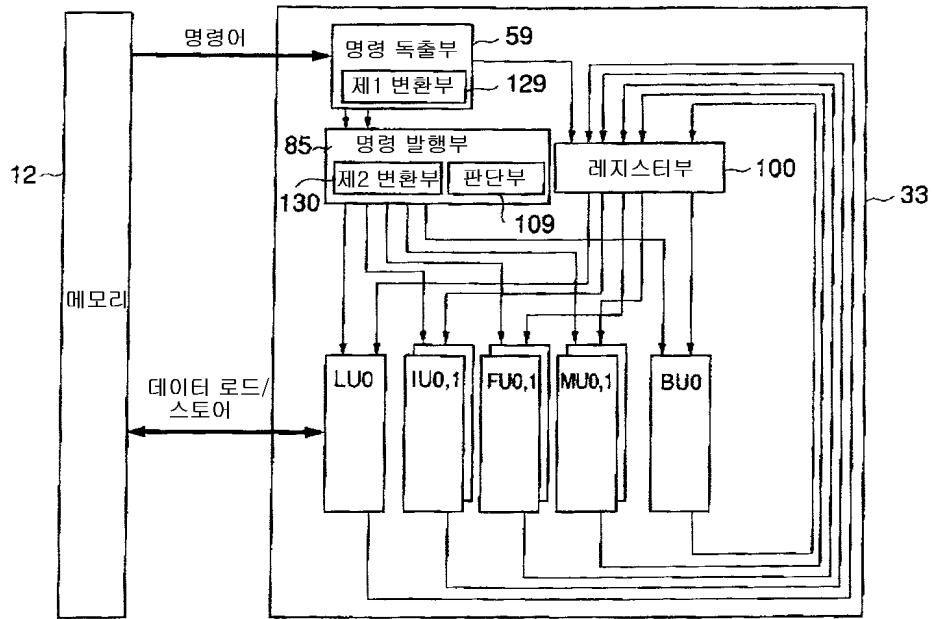
도면25



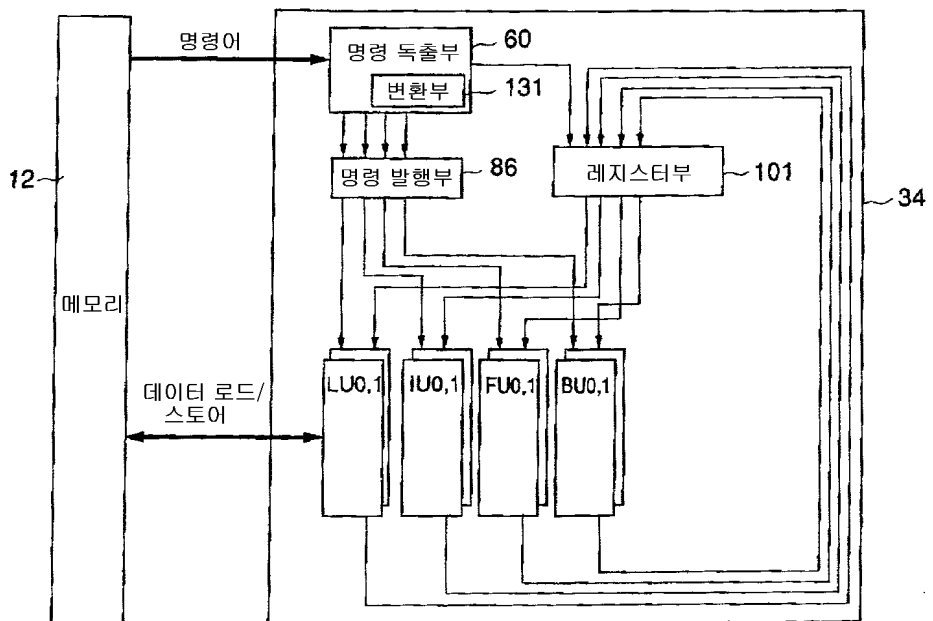
도면26



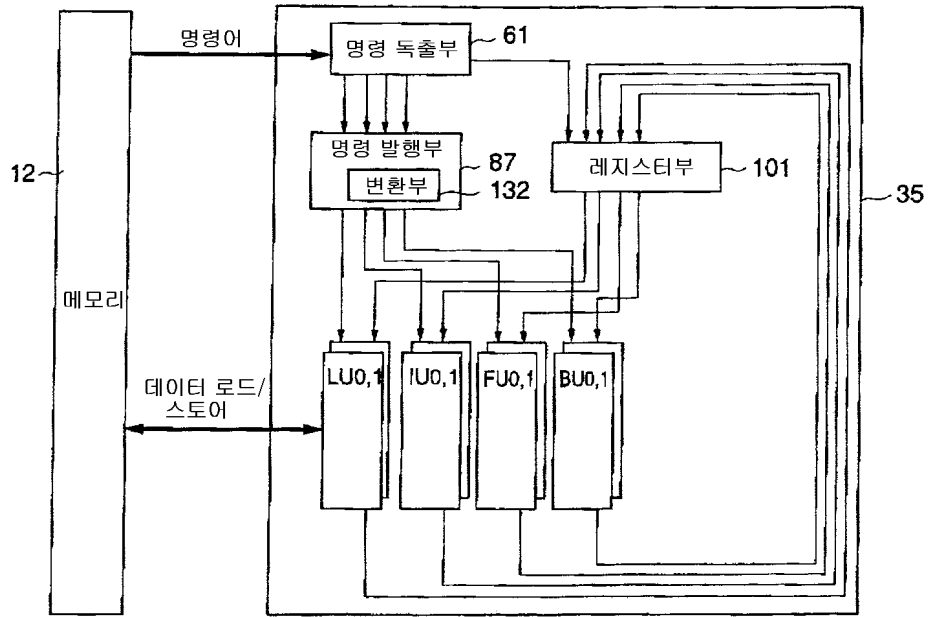
도면27



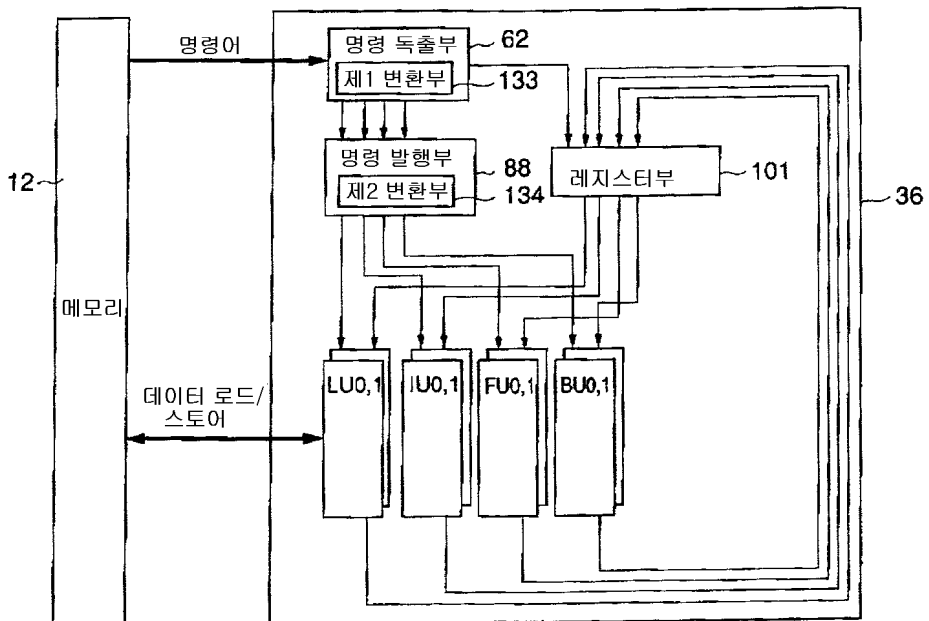
도면28



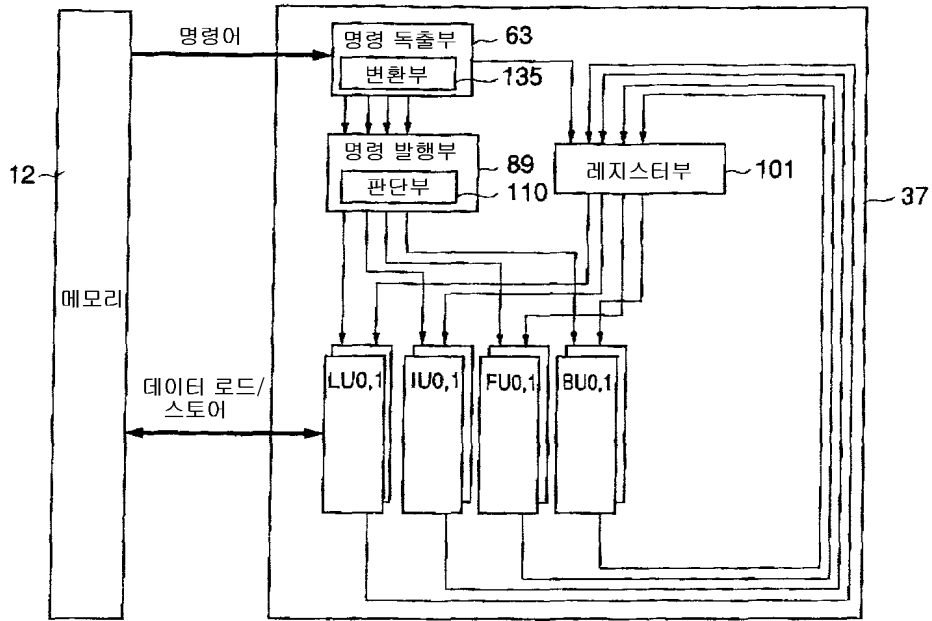
도면29



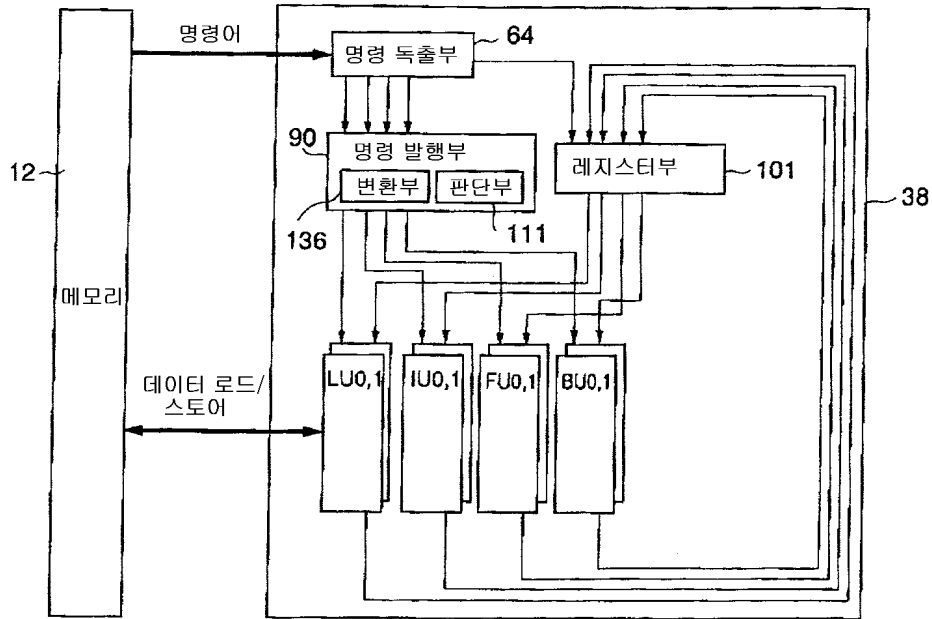
도면30



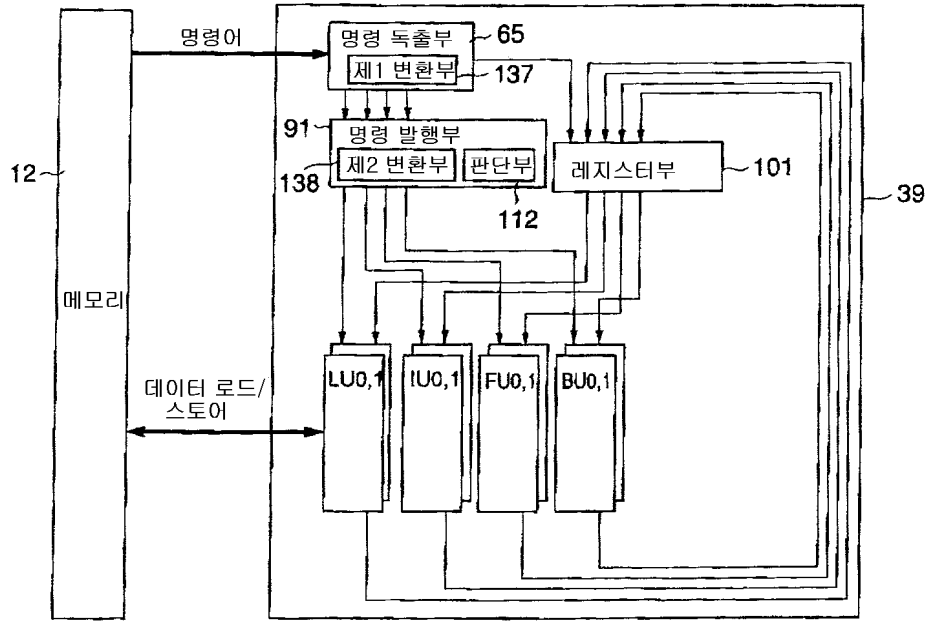
도면31



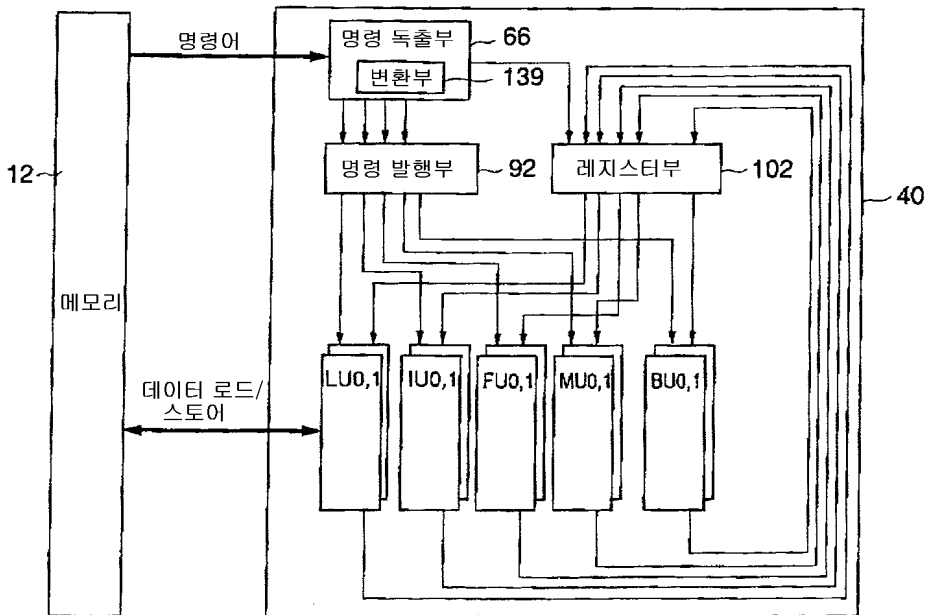
도면32



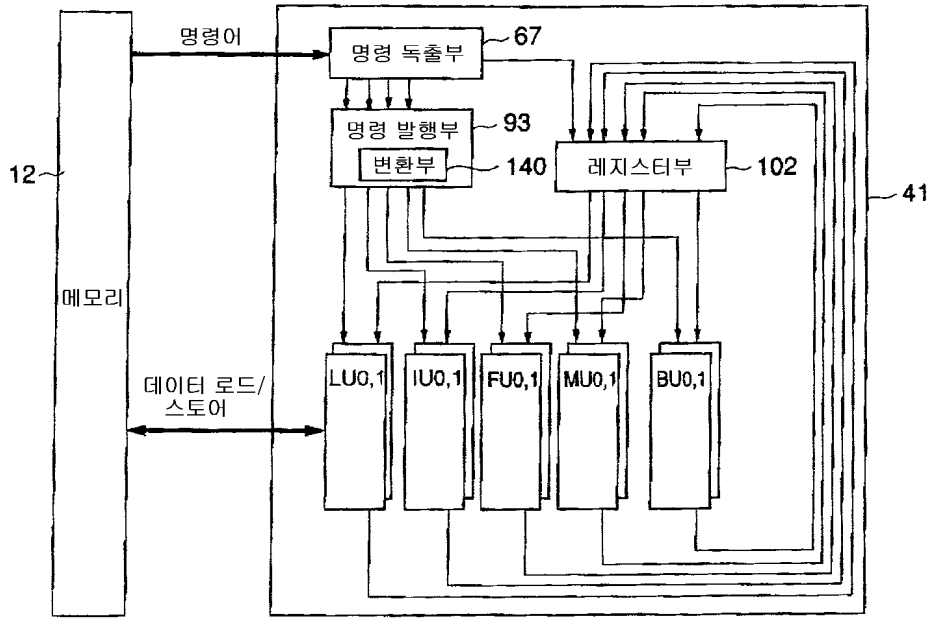
도면33



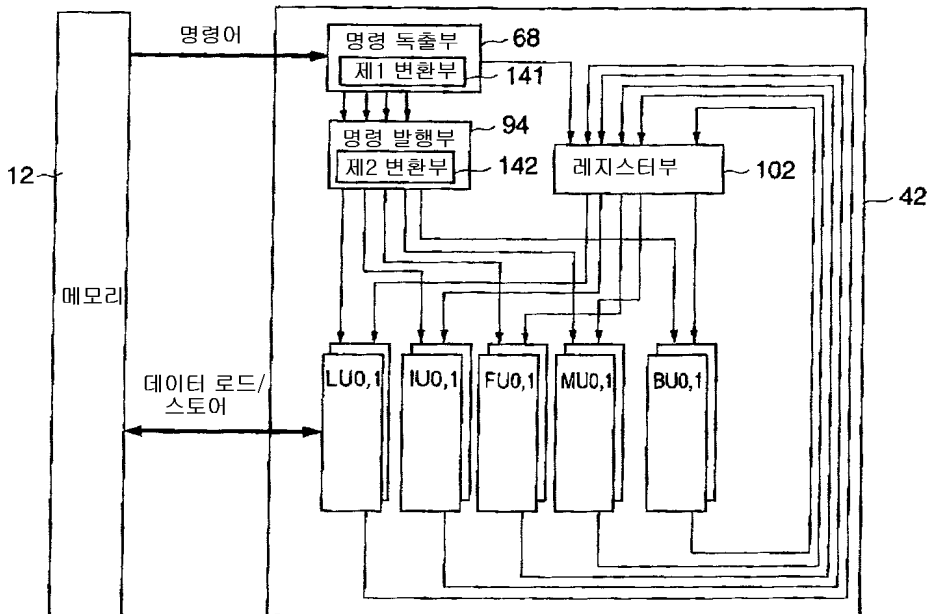
도면34



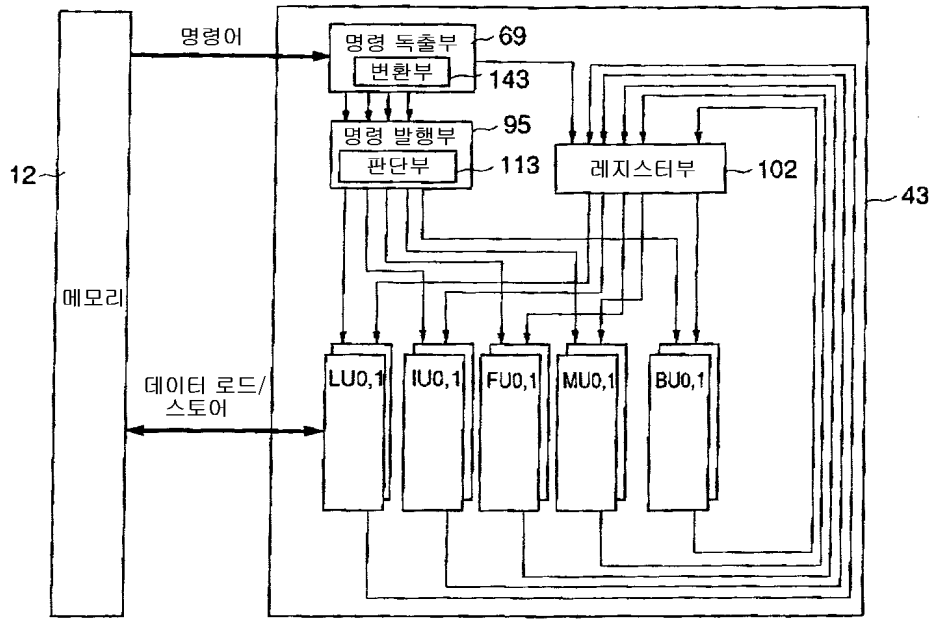
도면35



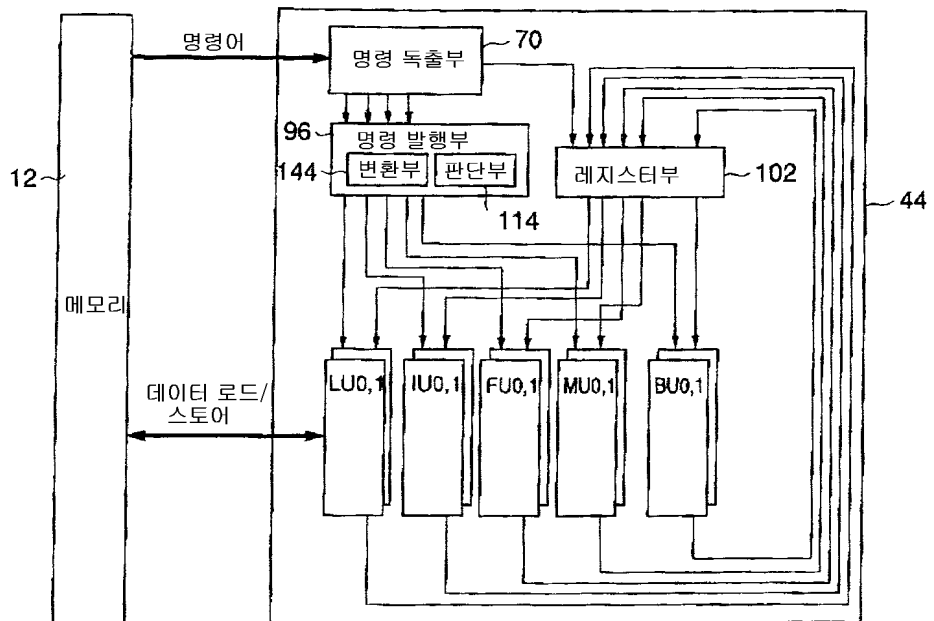
도면36



도면37



도면38



도면39

