

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5964440号
(P5964440)

(45) 発行日 平成28年8月3日(2016.8.3)

(24) 登録日 平成28年7月8日(2016.7.8)

(51) Int.Cl.	F I	
HO 1 L 25/10 (2006.01)	HO 1 L 25/10	Z
HO 1 L 25/18 (2006.01)	HO 1 L 25/08	E
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	B
HO 1 L 25/07 (2006.01)	HO 1 L 25/08	C
HO 1 L 21/60 (2006.01)	HO 1 L 21/60	3 2 1 E
請求項の数 11 (全 53 頁) 最終頁に続く		

(21) 出願番号	特願2014-534601 (P2014-534601)	(73) 特許権者	309034272
(86) (22) 出願日	平成24年9月26日 (2012. 9. 26)		インヴェンサス・コーポレイション
(65) 公表番号	特表2014-529202 (P2014-529202A)		アメリカ合衆国 カリフォルニア州 9 5
(43) 公表日	平成26年10月30日 (2014. 10. 30)		1 3 4、サン・ホセ、オーチャード・パー
(86) 国際出願番号	PCT/US2012/057200		クウェイ 3 0 2 5
(87) 国際公開番号	W02013/052323	(74) 代理人	100099623
(87) 国際公開日	平成25年4月11日 (2013. 4. 11)		弁理士 奥山 尚一
審査請求日	平成27年9月28日 (2015. 9. 28)	(74) 代理人	100096769
(31) 優先権主張番号	61/542, 553		弁理士 有原 幸一
(32) 優先日	平成23年10月3日 (2011. 10. 3)	(74) 代理人	100107319
(33) 優先権主張国	米国 (US)		弁理士 松島 鉄男
(31) 優先権主張番号	13/440, 280	(74) 代理人	100114591
(32) 優先日	平成24年4月5日 (2012. 4. 5)		弁理士 河村 英文
(33) 優先権主張国	米国 (US)	(74) 代理人	100125380
			弁理士 中村 綾子
最終頁に続く			

(54) 【発明の名称】 ウィンドウを用いないワイヤボンドアセンブリに対して端子の2重の組を使用するスタブ最小化

(57) 【特許請求の範囲】

【請求項 1】

超小型電子アセンブリであって、
互いに反対側の第1の表面及び第2の表面と、該第1の表面における第1のパネルコンタクト及び該第2の表面における第2のパネルコンタクトとを有する回路パネルと、
それぞれが、それぞれのパネルコンタクトに取り付けられる端子を有する第1の超小型電子パッケージ及び第2の超小型電子パッケージと、
を備え、
各超小型電子パッケージは、
互いに反対側の第1の表面及び第2の表面を有し、該第1の表面は上に基板コンタクトを有する、基板と、
メモリ記憶アレイ機能を提供するように構成された第1の能動素子と、メモリ記憶アレイ機能以外の機能を提供するように構成された第2の能動素子とを具体化する超小型電子素子であって、前記第1の能動素子の数は、前記第2の能動素子の数よりも多く、該超小型電子素子は、前記基板の第1の表面に面する背面と、該背面の反対側の前面と、該前面上にあり、該前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続されるコンタクトとを有する、超小型電子素子と、
前記基板の前記第2の表面において露出し、それぞれの超小型電子パッケージの前記基板コンタクトに電氣的に接続される、前記それぞれの超小型電子パッケージの前記端子であって、該端子は、平行な第1のグリッド及び第2のグリッド内の場所に配置された第

1の端子を含み、それぞれのグリッドは、軸のそれぞれの側に配置され、各グリッド内の前記第1の端子は、前記それぞれの超小型電子パッケージの前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに前記それぞれの超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、前記端子と、
を備え、

各超小型電子パッケージの前記端子は、平行な第3のグリッド及び第4のグリッド内の場所に配置された第2の端子を更に含み、該第2の端子は、第2の情報を運ぶように構成され、該第2の情報は、当該超小型電子パッケージの前記第1の端子によって運ばれる情報以外の情報であり、該第2の情報は、データ信号を含み、各超小型電子パッケージの前記第1のグリッド及び前記第2のグリッドは、当該超小型電子パッケージの前記第3のグリッド及び前記第4のグリッドを互いから分離し、

前記第1の端子は、信号割り当てを有し、各超小型電子パッケージの前記第1のグリッド内の第1の端子の信号割り当ては、アドレス情報を運ぶように構成された各超小型電子パッケージの前記第1のグリッドの前記第1の端子の信号割り当てのような、当該超小型電子パッケージの前記第2のグリッド内の前記第1の端子の信号割り当てと、前記軸に関して対称であり、当該第1の端子のそれぞれは、当該第1の端子に関し、前記軸に関して対称な位置における当該超小型電子パッケージの前記第2のグリッドの前記第1の端子のうちの対応する端子と同じアドレス情報を運ぶように構成される、超小型電子アセンブリ。

【請求項2】

各超小型電子パッケージの前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記アドレス指定可能メモリ位置を決定するのに前記それぞれの超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成される、請求項1に記載の超小型電子アセンブリ。

【請求項3】

各超小型電子パッケージの前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記それぞれの超小型電子パッケージの前記超小型電子素子の動作モードを制御する情報を運ぶように構成される、請求項1に記載の超小型電子アセンブリ。

【請求項4】

各超小型電子パッケージの前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記それぞれの超小型電子パッケージに転送されるコマンド信号の全てを運ぶように構成され、前記コマンド信号は、ライトイネーブル信号、行アドレスストロープ信号、及び列アドレスストロープ信号である、請求項3に記載の超小型電子アセンブリ。

【請求項5】

前記第1の超小型電子パッケージの前記第2のグリッド内の前記第1の端子は、前記第2の超小型電子パッケージの前記第1のグリッド内の前記第1の端子に前記回路パネルを通して接続され、前記第1の超小型電子パッケージの前記第2のグリッドの前記第1の端子は、該第2のグリッドの該第1の端子が接続される、前記第2の超小型電子パッケージの前記第1のグリッド内の対応する第1の端子の1ボールピッチ以内に、前記回路パネルの前記第1の表面及び前記第2の表面に平行な直交するx方向及びy方向において位置合わせされる、請求項1に記載の超小型電子アセンブリ。

【請求項6】

前記第1の超小型電子パッケージの前記第2のグリッド及び前記第2の超小型電子パッケージの前記第1のグリッドは、直交する前記x方向及び前記y方向において、互いに位置合わせされ、前記第1の超小型電子パッケージの前記第2のグリッドの前記端子及び前記第2の超小型電子パッケージの前記第1のグリッドの前記端子は、互いに一致する、請求項5に記載の超小型電子アセンブリ。

【請求項7】

前記第1の超小型電子パッケージの前記第1の端子のうちの1つと、前記第2の超小型

10

20

30

40

50

電子パッケージの前記第 1 の端子のうちの対応する 1 つとの間の電氣的接続のうちの少なくとも 1 つの電氣的接続のスタブの長さは、前記超小型電子パッケージのそれぞれの前記第 1 の端子の最小ピッチの 7 倍未満である、請求項 5 に記載の超小型電子アセンブリ。

【請求項 8】

前記第 1 の超小型電子パッケージの前記第 1 の端子と前記第 2 の超小型電子パッケージの前記第 1 の端子との間の前記回路パネルを通る電氣的接続の少なくともいくつかは、前記回路パネルの厚み程度の電気長を有する、請求項 5 に記載の超小型電子アセンブリ。

【請求項 9】

各超小型電子パッケージの各グリッドは、2 つの平行な列を有し、前記回路パネルは、前記超小型電子パッケージのうちの 1 つ又は複数の超小型電子パッケージの前記端子が電氣的に接続される前記回路パネル上のそれぞれの接続部位間で前記アドレス情報の全てをグローバルルーティングする 2 つ以下のルーティング層を含む、請求項 5 に記載の超小型電子アセンブリ。

【請求項 10】

前記それぞれの超小型電子パッケージの前記第 1 のグリッド内の前記第 1 の端子は、個々の列内に配置され、前記それぞれの超小型電子パッケージの前記第 2 のグリッド内の前記第 1 の端子は、個々の列内に配置され、前記回路パネルは、前記第 1 の超小型電子パッケージ及び前記第 2 の超小型電子パッケージの前記第 1 の端子が電氣的に接続される前記回路パネル上の接続部位と、少なくとも第 3 の超小型電子パッケージの前記第 1 の端子が電氣的に接続される前記回路パネル上の異なる接続部位との間で前記アドレス情報の全てをグローバルルーティングする 1 つのみのルーティング層を含む、請求項 1 に記載の超小型電子アセンブリ。

【請求項 11】

超小型電子パッケージ及び該超小型電子パッケージに電氣的に接続された回路パネルを含む超小型電子アセンブリを備えるシステムであって、前記超小型電子パッケージは、

互いに反対側の第 1 の表面及び第 2 の表面を有し、該第 1 の表面は上に基板コンタクトを有する、基板と、

メモリ記憶アレイ機能を提供するように構成された第 1 の能動素子と、メモリ記憶アレイ機能以外の機能を提供するように構成された第 2 の能動素子とを具体化する超小型電子素子であって、前記第 1 の能動素子の数は、前記第 2 の能動素子の数よりも多く、該超小型電子素子は、前記第 1 の表面に面する背面と、該背面と反対側の前面と、該前面上にあり、該前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続されるコンタクトとを有する、超小型電子素子と、

前記基板の前記第 2 の表面において露出し、前記超小型電子パッケージを前記回路パネルに接続するように構成される、前記超小型電子パッケージの端子であって、該超小型電子パッケージの該端子は、前記基板コンタクトに電氣的に接続され、平行な第 1 のグリッド及び第 2 のグリッド内の場所に配置される第 1 の端子を含み、それぞれのグリッドは、軸のそれぞれの側に配置され、各グリッドの前記第 1 の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、端子と、

を備え、
前記端子は、第 3 のグリッド及び第 4 のグリッド内の場所に配置された第 2 の端子を含み、該第 2 の端子は、前記第 1 の端子によって運ばれる情報以外の情報である第 2 の情報を運ぶように構成され、該第 2 の情報は、データ信号を含み、前記第 1 のグリッド及び前記第 2 のグリッドは、前記第 3 のグリッド及び前記第 4 のグリッドを互いから分離し、

前記第 1 の端子は、信号割り当てを有し、前記第 1 のグリッド内の前記第 1 の端子の信号割り当ては、アドレス情報を運ぶように構成された前記第 1 のグリッドの前記第 1 の端子の信号割り当てのような、前記第 2 のグリッド内の前記第 1 の端子の信号割り当てと、前記軸に関して対称であり、当該第 1 の端子のそれぞれは、当該第 1 の端子に関し、前記軸に

10

20

30

40

50

関して対称な位置における前記第2のグリッドの前記第1の端子のうちの対応する端子と同じアドレス情報を運ぶように構成される、システム。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2012年4月5日に出願された米国特許出願第13/440,280号の継続出願である。この米国特許出願は、2012年2月17日に出願された米国仮特許出願第61/600,527号と、2011年10月3日に出願された米国仮特許出願第61/542,553号との出願日の利益を主張する。これら全ての米国仮特許出願の開示内容は、参照することによって本明細書の一部をなすものとする。

10

【0002】

本出願の主題は、超小型電子パッケージ及び超小型電子パッケージを組み込んだアセンブリに関する。

【背景技術】

【0003】

半導体チップは、一般に、個々のパッケージされたユニットとして提供される。標準的なチップは、平坦な方形の本体を有し、この本体は、チップの内部回路部に接続されたコンタクトを有する大きな前面を備えている。個々の各チップは、通常、チップのコンタクトに接続された外部端子を有するパッケージ内に含まれている。また、端子、すなわちパッケージの外部接続点は、プリント回路基板等の回路パネルに電氣的に接続するように構成されている。多くの従来の設計では、チップパッケージは、チップ自体の面積よりもかなり大きな回路パネルの面積を占有する。「チップの面積」とは、この開示において、前面を有する平坦なチップに関して用いられるとき、前面の面積を指すものとして理解されるべきである。

20

【0004】

チップのいかなる物理的構成においても、サイズは重要な考慮事項である。チップのより小型の物理的構成に対する要求は、携帯型電子デバイスの急速な発展により、更に強くなってきている。単に例として、一般に「スマートフォン」と呼ばれるデバイスは、携帯電話の機能を、強力なデータプロセッサ、メモリ、並びに全地球測位システム受信器、電子カメラ及びローカルエリアネットワーク接続等の補助デバイスと、高解像度ディスプレイ及び関連する画像処理チップとともに一体化している。こうしたデバイスは、完全なインターネット接続、最大解像度の映像を含むエンターテインメント、ナビゲーション、電子銀行等の機能を、全てポケットサイズのデバイスで提供することができる。複雑な携帯型デバイスでは、多数のチップを小さい空間に詰め込む必要がある。さらに、チップのうちのいくつかは、一般に「I/O」と呼ばれる多くの入出力接続を有している。これらのI/Oを、他のチップのI/Oと相互接続しなければならない。相互接続を形成するコンポーネントは、アセンブリのサイズを大幅に増大させるべきではない。同様の必要性は、例えば、インターネット検索エンジンで使用されるもの等の、性能の増大及びサイズの低減が必要とされるデータサーバにおける用途等の、他の用途でも発生する。

30

40

【0005】

メモリ記憶アレイ、特にダイナミックランダムアクセスメモリチップ(DRAM)及びフラッシュメモリチップを含む半導体チップは、一般に、単一チップ又は複数チップのパッケージ及びアセンブリにパッケージされる。各パッケージは、端子と、その中のチップとの間で信号を運び、電源及び接地を接続するために数多くの電氣的接続を有する。それらの電氣的接続は、チップのコンタクト支持面に対して水平方向に延在する水平導体、例えば、トレース、ビームリード等、及びチップの表面に対して垂直方向に延在するピア等の垂直導体、並びにチップの表面に対して水平及び垂直の両方向に延在するワイヤボンダ等の、異なる種類の導体を含むことができる。

【0006】

50

従来の超小型電子パッケージは、主としてメモリ記憶アレイ機能を提供するように構成される超小型電子素子、すなわち、メモリ記憶アレイ機能を提供する能動素子を他のいかなる機能よりも多く具体化する超小型電子素子を組み込むことができる。この超小型電子素子は、DRAMチップ、又はそのような半導体チップを積み重ねて電氣的に相互接続したアセンブリとすることもできるし、それらを含むこともできる。通常、そのようなパッケージの端子の全ては、超小型電子素子が実装されるパッケージ基板の1つ又は複数の周縁部に隣接して数組の列に配置される。例えば、図1に見られる1つの従来の超小型電子パッケージ12において、パッケージ基板20の第1の周縁部16に隣接して端子の3つの列14を配置することができ、パッケージ基板20の第2の周縁部22に隣接して端子の別の3つの列18を配置することができる。従来のパッケージにおけるパッケージ基板20の中央領域24には、端子の列は全くない。図1は更に、パッケージ内の、面28上に素子コンタクト26を有する半導体チップ11を示す。素子コンタクト26は、パッケージ基板20の中央領域24における開口部、例えばボンドウインドウ、を通して延在するワイヤボンダ30を通じて、パッケージ12の端子の列14、18と電氣的に相互接続されている。場合によっては、超小型電子素子11の面28と基板20との間に接着層32を配置して、ワイヤボンダが接着層32の開口部を通して延在する状態で、超小型電子素子と基板との機械的接続を補強することができる。

【0007】

上記に鑑みて、特にそのようなパッケージと、そのようなパッケージを搭載し互いに電氣的に相互接続することができる回路パネルとを含むアセンブリにおいて電氣的性能を改善するために、超小型電子パッケージ上で端子の配置の改善をいくらか行うことができる。

【発明の概要】

【0008】

本発明の一態様による超小型電子アセンブリは、回路パネルであって互いに反対側の第1の表面及び第2の表面と、該第1及び該第2の表面において露出する第1のパネルコンタクト及び第2のパネルコンタクトとをそれぞれ有する回路パネルと、それぞれが、前記それぞれのパネルコンタクトに実装された端子を有する第1の超小型電子パッケージ及び第2の超小型電子パッケージと、を含むことができる。そのようなアセンブリにおいて、各超小型電子パッケージは、互いに反対側の第1の表面及び第2の表面及び前記第1の表面において露出する複数の基板コンタクトを有する基板と、メモリ記憶アレイ機能を有する超小型電子素子とを含むことができる。前記超小型電子素子は、前記第1の表面に面する背面と、該背面の反対側の前面と、該前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトと、を有することができる。複数の端子を、該超小型電子パッケージを該パッケージの外部の少なくとも1つの構成要素に接続するように構成することができる。前記端子は、前記基板コンタクトに電氣的に接続することができ、理論的軸の第1の側に配置される第1の端子の第1の組、及び、前記第1の側の反対側の、前記軸の第2の側に配置される第2の組を含む、複数の第1の端子を含むことができる。前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成することができる。前記第1の組内の前記第1の端子の信号割当ては、前記第2の組内の前記第1の端子の信号割当ての鏡像とすることができる。

【0009】

一例において、前記超小型電子素子は、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化することができる。一例において、各超小型電子パッケージの前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、前記アドレス指定可能メモリ位置を決定するのに前記それぞれの超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成することができる。

【 0 0 1 0 】

一例において、各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージの前記超小型電子素子の動作モードを制御する情報を運ぶように構成することができる。

【 0 0 1 1 】

一例において、各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージに転送されるコマンド信号の全てを運ぶように構成され、前記コマンド信号は、ライトイネーブル信号、行アドレスストローク信号、及び列アドレスストローク信号とすることができる。

【 0 0 1 2 】

一例において、各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージに転送されるクロック信号を運ぶように構成され、前記クロック信号は、前記アドレス情報を運ぶ信号をサンプリングするのに用いられるクロックを含むことができる。

【 0 0 1 3 】

一例において、各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージに転送されるバンクアドレス信号の全てを運ぶように構成することができる。

【 0 0 1 4 】

一例において、前記第 1 のパッケージの前記第 2 の組内の前記第 1 の端子は、前記第 2 のパッケージの前記第 1 の組内の前記第 1 の端子に前記回路パネルを通して接続することができる。前記第 1 のパッケージの前記第 2 の組の前記第 1 の端子は、それらが接続される、前記第 2 のパッケージ上の前記第 1 の組の前記対応する第 1 の端子の 1 ボールピッチ以内で、前記第 1 及び前記第 2 の回路パネル表面に平行な直交する x 方向及び y 方向において位置合わせることができる。

【 0 0 1 5 】

一例において、各パッケージ上の前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、各パッケージ上のそれぞれの第 1 のグリッド及び第 2 のグリッド内の位置に配置され、前記第 1 のパッケージの前記第 1 のグリッドの前記第 1 の端子は、直交する前記 x 方向及び前記 y 方向において、前記第 2 のパッケージの前記第 2 のグリッドの前記第 1 の端子に位置合わせされ一致することができる。

【 0 0 1 6 】

一例において、各グリッドの各場所は前記端子のうちの 1 つによって占有することができる。

【 0 0 1 7 】

一例において、グリッドのうちの少なくとも 1 つの場所は端子によって占有されないことができる。

【 0 0 1 8 】

一例において、各パッケージ上の前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、各パッケージ上のそれぞれの第 1 のグリッド及び第 2 のグリッド内の位置に配置され、前記第 1 の超小型電子パッケージ及び前記第 2 の超小型電子パッケージの前記グリッドは、機能的かつ機械的に一致することができる。

【 0 0 1 9 】

一例において、前記第 1 の超小型電子パッケージの前記第 1 の端子のうちの 1 つと、前記第 2 の超小型電子パッケージの前記第 1 の端子のうちの対応する 1 つとの間の電気接続のうちの少なくとも 1 つのスタブの長さは、前記超小型電子パッケージのそれぞれの前記第 1 の端子の最小ピッチの 7 倍未満とすることができる。

【 0 0 2 0 】

一例において、前記第 1 の超小型電子パッケージの前記第 1 の端子と前記第 2 の超小型電子パッケージの前記第 1 の端子との間の前記回路パネルを通る前記電気接続の少なくと

10

20

30

40

50

もいくつかは、前記回路パネルの厚み程度の電気長を有することができる。

【 0 0 2 1 】

一例において、前記回路パネルの前記第 1 の表面及び前記第 2 の表面において露出する、電氣的に結合される第 1 のパネルコンタクト及び第 2 のパネルコンタクトの対を接続する前記導電性素子を結合した全長は、前記パネルコンタクトの最小ピッチの 7 倍未満とすることができる。

【 0 0 2 2 】

一例において、前記回路パネルは、前記超小型電子パッケージのそれぞれに転送される全ての前記アドレス情報を運ぶように構成される複数の導体を有するバスを含み、前記導体は、前記第 1 の表面及び前記第 2 の表面に平行な第 1 の方向に延在することができる。

10

【 0 0 2 3 】

一例において、前記第 1 の端子のそれぞれの組の前記第 1 の端子は、個々の列内に配置することができる。前記回路パネルは、前記第 1 及び前記第 2 のパッケージの前記第 1 の端子が電氣的に接続することができる前記回路パネル上の接続部位と、少なくとも第 3 の超小型電子パッケージの前記第 1 の端子が電氣的に接続することができる前記回路パネル上の異なる接続部位との間でアドレス情報の全てをグローバルルーティングする 1 つのみのルーティング層を含むことができる。

【 0 0 2 4 】

一例において、それぞれのパッケージ上の前記第 1 及び前記第 2 の組のそれぞれの組の前記第 1 の端子は、それぞれのパッケージ上のそれぞれの第 1 及び前記第 2 のグリッド内の位置に配置され、それぞれの超小型電子パッケージの第 1 の端子の前記第 1 のグリッド及び前記第 2 のグリッドのそれぞれは 2 つの平行な列を有することができ、前記回路パネルは、前記超小型電子パッケージの 1 つ又は複数の超小型電子パッケージの前記端子が電氣的に接続される前記回路パネル上のそれぞれの接続部位間でアドレス情報の全てをグローバルルーティングする 2 つ以下のルーティング層を含むことができる。

20

【 0 0 2 5 】

一例において、前記第 1 及び前記第 2 のパッケージの前記第 1 の端子が電氣的に接続することができる前記回路パネル上の接続部位と、少なくとも第 3 の超小型電子パッケージの前記第 1 の端子が電氣的に接続される前記回路パネル上の異なる接続部位との間でアドレス情報の全てをグローバルルーティングする 1 つのみのルーティング層が存在することができる。

30

【 0 0 2 6 】

一例において、それぞれの超小型電子パッケージは、前記それぞれの超小型電子パッケージ内の前記それぞれの端子の少なくともいくつかの端子及び前記超小型電子素子に電氣的に接続されたバッファ要素を含むことができる。それぞれのバッファ要素は、前記超小型電子素子に転送するように、前記それぞれの超小型電子パッケージの前記端子の 1 つ又は複数の端子で受信される少なくとも 1 つの信号を再生するか、又は、少なくとも部分的に復号化する、の少なくとも一方を行うように構成することができる。

【 0 0 2 7 】

一例において、各超小型電子パッケージの前記超小型電子素子は、第 1 の超小型電子素子であることができ、

40

前記超小型電子パッケージのそれぞれは、前記基板に面する背面と、該背面と反対側の前面を有する第 2 の超小型電子素子とを更に含み、前記前面上の複数の素子コンタクトが、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続することができる。前記第 2 の超小型電子素子は、任意の他の機能よりもメモリ記憶アレイ機能を提供する能動素子を多く具体化することができる。そのような例において、それぞれの超小型電子パッケージの前記第 1 及び前記第 2 の組のそれぞれの組の前記第 1 の端子は、前記それぞれの超小型電子パッケージの前記第 1 及び第 2 の超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記それぞれの超小型電子パッケージ内の回路によって使用可能な

50

アドレス情報を運ぶように構成することができる。

【 0 0 2 8 】

本発明の一態様によると、超小型電子アセンブリは、超小型電子パッケージ及び該超小型電子パッケージに電氣的に接続された回路パネルを含むことができる。そのような例では、前記超小型電子パッケージは、基板であって互いに反対側の第 1 の表面及び第 2 の表面と、前記第 1 の表面において露出する複数の基板コンタクトとを有する基板と、メモリ記憶アレイ機能を有する超小型電子素子を含むことができる。該超小型電子素子は、前記第 1 の表面に面する背面と、該背面と反対側の前面と、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトと、を有することができる。前記第 2 の表面において露出する複数の端子は、前記超小型電子パッケージを前記回路パネルに接続するように構成することができる。前記端子は、前記基板コンタクトに電氣的に接続し、理論的軸の第 1 の側及び第 2 の側のそれぞれに配置された第 1 の端子の第 1 の組及び第 2 の組を含む、複数の第 1 の端子を含むことができる。前記第 1 及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成することができる。前記第 1 の組内の前記第 1 の端子の信号割当ては、前記第 2 の組内の前記第 1 の端子の信号割当ての鏡像とすることができる。

10

【 0 0 2 9 】

一例において、システムは筐体を更に備え、前記超小型電子アセンブリ及び前記 1 つ又は複数の他の電子構成要素は、前記筐体に組み付けることができる。

20

【 0 0 3 0 】

一例において、前記超小型電子アセンブリは第 1 の超小型電子アセンブリであり、該システムは、第 2 のそのような超小型電子アセンブリを更に備えることができる。

【 0 0 3 1 】

一例において、各超小型電子アセンブリは、各超小型電子アセンブリに信号を運ぶとともに、各超小型電子アセンブリから信号を運ぶように、第 2 の回路パネルに取り付けられ、電氣的に接続することができる。

【 0 0 3 2 】

本発明の一態様による超小型電子アセンブリは、互いに反対側の第 1 の表面及び第 2 の表面及び該第 1 の表面及び該第 2 の表面において露出する第 1 のパネルコンタクト及び第 2 のパネルコンタクトをそれぞれ有する回路パネルと、それぞれが、前記それぞれのパネルコンタクトに実装された端子を有する第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージとを含むことができる。そのような超小型電子アセンブリにおいて、各超小型電子パッケージは、基板であって互いに反対側の第 1 の表面及び第 2 の表面と、前記第 1 の表面において露出する複数の基板コンタクトとを有する基板と、メモリ記憶アレイ機能を有する超小型電子素子とを含むことができる。該超小型電子素子は、前記第 1 の表面に面する背面と、該背面と反対側の前面と、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトと、を有することができる。複数の第 1 の端子は、前記第 2 の表面において露出することができ、前記超小型電子パッケージを該パッケージの外部の少なくとも 1 つの構成要素に接続するように構成することができる。前記端子は、前記基板コンタクトに電氣的に接続することができ、理論的軸の第 1 の側及び第 2 の側のそれぞれに配置される第 1 の端子の第 1 の組及び第 2 の組を含む、複数の第 1 の端子を含むことができる。前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記パッケージ内の回路によって使用可能なアドレス情報の大部分を運ぶように構成することができる。前記第 1 の組内の前記第 1 の端子の信号割当ては、前記第 2 の組内の前記第 1 の端子の信号割当ての鏡像とすることができる。

30

40

【 0 0 3 3 】

50

一例において、各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記アドレス指定可能メモリ位置を決定するのに前記それぞれの超小型電子パッケージ内の回路によって使用可能な前記アドレス情報の少なくとも 3 / 4 を運ぶように構成することができる。

【 0 0 3 4 】

本発明の別の一態様による超小型電子アセンブリは、回路パネルであって互いに反対側の第 1 の表面及び第 2 の表面と、前記第 1 の表面及び前記第 2 の表面において露出する第 1 のパネルコンタクト及び第 2 のパネルコンタクトとをそれぞれ有する回路パネルと、それぞれが、前記それぞれのパネルコンタクトに実装された端子を有する第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージとを備えることができる。そのようなアセンブリにおいて、各超小型電子パッケージは、基板であって互いに反対側の第 1 の表面及び第 2 の表面と、該第 1 の表面において露出する複数の基板コンタクトとを有する基板と、メモリ記憶アレイ機能を有する超小型電子素子とを備えることができる。前記超小型電子素子は、前記第 1 の表面に面する背面と、前記背面と反対側の前面と、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトと、を有することができる。前記第 2 の表面において露出する複数の端子を前記超小型電子パッケージを該パッケージの外部の少なくとも 1 つの構成要素に接続するように構成することができる。前記端子は、前記基板コンタクトに電氣的に接続され、第 1 の個々の列の位置に配置された第 1 の端子の第 1 の組及び第 2 の個々の列の位置に配置された前記第 1 の端子の第 2 の組を含むことができる。前記第 1 の個々の列及び前記第 2 の個々の列のそれぞれの前記第 1 の端子は、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成することができる。前記第 1 の列内の前記第 1 の端子の信号割当ては、前記第 2 の列内の前記第 1 の端子の信号割当てに対して、前記第 1 の列及び前記第 2 の列に平行でかつ前記第 1 の列と前記第 2 の列との間に延在する理論的軸に関して対称とすることができる。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】従来の超小型電子パッケージを示す断面図である。

【図 2】本明細書において参照される超小型電子アセンブリを示す概略的な斜視図である。

【図 3】本明細書において参照される超小型電子アセンブリを示す断面図である。

【図 4】図 3 において見られるようなアセンブリ内の一対の超小型電子パッケージ間の電氣的相互接続を示す概略図である。

【図 5 A】本発明の一実施形態による、超小型電子パッケージ上の端子の配置を示す平面図である。

【図 5 B】図 5 A において見られるようなパッケージ上の端子の取り得る配置を示す更なる平面図である。

【図 5 C】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 6 A】本発明の一実施形態による、パッケージ内に組み込まれる超小型電子素子上の素子コンタクトの種々の配置を示す平面図である。

【図 6 B】本発明の一実施形態による、パッケージ内に組み込まれる超小型電子素子上の素子コンタクトの種々の配置を示す平面図である。

【図 6 C】本発明の一実施形態による、パッケージ内に組み込まれる超小型電子素子上の素子コンタクトの種々の配置を示す平面図である。

【図 7 A】本発明の一実施形態による超小型電子アセンブリを示す断面図である。

【図 7 B】本発明の一実施形態による超小型電子アセンブリを示す概略的な斜視図である。

【図 8】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 9】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 1 0】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 1】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 2】本発明の一実施形態による超小型電子パッケージを示す平面図である。
【図 1 3】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 4】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 5 A】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 5 B】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 6】本発明の一実施形態による超小型電子パッケージを示す断面図である。
【図 1 7】図 1 6 において見られるような超小型電子パッケージを更に示す断面図である。

10

【図 1 8】図 1 6 において見られるような本発明の一実施形態による超小型電子パッケージを更に示す平面図である。

【図 1 9】図 1 6 において見られるような第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージを組み込む超小型電子アセンブリを示す断面図である。

【図 2 0】図 1 6 において見られるような本発明の一実施形態による超小型電子パッケージ内の代替の端子配置を示す図である。

【図 2 1】図 1 6 において見られるような本発明の一実施形態による超小型電子パッケージ内の代替の端子配置を示す図である。

【図 2 2】図 1 6 において見られるような本発明の実施形態の変形形態による超小型電子パッケージを示す断面図である。

20

【図 2 3】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 2 4】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 2 5】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 2 6】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 2 7】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 2 8】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 2 9】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 3 0】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 3 1】本発明の一実施形態によるシステムを示す概略的な断面図である。

【発明を実施するための形態】

30

【 0 0 3 6 】

図 1 に関して説明する例示的な従来の超小型電子パッケージ 1 2 に鑑みて、本発明者らは、メモリ記憶アレイチップを組み込むパッケージ及びそのようなパッケージを組み込むアセンブリの電氣的性能を改善するのに役立てることができる、行うことができる改善を認識した。

【 0 0 3 7 】

特に、図 2 ~ 図 4 に示すもの等のアセンブリ内に設けられた場合の超小型電子パッケージの使用に関して改善を行うことができる。図 2 ~ 図 4 において、パッケージ 1 2 A が回路パネルの表面に搭載され、別の同様なパッケージ 1 2 B が回路パネルの反対側の表面上に、それに向き合って搭載される。パッケージ 1 2 A、1 2 B は通常、機能的及び機械的に互いに同等である。機能的及び機械的に同等なパッケージの他の対 1 2 C と 1 2 D、及び 1 2 E と 1 2 F もまた、通常同じ回路パネル 3 4 に搭載することができる。回路パネルとそれに取り付けられたパッケージとは、一般にデュアルインラインメモリモジュール(「D I M M」)と呼ばれるアセンブリの一部を形成することができる。対向して搭載されたパッケージの対それぞれにおけるパッケージ、例えばパッケージ 1 2 A、1 2 B は、回路パネルの反対に位置する表面上のコンタクトに接続し、それぞれの対におけるパッケージ同士が通常それぞれの面積の 9 0 % よりも多く互いに重なるようになっている。回路パネル 3 4 内のローカル配線は、端子、例えばそれぞれのパッケージ上の「1」、「5」とラベルがついた端子を回路パネル上のグローバル配線に接続する。グローバル配線は、接続位置 I、I I、及び I I I 等の回路パネル 3 4 上の接続位置にいくつかの信号を伝える

40

50

のに用いる、バス 3 6 の信号導体を含む。例えば、パッケージ 1 2 A、1 2 B は、接続位置 I に結合したローカル配線によってバス 3 6 に電氣的に接続され、パッケージ 1 2 C、1 2 D は、接続位置 I I に結合したローカル配線によってバスに電氣的に接続され、パッケージ 1 2 E、1 2 F は、接続位置 I I I に結合したローカル配線によってバスに電氣的に接続される。

【 0 0 3 8 】

回路パネル 3 4 は、パッケージ 1 2 A の一方の縁部 1 6 近くの「 1 」とラベルがついた端子が回路パネル 3 4 を貫いてパッケージ 1 2 B の同じ縁部 1 6 近くの「 1 」とラベルがついた端子に接続する、十文字すなわち「シューレース（靴ひも）」パターンと同様に見えるローカル相互接続配線を用いて、パッケージ 1 2 A、1 2 B それぞれの端子を電氣的に相互接続する。しかし、回路パネル 3 4 に取り付けられたパッケージ 1 2 B の縁部 1 6 は、パッケージ 1 2 A の縁部 1 6 から遠い。図 2 ~ 図 4 は、パッケージ 1 2 A の縁部 2 2 近くの「 5 」とラベルがついた端子が回路パネル 3 4 を貫いてパッケージ 1 2 B の同じ縁部 2 2 近くの「 5 」とラベルがついた端子に接続するということを更に示す。アセンブリ 3 8 において、パッケージ 1 2 A の縁部 2 2 はパッケージ 1 2 B の縁部 2 2 から遠い。

【 0 0 3 9 】

回路パネルを貫く、それぞれのパッケージ、例えばパッケージ 1 2 A 上の端子と、その反対側に搭載されたパッケージ、すなわちパッケージ 1 2 B 上の対応する端子との間の接続は、かなり長いものである。図 3 において更にわかるように、同様の超小型電子パッケージ 1 2 A、1 2 B のそのようなアセンブリにおいて、回路パネル 3 4 は、バス 3 6 の信号導体を、バスからの同じ信号がそれぞれのパッケージに送信されることになっている場合には、「 1 」と印がついたパッケージ 1 2 A の端子及び「 1 」と印がついたパッケージ 1 2 B の対応する端子と電氣的に相互接続することができる。同様に回路パネル 3 4 は、バス 3 6 の別の信号導体を、「 2 」と印がついたパッケージ 1 2 A の端子及び「 2 」と印がついたパッケージ 1 2 B の対応する端子と電氣的に相互接続することができる。同じことを、「 3 」と印がついたそれぞれのパッケージ 1 2 A、1 2 B の端子の回路パネル 3 4 を貫く電氣的接続にも当てはめることができる。同じ接続の仕組みを、バスの他の信号導体及びそれぞれのパッケージの対応する端子にも当てはめることができる。回路パネル 3 4 上のバス 3 6 と、パッケージのそれぞれの対、例えば、基板の接続位置 I におけるパッケージ 1 2 A、1 2 B（図 2）、のそれぞれのパッケージとの間のローカル配線は、非終端スタブの形とすることができる。そのようなローカル配線は、比較的長い場合には、場合によっては後述するようにアセンブリ 3 8 の性能に影響を及ぼす場合がある。さらに、回路パネル 3 4 はまたローカル配線に、他のパッケージ、すなわちパッケージの対 1 2 C 及び 1 2 D 並びにパッケージの対 1 2 E 及び 1 2 F の或る特定の端子をバス 3 6 のグローバル配線に電氣的に相互接続するよう求め、そのような配線も、同じようにアセンブリの性能に影響を及ぼす可能性がある。

【 0 0 4 0 】

図 4 は更に、信号「 1 」、「 2 」、「 3 」、「 4 」、「 5 」、「 6 」、「 7 」、及び「 8 」を運ぶよう割り当てられた端子のそれぞれの対の超小型電子パッケージ 1 2 A と 1 2 B との間の相互接続を示す。図 4 においてわかるように、端子の列 1 4、1 8 は各パッケージ 1 2 A、1 2 B それぞれの縁部 1 6、2 2 の近くにあるので、端子の列 1 4、1 8 が延在する方向 4 2 を横切る方向 4 0 に回路パネル 3 4 を横切るのに必要な配線は、非常に長くなる可能性がある。D R A M チップの長さは、それぞれの辺において 1 0 ミリメートルの範囲にすることができるということを認識すれば、2 つの対向して搭載されるパッケージ 1 2 A、1 2 B の対応する端子に同じ信号をルーティングするのに必要な、図 2 ~ 図 4 に見られるアセンブリ 3 8 における回路パネル 3 4 内のローカル配線の長さは、場合によっては 5 ミリメートルから 1 0 ミリメートルの間に及ぶ可能性があり、通常約 7 ミリメートルとすることができる。

【 0 0 4 1 】

場合によっては、そのような対向して搭載される超小型電子パッケージの端子を接続するのに必要な回路パネルの配線の長さは、アセンブリの電氣的性能にひどく影響を及ぼさない場合がある。しかし、パッケージ 1 2 A、1 2 B 上の互いに接続された端子の対が運ぶ信号が、アドレス情報、又は回路パネルに接続した複数のパッケージのメモリ記憶アレイ機能の動作に共通のアドレス情報をサンプリングするのに使用可能なクロック情報等の他の情報を運ぶのに用いるバス 3 6 からの信号である場合には、バス 3 6 からそれぞれのパッケージ上の端子まで延在するスタブの配線長さが性能に著しく影響を及ぼす場合がある、ということを、本発明者らは認識している。相互接続を行う配線が比較的長い場合には、より甚だしく影響があり、それによって、送信信号の整定時間（セトリングタイム）、リングング、ジッタ、又は符号間干渉が受け入れがたい程度まで増大する可能性がある。

10

【 0 0 4 2 】

特定の実施形態において、アドレス情報を運ぶのに用いるバス 3 6 は、コマンド情報、アドレス情報、バンクアドレス情報、及びクロック情報を運ぶように構成したコマンド / アドレスバス 3 6 とすることができる。具体的な実施において、コマンド情報は、回路パネル上のそれぞれの信号導体上のコマンド信号として送信することができる。アドレス情報を、それぞれの信号導体上のアドレス信号として送信することもまた可能であり、バンクアドレス情報を、それぞれの信号導体上のバンクアドレス信号として送信することもまた可能であり、クロック情報を、それぞれの信号導体上のクロック信号として送信することもまた可能である。D R A M チップ等のメモリ記憶アレイを有する超小型電子素子の具体的な実施において、バス 3 6 が運ぶことができるコマンド信号は、ライトイネーブル（書き込み許可）、行アドレスストロープ、及び列アドレスストロープとすることができ、バス 3 6 が運ぶことができるクロック信号は、少なくともバス 3 6 が運ぶアドレス信号をサンプリングするのに用いるクロック信号とすることができる。

20

【 0 0 4 3 】

したがって、本明細書において説明する本発明の或る特定の実施形態は、そのような第 1 のパッケージ及び第 2 のパッケージが回路パネル、例えば回路基板、モジュール基板若しくはカード、又はフレキシブル回路パネル、の互いに反対側の表面上に互に対向して搭載される場合に回路パネル上のスタブの長さを短くできるように構成した、超小型電子パッケージを提供する。互いから反対側の位置において回路パネルに搭載した第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージを組み込んだアセンブリは、それぞれのパッケージ間のスタブ長さを著しく短くすることができる。そのようなアセンブリ内でスタブ長さを短くすると、例えばなかでも整定時間、リングング、ジッタ、又は符号間干渉のうちの 1 つ又は複数を低減することによって、電氣的性能を改善することができる。さらに、回路パネルの構造の単純化、又は回路パネルの設計若しくは製造、若しくは回路パネルの設計及び製造の両方の複雑性及びコストの低減等、他の利点もまた得ることを可能にすることができる。

30

【 0 0 4 4 】

かくして、本発明の実施形態による超小型電子パッケージ 1 0 0 を図 5 A ~ 図 5 C に示す。図 5 A ~ 図 5 C においてわかるように、パッケージ 1 0 0 は、メモリ記憶アレイ機能を有する超小型電子素子 1 0 1 を含むことができる。一例において、超小型電子素子は、メモリ記憶アレイ機能を提供するように構成した能動素子、例えばトランジスタの数をいかなる他の機能よりも多く有することができるという点において、超小型電子素子は、主としてメモリ記憶アレイ機能を提供するように構成することができる。しかしながら、別の例では、超小型電子素子 1 0 1 は、主にメモリ記憶アレイ機能を提供するように構成される必要はない。

40

【 0 0 4 5 】

超小型電子素子は、その前面 1 0 5 において素子コンタクト 1 1 1、1 1 3 を有し、素子コンタクトは基板 1 0 2 の第 1 の表面 1 0 8 において露出したそれぞれの基板コンタクト 1 2 1、1 2 3 に電氣的に接続される。本明細書において用いられるときに、導電性素

50

子が基板の表面「において露出する」という記述は、導電性素子が、基板の外側からその表面に向かってその表面に対して垂直な方向に移動する理論点と接触するのに利用可能であることを示す。したがって、構造の表面において露出する端子又は他の導電性素子は、そのような表面から突出することができるか、そのような表面と同一平面をなすことができるか、又はそのような表面に対して後退し、その構造内の穴又はくぼみを通して露出することができる。

【 0 0 4 6 】

一例では、ワイヤボンド 1 1 2 が素子コンタクト 1 1 1、1 1 3 を基板コンタクト 1 2 1、1 2 3 と電気的に接続することができる。代替的には、他のタイプの導体、例えば、リードフレームの一部、可撓性リボンボンド等を用いて、素子コンタクト 1 1 1、1 1 3 をそれぞれの基板コンタクト 1 2 1、1 2 3 と電気的に接続することができ、場合によっては、素子コンタクト 1 1 1、1 1 3 を、超小型電子素子 1 0 1 の前面 1 0 5 よりも、基板表面 1 0 8 から高い場所に配置される他の導電性素子と接続することができる。1 つのタイプのそのような超小型電子素子 1 0 1 では、素子コンタクト 1 1 1、1 1 3 のうちのいくつかのコンタクトはそれぞれ、超小型電子素子に供給されるアドレス情報のうちの特定のアドレス情報を受信するように構成することができる。特定の実施形態では、そのようなコンタクト 1 1 1、1 1 3 はそれぞれ、超小型電子素子の外部から、すなわち、ワイヤボンド 1 1 2 等のパッケージの配線を通して、かつ基板の表面 1 1 0 において露出した端子 1 0 4、1 0 6 を通って、超小型電子素子 1 0 1 に供給される複数のアドレス信号のうちのそれぞれのアドレス信号を受信するように構成することができる。

【 0 0 4 7 】

このタイプの超小型電子素子 1 0 1 の特定の一例において、それぞれの超小型電子素子が用いるクロックの縁部に対して、すなわち、異なる第 1 の電圧状態と第 2 の電圧状態との間でのクロックの遷移で、素子コンタクト 1 1 1、1 1 3 において存在するアドレス信号のそれぞれをサンプリングすることができる。すなわち、それぞれのアドレス信号は、クロックのより低電圧の状態とより高電圧の状態との間の立ち上がり遷移において、又は、クロックのより高電圧の状態とより低電圧の状態との間の立ち下がり遷移においてサンプリングすることができる。したがって、複数のアドレス信号はクロックの立ち上がり遷移において全てサンプリングすることもできるし、そのようなアドレス信号はクロックの立ち下がり遷移において全てサンプリングすることもできるし、又は、別の例において、素子コンタクト 1 1 1、1 1 3 のうちの 1 つにおけるアドレス信号は、クロックの立ち上がり遷移においてサンプリングすることができ、別の 1 つの外部のコンタクトにおけるアドレス信号は、クロックの立ち下がり遷移においてサンプリングすることができる。

【 0 0 4 8 】

主としてメモリ記憶アレイ機能を提供するように構成した、別のタイプの超小型電子素子 1 0 1 において、その上のアドレスコンタクトのうちの 1 つ又は複数を多重方式で用いることができる。この例において、それぞれの超小型電子素子 1 0 1 の特定の素子コンタクト 1 1 1、1 1 3 は、外部から超小型電子素子に供給される 2 つ以上の互いに異なる信号を受け取ることができる。したがって、第 1 のアドレス信号は異なる第 1 の電圧状態と第 2 の電圧状態との間のクロックの第 1 の遷移（例えば、立ち上がり遷移）において、特定のコンタクト 1 1 1、1 1 3 においてサンプリングすることができ、第 1 のアドレス信号以外の信号は、第 1 の電圧状態と第 2 の電圧状態との間のクロックの、第 1 の遷移と反対の第 2 の遷移（例えば、立ち下がり遷移）において、特定のコンタクトにおいてサンプリングすることができる。

【 0 0 4 9 】

そのような多重方式において、それぞれの超小型電子素子 1 0 1 の同じ素子コンタクト 1 1 1、1 1 3 上で、クロックの同じサイクル内で 2 つの異なる信号を受け取ることができる。特定の場において、この方法での多重化によって、それぞれの超小型電子素子 1 0 1 の同じ素子コンタクト 1 1 1、1 1 3 上で、同じクロックサイクル内で第 1 のアドレス信号とそれとは異なる信号とを受け取ることができる。更に別の例において、この方法

での多重化によって、第1のアドレス信号と、異なる第2のアドレス信号とを、それぞれの超小型電子素子101の同じ素子コンタクト111、113上で同じクロックサイクル内で受け取ることができる。

【0050】

いくつかの実施の形態において、基板102は、シート状又はボード状の誘電体素子を含むことができ、誘電体素子は、本質的に、ポリマ材料、例えば、なかでも樹脂又はポリイミドからなることができる。代替的に、基板は、例えばBT樹脂又はFR-4構成のガラス繊維強化エポキシ等の複合構成を有する誘電体素子を含むことができる。いくつかの例では、誘電体素子は、誘電体素子の平面内で、すなわち、基板102の第1の表面108に平行な方向に、最大30パーセント/摂氏温度（以降で「ppm/」）の熱膨張率を有する。別の例では、基板は、端子及び他の導電性構造がその上に配置される、12パーセント/摂氏温度未満の熱膨張率（「CTE」）を有する材料の支持要素を含むことができる。例えば、こうした低CTE素子は、本質的に、ガラス材料、セラミック材料、半導体材料、若しくは液晶ポリマ材料、又はこうした材料の組合せからなることができる。

【0051】

図5Cにおいて見られるように、基板コンタクトの第1の組121及び第2の組123が基板の第1の表面108において露出することができる。基板コンタクトの第1の組121は、例えば、超小型電子素子の面105の上方に延在する導電性構造体を通して、超小型電子素子の素子コンタクト132の列111（図6A）と電気的に接続することができる。例えば、導電性構造体はワイヤボンダ112とすることができる。場合によっては、超小型電子素子の背面107と基板102の表面108との間にダイアタッチ接着剤を配置することができ、超小型電子素子と基板との間の接続を機械的に強化することができる。基板コンタクトの第2の組123は、素子コンタクト132の列113（図6A）と電気的に接続することができる。

【0052】

図6Aにおいて更に見られるように、超小型電子素子130の縁部170が第1の方向142に延在することができ、縁部170に隣接するコンタクト132の列111が面105に沿って同じ第1の方向142に延在することができる。縁部170に対して平行な、超小型電子素子130の別の縁部172が第1の方向142に延在し、コンタクト132の第2の列113が、縁部172に隣接して面105に沿って同じ第1の方向142に延在することができる。図6Aに更に示されるように、超小型電子素子上のコンタクトの列は、列111の場合のように完全に埋めることができるか、又は列113の場合のように、列内の位置のうちのいくつかにおいてのみコンタクトを有することができる。ワイヤボンダ112（図5C）等の導電性素子が、コンタクト111、113を基板の第1の表面108上の対応するコンタクト121、123と電気的に接続することができる。

【0053】

図6Bは、図6Aに示される実施形態の変形形態を示しており、超小型電子素子180のコンタクト132を超小型電子素子180のそれぞれの周縁部170、172、174、178に隣接する列及び行内に配置し、それらの周縁部と位置合わせすることができる。縁部170、172は平行であり、第1の方向142に延在する。

【0054】

図6Cは、図6Aに示される実施形態の別の変形形態を示しており、超小型電子素子190のコンタクトは超小型電子素子の縁部170、172に隣接する列188及び189内に配置される。しかしながら、この場合、超小型電子素子190は、上に導電性再分配層を有する半導体チップを含み、コンタクト132は、再分配コンタクトの列188、189を含むことができ、それらのコンタクトは半導体チップのコンタクト192、194と接触するように形成された導電性トレース又は金属化されたビアによって、半導体チップのコンタクト192、194に接続される（又は金属化されたビア及びトレースの両方によってチップのコンタクト192、194に接続することができる）。この場合、コン

タクト１９２、１９４は、場合によっては、半導体のバックエンドオブライン（「ＢＥＯＬ」）配線を通して半導体チップの能動素子と接続することができ、その配線は、ビア又は他の導電性構造体を含むことができ、場合によってはコンタクト１９２、１９４の下に配置することもできる。

【００５５】

図６Ａ～図６Ｃに特に示すように、いくつかの実施形態では、超小型電子素子のコンタクトは、コンタクト１９２について示すように単一列で配置することができるか、又は、コンタクト１１１、１１３について示すように複数の列で配置することができる。各列は、方向１４２に沿う列の各垂直レイアウト位置にコンタクトを含むことができるか、又は、コンタクトは、コンタクト１１３の列の１つの列の場合と同様に列の１つ又は複数の位置から欠落することができる。特定の実施形態では、コンタクトを、超小型電子素子の面１０５を覆ってエリアアレイで配置することができる。別の例では、超小型電子素子のコンタクトは、図５Ｂで超小型電子素子の境界をマーク付けする破線で示す超小型電子素子の１つ又は複数の周辺縁部に隣接してコンタクトの１つ又は複数の組で配置することができる。特定の例では、超小型電子素子は単一半導体チップとすることができ、超小型電子素子上のコンタクト１１１又は１１３は、半導体チップのコンタクトである「チップコンタクト」とすることができる。図６Ｃに示すように、別の例では、特定の超小型電子素子１９０は、それぞれがチップコンタクトを有する１つ又は複数の半導体チップを含むことができ、コンタクト１１１又は１１３は、再分配コンタクトを含むことができ、再分配コンタクトは、超小型電子素子の面１０５上に形成され、また、例えばトレース及びビア等の導電性素子によってチップコンタクトに電氣的に接続される。特に断らない限り、本明細書の例のそれぞれにおける超小型電子素子の「コンタクト」は、述べたこれらの方法の任意の方法で配置することができる。

【００５６】

超小型電子素子は、素子コンタクトの列内に配置されない場合がある更なるコンタクトも含むことができる。これらの更なるコンタクトを、電力、接地に接続するために、又は、試験をするために使用することができるようなプロービングデバイスとの接触のために利用可能なコンタクトとして使用することができる。

【００５７】

図５Ｃに見られるように、パッケージ１００は、例えば回路パネル等の、パッケージ１００の外部の構成要素にパッケージ１００を電氣的かつ機械的に接続する第１の端子１０４及び第２の端子１０６を有することができる。端子１０４、１０６は、導電性パッド、ポスト、又は基板の表面１１０において露出する他の導電性構造とすることができる。図５Ｃに見られる例では、端子は、場合によっては、なかでもはんだ、錫、インジウム、金、若しくは共晶材料等のボンドメタル又は他の導電性ボンド材料を含むことができるような接合要素１３３を含むことができ、また場合によっては、導電性パッド又はポスト等の基板の導電性構造に取り付けられる導電性バンプ等の更なる構造も含むことができる。第１の端子１０４及び第２の端子１０６は、例えばトレース及びビア等の基板上の導電性構造を通して基板コンタクト１２１、１２３に電氣的に接続することができる。

【００５８】

第１の端子１０４の第１の組は、第１の表面１０８から反対の基板１０２の第２の表面１１０における第１のグリッド１１４内の場所に配置することができる。第１の表面１０８及び第２の表面１１０は、反対方向に向き、したがって、互いに対して反対側にあり、「互いに反対側の表面」である。第１の端子１０４の第２の組は、基板の第２の表面１１０における第２のグリッド１２４内の位置に配置することができる。図のいくつかでは、第１のグリッド及び第２のグリッドは、超小型電子素子の前面の外側境界を越えて延在するように示されるが、それは、必ずしも当てはまらない。本発明の或る特定の実施形態では、第１の端子の第１のグリッド１１４及び第２のグリッド１２４のそれぞれは、上述のアドレス信号、又は特定の実施形態ではコマンド・アドレスバスの或る特定の信号を運ぶように構成することができる。

【 0 0 5 9 】

例えば、超小型電子素子 1 0 1 が D R A M 半導体チップを含むか D R A M 半導体チップである場合、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれは、パッケージ内の回路が、例えば、行アドレス及び列アドレスのデコーダ、並びにもしある場合にはバンク選択回路が使用して、パッケージにおける超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置からアドレス指定可能メモリ位置を決定することができる、超小型電子パッケージ 1 0 0 に転送されるアドレス情報を運ぶように構成される。特定の実施形態において、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれは、そのようなメモリ記憶アレイ内のアドレス指定可能メモリ位置を決定するのに超小型電子パッケージ 1 0 0 内のそのような回路が用いるアドレス情報の全てを運ぶように構成することができる。

10

【 0 0 6 0 】

そのような実施形態の変形形態において、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれにおける第 1 の端子は、そのようなメモリ記憶アレイ内のアドレス指定可能メモリ位置を決定するのに超小型電子パッケージ 1 0 0 内のそのような回路が用いるアドレス情報の大部分を運ぶように構成することができ、その場合には、超小型電子パッケージ上の上述の第 2 の端子 1 0 6 のうちの少なくともいくつか等、他の端子が、アドレス情報の残りの部分を運ぶように構成される。そのような変形形態において、特定の実施形態において、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれにおける第 1 の端子は、そのようなメモリ記憶アレイ内のアドレス指定可能メモリ位置を決定するのに超小型電子パッケージ 1 0 0 内のそのような回路が用いるアドレス情報の 3 / 4 以上を運ぶように構成される。

20

【 0 0 6 1 】

特定の実施形態において、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれはチップセレクト情報、例えば、チップ内のメモリ記憶位置にアクセスするために超小型電子パッケージ 1 0 0 内の特定のチップを選択するのに利用できる情報を運ぶように構成されない場合がある。別の実施形態において、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のうちの少なくとも 1 つは、実際にチップセレクト情報を運ぶことができる。

【 0 0 6 2 】

通常、超小型電子パッケージ 1 0 0 内の超小型電子素子 1 0 1 が D R A M チップであるか、D R A M チップを含む場合には、一実施形態におけるアドレス信号は、パッケージの外部の構成要素、例えば、後述の回路パネル 1 5 4 (図 7 A) 等の回路パネルからパッケージに転送される全てのアドレス情報を含むことができ、それを用いて超小型電子パッケージ内のランダムアクセスアドレス指定可能メモリ位置を決定してそこに読み取りアクセス、又は読み取りアクセス又は書き込みアクセスのどちらかを行う。

30

【 0 0 6 3 】

第 2 の端子 1 0 6 のうちの少なくともいくつかは、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 の第 1 の端子 1 0 4 によって運ばれるアドレス信号以外の信号を運ぶように構成することができる。特定の例では、第 2 の端子 1 0 6 は、チップセレクト、リセット、電源電圧、例えば、V d d、V d d q 及び接地、例えば、V s s 及び V s s q 等のデータ、データストローブ信号又は他の信号若しくは基準電位のうちの 1 つ又は複数を運ぶことができる。第 2 の端子の一部又は全ては、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 内の位置に配置することができる。そのような場合に、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 内の場所に配置されるいくつかの端子を、データ、データストローブ信号、又はチップセレクト、リセット、電源電圧、例えば、V d d、V d d q 及び接地、例えば、V s s 及び V s s q 等の他の信号若しくは基準電位のうちの 1 つ又は複数を運ぶように構成することができる。第 3 のグリッド 1 1 6 及び第 4 のグリッド 1 2 6 内の場所に配置されるいくつかの端子を、データ、データストローブ信号、又はチップセレクト、リセット、電源電圧、例えば、V d d、V d d q 及び接地、例えば、V s s 及び V s s q 等の他の信号若しくは基準電位のうちの 1 つ又は複数を運ぶように構成することができる。

40

50

。

【0064】

特定の実施形態において、各超小型電子パッケージの第1のグリッド114及び第2のグリッド124の第1の端子は、超小型電子素子101の動作モードを制御する情報を運ぶように構成することができる。より具体的には、第1のグリッド114及び第2のグリッド124のそれぞれは超小型電子パッケージ100に転送されるコマンド信号及び/又はクロック信号の特定の1組すべてを運ぶように構成することができる。一実施形態において、第1の端子104は、外部の部品、例えば回路パネル又は他の素子から超小型電子パッケージ100に転送されるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号のすべてを運ぶように構成することができ、このコマンド信号は、行アドレスストロープ、列アドレスストロープ、及びライトイネーブルを含む。

10

【0065】

超小型電子素子のうちの1つ又は複数がダイナミックランダムアクセスメモリ(「DRAM」)半導体チップ又はDRAMチップのアセンブリによって提供されるもの等のダイナミックメモリ記憶アレイ機能を提供するように構成される一実施形態においては、コマンド信号は、ライトイネーブル、行アドレスストロープ、及び列アドレスストロープ信号とすることができる。ODT(オンダイ終端)、チップセレクト、クロックイネーブル等の他の信号は、第1のグリッド114及び第2のグリッド124内に配置されている端子が運ぶ場合もあるし、運ばない場合もある。クロック信号は、アドレス信号をサンプリングするのに超小型電子素子のうちの1つ又は複数が用いるクロックとすることができる。例えば、図7の超小型電子パッケージにおいて、また、図5Aに更に示すように、第1の端子104は、アドレス信号A0~A15(A0及びA15を含む)、及びバンクアドレス信号BA0、BA1及びBA2だけでなく、クロック信号CK及びCKB、行アドレスストロープRAS、列アドレスストロープCAS、及びライトイネーブル信号WEも運ぶように構成することができる。

20

【0066】

図5A~図5Cに示す実施形態において、第3のグリッド116及び第4のグリッド126内に配置することができる第2の端子106のうちの少なくともいくつかは、第1のグリッド114及び第2のグリッド124の第1の端子104によって運ばれる信号(コマンド信号、アドレス信号、及びクロック信号)以外の信号を運ぶように構成することができる。本明細書において参照される実施形態のいずれにおいても、別段の記載がない限り、チップセレクト、リセット、電源電圧、例えばVdd、Vddq、並びに接地、例えばVss及びVssq等の信号又は基準電位は、第2の端子106によって運ばれる場合もあるし、運ばれない場合もある。

30

【0067】

一実施形態では、アドレス信号以外の信号を運ぶように構成される第2の端子106の少なくともいくつかは、第1のグリッド114及び第2のグリッド124内の位置に配置することができる。一例では、コマンド信号、アドレス信号、及びクロック信号以外の信号を運ぶように構成される第2の端子106の少なくともいくつかは、第1のグリッド114及び第2のグリッド124内の位置に配置することができる。図面において、第2の端子106の特定の構成を示すが、図示の特定の構成は例示の目的のためであり、限定するよう意図するものではない。例えば、第2の端子106は、電源又は接地信号に接続するように構成される端子も含むことができる。

40

【0068】

パッケージの第1のグリッド114及び第2のグリッド124内の第1の端子の配置構成は、図5A~図5Cに特に示される。一例では、各グリッド114、124は、端子の平行な第1の列及び第2の列136を含むことができる。各グリッド内の端子の列136は互いに隣接することができる。代替的に、図5A~図5Cに示さないが、少なくとも1つの端子を、端子の第1の列と第2の列との間に配置することができる。図5Bに見られる等の別の例では、グリッドは、列軸119が、こうした列の端子104の大部分を通

50

て延在する、すなわち、列の端子 1 0 4 の大部分に対して中央に置かれる、端子の列を含むことができる。しかし、こうした列では、端子の 1 つ又は複数は、端子 1 0 4 ' の場合と同様に、列軸 1 1 9 に対して中央に置かれられない場合がある。この場合、これらの 1 つ又は複数の端子は、たとえこうした端子（複数可）が軸 1 1 9 に対して中央に置かれなくても、特定の列の一部と考えられる。その理由は、こうした端子が、任意の他の列の軸より、その特定の列の軸 1 1 9 に近いからである。列軸 1 1 9 は、列軸に対して中央に置かれられないこれらの 1 つ又は複数の端子を通して延在することができるか、又は場合によっては、中央に置かれられない端子は、列軸 1 1 9 が、列の中央に置かれられないこれらの端子を通過する可能性がないように、列軸からより遠くにあることができる。1 つの列内に、又は更に、グリッド内のそれぞれの列の列軸に対して中央に置かれられない 2 つ以上の列内に、1 つの、いくつかの、又は多くの端子が存在する場合がある。

10

【 0 0 6 9 】

さらに、端子のグリッドが、端子のリング、多角形、又は更に散乱分布のように形作られた配置構成等、列以外のグループ化で端子の配置構成を含むことが可能である。図 5 C に示すように、封止剤 1 4 6 が、基板の第 1 の表面 1 0 8 上に載ることができ、そこで超小型電子素子 1 0 1 に接触することができる。場合によっては、封止剤は、基板 1 0 2 から離れる方を向く超小型電子素子の表面 1 0 5 上に載ることができる。

【 0 0 7 0 】

図 5 A に見られるように、第 2 のグリッド 1 2 4 内の位置にある第 1 の端子の第 2 の組内の第 1 の端子の信号割当ては、第 1 のグリッド 1 1 4 内のそれぞれの位置にある第 1 の端子の第 1 の組の第 1 の端子信号割当て 1 2 4 の鏡像である。第 1 の組内の第 1 の端子の信号割当ては、第 2 の組内の対応する第 1 の端子の信号割当てに対応し、その鏡像である。換言すれば、第 1 のグリッド及び第 2 のグリッド内の第 1 の端子の信号割当ては、第 1 のグリッド 1 1 4 と第 2 のグリッド 1 2 4 との間の理論的軸 1 3 2 について対称であり、軸 1 3 2 は、この場合、第 1 の端子の列 1 3 6 が延在する方向 1 4 2 に延在する。したがって、グリッド 1 2 4 内の第 1 の端子の第 2 の組内の第 1 の端子の信号割当ては、グリッド 1 1 4 内の第 1 の端子の第 1 の組内の信号割当ての鏡像である。それに従った一例において、第 1 の組及び第 2 の組のそれぞれ（グリッド 1 1 4 、 1 2 4 ）内の第 1 の端子は、パッケージ 1 0 0 （図 5 ）内の 1 つ又は複数の超小型電子素子の素子コンタクトを指定する。素子コンタクトは、超小型電子素子パッケージに組み込まれた 1 つ又は複数の超小型電子素子上で「A 3」と名前がついている。したがって、情報が、同じ名前、例えば「A 3」を有する素子の素子コンタクトに転送されるのに通る、第 1 の端子の第 1 の組及び第 2 の組のそれぞれにおける超小型電子素子のパッケージの外部のそのような対応する第 1 の端子は、たとえ第 1 の組及び第 2 の組における対応する第 1 の端子の名前が異なっても、鏡像の信号割り当てを有すると考えられる。したがって、一例において、第 1 の端子の第 1 の組及び第 2 の組のそれぞれにおいて、鏡像の信号割り当て、例えば、「A 3」と指定された信号割り当てを有する第 1 の端子のそれぞれの組に割り当てられた信号が、超小型電子素子上の「A 3」という名前を有する素子コンタクトに入力される情報を運ぶ端子を特定することが可能である。ただし、第 1 の組及び第 2 の組のそれぞれにおける対応する端子の名前は、例えば第 1 の組において A 3 L（A 3 左）という名前を与え、第 2 の組において A 3 R（A 3 右）と言う名前を与えることができる等、互いに異なることができる。

20

30

40

【 0 0 7 1 】

さらに、図 5 A において「A 3」で示す第 1 の端子の対応する対においてパッケージに提供されるアドレス情報は、場合によっては、超小型電子構造の外部の場所でのドライバ回路の同一の出力から生じることができる。

【 0 0 7 2 】

その結果、信号「A 3」を運ぶように割り当てられた（すなわち、上述のように、情報を超小型電子素子の「A 3」と名前のついた素子コンタクトに転送するための）第 1 のグリッド 1 1 4 の第 1 の端子 1 0 4 は、信号「A 3」を運ぶように割り当てられた第 2 のグ

50

リッド 1 2 4 の対応する第 1 の端子 1 0 4 と同じ、グリッド内での相対的垂直位置（方向 1 4 2 ）にある。しかしながら、第 1 のグリッド 1 1 4 は 2 つの列 1 3 6 を含み、信号 A 3 を運ぶために割り当てられた第 1 のグリッド 1 1 4 の端子は、第 1 のグリッド 1 1 4 の 2 つの列 1 3 6 の中の左列内にあるので、鏡像として配置するには、信号 A 3 を運ぶように割り当てられた第 2 のグリッド 1 2 4 の対応する端子は第 2 のグリッド 1 2 4 の 2 つの列の中の右列内にある必要がある。この配列のもうひとつの結果は、信号 A 9 を運ぶように割り当てられた端子もまた、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれにおいて同じ、グリッド内での相対的垂直位置にあるということである。しかし、第 1 のグリッド 1 1 4 において、A 9 を運ぶように割り当てられた端子は、第 1 のグリッドの 2 つの列 1 3 6 のうちの右側の列にあり、配列が鏡像であるためには、信号 A 9 を運ぶように割り当てられた第 2 のグリッド 1 2 4 の対応する端子は、第 2 のグリッド 1 2 4 の 2 つの列のうちの左側の列になければならない。図 5 A においてわかることができるように、第 1 のグリッド及び第 2 のグリッドのそれぞれにおけるそれぞれの第 1 の端子について、少なくとも、上述のコマンド - アドレスバス信号を運ぶように割り当てられたそれぞれの第 1 の端子について、同じ関係が当てはまる。

10

【 0 0 7 3 】

第 1 の端子の信号割当てがその回りで対称である軸 1 3 2 は、基板上の種々の場所に位置することができる。特定の実施形態では、軸は、パッケージの中心軸であることができ、その中心軸は、特に、第 1 の端子の列 1 3 6 が縁部 1 4 0、1 4 1 に平行な方向に延在し、第 1 のグリッド及び第 2 のグリッドが、この中心軸について対称である位置に配置されるとき、基板の対向する第 1 の縁部及び第 2 の縁部 1 4 0、1 4 1 から等距離に位置付けられる。一例では、軸 1 3 2 は、基板の第 1 の縁部 1 4 0 及び第 2 の縁部 1 4 1 に対して平行で、かつ等距離にあるラインから任意の 2 つの隣接する端子列間の最小ピッチの 3 . 5 倍以下の距離内に位置することができる。代替的に、この対称軸 1 3 2 は、縁部 1 4 0 と 1 4 1 との間で等距離である中心軸から水平方向 1 3 5 にオフセットすることができる。

20

【 0 0 7 4 】

特定の例では、第 1 のグリッド及び第 2 のグリッド内の端子は、パッケージの中央領域内に位置することができる。一例では、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれにおける端子の少なくとも 1 つの列 1 3 6 は、基板の第 1 の縁部 1 4 0 及び第 2 の縁部 1 4 1 から等距離にあり、かつ平行であるラインから任意の 2 つの隣接する平行な端子列 1 3 6 間の最小ピッチの 3 . 5 倍以下の距離内に配置することができる。

30

【 0 0 7 5 】

上記で述べたように、第 2 の端子 1 0 6 は、上記で述べたアドレス情報以外の情報又はコマンド - アドレスバスの上記で述べた信号以外の信号を運ぶように構成することができる。一例では、第 2 の端子 1 0 6 は、超小型電子素子への及び / 又は超小型電子素子からの単方向又は双方向データ信号及びデータストローブ信号、並びに、データマスク信号及び終端抵抗に対して並列終端をオン又はオフにするために使用される O D T 信号すなわち「オンダイ終端」信号を運ぶために使用される端子を含むことができる。特定の例では、チップセレクト、リセット、クロックイネーブル等の信号、並びに、電源電圧等の基準電位、例えば V d d、V d d q、又は接地、例えば V s s 及び V s s q は、第 2 の端子によって運ぶことができる。いくつかの実施形態では、コマンド - アドレスバス信号以外の信号を運ぶように構成される一部又は全ての端子が、適切に設置することができる場所であればどこへでも、パッケージ上に第 2 の端子 1 0 6 として配置されることが可能である。例えば、第 2 の端子 1 0 6 の一部又は全ては、第 1 の端子 1 0 4 が配置される基板 1 0 2 上の同じグリッド 1 1 4、1 2 4 内に配置することができる。第 2 の端子 1 0 6 の一部又は全ては、第 1 の端子 1 0 4 の一部又は全てと同じ列内に又は異なる列内に配置することができる。場合によっては、1 つ又は複数の端子は、その同じグリッド又は列内の第 1 の端子と散在することができる。

40

【 0 0 7 6 】

50

特定の例では、第2の端子106の一部又は全ては、基板の第2の表面110上の第3のグリッド116内に配置することができ、第2の端子の別の組は、パッケージ表面110上の第4のグリッド126内に配置することができる。特定の例では、第3のグリッド116内の第2の端子の信号割当ては、第1のグリッド及び第2のグリッドについて上述した方法と同様な方法で、第4のグリッド126内の第2の端子の信号割当ての鏡像とすることができる。第3のグリッド116及び第4のグリッド126は、場合によっては、第1のグリッド及び第2のグリッドが延在する方向134に延在することができ、また、互いに平行にすることができる。第3のグリッド及び第4のグリッドも、第1のグリッド114及び第2のグリッド124に平行とすることができる。代替的には、図5Aを参照すると、第2の端子が配置されるグリッド127、129は、方向142を横切るか、更に

10

【0077】

また、図5Aに示すように、グリッド127における第2の端子の信号クラス割り当ては、垂直軸132に関して対称とすることができ、グリッド129における第2の端子の信号クラス割り当ては、垂直軸132に関して対称とすることができる。本明細書において用いられるとき、2つの信号クラス割り当ては、それらの信号割り当てが同じ割り当てのクラスにある場合には、たとえそのクラス内での数値インデックスが異なっていようと、互いに関して対称とすることができる。例示的信号クラス割り当ては、データ信号、データストロブ信号、データストロブ相補信号、及びデータマスク信号を含むことができる。特定の例において、グリッド127において信号割り当てDQSH、DQSLを有する第2の端子は、たとえそれらの第2の端子が異なる信号割り当てを有していようと、データストロブ相補である自らの信号クラス割り当てについて垂直軸132に関して対称である。

20

【0078】

図5Aに更に示すように、例えばデータ信号DQ0、DQ1、...等についてのデータ信号の超小型電子パッケージ上の第2の端子の空間的位置への割り当ては、垂直軸132に関してモジュロX対称性を有することができる。このモジュロX対称性は、1つ又は複数の対の第1のパッケージ及び第2のパッケージが互いに対向して回路パネルに搭載され、回路パネルはそれぞれの対向して搭載されるパッケージの対における第1のパッケージ及び第2のパッケージの対応する第2の端子の対に電氣的に接続する、図7A及び図7B等において見られるアセンブリ200又は354における信号インテグリティ(signal integrity)を保つのに役立つことができる。端子の信号割り当てが或る軸に関して「モジュロX対称性」を有する場合には、同じ番号の「モジュロX」を有する信号を運ぶ端子が、その軸に関して対称である場所に配置される。したがって、図7A及び図7B等におけるそのようなアセンブリ200又は354において、モジュロX対称性によって回路パネルを介した電氣的接続を行うことができ、第1のパッケージの端子DQ0が回路パネルを介して同じ番号のモジュロX(この場合Xは8)を有する第2のパッケージの端子DQ8

30

40

【0079】

一例において、「X」は 2^n (2のn乗)という数字とすることができる。ただしnは2以上である。又は、Xは $8 \times N$ とすることができる。ただしNは2以上である。したが

50

って一例において、 X は1/2バイトにおけるビット数(4ビット)、1バイトにおけるビット数(8ビット)、複数バイトにおけるビット数($8 \times N$ 、ただし N は2以上)、ワードにおけるビット数(32ビット)、又は複数ワードにおけるビット数と等しくすることができる。そのようにして、一例において、図5Aに示すようにモジュロ8対称性がある場合には、データ信号DQ0を運ぶように構成されたグリッド127におけるパッケージ端子DQ0の信号割り当ては、データ信号DQ8を運ぶように構成された別のパッケージ端子DQ8の信号割り当てと垂直軸132について対称である。さらに、グリッド129におけるパッケージ端子DQ0及びDQ8の信号割り当てについても同じことが当てはまる。図5Aにおいて更にわかるように、グリッド127におけるパッケージ端子DQ2及びDQ10の信号割り当ては、垂直軸についてモジュロ8対称性を有し、グリッド129についても同じことが当てはまる。本明細書において説明するもの等のモジュロ8対称性は、パッケージ端子DQ0～DQ15の信号割り当てのそれぞれに関してグリッド127、129において見ることができる。

【0080】

図示してはいないが、モジュロ数「 X 」は 2^n (2 の n 乗)以外の数字とすることができ、2よりも大きい任意の数とすることができ、ことに注意することが重要である。したがって、対称性が基づくモジュロ数 X は、パッケージが組み立てられる又は構成される対象のデータサイズにおいて存在するビット数によって決まることができる。例えば、データサイズが8ビットの代わりに10ビットである場合には、信号割り当てはモジュロ10対称性を有することができる。データサイズが奇数ビットを有する場合には、モジュロ数 X はそのような数を有することができる場合さえあってよい。

【0081】

図7Aは、第1の超小型電子パッケージ100A及び第2の超小型電子パッケージ100Bのアセンブリ200を示し、超小型電子パッケージ100A、100Bはそれぞれ、回路パネル154の互いに反対側の第1の表面150及び第2の表面152に実装された、上記図5A～図5Cに関して述べた超小型電子パッケージ100である。回路パネルは、なかでも、デュアルインラインメモリモジュール(「DIMM」)で使用されるプリント回路基板、システム内の他の構成要素と接続される回路基板若しくはパネル、又はマザーボード等の種々のタイプとすることができる。第1の超小型電子パッケージ100A及び第2の超小型電子パッケージ100Bは、回路パネル154の第1の表面150及び第2の表面152において露出される対応するコンタクト160、162にそれぞれ実装することができる。

【0082】

図7Aに特に示すように、各パッケージの第2のグリッド内の第1の端子の信号割り当てが、各パッケージの第1のグリッド内の第1の端子の信号割り当ての鏡像であるため、パッケージ100A、100Bが互いに対向する回路パネルに実装されると、第1のパッケージ100Aの第1のグリッド114A内のそれぞれの第1の端子は、第2のパッケージ100Bの第2のグリッド124B内の同じ信号割り当てを有する対応する第1の端子と位置合わせすることができ、その対応する第1の端子に電氣的に接続される。さらに、第1のパッケージ100Aの第2のグリッド124A内のそれぞれの第1の端子は、第1のグリッド114B内の同じ信号割り当てを有する対応する第1の端子に位置合わせすることができ、その対応する第1の端子に電氣的に接続される。

【0083】

確かに、接続された端子の各対の位置合わせは、或る許容誤差以内にあることができ、それにより、接続された端子の各対は、回路パネル154の第1の表面150に沿って直交する x 方向及び y 方向に互いの1ボールピッチ以内で位置合わせすることができる。図7Aから明らかであるように、各グリッドの第1の端子は、回路パネルの表面150に対して平行な直交する x 方向及び y 方向において互いの1ボールピッチ内に位置合わせすることができ、ボールピッチは、いずれかのパッケージ上の任意の2つの隣接する平行な端子列間の最小ピッチ以下である。特定の例において、グリッドは、第1の超小型電子パッ

ケージ及び第2の超小型電子パッケージ上の第1の端子のうちの少なくともいくつかが互いに一致するよう、x方向及びy方向に互いに整列することができる。本明細書において、回路パネルの互いに反対側の表面のパッケージの第1の端子が互いに「一致する」場合、整列は慣例的な製造公差内とすることができ、又は第1の回路パネル表面及び第2の回路パネル表面に平行なx方向及びy方向に上述の1ボールピッチの半分よりも小さい公差内とすることができ。

【0084】

特定の例では、それぞれの第1のパッケージ100A及び第2のパッケージ100Bの位置合わせされたグリッド（例えば、第1のパッケージの第1のグリッド114A及び第2のパッケージの第2のグリッド124B）の場所の少なくとも半分は回路パネル154の第1の表面150に沿って直交するz方向及びy方向において互いに位置合わせすることができる。

10

【0085】

そのため、図7Aに更に示すように、第1のパッケージ100Aのグリッド114A内で「A」と記号が付いた信号を運ぶ特定の第1の端子は、同じ信号「A」を運ぶ第2のパッケージ100Bのグリッド124Bの対応する第1の端子に位置合わせされる。同じことが、第1のパッケージ100Aのグリッド124A内で「A」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、この第1の端子は、同じ信号「A」を運ぶ第2のパッケージ100Bのグリッド114Bの対応する第1の端子に位置合わせされる。

20

【0086】

こうして、図7Aに更に見られるように、第1のパッケージ100A及び第2のパッケージ100Bの電氣的に接続された第1の端子の各対間の回路パネルを通る電気接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いの上に載るか又は互いの1ボールピッチ以内で少なくとも位置合わせされることができる点で、大幅に低減することができる。これらの電気接続の長さの低減により、回路パネル及びアセンブリのスタブ長を低減することができ、スタブ長を低減することは、第1の端子によって運ばれ、第1のパッケージ及び第2のパッケージの両方のパッケージ内の超小型電子素子に転送される上記で述べた信号について、なかでも、整定時間、リングング、ジッタ、又は符号間干渉を低減すること等、電気性能を改善するのに役立つことができる。さらに、回路パネルの構造を簡略化すること、又は、回路パネルを設計若しくは製造する複雑さ及びコストを低減すること等の他の利益も得ることを可能にすることができる。

30

【0087】

図7Aに更に示すように、各パッケージ100A、100Bの第2の端子が、図5A～図5Cに関して上述した特定の鏡像配置構成を有する第3のグリッド及び第4のグリッド内に配置されるとき、各パッケージの第3のグリッドのそれぞれの端子は、他のパッケージの第4のグリッドの同じ信号割当てを有する対応する第2の端子に位置合わせすることができ、その対応する第2の端子に電氣的に接続される。そのため、図7Aに見られるように、第1のパッケージ100Aの第3のグリッド116A内のそれぞれの端子は、第2のパッケージ100Bの第4のグリッド126B内の同じ信号割当てを有する対応する端子に位置合わせすることができ、その対応する端子に電氣的に接続される。さらに、第1のパッケージ100Aのグリッド126A内のそれぞれの端子は、第3のグリッド116B内の同じ信号割当てを有する対応する端子の1ボールピッチ以内で位置合わせすることができ、その対応する端子に電氣的に接続される。ここでもまた、接続された端子の各対の位置合わせは、或る許容誤差以内にあり、それにより、接続された端子の各対は、回路パネル154の第1の表面150に沿って直交するx方向及びy方向に互いの1ボールピッチ以内で位置合わせすることができる。特定の実施形態では、その位置合わせは、パッケージ100A、100Bの対応する接続される端子が互いに一致するようにすることができる。

40

【0088】

50

そのため、図7Aに更に示すように、第1のパッケージ100Aのグリッド116A内で「B」と記号が付いた信号を運ぶ特定の第1の端子は、第2のパッケージ100Bのグリッド126Bの同じ信号「B」を運ぶ対応する第1の端子に位置合わせすることができ、その対応する第1の端子に電氣的に接続される。同じことが、第1のパッケージ100Aのグリッド126A内で「B」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、その特定の第1の端子は、第2のパッケージ100Bのグリッド116Bの同じ信号「B」を運ぶ対応する第1の端子の1ボールピッチ以内で位置合わせすることができ、その対応する第1の端子に電氣的に接続される。

【0089】

上述した第1のパッケージ及び第2のパッケージの対応する第1の端子104間の接続と同様に、この実施形態では、第1のパッケージ及び第2のパッケージの電氣的に接続された第2の端子106の対間の回路パネルを通る電気接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いに一致するか又は回路パネル表面に平行な、直交するx方向及びy方向に互いの1ボールピッチ以内で少なくとも位置合わせされることができる点で、大幅に低減することができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のために回路パネルの構成を簡略化することに関して上述した利益と同様の利益を、超小型電子パッケージの第2の端子、すなわち、コマンド・アドレスバスの上記で述べた信号以外の信号を運ぶように割り当てることができる端子がこうして配置されるときに得ることができる。

【0090】

図7Bは、それぞれが上記で又は以降で述べる構成を有する超小型電子パッケージ100A、100Bの2つ以上の対が、パッケージ100A、100Bと同様な配向で、回路パネル354、例えばデュアルインラインメモリモジュール(「DIMM」)のボード上のそれぞれのパネルコンタクトと電氣的に相互接続することができることを更に示している。そのため、図7Bは、上述したように、互いに向き合う対向する配向で回路パネル354と電氣的に相互接続されたパッケージ100A、100Bの3つの対を示す。

【0091】

図7Bは、回路パネル、及び、回路パネルの互いに反対側の第1の表面及び第2の表面に対して互いに対向して実装された複数の超小型電子パッケージを組込む、例えば、なかでもDIMM等の超小型電子アセンブリを示す。図7Bに見られるように、上記で述べたアドレス情報又は場合によってはコマンド・アドレスバス信号は、超小型電子パッケージ100A、100Bのそれぞれの対がそこで回路パネルの反対側に接続される接続位置I、II、又はIII間で、少なくとも一方向143に、回路パネル又は回路ボード354上のバス36、例えばアドレスバス又はコマンド・アドレスバス上でルーティングすることができる。こうしたバス36の信号は、わずかに異なる時刻にそれぞれの接続位置I、II、又はIIIでパッケージの各対に達する。少なくとも1つの方向143は、各パッケージ100A又は100B内の少なくとも1つの超小型電子素子上の複数のコンタクトの少なくとも1つの列111が延在する方向142を横切るか又は方向142に直交することができる。こうして、回路パネル354上の(すなわち、その上の又はその内の)バス36の信号導体は、場合によっては、回路パネルに接続されたパッケージ100A又は100B内の超小型電子素子上のコンタクトの少なくとも1つの列111に平行である方向142に互いから離間することができる。

【0092】

そのような構成は、特に各超小型電子パッケージの第1のグリッド104の端子がそのような方向142に延在する1つ又は複数の列に配列される場合には、バス36の信号をルーティングするのに用いる回路パネル上の1つ又は複数のグローバルルーティング層の信号導体のルーティングを簡単にするのに役立つことができる。例えば、比較的少数の第1の端子がそれぞれのパッケージ上の同じ垂直レイアウト場所に配置される場合には、回路パネル上のコマンド・アドレスバス信号のルーティングを簡単にすることを可能にすることができる。したがって、図5Cに示される例では、各パッケージの第1のグリッド1

14及び第2のグリッド124は、図5Aに更に示されるように、例えば、アドレス信号A3及びA1を受信するように構成される第1のグリッド114及び第2のグリッド124の端子等の同じ垂直レイアウト位置において配置される4つの端子のみを有する。

【0093】

一実施形態では、超小型電子アセンブリ354は、アセンブリ354の超小型電子パッケージ100A、100Bに転送される少なくとも一部の信号のバッファリングを実施するように構成される半導体チップを含むことができる超小型電子素子358を有することができる。バッファリング機能を有するこうした超小型電子素子358は、超小型電子アセンブリ354の外部の構成要素に関して超小型電子パッケージ100A及び100B内の超小型電子素子のそれぞれについてインピーダンス分離（インピーダンスアイソレーション）を提供するのに役立つように構成することができる。

10

【0094】

例示的な実施形態では、超小型電子アセンブリ354は、ソリッドステートドライブコントローラ等の論理機能を実施するように主に構成される半導体チップを含むことができる超小型電子素子358を有することができる。超小型電子パッケージ100A及び100B内の超小型電子素子の1つ又は複数はそれぞれ、不揮発性フラッシュメモリ等のメモリ記憶要素を含むことができる。超小型電子素子358は、システム2500（図31）等のシステムの中央処理ユニットを超小型電子素子に含まれるメモリ記憶素子への及びそこからのデータ転送の監視から解放するように構成された、専用プロセッサを含むことができる。ソリッドステートドライブコントローラを含むそのような超小型電子素子354は、システム2500等のシステムのマザーボード（例えば、図31に示す回路パネル2502）上のデータバスへの及びそこからの直接メモリアクセスを提供することができる。

20

【0095】

コントローラ機能及び/又はバッファリング機能を含む超小型電子素子358を有する超小型電子アセンブリ354のそのような実施形態において、コマンド-アドレスバス信号はそれぞれの接続位置I、II、又はIIIにおいて超小型電子素子358とパッケージ100A、100Bのそれぞれの対との間でルーティングすることができる。図7Bに示す特定の例において、接続位置I、II、又はIIIを通り越して延在するコマンド-アドレスバス36の一部は、方向143又は方向143を横切る別の方向に延在して超小型電子素子358のコンタクトに達することができる。一実施形態において、コマンド-アドレスバス36は、方向143に延在して超小型電子素子358のコンタクトに達することができる。

30

【0096】

図8は、図5A～図7Aに関して上記で説明された実施形態の変形形態による超小型電子パッケージ200を示しており、超小型電子素子が、第1の半導体チップ101A及び第2の半導体チップ101Bを含む複合構造を有する。第2の半導体チップ101Bも、第1の半導体チップと同様に、その前面105上に、基板コンタクト121、123と電気的に接続される素子コンタクト111B、113Bを有する。特定の実施形態では、スペーサ素子103を第1の半導体チップの前面105と第2の半導体チップの背面107との間に配置することができ、スペーサ素子は、第2の半導体チップ101Bがスペーサ素子103を用いて第1の半導体チップ上に積み重ねられた後に、1つの処理ステージにおいて第1の半導体チップ101Aに接続されるワイヤボンダ112を形成するのを容易にすることができる。

40

【0097】

図9は、図8に示される実施形態の別の変形形態を示しており、超小型電子素子が、基板の第1の表面108と第1の半導体チップ101Aの背面107との間に配置される別の半導体チップ109を更に備える。半導体チップ109は、その前面125上にコンタクト129を有することができる。そのコンタクトは、対応するコンタクト115、117に面し、接合される。チップ109と対応する基板コンタクト115、117との間の接合は、導電性接合素子118を用いて行うことができ、その素子は、ボンダメタル、堆積

50

された導電性材料、金属のポスト若しくはピラー、例えば、銅、ニッケル等の硬質金属、又はその組み合わせを含むことができる。特定の例では、半導体チップ109はベアチップ、すなわち、パッケージングされていないチップとすることができる。代替的には、半導体チップ109は、なかでも、その上にリード、トレース、又はビア等の導電性構造体を含むことができるか、又はパッケージングされた半導体素子とすることができる。

【0098】

超小型電子パッケージが、図8若しくは図9において見られるか、又は以下に説明される例において見られるように、半導体チップの垂直に積み重ねられた配置を含むとき、パッケージ内のチップのうちの1つ又は複数は、パッケージ内の別の半導体チップに転送するように、パッケージの端子104若しくは106、又は両方のそのような端子において受信された信号をバッファリングするか、又は別の方法でそのような情報を再生するように構成する、例えば、設計、組み立て、又は準備することができる。例えば、図8に示されるような構成では、基板に隣接する第1の半導体チップ101Aが、第2の半導体チップに転送するように1つ又は複数の信号又は情報をバッファリングすることができるか、又は別の方法で再生することができる。図9において見られるような構成では、半導体チップ109が、半導体チップ101A、101Bのうちの1つ又は複数に転送するように信号をバッファリングするか、又は別の方法でそのような情報を再生する。その代わりに、又はそれに加えて、半導体チップ109は、端子104若しくは106、又は104、106の両方に転送するように、半導体チップ101A、101Bのうちの1つ又は複数から受信された信号を再生することができるか、又は端子から半導体チップ101A、101Bまで両方向に転送される信号、若しくは半導体チップ101A、101Bから超小型電子パッケージの端子まで転送される信号を再生することができる。

【0099】

代替的に、又は上述のように信号を再生することに加えて、一例において、そのような複合(composite)超小型電子素子における第1のチップは、超小型電子素子の動作モードを制御する情報を部分的に又は完全に復号化するように構成することができる。特定の例において、そのような複合超小型電子素子における第1の半導体チップは、超小型電子素子パッケージの第1の端子等の端子で受け取られるアドレス情報又はコマンド情報のうちの少なくとも一方を部分的に又は完全に復号化するように構成することができる。次に、第1のチップはそのような部分的な又は完全な復号化の結果を出力して、1つ又は複数の第2の半導体チップ101A及び101Bに転送することができる。

【0100】

パッケージの端子において受信された信号又は情報は、基板コンタクト115に、そして接合素子118を通して半導体チップ109にルーティングすることができる。その際、半導体チップ109は、受信された信号又は情報を再生し、基板コンタクト117に転送することができる。基板コンタクト117から、その信号又は情報は、基板によって、その上にある導電性トレース等を通して、基板コンタクト111、113にルーティングすることができ、次にその信号又は情報は、例えば、ワイヤボンド112等を通して半導体チップ101A、101Bにルーティングされる。特定の例では、半導体チップ109は、半導体チップ101A、101Bに転送される上記で言及されたコマンド信号、アドレス信号及びクロック信号をバッファリングするように構成することができる。

【0101】

図10は、特定の例による超小型電子パッケージ600を示し、超小型電子素子は、それぞれが基板602から離れる方を向くコンタクト担持面631を有する、電氣的に相互接続された第1の半導体チップ632と複数の第2の半導体チップ634との垂直スタック630を含む。ワイヤボンド635は、半導体チップ632、634上のコンタクト626を、基板上の対応するコンタクト636に電氣的に相互接続させる。スペーサ638は、半導体チップ634の隣接する面間に配置することができ、スペーサ638は、半導体チップ632のコンタクト担持面631と半導体チップ634の背面との間に配置することができる。場合によっては、接着剤層(図示せず)を、各スペーサと、こうしたスペ

ーサに隣接する半導体チップの面との間に設けることができる。図10に示すように、1つ又は複数の第2の半導体チップ634が第1の半導体チップ632に電氣的に相互接続される。例えば、図10Aに見られるように、垂直にスタックされた3つの第2の半導体チップ634が存在し、第2の半導体チップ634の面631は互いに平行である。

【0102】

図10において見られる超小型電子パッケージ600において、第1の半導体チップ632及び第2の半導体チップ634のそれぞれは、そのような半導体チップがそれぞれ、任意の他の機能よりもメモリ記憶アレイ機能を提供する能動素子を多く具体化するように構成することができる。例えば、第1の半導体チップ及び第2の半導体チップのそれぞれは、メモリ記憶アレイと、メモリ記憶アレイにデータを入力しメモリ記憶アレイからデータを出力するのに必要な全ての回路とを含むことができる。例えば、それぞれの半導体チップにおけるメモリ記憶アレイが書き込み可能な場合、それぞれの半導体チップは、パッケージの端子から外部データ入力を受け取るように構成された回路、及びそのような半導体チップからパッケージの端子にデータ出力を転送するように構成された回路を含むことができる。したがって、それぞれの第1の半導体チップ632及びそれぞれの第2の半導体チップ634は、そのような半導体チップ内のメモリ記憶アレイからデータを入出力しそのようなデータを受け取って超小型電子パッケージの外部の構成要素に送信することができる、ダイナミックランダムアクセスメモリ(「DRAM」)チップ又はその他のメモリチップとすることができる。言い換えれば、そのような場合、それぞれのDRAMチップ又は他のメモリチップ内のメモリ記憶アレイへの及びそこからの信号は、超小型電子パッケージ内の更なる半導体チップによるバッファリングを必要としない。

【0103】

代替的に、別の例において、1つ又は複数の第2の半導体チップ634は、任意の他の機能よりもメモリ記憶アレイ機能を提供する能動素子を多く具体化することができるが、第1の半導体チップ632は異なるタイプのチップとすることができる。この場合、第1の半導体チップ632は、信号をバッファする、すなわち1つ又は複数の第2の半導体チップ634に転送するように端子で受け取った信号を再生するか、又は端子に転送するように第2の半導体チップ634のうちの1つ又は複数から受け取った信号を再生するか、又は端子から1つ若しくは複数の第2の半導体チップ634へ、及び1つ若しくは複数の半導体チップから超小型電子パッケージの端子への両方の方向に転送される信号を再生するように構成、例えば設計、組み立て、又は準備することができる。

【0104】

特定の例において、第1の半導体チップは、1つ又は複数の第2の半導体チップに転送されるアドレス情報をバッファするように構成するか、コマンド信号、アドレス信号、及びクロック信号をバッファするように構成することができる。例えば第1の半導体チップ632は、信号の他のデバイスへの、例えば1つ又は複数の第2の半導体チップ634への転送においてバッファリング機能を提供する能動素子を任意の他の機能よりも多く具体化するバッファチップとすることができる。このとき、その1つ又は複数の第2の半導体チップは、メモリ記憶アレイは有するが、なかでもバッファ回路、デコーダ若しくはプレデコーダ、又はワード線ドライバ等のDRAMチップに共通の回路は省くことができる、機能を減らしたチップとすることができる。その場合、第1のチップ632はスタックにおいて「マスター」チップとして第2の半導体チップ634のそれぞれにおける動作を制御するよう機能することができる。特定の例において、第2の半導体チップは、バッファリング機能を果たすことができないように構成することができ、このため、第1の半導体チップ及び第2の半導体チップのスタックした配列は、超小型電子パッケージにおいて必要なバッファリング機能を第1の半導体チップによって果たすことができるように、かつスタックした配列における第2の半導体チップのいずれによっても果たすことができないように構成される。上記と同様に、第1の半導体チップは、第1の半導体チップ及び第2の半導体チップから構成される超小型電子素子の動作モードを制御する、第1の端子において受信された情報を部分的に、又は完全に復号化するように構成することができる。そ

の代わりに、又はそれに加えて、第1の半導体チップは、第1の端子において受信されたアドレス情報又はコマンド情報のうちの少なくとも1つを部分的に、又は完全に復号化するように構成することができる。特定の例では、第2の半導体チップのうちの1つ又は複数は、アドレス情報、コマンド情報、又は超小型電子素子の動作モードを制御する情報等の、超小型電子パッケージの第1の端子において受信される情報を完全に復号化するように構成されない場合がある。

【0105】

本明細書において説明した実施形態のいずれかにおいて、1つ又は複数の第2の半導体チップは、なかでも、以下の技術：DRAM、NANDフラッシュメモリ、RRAM（登録商標）（「抵抗性RAM」、又は「抵抗性ランダムアクセスメモリ」）、相変化メモリ（「PCM」）、例えば、トンネル接合デバイスを具現できるような磁気抵抗性ランダムアクセスメモリ、スピントルクRAM、又は連想メモリのうちの1つ又は複数において実現することができる。

【0106】

図11は、更なる変形形態による超小型電子パッケージ660を示す断面図であり、図12は、その対応する平面図であり、第2の半導体チップ634は、互いに対して階段状に実装され、それにより、第1の半導体チップ632のコンタクトは、第1の半導体チップ632の真上で第2の半導体チップ634Aの縁部618を超えて露出し、その半導体チップ634Aのコンタクトは、その第2の半導体チップの真上で第2の半導体チップ634Bの縁部618を超えて露出する。第1のチップ及び第2のチップと基板との間の電気接続及びチップ間の電気接続は、半導体チップのスタック内で隣接チップを電氣的に接続するワイヤボンダ635、又は、チップをパッケージ基板662に直接電氣的に接続するワイヤボンダ637によって設けることができる。

【0107】

図13は、図10に関して上述した実施形態の更なる変形形態による超小型電子パッケージ670を示し、1つ又は複数の第2の半導体チップ634のコンタクト間の接続は、スタックされた半導体チップのユニット630の1つ又は複数の縁部に沿って、すなわち、こうしたユニット630内の半導体チップ634の縁部に沿って延在するトレース又はリード640を含むことができる。ユニット630は、場合によっては導電性ポスト、例えばマイクロピラーを含む場合がある、ボンダメタル、例えば、はんだ、錫、金、インジウム、共晶物か、導電性バンプか、又は両方等によって、実装され、第1の半導体チップ632のコンタクト627に電氣的に相互接続される。トレース654は、コンタクト627から第2のコンタクト626まで第1の半導体チップの面631に沿って延在することができる。第2のコンタクト626は、次に、ワイヤボンダ645等を通して基板に電氣的に接続することができる。

【0108】

第2の半導体チップ634間の電気接続は、第2の半導体チップ634の前面に沿って延在するトレース644を更に含むことができる。図13に更に示すように、第2の半導体チップの前面642は、基板602から離れる方に上方に又は基板602に向かって下方に向くことができる。

【0109】

図14は、超小型電子パッケージ680を更に示し、第2の半導体チップ634は、第1のチップのコンタクト627に向き、かつ、ボンダメタル、例えば、はんだ、錫、金、インジウム、共晶物か、導電性バンプか、又は両方等によって、フリップチップ状に第1のチップのコンタクト627に接合されたコンタクト647を有する。トレース654は、コンタクト627を第1チップ上の他のコンタクト626に電氣的に接続することができる。他のコンタクト626は、ワイヤボンダ等を通して基板に電氣的に接続される。

【0110】

図15Aは、特定の例による超小型電子パッケージ690を更に示し、1つ又は複数の第2の半導体チップ634は、第2の半導体チップ634の少なくともいくつかの厚さ6

10

20

30

40

50

5 2 の方向に、すなわち、チップ 6 3 4 の面 6 4 2 に垂直な方向に延在するシリコン貫通ビア（「TSV」）6 5 0 によって互いに電氣的に接続される。図 1 5 A に見られるように、一例では、TSV 6 5 0 は、場合によっては導電性ポスト、例えばマイクロピラーを含む場合がある、ボンドメタル、例えば、はんだ、錫、金、インジウム、共晶物か、導電性バンプか、又は両方等によって、第 1 の半導体チップ 6 3 2 のコンタクト 6 2 7 に電氣的に接続することができる。トレース 6 5 4 は、コンタクト 6 2 7 から第 2 のコンタクト 6 2 6 まで第 1 の半導体チップの面 6 3 1 に沿って延在することができ、第 2 のコンタクト 6 2 6 は、次に、基板にワイヤボンディングすることができる。

【0111】

一例では、第 1 の端子、第 2 の端子、又は両方等の、パッケージ 6 9 0 の端子で受信される情報又は信号は、基板コンタクト 6 3 6 に接合されるワイヤボンド 6 4 5 を通して第 1 の半導体チップ 6 3 2 によって受信されることができ、ワイヤボンド 6 4 5 は、次に、超小型電子パッケージのこうした端子に接合される。バッファ要素として動作する第 1 の半導体チップ 6 3 2 は、次に、受信された情報又は信号を再生し、次に、再生された情報又は信号を、例えば、第 1 のチップ 6 3 2 と第 2 のチップ 6 3 4 との間の接続を通して、また、第 2 のチップ 6 3 4 のスタック内の TSV 6 5 0 を通して、1 つ又は複数の第 2 の半導体チップに転送することができる。

【0112】

図 1 5 B は、図 1 5 A に示す超小型電子パッケージの変形形態を示す。図 1 5 A に示すパッケージとは異なり、アドレス情報又はその他の情報を再生又は少なくとも部分的に復号化する、例えば、パッケージ内の他の半導体チップに転送する信号を再生するように構成される半導体チップ 6 6 4 は、基板 6 0 2 の第 1 の表面 1 0 8 に隣接して配置されない。むしろこの場合、半導体チップ 6 6 4 は 1 つ又は複数の他の半導体チップ上に重なるパッケージ内の場所に配置することができる。例えば図 1 5 B に示すように、チップ 6 6 4 は、基板 6 0 2 の第 1 の表面 1 0 8 に隣接して配置された半導体チップ 6 6 2 上に少なくとも部分的に重なり、かつ、チップ 6 6 4 は、半導体チップ 6 6 2 の上に配置された半導体チップ 6 6 3 A、6 6 3 B 及び 6 6 3 C 上に少なくとも部分的に重なる。一例において、半導体チップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C はメモリ記憶アレイを含むことができる。上述の例のように、そのようなチップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C はそれぞれ、そのようなチップに書き込むデータ若しくはそのようなチップから読み出すデータ又はその両方をバッファする、例えば一時的に記憶するように構成された回路を組み込むことができる。代替的に、チップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C は機能的により限定されている場合があり、そのようなチップに書き込むデータ若しくはそのようなチップから読み出すデータ又はその両方を一時的に記憶するように構成された少なくとも 1 つの他のチップと一緒に用いることが必要である場合がある。

【0113】

半導体チップ 6 6 4 は、超小型電子パッケージの端子に、例えば、第 1 の端子 6 0 4 及び第 2 の端子 6 0 6 が配置されるグリッドに、導電性構造、例えばワイヤボンド 6 6 5 を通して電氣的に接続することができる。この導電性構造は、半導体チップ 6 6 3 A の前面 6 3 1 に部分的に載り、基板の第 1 の表面 1 0 8 において露出するコンタクト 6 3 6 に接続する。導電性構造、例えばワイヤボンド 6 6 5 は、チップ 6 6 3 A 上のコンタクト 6 3 8 を通り、チップ 6 6 3 A の面 6 3 1 に沿うか、チップ 6 6 4 の対向する面 6 4 1 に沿うか、又はチップ 6 6 3 A の面 6 3 1 及びチップ 6 6 4 の面 6 4 1 の両方に沿って延在する導体（図示せず）を通して半導体チップ 6 6 4 に電氣的に接続することができる。上記で示したように、半導体チップ 6 6 4 を、導電性構造、例えばワイヤボンド 6 6 5 を通して受信する信号又は情報を再生するか又は少なくとも部分的に復号化するように構成することができる、また、再生されるか又は少なくとも部分的に復号化された信号又は情報を、チップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C 等のパッケージ内の他のチップに転送するように構成することができる。

【0114】

図15Bにおいて更にわかるように、半導体チップ662、663A、663B、及び663Cは、そのようなチップのうちの1つ、2つ、又は3つ以上を貫いて延在することができる複数のシリコン貫通ビア672、674、及び676によって、半導体チップ664と及び互いと電氣的に接続することができる。そのようなシリコン貫通ビアはそれぞれ、パッケージ内の配線、例えば、半導体チップ662、663A、663B、663C、及び664のうちの2つ以上の導電性パッド又はトレースと電氣的に接続することができる。特定の例(図示せず)において、シリコン貫通ビアは、全ての半導体チップ662、663A、663B、及び663Cの厚さを貫いて延在することができるが、ただしそれぞれのシリコン貫通ビアはそこを貫いて延在するそれぞれのそのような半導体チップと電氣的に接続しない場合がある。

10

【0115】

図15Bにおいて更にわかるように、複数のフィン671を含むことができるヒートシンク又はヒートスプレッド668が、なかでも熱接着剤、熱伝導性グリース、又ははんだ等の熱伝導性材料669等を介して、半導体チップ664の面、例えばその裏面633に熱的に結合することができる。

【0116】

図15Bに示す超小型電子アセンブリ695は、サイクル当たり指定数のデータビットを基板上にそのために設けられた第1の端子及び第2の端子を介して超小型電子パッケージ上へ又はそこから転送することができるメモリモジュールとして動作するように構成することができる。例えば超小型電子アセンブリは、可能な構成の中でもとりわけ32データビット、64データビット、又は96データビット等の複数データビットを、端子604、606と電氣的に接続することができる回路パネル等の外部構成要素に又はそこから転送するように構成することができる。別の例において、パッケージに及びそこから転送されたビットがエラー訂正コードビットを含む場合には、パッケージへ又はそこから転送されるサイクル当たりのビット数は、36ビット、72ビット、又は108ビットとすることができる。ここで具体的に説明するもの以外のデータ幅も可能である。

20

【0117】

図16~図18は、本発明の別の実施形態による超小型電子パッケージ1400を示しており、パッケージ上の第1の端子は、平行な第1のグリッド1414及び第2のグリッド1424内の場所に配置され、各グリッド1414、1424は、上記で言及されたアドレス情報を運ぶように構成される。特定の実施形態では、各グリッド内の第1の端子は、一群のコマンド-アドレスバス信号：すなわち、超小型電子パッケージに転送されるコマンド信号、アドレス信号、バンクアドレス信号及びクロック信号の全てを運ぶように構成することができ、コマンド信号は、書込みイネーブル信号、行アドレスストローブ信号及び列アドレスストローブ信号を含み、クロック信号はアドレス信号をサンプリングするのに用いることができる。グリッド1414、1424内の端子は、パッケージ1400内の超小型電子素子1401、1403の対応するコンタクトに電氣的に接続され、各グリッドは、コマンド-アドレスバスの上記で言及された信号の全てをパッケージ内の超小型電子素子に伝達するように構成される。さらに、図16に具体的に示されるように、かつ以下に更に説明されるように、第1のグリッド1414内の端子の信号割当ては、第2のグリッド1424内の端子の信号割当ての鏡像である。

30

40

【0118】

1つのグリッド内の信号割当てが他のグリッド内の信号割当ての鏡像である平行な第1のグリッド及び第2のグリッド内に第1の端子の2重の組を設けることによって、互いに対向して回路パネルに実装される第1の超小型電子パッケージ及び第2の超小型電子パッケージのアセンブリにおいてスタブの長さを低減することができる。第1の超小型電子パッケージ及び第2の超小型電子パッケージが回路パネルの互いに反対側の実装表面に接続され、回路パネルがそれらのパッケージを電氣的に相互接続すると、第1のパッケージの第1のグリッドの第1の端子のそれぞれは、第1のグリッドの第1の端子が電氣的に接続する第2のパッケージの第2の鏡像グリッドの対応する第1の端子の1ボールピッチ以内

50

で位置合わせすることができる。加えて、第2のパッケージの第1のグリッドの第1の端子のそれぞれは、第1のグリッドの第1の端子が接続する第1のパッケージの第2の鏡像グリッドの対応する第1の端子の1ボールピッチ以内でそのように位置合わせすることができる。結果として、第1のパッケージのそれぞれの第1の端子は、第2のパッケージの対応する第1の端子に電氣的に接続することができ、反対側の回路パネル表面上の端子の各対の実装位置は、回路パネルの表面のうちの1つの表面に平行な直交するx方向及びy方向に、互いの1ボールピッチ以内にある。場合によっては、互いに反対側の回路パネル表面上の接続された端子の各対の実装位置は、更に互いに一致する場合がある。したがって、第1のパッケージ及び第2のパッケージの電氣的に接続された第1の端子の対間の回路パネルを通る電気接続の長さは、電氣的に接続された第1の端子のこれらの対のそれぞれの対内の端子が、互いに一致するか又は第1の回路パネル表面に沿って直交するx方向及びy方向に互いの1ボールピッチ以内で別様に位置合わせすることができる点で、大幅に低減することができる。

10

【0119】

回路パネル構成を、この構成を有するアセンブリにおいて同様に簡略化することができる。その理由は、第1の端子の電氣的に接続された各対間のルーティングが、主に垂直方向、すなわち回路パネルの厚さを通る方向にあることができるからである。すなわち、回路パネルの互いに反対側の表面に実装されるパッケージの対応する第1の端子の各対を電氣的に接続するには、回路パネル上のビア接続があれば十分とすることができる。

20

【0120】

さらに、それぞれの超小型電子パッケージ対が接続される接続サイト間で回路パネルに沿ったバス36(図7B)上で上記で言及されたアドレス情報をルーティングするのに必要とされる回路パネル上の配線の広域ルーティング層の数も、回路パネルに取り付けられる超小型電子パッケージが本明細書の原理に従って構成されるときに削減することができる。具体的には、回路パネルに沿ってそのような信号をルーティングするのに必要とされる広域ルーティング層の数は、場合によっては、2つ以下のルーティング層まで削減することができる。しかしながら、回路パネル上に、バス36上で上記で言及された情報又は信号以外の信号を運ぶ、更に多くの数の広域ルーティング層が存在することもできる。

【0121】

超小型電子パッケージはまた、第1の端子以外の第2の端子も有することができ、そのような端子は通常、上述のコマンド - アドレスバス信号以外の信号を運ぶように構成されている。一例において、第2の端子は、データマスク及び並列終端をオン又はオフするのに用いる終端レジスタへのODT信号すなわち「オンダイ終端」信号だけではなく、超小型電子素子への及び/又はそこからの一方向又は双方向のデータ信号、並びにデータストローブ信号を運ぶのに用いる端子を含むことができる。チップセレクト、リセット、電源電圧、例えばV_{dd}、V_{ddq}、及び接地、例えばV_{ss}及びV_{ssq}等の信号又は基準電位は、第2の端子によって運ぶことができる。これらの信号又は基準電位のいずれも、第1の端子によって運ぶ必要はない。いくつかの実施形態において、コマンド - アドレスバス信号以外の信号を運ぶように構成したいいくつかの又は全ての端子を、パッケージ上の任意の位置に第2の端子として配置することが可能である。

30

40

【0122】

代替的に、いくつかの実施形態では、コマンド - アドレスバス信号以外の信号を運ぶように構成される一部又は全ての端子を、パッケージ上の第1の端子の第1のグリッド及び第2の鏡像グリッド内にも配置することが可能である。こうして、上述したように、これらの対応する第1の端子間で回路パネル上に設けられる電気接続のスタブ長を低減することを可能にすることができる。

【0123】

他の実施形態では、コマンド - アドレスバス信号以外の信号を運ぶように構成される端子の一部又は全ては、パッケージ表面上の第3のグリッド内の第2の端子の組として配置することができ、第2の端子の別の組は、同じパッケージ表面上の第4のグリッド内に配

50

置することができ、第3のグリッド内の第2の端子の信号割当ては第4のグリッド内の第2の端子の信号割当ての鏡像である。こうして、上述した第1のパッケージ及び第2のパッケージの対応する第1の端子間の接続と同様に、第1のパッケージ及び第2のパッケージの電氣的に接続された第2の端子の対間の回路パネルを通る電気接続の長さは、大幅に低減することができる。すなわち、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子は、互いに一致するか、又は別様に、互いの1ボールピッチ以内で位置合わせすることができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のための回路パネルの構成を簡略化するための上述した利益と同様の利益を、超小型電子パッケージの第2の端子がこうして配置されるときに得ることができる。

【0124】

10

図17を参照すると、パッケージ1400は、それぞれ主にメモリ記憶アレイ機能を提供するように構成された、すなわち組み立てられた第1の超小型電子素子1401及び第2の超小型電子素子1403を含むことができ、第1の超小型電子素子1401及び第2の超小型電子素子1403はそれぞれ、上記のように、トランジスタ等の、メモリ記憶アレイ機能を提供するように構成される能動素子を他のいかなる機能よりも多く有する。図17に示すように、第1の超小型電子素子及び第2の超小型電子素子は超小型電子素子の面1431において素子コンタクト1436を有し、それらのコンタクトは基板1402から離れる方を向く、基板の第1の表面1408において露出する対応する基板コンタクト1446と電氣的に接続される。

【0125】

20

図16～図17に見られるように、パッケージ1400は、例えば回路パネル等の、パッケージ1400の外部の構成要素にパッケージ1400を電氣的かつ機械的に接続する、第1の端子1414、1424及び第2の端子1406を有することができる。端子は導電性パッド、ポスト、又は他の導電性構造体とすることができる。図17において見られる例では、接合ユニット1430は、なかでも、はんだ、スズ、インジウム、金若しくはは共晶材料等のボンドメタル、又は他の導電性ボンド材料を含むことができ、端子の第1のグリッド1404及び第2のグリッド1406に取り付けることができる。第1の端子1404及び第2の端子1406は、例えば、トレース及びビア等の、基板上の導電性構造体を通して、基板コンタクト1446と電氣的に接続することができる。

【0126】

30

パッケージの第1のグリッド1414及び第2のグリッド1424内の第1の端子の配置構成は、図16に特に示される。一例では、各グリッド1414、1424は、端子の平行な第1の列及び第2の列1438を含むことができる。各グリッド内の端子の列1438は互いに隣接することができる。代替的に、図16に示さないが、少なくとも1つの端子を、端子の第1の列と第2の列との間に配置することができる。図16に見られるように、第2のグリッド1424内の第1の端子の信号割当ては、第1のグリッド1414内の第1の端子の信号割当ての鏡像である。言い換えれば、第1のグリッド及び第2のグリッド内の第1の端子の信号割当ては、基板の表面1410に対して直交する方向に延在し、第1のグリッド1414と第2のグリッド1424との間の中央に置かれたラインに沿って表面1410を横切る軸平面1432について対称であり、軸平面1432は、この場合、第1の端子の列1438が延在する方向1434に延在する。第2のグリッド1424における信号割り当てが第1のグリッド1414におけるそれらの鏡像である状態で信号CK(クロック)を運ぶように割り当てられた第1のグリッド1414の第1の端子1404は、信号CKを運ぶように割り当てられた第2のグリッド1424の対応する第1の端子1404と同じ、グリッド内での相対的垂直場所(1434に沿った方向)にある。しかし、第1のグリッド1414は2つの列1438を含み、信号CKを運ぶように割り当てられた第1のグリッド1414の端子は、第1のグリッドの2つの列1438のうちの左側の列にあるので、信号配列が鏡像であるためには、信号CKを運ぶように割り当てられた第2のグリッド1424の対応する端子は、第2のグリッドの2つの列のうちの右側1438の列になければならない。この配列のもうひとつの結果は、信号WE(

40

50

ライトイネーブル)を運ぶように割り当てられた端子もまた、第1のグリッド1414及び第2のグリッド1424のそれぞれにおいて同じ、グリッド内での相対的垂直場所にあるということである。しかし、第1のグリッド1414において、WEを運ぶように割り当てられた端子は、第1のグリッドの2つの列1438のうちの右側の列にあり、配列が鏡像であるためには、信号WEを運ぶように割り当てられた第2のグリッド1424の対応する端子は、第2のグリッド1424の2つの列のうちの左側の列1438になければならない。図16においてわかるように、第1のグリッド及び第2のグリッドのそれぞれにおけるそれぞれの第1の端子について、少なくとも、上述のコマンド-アドレスバス信号を運ぶように割り当てられたそれぞれの第1の端子について、同じ関係が当てはまる。

【0127】

第1の端子の信号割当てが対称となる軸平面1432は、基板上の種々の位置に位置することができる。特定の実施形態では、第1の端子の列1438が縁部1440、1442に対して平行な方向に延在し、第1のグリッド及び第2のグリッドがこの中心軸について対称である場所に配置されるときに特に、軸平面は、基板の対向する縁部1440、1442から等距離に位置する表面上のラインに沿って基板の表面1410に交わることができる。

【0128】

特定の例において、第1のグリッド1414の第1の端子1404は、第1の超小型電子素子1401と電気的に接続することができ、第2のグリッド1424の第1の端子1404は、第2の超小型電子素子1403と電気的に接続することができる。そのような場合、第1のグリッド1414の第1の端子1404はまた、第2の超小型電子素子1403と電気的に接続しないことができ、パッケージ1400の第2のグリッド1424の第1の端子1404はまた、第1の超小型電子素子1401と電気的に接続しないことができる。更に別の例において、第1のグリッド1414及び第2のグリッドのそれぞれの第1の端子1404は、第1の超小型電子素子1401及び第2の超小型電子素子1403のそれぞれと電気的に接続することができる。

【0129】

上記で述べたように、第2の端子1406は、上記で述べたアドレス情報又はコマンド-アドレスバスの信号以外の情報又は信号を運ぶように構成することができる。一例では、第2の端子1406は、超小型電子素子への及び/又は超小型電子素子からの単方向又は双方向データ信号及びデータストローブ信号、並びに、データマスク信号及び終端抵抗に対して並列終端をオン又はオフにするためにチップによって使用されるODT信号すなわち「オンダイ終端」信号を運ぶために使用される端子を含むことができる。チップセレクト、リセット、クロックイネーブル等の信号、並びに、電源電圧等の基準電位、例えばV_{dd}、V_{ddq}、又は接地、例えばV_{ss}及びV_{ssq}は、第1の端子1404又は第2の端子1406のいずれによっても運ばれる、信号の一部であることができる。しかしながら、これらの信号又は基準電位はいずれも、第1の端子1404によって運ばれる必要はない。図16～図18において更に示されるように、第2の端子1406は基板の第2の表面1410上の第3のグリッド1416内に配置することができ、第2の端子の別の組は、パッケージ表面1410上の第4のグリッド1426内に配置することができる。特定の場合には、第1のグリッド及び第2のグリッドの場合に上記で説明されたのと同じようにして、第3のグリッド1416内の第2の端子の信号割当ては第4のグリッド1426内の第2の端子の信号割当ての鏡像とすることができる。第3のグリッド1416及び第4のグリッド1426は、第1のグリッド及び第2のグリッドが延在する方向1434に延在することができ、互いに平行にすることができる。第3のグリッド及び第4のグリッドは、第1のグリッド1414及び第2のグリッド1424に平行にすることもできる。代替的には、第3のグリッド1416及び第4のグリッド1426はそれぞれ、方向1434に対して直交する別の方向1435に延在することができる。

【0130】

図17に示されるように、封入剤1448が基板の第1の表面1408の上に重なるこ

10

20

30

40

50

とができ、そこにある超小型電子素子 1 4 0 1、1 4 0 3 と接触することができる。場合によっては、封入剤は、基板 1 4 0 2 から離れる方を向く超小型電子素子の表面 1 4 3 1 の上に重なることができる。

【 0 1 3 1 】

図 1 9 は、第 1 の超小型電子パッケージ 1 4 0 0 A 及び第 2 の超小型電子パッケージ 1 4 0 0 B のアセンブリ 1 4 5 0 を示し、超小型電子パッケージはそれぞれ、回路パネル 1 4 6 4 の互いに反対側の第 1 の表面 1 4 6 0 及び第 2 の表面 1 4 6 2 に実装された、上記図 1 6 ~ 図 1 8 を参照して述べたような超小型電子パッケージ 1 4 0 0 である。回路パネルは、なかでも、デュアルインラインメモリモジュール（「D I M M」）で使用されるプリント回路基板、システム内の他の構成要素と接続される回路基板若しくはパネル、又はマザーボード等の種々のタイプとすることができる。第 1 の超小型電子パッケージ 1 4 0 0 A 及び第 2 の超小型電子パッケージ 1 4 0 0 B は、回路パネル 1 4 6 4 の第 1 の表面 1 4 6 0 及び第 2 の表面 1 4 6 2 において露出される対応するコンタクト 1 4 7 0、1 4 7 2 に実装することができる。

【 0 1 3 2 】

図 1 6 に特に示すように、各パッケージの第 2 のグリッド 1 4 2 4 内の第 1 の端子の信号割当てが、各パッケージの第 1 のグリッド 1 4 1 4 内の第 1 の端子の信号割当ての鏡像であるため、図 1 9 のようにパッケージ 1 4 0 0 A、1 4 0 0 B が互いに対向する回路パネルに実装されると、第 1 のパッケージ 1 4 0 0 A の第 1 のグリッド 1 4 1 4 A 内のそれぞれの第 1 の端子は、第 2 のパッケージ 1 4 0 0 B の第 2 のグリッド 1 4 2 4 B 内の同じ信号割当てを有する対応する第 1 の端子と位置合わせされ、その対応する第 1 の端子に電氣的に接続される。さらに、第 1 のパッケージ 1 4 0 0 A の第 2 のグリッド 1 4 2 4 A 内のそれぞれの第 1 の端子は、第 1 のグリッド 1 4 1 4 B 内の同じ信号割当てを有する対応する第 1 の端子に位置合わせされ、その対応する第 1 の端子に電氣的に接続される。確かに、接続された端子の各対の位置合わせは、或る許容誤差以内にあり、それにより、接続された端子の各対は、回路パネル 1 4 6 4 の第 1 の表面 1 4 6 0 に沿って直交する x 方向及び y 方向に互いの 1 ボールピッチ以内で位置合わせすることができる。

【 0 1 3 3 】

そのため、図 1 9 に更に示すように、第 1 のパッケージ 1 4 0 0 A のグリッド 1 4 1 4 A 内で「A」と記号が付いた信号を運ぶ特定の第 1 の端子は、同じ信号「A」を運ぶ第 2 のパッケージ 1 4 0 0 B のグリッド 1 4 2 4 B の対応する第 1 の端子に位置合わせされる。同じことが、第 1 のパッケージ 1 4 0 0 A のグリッド 1 4 2 4 A 内で「A」と記号が付いた信号を運ぶ特定の第 1 の端子に関して同様に当てはまり、この第 1 の端子は、同じ信号「A」を運ぶ第 2 のパッケージ 1 4 0 0 B のグリッド 1 4 1 4 B の対応する第 1 の端子に位置合わせされる。

【 0 1 3 4 】

こうして、図 1 9 に更に見られるように、第 1 のパッケージ 1 4 0 0 A 及び第 2 のパッケージ 1 4 0 0 B の電氣的に接続された第 1 の端子の各対間の回路パネルを通る電気接続の長さは、電氣的に接続された第 2 の端子のこれらの対のそれぞれの対内の端子が、互いの上に載るか又は互いの 1 ボールピッチ以内で少なくとも位置合わせすることができる点で、大幅に低減することができる。これらの電気接続の長さの低減により、回路パネル及びアセンブリのスタブ長を低減することができ、スタブ長を低減することは、第 1 の端子によって運ばれ、第 1 のパッケージ及び第 2 のパッケージの両方のパッケージ内の超小型電子素子に転送される上記で述べた信号について、なかでも、整定時間、リングング、ジッタ、又は符号間干渉を低減すること等、電気性能を改善するのに役立つことができる。さらに、回路パネルの構造を簡略化すること、又は、回路パネルを設計若しくは製造する複雑さ及びコストを低減すること等の他の利益も得ることを可能にすることができる。

【 0 1 3 5 】

図 1 9 に更に示すように、各パッケージ 1 4 0 0 A、1 4 0 0 B の第 2 の端子が、図 1 6 ~ 図 1 8 に関して上述した特定の鏡像配置構成を有する第 3 のグリッド及び第 4 のグリ

ッド内に配置されるとき、各パッケージの第1のグリッドのそれぞれの第2の端子は、他のパッケージの第2のグリッドの同じ信号割当てを有する対応する第2の端子に位置合わせすることができ、その対応する第2の端子に電氣的に接続される。そのため、図19に見られるように、第1のパッケージ1400Aの第3のグリッド1416A内のそれぞれの第2の端子1406は、第2のパッケージ1400Bの第4のグリッド1426B内の同じ信号割当てを有する対応する第2の端子に位置合わせされ、その対応する第2の端子に電氣的に接続される。さらに、第1のパッケージ1400Aの第4のグリッド1426A内のそれぞれの第2の端子は、第3のグリッド1416B内の同じ信号割当てを有する対応する第2の端子に位置合わせされ、その対応する第1の端子に電氣的に接続される。ここでもまた、接続された端子の各対の位置合わせは、或る許容誤差以内にあり、それにより、接続された端子の各対は、回路パネル1464の第1の表面1460に沿って直交するx方向及びy方向に互いの1ボールピッチ以内で位置合わせすることができる。

10

【0136】

そのため、図19に更に示すように、第1のパッケージ1400Aのグリッド1416A内で「B」と記号が付いた信号を運ぶ特定の第1の端子は、第2のパッケージ1400Bのグリッド1426Bの同じ信号「B」を運ぶ対応する第1の端子に位置合わせされ、その対応する第1の端子に電氣的に接続される。同じことが、第1のパッケージ1400Aのグリッド1426A内で「B」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、その特定の第1の端子は、第2のパッケージ1400Bのグリッド1416Bの同じ信号「B」を運ぶ対応する第1の端子に位置合わせされ、その対応する第1の端子に電氣的に接続される。

20

【0137】

上述した第1のパッケージ及び第2のパッケージの対応する第1の端子1404間の接続と同様に、この実施形態では、第1のパッケージ及び第2のパッケージの電氣的に接続された第2の端子1406の対間の回路パネルを通る電気接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いの上に載るか又は回路パネル表面に平行な、直交するx方向及びy方向に互いの1ボールピッチ以内で少なくとも位置合わせすることができる点で、大幅に低減することができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のために回路パネルの構成を簡略化することに関して上述した利益と同様の利益を、超小型電子パッケージの第2の端子、すなわち、コマンド・アドレスバスの上記で述べた信号以外の信号を運ぶように割り当てることができる端子がこうして配置されるときに得ることができる。

30

【0138】

図20は、互い違いの配置を示す、パッケージ1480のそれぞれの第1のグリッド1474、1484及び第2のグリッド1476、1486内の端子の特定の配置を示しており、各グリッド内の隣接する列1438、1439内の同じ相対垂直位置にある端子を、パッケージの垂直レイアウト方向1434において互いにオフセットされた場所に配置することができる。

【0139】

図21は、超小型電子パッケージの平行な第1のグリッド1478及び第2のグリッド1488内の第1の端子の特定の配置を示しており、各グリッドは3つの隣接する端子列を含む。上記のように、いくつかの実施形態では、上記で言及されたコマンド・アドレスバス信号以外の信号を、上記で言及されたコマンド・アドレスバス信号も運ぶ同じグリッド内の端子に割り当てることが可能とすることができる。上記のような鏡像信号割当てを有する一対のグリッド1478、1488のそれぞれが2つ又は3つではなく、4つの端子列を有する他の配置も提供することができる。

40

【0140】

図16～図18における実施形態の更なる変形形態では、上記で述べたコマンド・アドレスバス信号を運ぶように配置される第1の端子が、端子の個々の第1の列及び第2の列内に設けられることが可能であり、それぞれの個々の列は、上記で述べたコマンド・アド

50

レスバス信号の全てを運ぶように構成される第1の端子の組を含む。第1の端子は、第1の列及び第2の列が延在する方向と同じ方向に延在する軸について信号割当てが対称であるという点で、第1の列及び第2の列内の信号割当てが互いの信号割当ての鏡像であるように更に配置することができる。こうして、第1の列内の第1の端子の信号割当ては、パッケージ上での第2の列内の同じ相対的垂直位置における第1の端子の信号割当てと同じである。

【0141】

図22は、更に別の変形形態による超小型電子パッケージ1490を示しており、超小型電子素子1401、1403が、垂直に積み重ねられた半導体チップアセンブリである。したがって、図22において見られるように、超小型電子素子1401、1403のうちの1つ又は複数が、図16～図18に関して上記で説明されたように、基板1402から離れる方を向くコンタクト支持面1431と、基板1402上の基板コンタクトにワイヤボンディングされる面1431上のコンタクト1436とを有する第1の半導体チップ1451を含むことができる。一例では、そのような超小型電子素子の第2の半導体チップ1453が、第1の半導体チップ1451の対応するコンタクト1445に面し、上記のように、導電性バンプ、例えば、ボンドメタル等を通してそれに接合されるコンタクト1455を有することができる。

【0142】

他の変形形態では、パッケージ1490内の超小型電子素子1401、1403のうちの1つ又は複数を図10、図11、図12、図13、図14又は図15を参照して上記で説明されたように組み立てることができる。

【0143】

図23は、図16～図18の上記の実施形態の変形形態による超小型電子パッケージ1500を示しており、その中に第1の超小型電子素子1501、第2の超小型電子素子1503、第3の超小型電子素子1505及び第4の超小型電子素子1507が組み込まれる。そのパッケージは、コマンド・アドレスバスの上記で言及された信号を運ぶように割り当てられた第1の端子の4つのグリッド1514、1524、1534、1544を更に示す。上記の例と同様に、第1の端子の各グリッドは、超小型電子素子の1つだけと電気的に接続することができるか、又は超小型電子素子の2つ以上に接続することができる。図23は、第1の端子のグリッド1514、1524、1534及び1544を示すパッケージ1500の1つの取り得る配置と、第2の端子のグリッド1516、1526、1536及び1546の1つの取り得る配置とを示す。

【0144】

図23に示されるように、超小型電子素子はそれぞれ、通常、平行な2つの「長い」縁部1510を有し、それらの縁部は図6B、図6C、図6D及び図7Aに関して上記で説明されたように、超小型電子素子上の1つ又は複数のコンタクト列が延在する方向と同じ方向に延在する。一例では、これらの「長い」縁部はそれぞれ、各超小型電子素子の平行な2つの短い縁部1512より長くすることができる。別の例では、これらの「長い」縁部1510は、実際には同じ超小型電子素子の「短い」縁部1512よりも短いが、単に1つ又は複数のコンタクト列と同じ方向に延在することができる。以下に説明される各パッケージ内の超小型電子素子の「長い」縁部及び「短い」縁部への参照は、これらの定義を含む。

【0145】

図23において更に見られるように、この特定の变形成態では、グリッドのうちの2つ1524、1534は、超小型電子素子1503、1505を分けるパッケージの中心線1530の近くに配置することができ、一方、他方のグリッド1514、1544は、パッケージの周縁部1550、1552の近くに配置することができる。

【0146】

図24は、図23に示すパッケージの変形形態によるパッケージ1560を示す平面図であり、パッケージ上の第1の端子のグリッドの位置が変動する。この場合、パッケージ

10

20

30

40

50

１５６０と図２３のパッケージ１５００との差を観察すると、パッケージ１５６０内のグリッド１５３４の場所が、第２の端子のグリッド１５３６の場所と交換され、それにより、グリッド１５３６はこのとき、第１の端子のグリッド１５２４と１５３４との間に配置される。加えて、パッケージ１５６０内のグリッド１５４４の場所が、第２の端子のグリッド１５４６の場所と交換され、それにより、グリッド１５４６はこのとき、第１の端子のグリッド１５３４と１５４４との間に配置される。

【０１４７】

図２５は、図２３に示すパッケージの別の変形形態によるパッケージ１５７０を示す平面図であり、第１の端子のグリッドの場所が変動する。この場合、パッケージ１５７０と図２３のパッケージ１５００との差を観察すると、パッケージ１５７０内の第１の端子のグリッド１５２４の場所が、第２の端子のグリッド１５２６の場所と交換され、それにより、グリッド１５２４はこのとき、グリッド１５１４と１５２６との間でかつそれらに隣接して配置される。加えて、パッケージ１５７０内のグリッド１５３４の場所が、図２３に示される場所に対して第２の端子のグリッド１５３６の場所と交換され、それにより、グリッド１５３４はこのとき、グリッド１５３６と１５４４との間でかつそれらに隣接して配置される。

【０１４８】

図２６は、図１６～図１８の上記の実施形態の更なる変形形態によるパッケージ１６００を示す平面図であり、第１の超小型電子素子１６０１、第２の超小型電子素子１６０３、第３の超小型電子素子１６０５及び第４の超小型電子素子１６０７が基板上の１つのマトリックス内に配置され、各超小型電子素子は第１の方向１６２０に延在する平行な第１の縁部１６１０と、基板の第１の表面１４０８（図１７）に対して平行であり、かつ第１の方向を横切る、例えば、第１の方向１６２０に直交する第２の方向１６２２に延在する平行な第２の縁部１６１２とを有する。第１の縁部１６１０は、そのような縁部がそれぞれの超小型電子素子の長さの寸法を表すときに、「長い」縁部とすることができ、第２の縁部１６１２は、そのような縁部が、その長さより短いそれぞれの超小型電子素子の寸法を表すときに、「短い縁部」とすることができる。代替的には、第２の縁部１６１２は、そのような縁部がそれぞれの超小型電子素子の長さの寸法を表すときに、「長い」縁部とすることができ、第１の縁部１６１０は、そのような縁部が、その長さより短いそれぞれの超小型電子素子の寸法を表すときに「短い縁部」とすることができる。

【０１４９】

図２６に見られるように、超小型電子素子は、超小型電子素子１６０１、１６０３の第１の縁部１６１０が互いに隣接しかつ平行である状態で配置することができる。超小型電子素子１６０５、１６０７の第１の縁部１６１０は、同様に互いに隣接しかつ平行とすることができる。超小型電子素子はまた、超小型電子素子１６０１の１つの第２の縁部１６１２が他の超小型電子素子１６０７の第２の縁部１６１２に隣接しかつ平行であり、超小型電子素子１６０３の１つの第２の縁部１６１２が他の超小型電子素子１６０５の１つの第２の縁部１６１２に隣接しかつ平行であるように配置される。超小型電子素子１６０１の第１の縁部１６１０のそれぞれは、場合によっては、超小型電子素子１６０７の第１の縁部１６１０と同一直線上にあることができる。同様に、超小型電子素子１６０３の第１の縁部１６１０のそれぞれは、場合によっては、超小型電子素子１６０５の第１の縁部１６１０と同一直線上にあることができる。

【０１５０】

それぞれの超小型電子素子１６０１、１６０３、１６０５、１６０７の所定部分の上に載ることができ、それらに電氣的に接続される第２の端子のグリッド１６５１、１６５３、１６５５、１６５７は、任意の適した配置構成で配置された端子を有することができ、これらの第２の端子をグリッド内に設置する必要が全く存在せず、グリッド１６５１、１６５３、１６５５、又は１６５７の任意のグリッド内の信号割当ては、他のグリッド１６５１、１６５３、１６５５、又は１６５７の任意のグリッド内の端子の信号割当ての鏡像である。

【 0 1 5 1 】

特定の例では、グリッド 1 6 5 1、1 6 5 3、1 6 5 5、又は 1 6 5 7 の任意のグリッド内の第 2 の端子の信号割当ては、グリッドの任意の 1 つのグリッドの信号割当てが別のグリッドの信号割当てに対して基板表面 1 6 0 2 に平行な垂直レイアウト方向の垂直軸 1 6 8 0 について対称とすることができるという点で、グリッド 1 6 5 1、1 6 5 3、1 6 5 5、又は 1 6 5 7 の 1 つ又は 2 つの他のグリッド内の第 2 の端子の信号割当ての鏡像とすることができる。それに対して代替的に又は付加的に、グリッドのうちの任意の 1 つのグリッドの信号割当てが別のグリッドの信号割当てに対して水平軸 1 6 8 2 について対称とすることができる。

【 0 1 5 2 】

例えば、図 2 6 に示すように、グリッド 1 6 5 1 の信号割当ては、グリッド 1 6 5 3 の信号割当てに対して垂直軸 1 6 8 0 について対称であり、垂直軸 1 6 8 0 は、示す例ではグリッド 1 6 5 1 と 1 6 5 3 との間にある垂直レイアウト方向 1 6 2 0 に延在する。同様に、グリッド 1 6 5 1 の信号割当ては、グリッド 1 6 5 7 の信号割当てに対して水平軸 1 6 8 2 について対称であり、水平軸 1 6 8 2 は、示す例ではグリッド 1 6 5 1 と 1 6 5 7 との間にある方向 1 6 2 2 に延在する。代替の配置構成では、グリッド 1 6 5 1 及び 1 6 5 7 のそれぞれは、水平軸 1 6 8 2 の両側で基板表面の部分まで延在することができ、上述した関係が別の形で存在することができる。同様に、そのような配置構成がグリッド 1 6 5 3 及び 1 6 5 5 にも存在することができる。

【 0 1 5 3 】

図 2 6 に示す特定の例では、グリッド 1 6 5 1 及び 1 6 5 7 の信号割当ては、それぞれのグリッド 1 6 5 3 及び 1 6 5 5 の信号割当てに対して垂直軸 1 6 8 0 について対称である。同様に、グリッド 1 6 5 1 及び 1 6 5 3 の信号割当ては、それぞれのグリッド 1 6 5 7 及び 1 6 5 5 の信号割当てに対して水平軸について対称である。

【 0 1 5 4 】

図 2 7 は、上述した実施形態（図 2 3）の別の変形形態による超小型電子パッケージ 1 7 0 0 を示す平面図であり、第 1 の超小型電子素子 1 7 0 1 及び第 2 の超小型電子素子 1 7 0 3 の第 1 の縁部 1 7 1 0 は、端子担持基板表面 1 7 0 4 の第 1 の周辺縁部 1 7 4 0 に平行な第 1 の方向 1 7 2 0 に延在し、超小型電子素子 1 7 0 1、1 7 0 3 の第 2 の縁部 1 7 1 2 は、基板の端子担持基板表面 1 7 0 4 に平行な第 2 の方向 1 7 2 2 に延在する。パッケージ 1 7 0 0 は、第 3 の超小型電子素子 1 7 0 5 及び第 4 の超小型電子素子 1 7 0 7 を更に備える。一方、第 3 の超小型電子素子 1 7 0 5 及び第 4 の超小型電子素子 1 7 0 7 の第 1 の縁部 1 7 3 0 は第 2 の方向 1 7 2 2 に延在し、第 3 の超小型電子素子 1 7 0 5 及び第 4 の超小型電子素子 1 7 0 7 の第 2 の縁部 1 7 3 2 は第 1 の方向 1 7 2 0 に延在する。図 2 7 に更に見られるように、上記で述べたコマンド - アドレスバス信号を運ぶように構成される第 1 の端子の第 1 のグリッド 1 7 1 4 及び第 2 のグリッド 1 7 2 4 は、基板の第 1 の周辺縁部 1 7 4 0 及び第 2 の周辺縁部 1 7 4 2 から離れた基板表面の中央領域位置に設けることができる。ここでは、第 2 のグリッド 1 7 2 4 内の信号割当ては、上述したように、第 1 のグリッド 1 7 1 4 内の信号割当ての鏡像とすることができる。図 2 7 に示す一例では、第 1 の端子の第 1 のグリッド 1 7 1 4 及び第 2 のグリッド 1 7 2 4 は、第 1 の超小型電子素子 1 7 0 1 及び第 2 の超小型電子素子 1 7 0 3 の隣接する第 1 の縁部 1 7 1 0 間に配置することができ、第 3 の超小型電子素子 1 7 0 5 及び第 4 の超小型電子素子 1 7 0 7 の一部分の上に載ることができる。第 2 の端子のグリッド 1 7 5 1、1 7 5 3、1 7 5 5、1 7 5 7 は、第 2 の端子が電氣的に接続されるそれぞれの超小型電子素子 1 7 0 1、1 7 0 3、1 7 0 5、1 7 0 7 の上に少なくとも部分的に載ることができる。図 2 7 において見られるように、グリッド 1 7 5 3 内の第 2 の端子の信号割当ては、グリッド 1 7 5 1 内の第 2 の端子の信号割当ての鏡像とすることができる。グリッド 1 7 1 4、1 7 2 4 及びグリッド 1 7 5 1、1 7 5 3 内の端子の鏡像信号割当てによって、同様の構成の 2 つのパッケージ 1 7 0 0 が回路パネルの互いに反対側の表面上に互いに逆向きに実装されるときに、回路パネル内のスタブ長の上記の低減を達成可能にすることができる。

【0155】

超小型電子素子1705、1707の一部分の上に載り、それらに電気的に接続されることができる第2の端子のグリッド1755及び1757は、任意の適した配置構成で配置された端子を有することができる、これらの第2の端子をグリッド内に設置する必要が全く存在せず、グリッド1755のうちの1つのグリッド内の信号割当ては、他のグリッド1757内の端子の信号割当ての鏡像である。しかしながら、特定の例では、信号割当てがグリッド1755と1757との間において方向1722に延在する軸1735について対称にすることもできるという点で、グリッド1755内の第2の端子の信号割当ては、別のグリッド1757内の第2の端子の信号割当ての鏡像とすることができる。この場合、グリッド1755、1757内のこれらの第2の端子に関して、図27の水平方向に延在する軸1735について対称性が存在することができる。

10

【0156】

さらに、そのような構成は超小型電子パッケージにおいて与えることができ、オプションで、第1の端子のグリッド間、又は第2の端子の他のグリッド1751と1753との間の信号割当ての対称性を与えることができる。図27に更に示されるように、グリッド1755、1757内の端子は、図5Aを参照して上記で説明された信号クラス対称性、又はモジュロX対称性のうちの1つ又は複数を有することができる。

【0157】

図27は、第1の超小型電子素子1701、第2の超小型電子素子1703、第3の超小型電子素子1705、及び第4の超小型電子素子1707の隣接する縁部1730と1710との間のパッケージ1700の中央領域内に配置される超小型電子素子として、1つ又は複数のバッファ要素1750を設けることができることを更に示す。それぞれのこうしたバッファ要素は、特にパッケージの第1の端子で受信される上記で述べたコマンド・アドレスバス信号用のパッケージの端子と、パッケージ内の超小型電子素子の1つ又は複数との間に信号分離（信号アイソレーション）を提供するのに使用することができる。1つ又は複数のバッファ要素は、第1の端子で受信されるか又は第2の端子で受信される信号を再生し、再生された信号をパッケージ内の超小型電子素子の1つ又は複数に転送する。

20

【0158】

それに対して代替的に又は付加的に、超小型電子素子の隣接する縁部1710と1730との間の基板1702のエリアは、1つ又は複数の減結合（デカップリング）キャパシタが、パッケージ上で又はパッケージ内でこうしたエリア内に設けられることを可能にすることができ、1つ又は複数の減結合キャパシタは、パッケージの内部電源又は接地バスに接続される。

30

【0159】

図28は、図27に見られる実施形態の変形形態を示し、第1のグリッド1714及び第2のグリッド1724の位置は、第1の超小型電子素子1701及び第2の超小型電子素子1703の少なくとも所定部分の上に載るように変動することができる。こうした場合、第3の超小型電子素子1705及び第4の超小型電子素子1707の位置も、第3の超小型電子素子1705及び第4の超小型電子素子1707の第1の縁部1730の部分がパッケージの中央から離れて移動することができるように変化することができる。この場合、第3の超小型電子素子及び第4の超小型電子素子の第1の縁部1730は、第1の超小型電子素子及び第2の超小型電子素子の第2の縁部1712の部分に平行で且つ該部分から方向1720に離間している。それにより、1つ又は複数のバッファ要素か、減結合キャパシタか、又は他のデバイスの接続に利用可能なパッケージの中央のエリア1760の量を図27に示す量より大きくすることができる。また、図28は、基板の第1の縁部1736及び第2の縁部1738に隣接するグリッド内に配置される第2の端子の信号割当てが、縁部1736、1738に対して平行な第1の方向1720に延在する軸（図示せず）について対称性を示すことができる配置も示す。その代わりに、又はそれに加えて、基板の第3の縁部1737及び第4の縁部1739に隣接するグリッド内に配置され

40

50

る第2の端子の信号割当てが、第1の方向1720を横切り、例えば、縁部1737、1739に対して平行とすることができる第2の方向に延在する軸（図示せず）について対称性を示すことができる。

【0160】

図29は、上述した実施形態（図28）の変形形態による超小型電子パッケージ1800を示す。この変形形態では、超小型電子素子1801、1803、1805、及び1807は、風車のような構成で配置され、超小型電子素子1801、1803の第1の縁部1810は、超小型電子素子1805、1807の第2の縁部1832と同じ方向1820に延在する。加えて、超小型電子素子1805、1807の第1の縁部1830は、超小型電子素子1801、1803の第2の縁部1812と同じ方向1822に延在する。超小型電子素子1801の第1の縁部のうちの1つの第1の縁部の一部分は、超小型電子素子1807の第2の縁部1832のうちの1つの第2の縁部の一部分から離間しかつその部分に平行である。同様に、超小型電子素子1805の第1の縁部のうちの1つの第1の縁部の一部分は、超小型電子素子1801の第2の縁部のうちの1つの第2の縁部から離間しかつその第2の縁部に平行である。これらの関係は、超小型電子素子1803の第1の縁部1810のうちの1つの第1の縁部の一部分及び超小型電子素子1805の第2の縁部1832のうちの1つの第2の縁部の一部分並びに超小型電子素子1807の第1の縁部のうちの1つの第1の縁部の一部分及び超小型電子素子1803の第2の縁部のうちの1つの第2の縁部の一部分について、パッケージ内で繰り返すことができる。

【0161】

加えて、超小型電子素子1801の第1の縁部1810のうちの1つの第1の縁部を含み、別の超小型電子素子1805の第1の縁部1830に交差する、基板に垂直な平面1840が存在することが更に見られる。同様に、超小型電子素子1805の第1の縁部1830のうちの1つの第1の縁部を含み、別の超小型電子素子1803の第1の縁部1810に交差する、基板に垂直な平面1842が存在する。図29を点検することによって、超小型電子素子1807の第1の縁部のうちの1つの第1の縁部を含む同様な平面が超小型電子素子1801の第1の縁部に交差し、超小型電子素子1803の第1の縁部のうちの1つの第1の縁部を含む同様な平面が超小型電子素子1807の第1の縁部に交差することを見ることができる。そのパッケージは、1つの超小型電子素子の第1の縁部を含む平面が、パッケージ内の多くても1つの他の超小型電子素子の縁部にしか交わらないように組み立てることができる。

【0162】

図29は、鏡像信号割当てを有する第1の端子のグリッド1814、1824がそれぞれ、パッケージ1800内の超小型電子素子の1つ又は複数の上に部分的に又は完全に載ることができることを更に示す。第1の端子を含むグリッド及び第2の端子を含むグリッド内の信号割当ては、図27又は図28に関して上記で述べたようにすることができる。加えて、超小型電子素子の隣接する縁部1810、1832間に配置され、かつ、超小型電子素子の面がその上に全く配置されない基板の中央領域1850は、図27～図28に関して上記で述べた1つ又は複数のバッファ要素か、減結合キャパシタか、又は両方を収容することができる。

【0163】

図30は、図25に関して上記で説明された超小型電子パッケージ1570の変形形態による超小型電子パッケージを示しており、その超小型電子パッケージは、4つの超小型電子素子の代わりに、基板1902上に互いに離間して配置される3つの超小型電子素子1901A、1901B及び1901Cを含む。図25において見られる実施形態において、第1のグリッド1514及び第2のグリッド1524、並びに第3のグリッド1534及び第4のグリッド1544を用いる場合と同様に、パッケージ1900の第1のグリッド1914内の第1の端子の信号割当ては、第2のグリッド1924内の第1の端子の信号割当ての鏡像とすることができる。さらに、同じことが、パッケージ1900の第3のグリッド1934内の第1の端子の信号割当てにも当てはまることができ、それは、第

4のグリッド1944内の第1の端子の信号割当ての鏡像とすることができる。加えて、図30において見られるように、特定の例では、第1のグリッド1914は第1の超小型電子素子1901Aの上に重なることができ、一方、第2のグリッド1924は第2の超小型電子素子1901Bの上に重なることができる。図30において更に見られるように、第3のグリッド1934は、第3の超小型電子素子1901Cの上に重なることができる。第4のグリッド1944は、図30において見られるように、第3の超小型電子素子1901Cの縁部1942を越えて、基板1902の表面の一部の上に重なることができる。代替的には、図には示されないが、第4のグリッド1944も第3の超小型電子素子1901Cの上に重なることができる。

【0164】

10

上記の図5～図30を参照して上述した超小型電子パッケージ及び超小型電子アセンブリは、図31に示すシステム2500等、さまざまな電子システムの構造において利用することができる。例えば、本発明のさらなる実施形態によるシステム2500は、他の電子構成要素2508、2510及び2511とともに上述した超小型電子パッケージ及び/又は超小型電子アセンブリ等、複数のモジュール又は構成要素2506を含む。

【0165】

図示の例示的システム2500において、システムは、フレキシブルプリント回路基板等の、回路パネル、マザーボード、又はライザーパネル2502を含むことができ、回路パネルは、モジュール又は構成要素2506、2508、2510を互いに相互接続する多数の導体2504を含むことができる。多数の導体2504のうち、1つのみを図31

20

【0166】

特定の実施形態では、システム2500は、半導体チップ2508等のプロセッサも備えることができ、各モジュール又は構成要素2506は、クロックサイクルにおいてN個のデータビットを並列に転送するように構成することができ、プロセッサは、クロックサイクルにおいてM個のデータビットを並列に転送するように構成することができるように

30

【0167】

一例では、システム2500は、クロックサイクルにおいて32個のデータビットを並列に転送するように構成されたプロセッサチップ2508を備えることができ、このシステムは、図5A～図5Cを参照して説明した超小型電子パッケージ100等の4つのモジュール2506も備えることができ、各モジュール2506は、クロックサイクルにおいて8つのデータビットを並列に転送するように構成されている(すなわち、各モジュール2506は、第1の超小型電子素子及び第2の超小型電子素子を備えることができ、これらの2つの超小型電子素子のそれぞれは、クロックサイクルにおいて4つのデータビットを並列に転送するように構成されている)。

【0168】

40

別の例では、システム2500は、クロックサイクルにおいて64個のデータビットを並列に転送するように構成されたプロセッサチップ2508を備えることができ、このシステムは、図23～図29いずれか1つを参照して説明した超小型電子パッケージ等の4つのモジュール2506も備えることができ、各モジュール2506は、クロックサイクルにおいて16個のデータビットを並列に転送するように構成されている(すなわち、各モジュール2506は4つの超小型電子素子を備えることができ、これらの4つの超小型電子素子のそれぞれは、クロックサイクルにおいて4つのデータビットを並列に転送するように構成されている)。

【0169】

図31に示す例では、構成要素2508は半導体チップであり、構成要素2510はデ

50

ディスプレイスクリーンであるが、他の任意の構成要素をシステム 2500 において用いることができる。もちろん、説明を明瞭にするために、図 31 には 2 つの追加の構成要素 2508 及び 2511 しか示されていないが、システム 2500 は、任意の数のそのような構成要素を備えることができる。

【0170】

モジュール又は構成要素 2506 並びに構成要素 2508 及び 2511 は、破線で概略的に示す共通のハウジング 2501 内に実装することができ、必要に応じて互いに電氣的に相互接続して所望の回路を形成することができる。ハウジング 2501 は、例えば、携帯電話又は携帯情報端末において使用可能なタイプのポータブルハウジングとして示され、スクリーン 2510 は、このハウジングの表面において露出することができる。構造 2506 が撮像チップ等の光感知素子を備える実施形態では、光をこの構造体にするレンズ 2511 又は他の光学デバイスも設けることができる。ここでも、図 31 に示す単純化したシステムは単なる例示にすぎず、デスクトップコンピュータ、ルータ等の固定構造と一般に考えられるシステムを含む他のシステムを、上記で議論した構造体を用いて組み立てることができる。

【0171】

本発明の上記の実施形態の種々の特徴は、本発明の範囲又は趣旨から逸脱することなく、具体的に上記で説明された以外の方法において組み合わせることができる。本開示は、上記の本発明の実施形態の全てのそのような組み合わせ及び変形形態を包含することを意図している。

なお、出願当初の特許請求の範囲は以下の通りである。

(請求項 1)

超小型電子アセンブリであって、

互いに反対側の第 1 の表面及び第 2 の表面と、該第 1 及び該第 2 の表面において露出する第 1 のパネルコンタクト及び第 2 のパネルコンタクトとをそれぞれ有する回路パネルと

、
それぞれが、前記それぞれのパネルコンタクトに実装された端子を有する第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージと、
を備え、

各超小型電子パッケージは、

互いに反対側の第 1 の表面及び第 2 の表面及び前記第 1 の表面において露出する複数の基板コンタクトを有する基板と、

メモリ記憶アレイ機能を有する超小型電子素子であって、前記第 1 の表面に面する背面と、該背面の反対側の前面と、該前面の上に延在する導電性構造を通して前記基板コンタクトとに電氣的に接続された前記前面上のコンタクトを有する、超小型電子素子と、

該超小型電子パッケージを該パッケージの外部の少なくとも 1 つの構成要素に接続するように構成される、前記第 2 の表面において露出する複数の端子であって、該端子は、前記基板コンタクトに電氣的に接続され、理論的軸の第 1 の側に配置される第 1 の端子の第 1 の組、及び、前記第 1 の側の反対側の、前記軸の第 2 の側に配置される第 1 の端子の第 2 の組を含む複数の第 1 の端子を含み、それぞれの前記第 1 の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、複数の端子と、
を備え、

前記第 1 の組内の前記第 1 の端子の信号割当ては、前記第 2 の組内の前記第 1 の端子の信号割当ての鏡像である、超小型電子アセンブリ。

(請求項 2)

各パッケージの前記超小型電子素子は、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化する、請求項 1 に記載の超小型電子アセンブリ。

(請求項 3)

各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記アドレス指定可能メモリ位置を決定するのに前記それぞれの超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成される、請求項 1 に記載の超小型電子アセンブリ。

(請求項 4)

各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージの前記超小型電子素子の動作モードを制御する情報を運ぶように構成される、請求項 1 に記載の超小型電子アセンブリ。

(請求項 5)

各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージに転送されるコマンド信号の全てを運ぶように構成され、前記コマンド信号は、ライトイネーブル信号、行アドレスストロープ信号、及び列アドレスストロープ信号である、請求項 4 に記載の超小型電子アセンブリ。

(請求項 6)

各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージに転送されるクロック信号を運ぶように構成され、前記クロック信号は、前記アドレス情報を運ぶ信号をサンプリングするのに用いられるクロックを含む、請求項 1 に記載の超小型電子アセンブリ。

(請求項 7)

各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記それぞれの超小型電子パッケージに転送されるバンクアドレス信号の全てを運ぶように構成される、請求項 1 に記載の超小型電子アセンブリ。

(請求項 8)

前記第 1 のパッケージの前記第 2 の組内の前記第 1 の端子は、前記第 2 のパッケージの前記第 1 の組内の前記第 1 の端子に前記回路パネルを通して接続され、前記第 1 のパッケージの前記第 2 の組の前記第 1 の端子は、それらが接続される、前記第 2 のパッケージ上の前記第 1 の組の前記対応する第 1 の端子の 1 ボールピッチ以内で、前記第 1 及び第 2 の回路パネル表面に平行な直交する x 方向及び y 方向において位置合わせされる、請求項 1 に記載の超小型電子アセンブリ。

(請求項 9)

各パッケージ上の前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、各パッケージ上のそれぞれの第 1 のグリッド及び第 2 のグリッド内の位置に配置され、前記第 1 のパッケージの前記第 1 のグリッドの前記第 1 の端子は、直交する前記 x 方向及び前記 y 方向において、前記第 2 のパッケージの前記第 2 のグリッドの前記第 1 の端子に位置合わせされ一致する、請求項 8 に記載の超小型電子アセンブリ。

(請求項 10)

各パッケージ上の前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、各パッケージ上のそれぞれの第 1 のグリッド及び第 2 のグリッド内の位置に配置され、各グリッドの各位置は、前記端子のうちの 1 つによって占められる、請求項 8 に記載の超小型電子アセンブリ。

(請求項 11)

各パッケージ上の前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、各パッケージ上のそれぞれの第 1 のグリッド及び第 2 のグリッド内の位置に配置され、各グリッドの少なくとも 1 つの位置は、端子によって占められない、請求項 8 に記載の超小型電子アセンブリ。

(請求項 12)

各パッケージ上の前記第 1 の組及び第 2 の組のそれぞれの前記第 1 の端子は、各パッケージ上のそれぞれの第 1 のグリッド及び第 2 のグリッド内の位置に配置され、前記第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージの前記グリッドは、機能的かつ機械的に一致する、請求項 8 に記載の超小型電子アセンブリ。

10

20

30

40

50

(請求項 13)

前記第1の超小型電子パッケージの前記第1の端子のうちの1つと、前記第2の超小型電子パッケージの前記第1の端子のうちの対応する1つとの間の電気接続のうちの少なくとも1つのスタブの長さは、前記超小型電子パッケージのそれぞれの前記第1の端子の最小ピッチの7倍未満である、請求項8に記載の超小型電子アセンブリ。

(請求項 14)

前記第1の超小型電子パッケージの前記第1の端子と前記第2の超小型電子パッケージの前記第1の端子との間の前記回路パネルを通る前記電気的接続の少なくともいくつかは、前記回路パネルの厚み程度の電気長を有する、請求項8に記載の超小型電子アセンブリ。

10

(請求項 15)

前記回路パネルの前記第1の表面及び前記第2の表面において露出する、電気的に結合される第1のパネルコンタクト及び第2のパネルコンタクトの対を接続する導電性素子を結合した全長は、前記パネルコンタクトの最小ピッチの7倍未満である、請求項13に記載の超小型電子アセンブリ。

(請求項 16)

前記回路パネルは、前記超小型電子パッケージのそれぞれに転送される全ての前記アドレス情報を運ぶように構成される複数の導体を有するバスを含み、前記導体は、前記第1の表面及び前記第2の表面に平行な第1の方向に延在する、請求項1に記載の超小型電子アセンブリ。

20

(請求項 17)

前記第1の端子のそれぞれの組の前記第1の端子は、個々の列内の位置に配置され、前記回路パネルは、前記第1及び前記第2のパッケージの前記第1の端子が電気的に接続される前記回路パネル上の接続部位と、少なくとも第3の超小型電子パッケージの前記第1の端子が電気的に接続される前記回路パネル上の異なる接続部位との間でアドレス情報の全てをグローバルルーティングする1つのみのルーティング層を含む、請求項1に記載の超小型電子アセンブリ。

(請求項 18)

それぞれのパッケージ上の前記第1及び前記第2の組のそれぞれの組の前記第1の端子は、それぞれのパッケージ上のそれぞれの第1のグリッド及び第2のグリッド内の位置に配置され、それぞれの超小型電子パッケージの第1の端子の前記第1及び前記第2のグリッドのそれぞれは2つの平行な列を有し、前記回路パネルは、前記超小型電子パッケージの1つ又は複数の超小型電子パッケージの前記端子が電気的に接続される前記回路パネル上のそれぞれの接続部位間でアドレス情報の全てをグローバルルーティングする2つ以下のルーティング層を含む、請求項8に記載の超小型電子アセンブリ。

30

(請求項 19)

前記第1及び前記第2のパッケージの前記第1の端子が電気的に接続される前記回路パネル上の接続部位と、少なくとも第3の超小型電子パッケージの前記第1の端子が電気的に接続される前記回路パネル上の異なる接続部位との間でアドレス情報の全てをグローバルルーティングする1つのみのルーティング層が存在する、請求項18に記載の超小型電子アセンブリ。

40

(請求項 20)

それぞれの超小型電子パッケージは、前記それぞれの超小型電子パッケージ内の前記それぞれの端子の少なくともいくつかの端子及び前記超小型電子素子に電気的に接続されたバッファ要素を含み、それぞれのバッファ要素は、前記超小型電子素子に転送するように、前記それぞれの超小型電子パッケージの前記端子の1つ又は複数の端子で受信される少なくとも1つの信号を再生するか、又は、少なくとも部分的に復号化する、の少なくとも一方を行うように構成される、請求項1に記載の超小型電子アセンブリ。

(請求項 21)

各超小型電子パッケージの前記超小型電子素子は、第1の超小型電子素子であり、

50

前記超小型電子パッケージのそれぞれの、前記基板に面する背面、及び該背面と反対側の前面を有する第2の超小型電子素子を更に含み、前記前面上の複数の素子コンタクトが、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続されており、前記第2の超小型電子素子は、任意の他の機能よりもメモリ記憶アレイ機能を提供する、能動素子を多く具体化し、

それぞれの超小型電子パッケージの前記第1及び第2の組のそれぞれの前記第1の端子は、前記それぞれの超小型電子パッケージの前記第1及び第2の超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記それぞれの超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、請求項2に記載の超小型電子アセンブリ。

10

(請求項22)

モジュールであって、請求項1に記載の超小型電子アセンブリを複数含み、各超小型電子アセンブリは、各超小型電子アセンブリに信号を運ぶとともに、各超小型電子アセンブリから信号を運ぶように、相互接続構造体に電氣的に接続される、モジュール。

(請求項23)

超小型電子パッケージ及び該超小型電子パッケージに電氣的に接続された回路パネルを含む超小型電子アセンブリを備えるシステムであって、前記超小型電子パッケージは、

互いに反対側の第1の表面及び第2の表面と、前記第1の表面において露出する複数の基板コンタクトとを有する基板と、

メモリ記憶アレイ機能を有する超小型電子素子であって、前記第1の表面に面する背面と、該背面と反対側の前面と、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトとを有する、超小型電子素子と、

20

前記超小型電子パッケージを前記回路パネルに接続するように構成される、前記第2の表面において露出する複数の端子とを含み、該端子は、前記基板コンタクトに電氣的に接続され、複数の第1の端子であって、理論的軸の第1の側及び第2の側のそれぞれの側に配置された第1の端子の第1の組及び第2の組を含む、複数の第1の端子を含み、前記第1及び第2の組のそれぞれの前記第1の端子は、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成され、

30

前記第1の組内の前記第1の端子の信号割当ては、前記第2の組内の前記第1の端子の信号割当ての鏡像である、システム。

(請求項24)

筐体を更に備え、前記超小型電子アセンブリ及び前記1つ又は複数の他の電子構成要素は、前記筐体に組み付けられる、請求項23に記載のシステム。

(請求項25)

請求項23に記載のシステムであって、前記超小型電子アセンブリは第1の超小型電子アセンブリであり、該システムは、第2の超小型電子アセンブリを更に備える、請求項23に記載のシステム。

(請求項26)

40

超小型電子アセンブリであって、

互いに反対側の第1の表面及び第2の表面及び該第1の表面及び該第2の表面において露出する第1のパネルコンタクト及び第2のパネルコンタクトをそれぞれ有する回路パネルと、

それぞれが、前記それぞれのパネルコンタクトに実装された端子を有する第1の超小型電子パッケージ及び第2の超小型電子パッケージと、
を備え、

各超小型電子パッケージは、

互いに反対側の第1の表面及び第2の表面と、該第1の表面において露出する複数の基板コンタクトとを有する基板と、

50

メモリ記憶アレイ機能を有する超小型電子素子であって、前記第 1 の表面に面する背面と、該背面と反対側の前面と、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトとを有する、超小型電子素子と、を備え、

前記第 2 の表面において露出する複数の端子が、前記超小型電子パッケージを該パッケージの外部の少なくとも 1 つの構成要素に接続するように構成され、該端子は、前記基板コンタクトに電氣的に接続され、理論的軸の第 1 の側及び第 2 の側のそれぞれに配置される第 1 の端子の第 1 の組及び第 2 の組を含む、第 1 の端子を含み、前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記超小型電子パッケージ内の回路によって使用可能なアドレス情報の大部分を運ぶように構成され、

10

前記第 1 の組内の前記第 1 の端子の信号割当ては、前記第 2 の組内の前記第 1 の端子の信号割当ての鏡像である、超小型電子アセンブリ。

(請求項 27)

各超小型電子パッケージの前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記アドレス指定可能メモリ位置を決定するのに前記それぞれの超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の少なくとも 3 / 4 を運ぶように構成される、請求項 26 に記載の超小型電子アセンブリ。

(請求項 28)

20

超小型電子アセンブリであって、

互いに反対側の第 1 の表面及び第 2 の表面と、該第 1 及び該第 2 の表面において露出する第 1 のパネルコンタクト及び第 2 のパネルコンタクトとをそれぞれ有する回路パネルと

それぞれが、前記それぞれのパネルコンタクトに実装された端子を有する第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージと、を備え、

各超小型電子パッケージは、

互いに反対側の第 1 の表面及び第 2 の表面と、該第 1 の表面において露出する複数の基板コンタクトとを有する基板と、

30

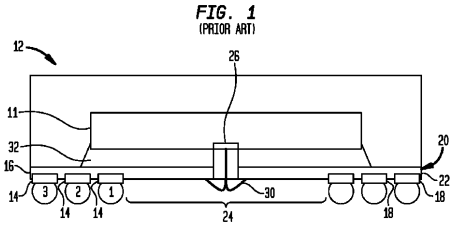
メモリ記憶アレイ機能を有する超小型電子素子であって、前記第 1 の表面に面する背面と、前記背面と反対側の前面と、前記前面の上に延在する導電性構造を通して前記基板コンタクトに電氣的に接続された前記前面上のコンタクトとを有する、超小型電子素子と、を備え、

前記第 2 の表面において露出する複数の端子が前記超小型電子パッケージを該パッケージの外部の少なくとも 1 つの構成要素に接続するように構成され、前記端子は、前記基板コンタクトに電氣的に接続され、第 1 の個々の列の位置に配置された第 1 の端子の第 1 の組及び第 2 の個々の列の位置に配置された前記第 1 の端子の第 2 の組を含み、前記第 1 の列及び第 2 の列のそれぞれの前記第 1 の端子は、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに、前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成され、

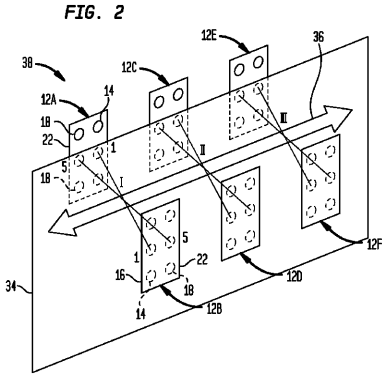
40

前記第 1 の列内の前記第 1 の端子の信号割当ては、前記第 2 の列内の前記第 1 の端子の信号割当てに対して、前記第 1 の列及び前記第 2 の列に平行でかつ前記第 1 の列と前記第 2 の列との間に延在する理論的軸に関して対称である、超小型電子アセンブリ。

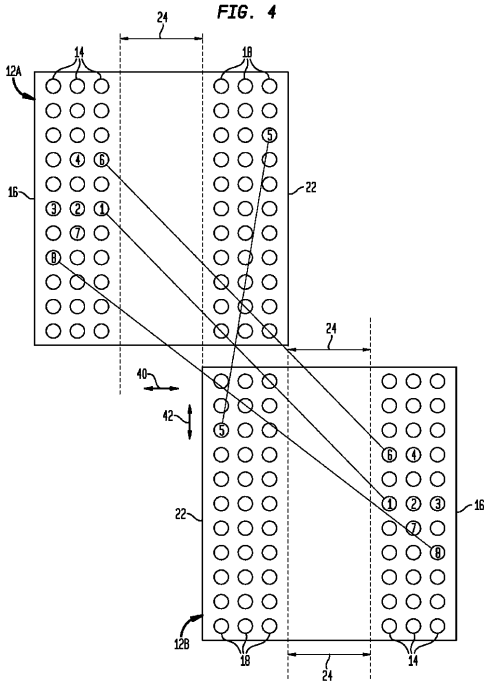
【 図 1 】



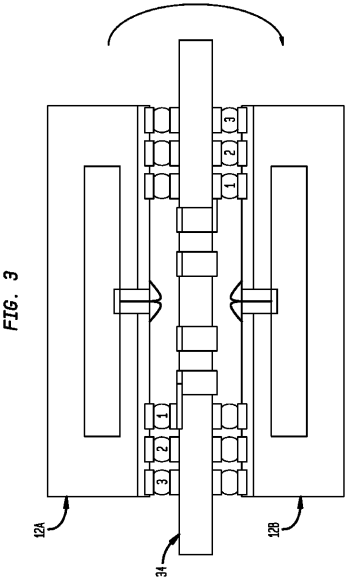
【 図 2 】



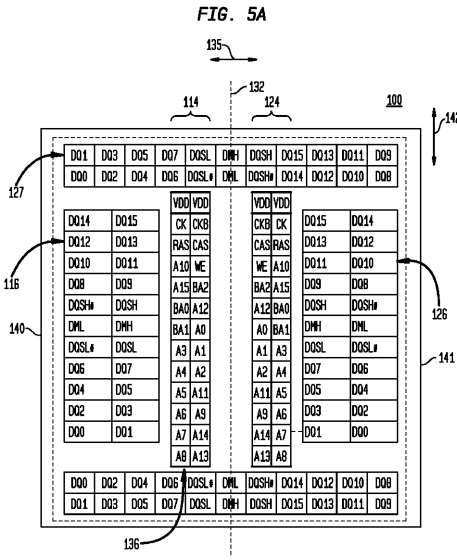
【 図 4 】



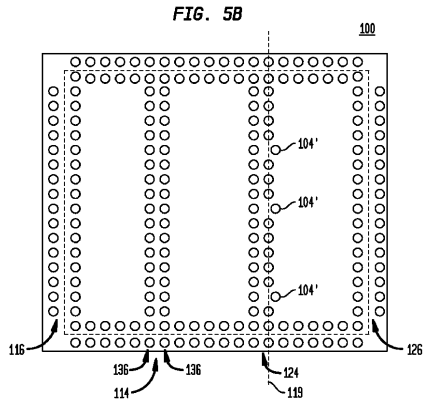
【 図 3 】



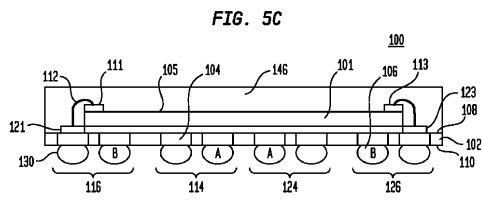
【 図 5 A 】



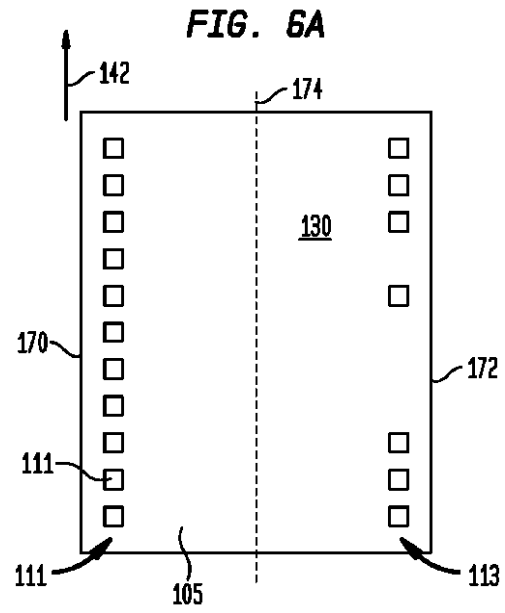
【図 5 B】



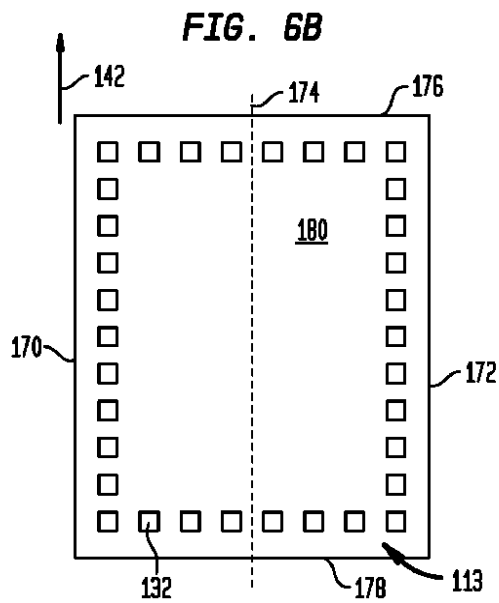
【図 5 C】



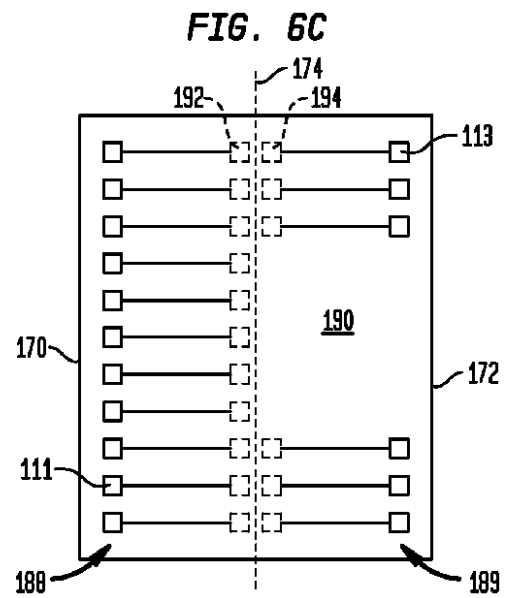
【図 6 A】



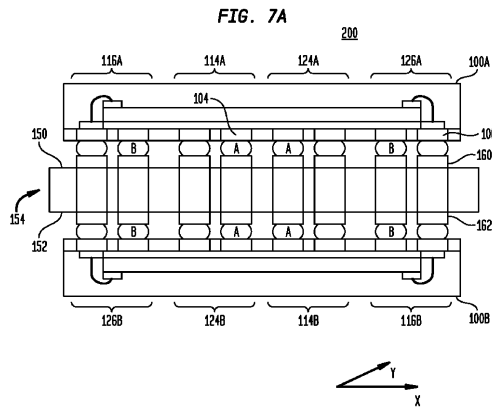
【図 6 B】



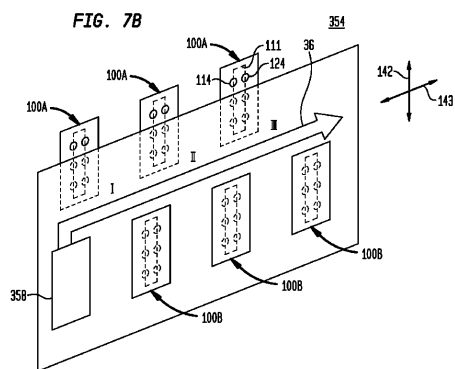
【図 6 C】



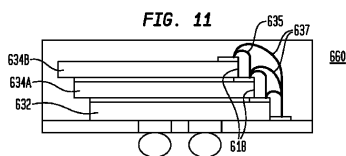
【図 7 A】



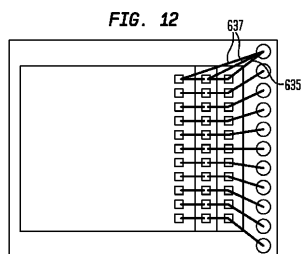
【図 7 B】



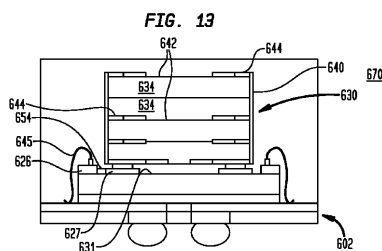
【図 1 1】



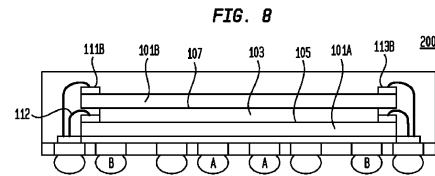
【図 1 2】



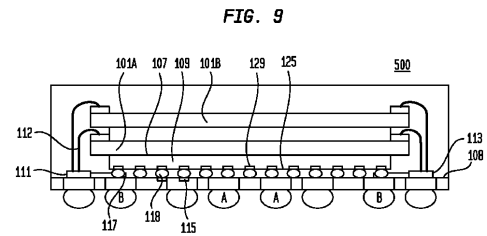
【図 1 3】



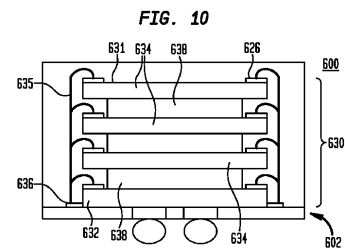
【図 8】



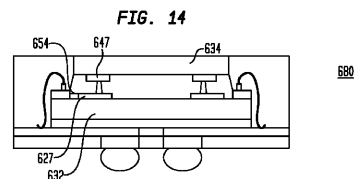
【図 9】



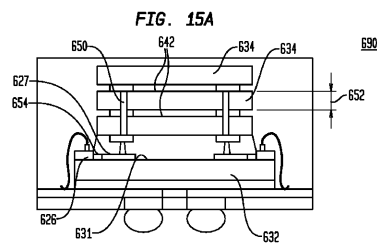
【図 1 0】



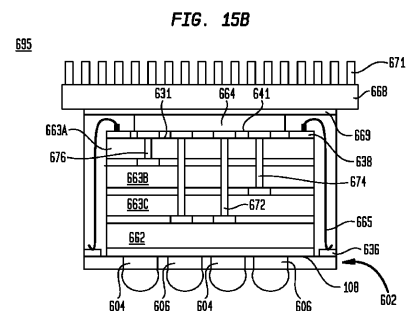
【図 1 4】



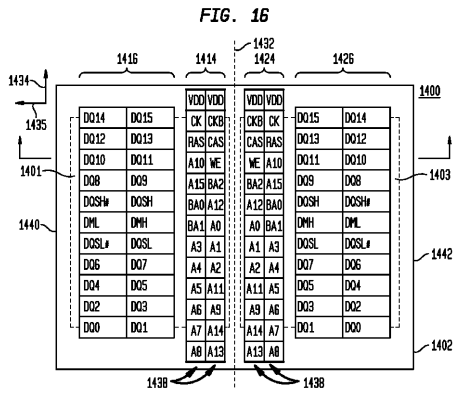
【図 1 5 A】



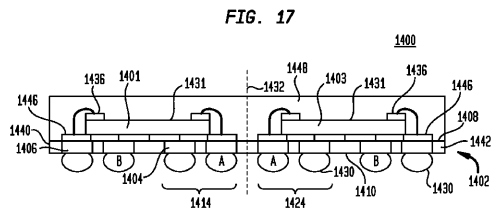
【図 1 5 B】



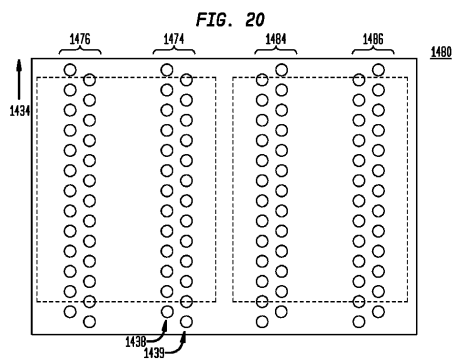
【 図 1 6 】



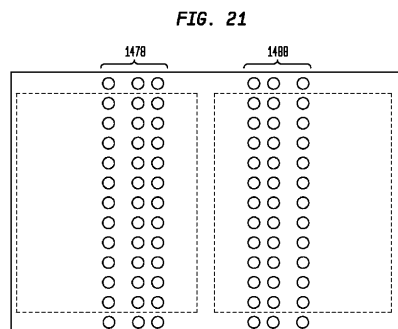
【 図 1 7 】



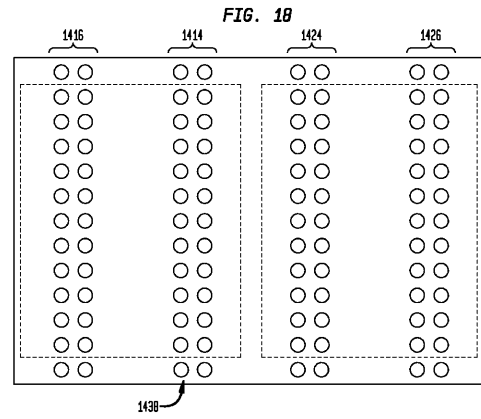
【 図 2 0 】



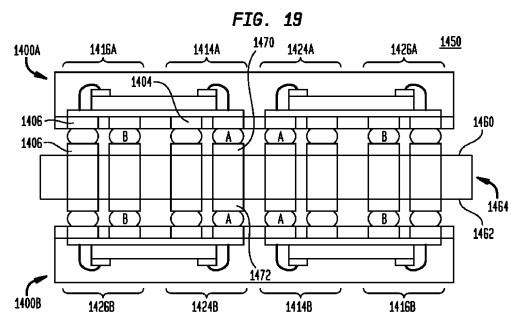
【 図 2 1 】



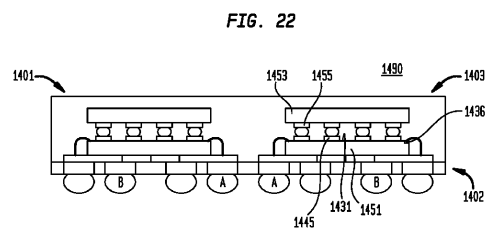
【 図 1 8 】



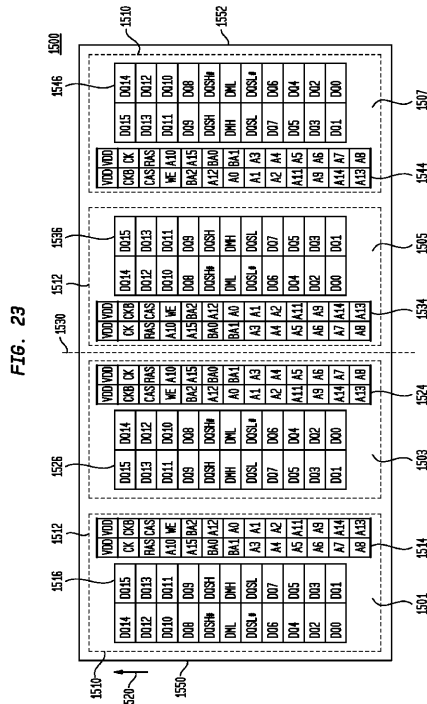
【 図 1 9 】



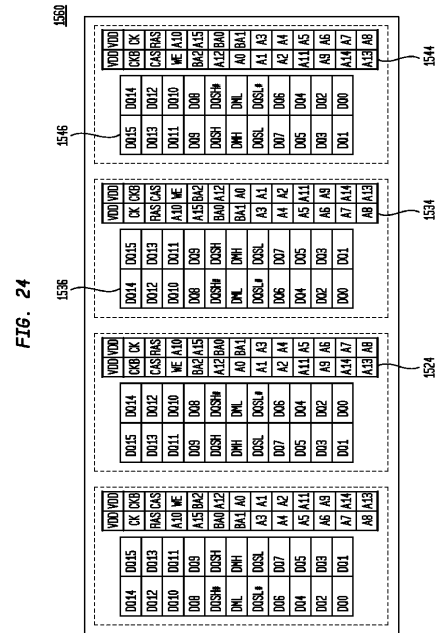
【 図 2 2 】



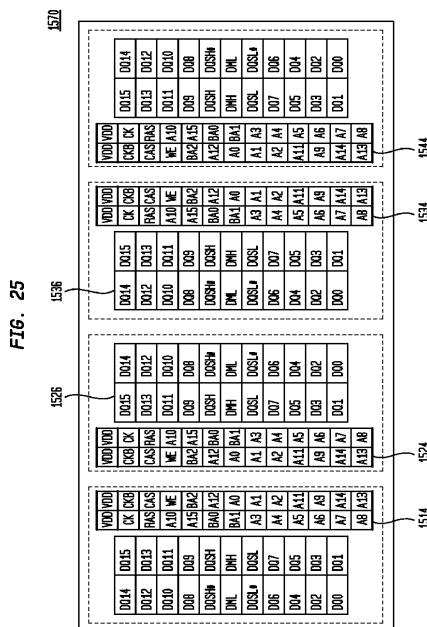
【 図 2 3 】



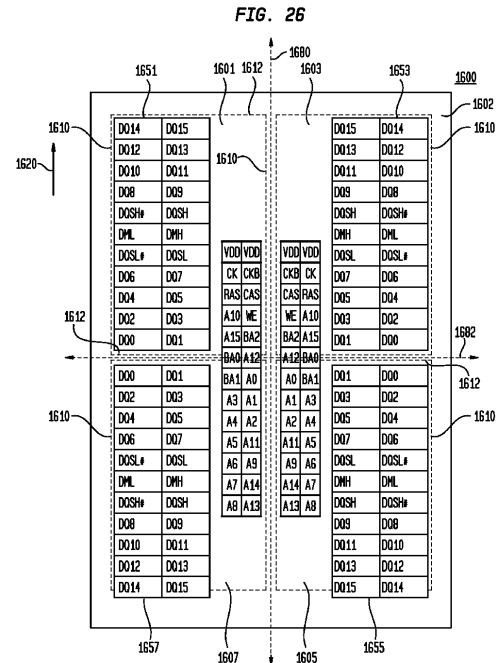
【 図 2 4 】



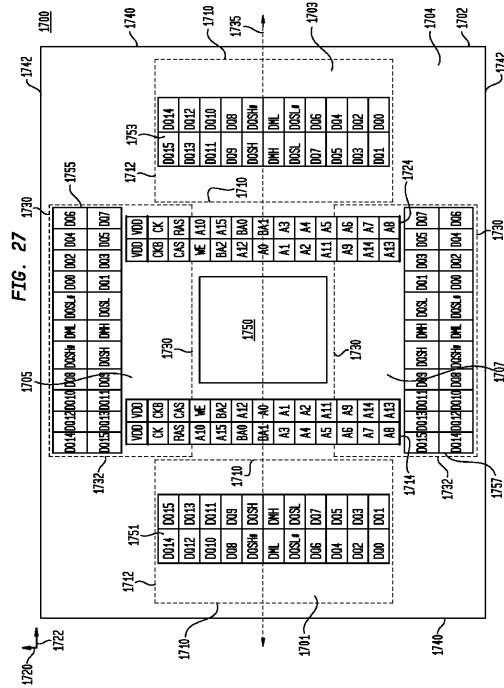
【 図 2 5 】



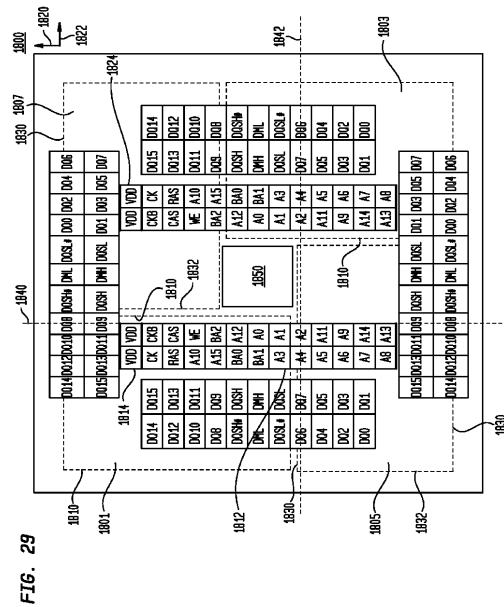
【 図 2 6 】



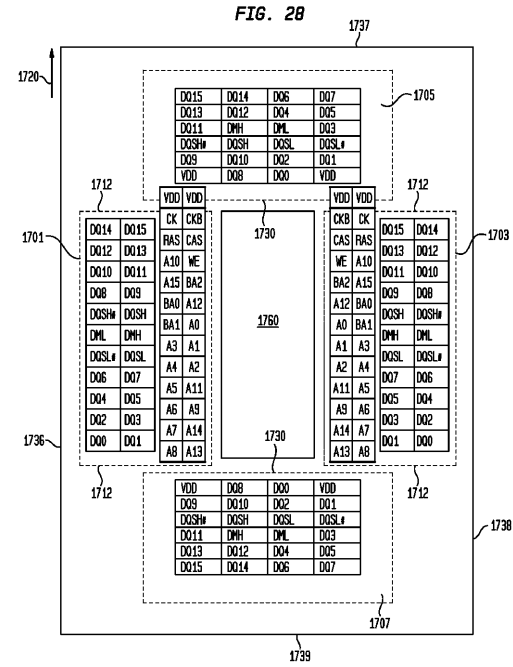
【圖 27】



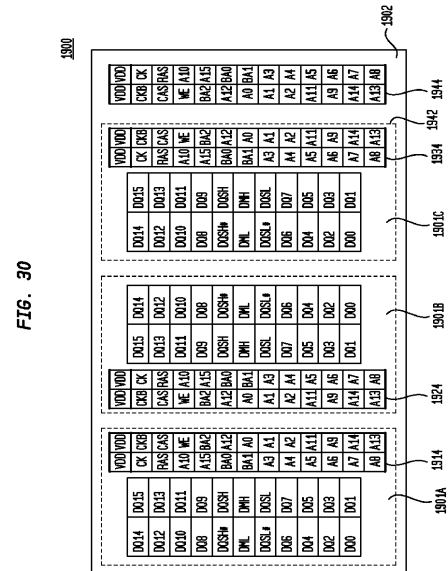
【 図 2 9 】



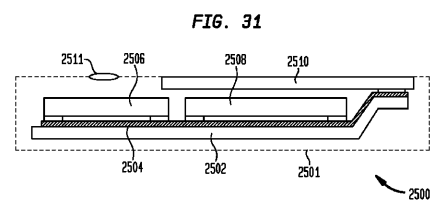
【 図 2 8 】



【 図 3 0 】



【 図 3 1 】



フロントページの続き

(51)Int.Cl. F I
G 0 6 F 13/16 (2006.01) G 0 6 F 13/16 5 1 0 A

(31)優先権主張番号 61/600,527
(32)優先日 平成24年2月17日(2012.2.17)
(33)優先権主張国 米国(US)

早期審査対象出願

(74)代理人 100142996
弁理士 森本 聡二
(74)代理人 100154298
弁理士 角田 恭子
(74)代理人 100166268
弁理士 田中 祐
(74)代理人 100170379
弁理士 徳本 浩一
(74)代理人 100161001
弁理士 渡辺 篤司
(74)代理人 100179154
弁理士 児玉 真衣
(74)代理人 100180231
弁理士 水島 亜希子
(74)代理人 100184424
弁理士 増屋 徹
(72)発明者 クリスブ, リチャード・デューイット
アメリカ合衆国カリフォルニア州9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2
5
(72)発明者 ハーバ, ベルガセム
アメリカ合衆国カリフォルニア州9 5 0 7 0, サラトガ, ミラー・コート 1 9 4 8 7
(72)発明者 ランブレクト, フランク
アメリカ合衆国カリフォルニア州9 4 0 4 0, マウンテン・ビュー, カリフォルニア 2 0 2 5,
2 3
(72)発明者 ゴーニ, ワエル
アメリカ合衆国カリフォルニア州9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2
5

審査官 石坂 博明

(56)参考文献 特開平1 1 - 0 8 7 6 4 0 (J P , A)
特開2 0 0 7 - 0 1 3 1 4 6 (J P , A)
特開2 0 0 8 - 0 1 6 6 6 6 (J P , A)
特開2 0 0 0 - 3 1 5 7 7 6 (J P , A)
特開2 0 0 2 - 0 8 3 8 9 7 (J P , A)
特開2 0 0 7 - 1 4 9 9 7 7 (J P , A)
特開2 0 0 3 - 0 5 1 5 4 5 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

H 0 1 L 2 1 / 6 0
 2 3 / 1 2 - 2 3 / 1 5
 2 5 / 0 0 - 2 5 / 0 7
 2 5 / 1 0 - 2 5 / 1 1
 2 5 / 1 6 - 2 5 / 1 8
G 0 6 F 1 3 / 1 6