

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7520498号
(P7520498)

(45)発行日 令和6年7月23日(2024.7.23)

(24)登録日 令和6年7月12日(2024.7.12)

(51)国際特許分類		F I			
H O 4 N	25/771 (2023.01)	H O 4 N	25/771		
H O 4 N	25/76 (2023.01)	H O 4 N	25/76		
H O 1 L	27/146 (2006.01)	H O 1 L	27/146	A	
		H O 1 L	27/146	E	
		H O 1 L	27/146	F	
請求項の数 17 (全42頁)					
(21)出願番号	特願2019-218404(P2019-218404)	(73)特許権者	316005926		
(22)出願日	令和1年12月2日(2019.12.2)		ソニーセミコンダクタソリューションズ株式会社		
(65)公開番号	特開2021-90112(P2021-90112A)		神奈川県厚木市旭町四丁目1 4 番 1 号		
(43)公開日	令和3年6月10日(2021.6.10)	(74)代理人	110002147		
審査請求日	令和4年11月22日(2022.11.22)		弁理士法人酒井国際特許事務所		
		(72)発明者	田代 睦聡		
			神奈川県厚木市旭町四丁目1 4 番 1 号		
			ソニーセミコンダクタソリューションズ株式会社内		
		審査官	鈴木 明		
最終頁に続く					

(54)【発明の名称】 固体撮像装置及び電子機器

(57)【特許請求の範囲】

【請求項1】

光電荷を生成する光電変換部と、
第1容量素子を有し、前記光電変換部により生成された前記光電荷を保持する第1電荷保持部と、
第2容量素子を有し、前記第1電荷保持部から転送された前記光電荷を保持する第2電荷保持部と、
前記第1電荷保持部と前記第2電荷保持部を結ぶ配線上に配置され、前記第1電荷保持部に保持された前記光電荷を前記第2電荷保持部へ転送する第1トランジスタと、
前記第2電荷保持部に保持された前記光電荷の電荷量に応じた電圧値の画素信号を信号線に出現させる第2トランジスタと、
を備える画素を有し、
前記画素においては、
前記第1容量素子は、前記第1トランジスタの近傍に配置され、
前記第2容量素子は、前記第2トランジスタの近傍に配置される、
固体撮像装置。

【請求項2】

前記第1電荷保持部の第1容量と前記第2電荷保持部の第2容量とが近似する請求項1に記載の固体撮像装置。

【請求項3】

前記第 1 容量素子の容量は、 10 fF （フェムトファラド）以上である請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記第 1 容量素子の容量は、前記第 2 容量素子の容量よりも小さい請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記第 1 容量素子の占有面積は、前記第 2 容量素子の占有面積よりも小さい請求項 1 ～ 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

前記第 1 容量素子と前記第 2 容量素子との間に、前記第 1 容量素子と前記第 2 容量素子とを遮蔽する遮蔽部材が配置された請求項 1 ～ 5 のいずれか 1 項に記載の固体撮像装置。

【請求項 7】

前記画素は、前記第 1 容量素子及び前記第 2 容量素子を覆う遮蔽金属膜をさらに備える請求項 1 ～ 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 8】

縦 2 個、横 2 個で配列する、4 個の前記画素からなる画素ユニットを有し、

前記画素ユニットにおいては、

前記画素ユニットの中心にはウェルタップが配置され、

前記画素ユニットの外周に沿って、前記第 1 容量素子及び前記第 2 容量素子のそれぞれが配置される、

請求項 1 ～ 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

前記第 1 容量素子は、 MOS （Metal Oxide Semiconductor）キャパシタ、絶縁体が金属で挟まれた MIM （Metal Insulator Metal）構造を有するキャパシタ及び 3 次元 MIM 構造を有するキャパシタのいずれかを含む請求項 1 ～ 8 のいずれか 1 項に記載の固体撮像装置。

【請求項 10】

前記第 2 容量素子は、 MOS （Metal Oxide Semiconductor）キャパシタ、絶縁体が金属で挟まれた MIM （Metal Insulator Metal）構造を有するキャパシタ及び 3 次元 MIM 構造を有するキャパシタのいずれかを含む請求項 1 ～ 9 のいずれか 1 項に記載の固体撮像装置。

【請求項 11】

前記第 2 電荷保持部と定電圧源とを結ぶ配線上に配置され、前記第 2 電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第 3 トランジスタと、

前記第 2 トランジスタと前記信号線とを結ぶ配線上に配置されて前記第 2 トランジスタと前記信号線との接続を切り替える第 4 トランジスタと、

をさらに備えた請求項 1 ～ 10 のいずれか 1 項に記載の固体撮像装置。

【請求項 12】

前記第 1 電荷保持部と定電圧源とを結ぶ配線上に配置され、前記第 1 電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第 5 トランジスタをさらに備えた請求項 1 ～ 11 のいずれか 1 項に記載の固体撮像装置。

【請求項 13】

前記光電変換部は、 InGaAs （インジウムガリウム砒素）、 InAsSb （インジウム砒素アンチモン）、 InAs （インジウム砒素）、 InSb （インジウムアンチモン）、 HgCdTe （水銀カドミウムテルル）、 Ge （ゲルマニウム）、量子ドット又は有機化合物のいずれかを含む請求項 1 ～ 12 のいずれか 1 項に記載の固体撮像装置。

【請求項 14】

前記光電変換部から延びる電極と前記第 1 電荷保持部から延びる電極とが直接接合されて導通される請求項 1 ～ 13 のいずれか 1 項に記載の固体撮像装置。

【請求項 15】

10

20

30

40

50

前記光電変換部から延びる端子と前記第 1 電荷保持部から延びる端子とがバンプ電極により接続されて導通される請求項 1 ～ 1 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 1 6】

前記光電変換部は、前記第 1 電荷保持部に接続される p 型不純物領域を有する請求項 1 ～ 1 5 のいずれか 1 項に記載の固体撮像装置。

【請求項 1 7】

複数の画素が行列方向に配置された画素アレイ部と、
複数の前記画素における読み出し対象の画素を駆動する駆動回路と、
前記駆動回路により駆動された前記読み出し対象の画素から画素信号を読み出す処理回路と、

10

前記駆動回路及び前記処理回路を制御する制御部とを備え、
前記複数の画素それぞれは、
光電荷を生成する光電変換部と、
第 1 容量素子を有し、前記光電変換部により生成された前記光電荷を保持する第 1 電荷保持部と、
第 2 容量素子を有し、前記第 1 電荷保持部から転送された前記光電荷を保持する第 2 電荷保持部と、

前記第 1 電荷保持部と前記第 2 電荷保持部を結ぶ配線上に配置され、前記第 1 電荷保持部に保持された前記光電荷を前記第 2 電荷保持部へ転送する第 1 トランジスタと、

前記第 2 電荷保持部に保持された前記光電荷の電荷量に応じた電圧値の画素信号を信号線に出現させる第 2 トランジスタと、
を有し、

20

前記画素においては、
前記第 1 容量素子は、前記第 1 トランジスタの近傍に配置され、
前記第 2 容量素子は、前記第 2 トランジスタの近傍に配置される、
電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像装置及び電子機器に関する。

30

【背景技術】

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ (CIS: CMOS Image Sensor) 等の固体撮像素子の普及が著しく、様々な分野でフィルム式の撮影装置と置き換えて活用されている。固体撮像素子は、通常の可視光の撮影においてフィルム式の撮影装置に代えて活用されていることはもちろん、紫外線や赤外線、X 線やガンマ線といった非可視光の撮影における活用も顕著である。さらに、光電変換膜を有する撮像装置においてグローバルシャッタ駆動を行うためにフローティングディフュージョン (FD: Floating Diffusion) で光電荷を保持する画素回路が知られている。そのような画素回路は、FD 保持型 GS (Global shutter) の画素回路と呼ばれる場合がある。

40

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2011-130364 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、FD 保持型 GS の画素回路を PN 接合容量及び配線容量で設計した場合、光電荷を蓄積する拡散層であるセンスノード (SN: Sense Node) の容量である SN

50

容量は、10 fF程度が上限となり、十分な飽和電荷数を確保することは困難である。S N容量の飽和電荷数が十分でない場合、CMOSイメージセンサの特性が悪化するおそれがある。

【0005】

そこで、本開示では、CMOSイメージセンサの特性を向上させる固体撮像装置及び電子機器を提供する。

【課題を解決するための手段】

【0006】

本開示によれば、固体撮像装置は、光電荷を生成する光電変換部と、第1容量素子を有し、前記光電変換部により生成された前記光電荷を保持する第1電荷保持部と、前記第1電荷保持部から転送された前記光電荷を保持する第2電荷保持部と、前記第1電荷保持部と前記第2電荷保持部を結ぶ配線上に配置され、前記第1電荷保持部に保持された前記光電荷を前記第2電荷保持部へ転送する第1トランジスタと、前記第2電荷保持部に保持された前記光電荷の電荷量に応じた電圧値の画素信号を信号線に出現させる第2トランジスタとを備える。

【図面の簡単な説明】

【0007】

【図1】本開示の実施形態に係る電子機器の概略構成例を示すブロック図である。

【図2】本開示の実施形態に係るイメージセンサの概略構成例を示すブロック図である。

【図3】本開示の実施形態に係る画素回路の回路図である。

【図4】本開示の実施形態に係る画素回路の断面図である。

【図5】飽和電荷数とS Nの総容量との関係を表す図である。

【図6】FDの容量とランダムノイズの関係を表す図である。

【図7】FD及びS Nの設計例を表す図である。

【図8】本開示の実施形態に係る画素回路のレイアウトを示す図である。

【図9】複数の画素回路の配置を表す図である。

【図10】P-wellタップ及びN-wellタップを共通化した場合の配置図である。

【図11】複数の画素回路の配置の第1の他の例を表す図である。

【図12A】複数の画素回路の配置の第2の他の例を表す図である。

【図12B】複数の画素回路の配置の第2の他の例を表す図である。

【図13】画素回路のレイアウトの他の例を示す図である。

【図14】本開示の実施形態の変形例(1)に係る画素回路の回路図である。

【図15】本開示の実施形態の変形例(2)に係る画素回路の回路図である。

【図16】本開示の実施形態の変形例(3)に係る画素回路の回路図である。

【図17】本開示の実施形態の変形例(4)に係る画素回路の回路図である。

【図18A】受光素子の平面構成を表す図である。

【図18B】図15AのB-B'線に沿った断面構成を表す図である。

【図19】他の受光素子の断面構成を表す図である。

【図20】車両制御システムの概略的な構成の一例を示すブロック図である。

【図21】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【図22】内視鏡手術システムの概略的な構成の一例を示す図である。

【図23】カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

【発明を実施するための形態】

【0008】

以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

【0009】

なお、説明は以下の順序で行うものとする。

1. 一実施形態
2. 適用例

10

20

30

40

50

３．移動体への応用例

４．内視鏡手術システムへの応用例

【００１０】

（１．実施形態）

〔電子機器の構成〕

図１は、本開示の実施形態に係る電子機器の概略構成例を示すブロック図である。図１に示すように、電子機器１００は、例えば、撮像レンズ１０１、イメージセンサ１０２、プロセッサ１０３及び記憶部１０４を備える。

【００１１】

撮像レンズ１０１は、入射光を集光してその像をイメージセンサ１０２の受光面に結像する光学系の一例である。受光面とは、イメージセンサ１０２における光電変換素子が配列する面であってよい。イメージセンサ１０２は、入射光を光電変換して画像データを生成する。また、イメージセンサ１０２は、生成した画像データに対し、ノイズ除去やホワイトバランス調整等の所定の信号処理を実行する。

【００１２】

記憶部１０４は、例えば、フラッシュメモリやＤＲＡＭ（Dynamic Random Access Memory）やＳＲＡＭ（Static Random Access Memory）等で構成され、イメージセンサ１０２から入力された画像データ等を記録する。

【００１３】

プロセッサ１０３は、例えば、ＣＰＵ（Central Processing Unit）等を用いて構成され、オペレーティングシステムや各種アプリケーションソフトウェア等を実行するアプリケーションプロセッサや、ＧＰＵ（Graphics Processing Unit）やベースバンドプロセッサなどが含まれ得る。プロセッサ１０３は、イメージセンサ１０２から入力された画像データや記憶部１０４から読み出した画像データ等に対し、必要に応じた種々処理を実行したり、ユーザへの表示を実行したり、所定のネットワークを介して外部へ送信したりする。

【００１４】

〔イメージセンサの構成〕

図２は、本開示の実施形態に係るイメージセンサの概略構成例を示すブロック図である。イメージセンサ１０２は、ＣＭＯＳ型のイメージセンサである。ここで、ＣＭＯＳ型のイメージセンサとは、ＣＭＯＳプロセスを応用して、または、部分的に使用して作成されたイメージセンサである。例えば、イメージセンサ１０２は、裏面照射型のイメージセンサで構成される。このイメージセンサ１０２が、「固体撮像装置」の一例にあたる。

【００１５】

本実施形態に係るイメージセンサ１０２は、例えば、画素アレイ部１２１が形成された半導体チップと、周辺回路が形成された半導体チップとが積層されたスタック構造を有する。周辺回路には、例えば、垂直駆動回路１２２、カラム処理回路１２３、水平駆動回路１２４及びシステム制御部１２５が含まれる。

【００１６】

イメージセンサ１０２は更に、信号処理部１２６及びデータ格納部１２７を備える。信号処理部１２６及びデータ格納部１２７は、周辺回路と同じ半導体チップに設けられてもよいし、別の半導体チップに設けられてもよい。

【００１７】

画素アレイ部１２１は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）１２０が行方向及び列方向に、すなわち、行列状に２次元格子状に配置された構成を有する。ここで、行方向とは画素行の画素の配列方向（図面中、横方向）をいい、列方向とは画素列の画素の配列方向（図面中、縦方向）をいう。画素１２０の具体的な回路構成や画素構造の詳細については後述する。

【００１８】

10

20

30

40

50

画素アレイ部 121 では、行列状の画素配列に対し、画素行ごとに画素駆動線 LD が行方向に沿って配線され、画素列ごとに垂直信号線 VSL が列方向に沿って配線されている。画素駆動線 LD は、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。図 2 では、画素駆動線 LD が 1 本ずつの配線として示されているが、1 本ずつに限られるものではない。画素駆動線 LD の一端は、垂直駆動回路 122 の各行に対応した出力端に接続されている。

【0019】

垂直駆動回路 122 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 121 の各画素 120 を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動回路 122 は、その垂直駆動回路 122 を制御するシステム制御部 125 と共に、画素アレイ部 121 の各画素 120 の動作を制御する駆動部を構成している。この垂直駆動回路 122 はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系との 2 つの走査系を備える。

【0020】

読出し走査系は、画素 120 から信号を読み出すために、画素アレイ部 121 の画素 120 を行単位で順に選択走査する。画素 120 から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

【0021】

この掃出し走査系による掃出し走査により、読出し行の画素 120 の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系で不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

【0022】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応している。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素 120 における電荷の蓄積期間（露光期間ともいう）となる。

【0023】

垂直駆動回路 122 によって選択走査された画素行の各画素 120 から出力される信号は、画素列ごとに垂直信号線 VSL の各々を通してカラム処理回路 123 に入力される。カラム処理回路 123 は、画素アレイ部 121 の画素列ごとに、選択行の各画素 120 から垂直信号線 VSL を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0024】

具体的には、カラム処理回路 123 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS（Correlated Double Sampling：相関二重サンプリング）処理や、DDS（Double Data Sampling）処理を行う。例えば、CDS 処理により、リセットノイズや画素 120 内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理回路 123 は、その他にも、例えば、AD（アナログ→デジタル）変換機能を備え、光電変換素子から読み出され得たアナログの画素信号をデジタル信号に変換して出力する。

【0025】

水平駆動回路 124 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理回路 123 の画素列に対応する読出回路（以下、画素回路という）を順番に選択する。この水平駆動回路 124 による選択走査により、カラム処理回路 123 において画素回路ごとに信号処理された画素信号が順番に出力される。

【0026】

システム制御部 125 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、当該タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動回路 122、カラム処理回路 123、及び、水平駆動回路 124 などの駆動制御を行う。

【0027】

信号処理部 126 は、少なくとも演算処理機能を有し、カラム処理回路 123 から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部 127 は、信号処理部 126 での信号処理にあたって、その処理に必要なデータを一時的に格納する。

【0028】

なお、信号処理部 126 から出力された画像データは、例えば、イメージセンサ 102 を搭載する電子機器 100 におけるプロセッサ 103 等において所定の処理が実行されたり、所定のネットワークを介して外部へ送信されたりしてもよい。

【0029】

[本開示の実施形態に係る画素回路の構成]

図 3 は、本開示の実施形態に係る画素回路の回路図である。画素 120 は、図 3 に示す画素回路 1 を有する。この画素回路 1 を有する画素 120 が、「固体撮像装置」の一例にあたる。

【0030】

画素回路 1 は、光電変換膜（光電変換部ともいう）10、リセット（RST: Reset）トランジスタ 11、増幅（AMP: Amplifier）トランジスタ 12 及び選択（SEL: Select）トランジスタ 13 を有する。また、画素回路 1 は、転送（TRG: Transfer Gate）トランジスタ 14 及び排出（OFG: Overflow Gate）トランジスタ 15 を有する。また、画素回路 1 は、転送トランジスタ 14 のソース及び排出トランジスタ 15 のドレインの拡散層であるセンスノード（SN: Sense Node）21 及び浮遊拡散層である FD（フローティングディフュージョン）20 を備える。さらに、本実施形態に係る画素回路 1 は、キャパシタ 16 及び 17 を有する。本実施形態に係る画素回路 1 は、FD 保持型 GS（Global shutter）の画素回路である。

【0031】

本実施形態に係る光電変換膜 10 は、InGaAs などの化合物半導体を用いて形成される正孔を光電変換のキャリアとする光電変換膜である。光電変換膜 10 は、他にも例えば、InAsSb（インジウム砒素アンチモン）、InAs（インジウム砒素）、InSb（インジウムアンチモン）、HgCdTe（水銀カドミウムテルル）もしくは Ge（ゲルマニウム）などの化合物半導体、量子（Q: Quantum）ドット、又は、有機化合物などを用いて形成されてもよい。

【0032】

本実施形態に係る光電変換膜 10 の出力端子は、排出トランジスタ 15 のソース、転送トランジスタ 14 のソース及びキャパシタ 16 に接続される SN 21 に接続される。排出トランジスタ 15 は、ソースが SN 21 に接続され、ドレインが低電圧源 VDR に接続される。転送トランジスタ 14 は、ソースが SN 21 に接続され、ドレインが FD 20 に接続される。FD 20 の出力端子は、リセットトランジスタ 11 のソース、増幅トランジスタ 12 のゲート及びキャパシタ 17 に接続される。リセットトランジスタ 11 のドレインは、低電圧源 VDR に接続される。また、増幅トランジスタ 12 のドレインは電圧源 VDD に接続される。また、増幅トランジスタ 12 のソースは選択トランジスタ 13 のドレインに接続される。そして、選択トランジスタ 13 のソースは出力信号線に接続される。また、キャパシタ 16 は、光電変換膜 10 の出力端子に接続される。また、キャパシタ 17 は、FD 20 に接続される。

【0033】

上述したように、光電変換膜 10 の出力端子は、SN 21 に接続される。光電変換膜 10 は、光電変換キャリアである正孔を出力端子から出力する。例えば、光電変換膜 10 は、p 型不純物領域を有し、その p 型不純物領域が SN 21 に接続される。

10

20

30

40

50

【0034】

SN21は、上述したように、光電変換膜10の出力端子、排出トランジスタ15のソース、転送トランジスタ14のソースに接続される。さらに、SN21は、高容量素子であるキャパシタ16を有する。SN21として、MOSキャパシタ、絶縁体が金属で挟まれたMetal Insulator Metal (MIM) 構造を有するキャパシタ又は3次元MIM構造を有するキャパシタのいずれかを用いることが可能である。このSN21が、「第1電荷保持部」の一例にあたる。

【0035】

キャパシタ16は、一方の端子が上述したようにSN21に接続され、他方の端子が電圧源VDDに接続される。キャパシタ16は、光電変換膜10から出力された電荷を蓄積して保持する。すなわち、キャパシタ16は、SN21の総容量を拡大し所望の飽和電荷量を確保する。このキャパシタ16が、「第1容量素子」の一例にあたる。

【0036】

キャパシタ16を備えたSN21は、以下の4つの容量の合計を総容量として有する。以下では、キャパシタ16を備えたSN21の総容量を、単に「SN21の総容量」という。SN21の総容量のうちの1つは、光電変換膜10、排出トランジスタ15、転送トランジスタ14及びキャパシタ16に繋がる各配線の配線容量である。また、SN21の総容量のうちの他の1つは、拡散層としての容量である拡散容量である。また、SN21の総容量のうちの他の1つは、キャパシタ16の容量である。また、SN21の総容量のうちの他の1つは、光電変換膜10を形成するInGaAsの容量であるInGaAs容量である。図3では、SN21の容量のうちのキャパシタ16の容量以外の配線容量、拡散容量及びInGaAs容量を容量18として表した。すなわち、SN21の総容量は、キャパシタ16の容量に容量18を加えたものである。キャパシタ16を備えたSN21は、例えば、10fF（フェムトファラド）以上の容量を有する。

【0037】

キャパシタ16は、SN21の総容量を形成する他の容量に比べて大きな容量を有する。例えば、キャパシタ16は、SN21の総容量を形成する他の容量よりも1桁大きい容量を有する。すなわち、キャパシタ16の容量が、SN21の容量の支配成分となる。

【0038】

このように、キャパシタ16を付加することでSN21の飽和容量が大きくなる。そして、SN21の飽和電荷数を大きくして所望の値にすることで、ノイズを低減することができ、画素回路1を備えたイメージセンサ102の特性を向上させることができる。

【0039】

キャパシタ16を備えたSN21が保持する電荷は、排出トランジスタ15がオンになると低電圧源VDRへ排出される。これに対して、転送トランジスタ14がオンになると、キャパシタ16を備えたSN21が保持する電荷は、FD20へ転送される。

【0040】

排出トランジスタ15は、PMOSである。排出トランジスタ15は、上述したようにソースがSN21に接続され、ドレインが低電圧源VDRに接続される。さらに、排出トランジスタ15のゲートは、排出制御信号線に接続される。PMOSである排出トランジスタ15は、ゲートに閾値電圧以下の電圧が印加されるとオンになる。また、排出トランジスタ15は、ゲートに閾値電圧より大きい電圧が印加されるとオフになる。排出トランジスタ15は、オンになることで光電変換膜10及びキャパシタ16に保持された電荷を低電圧源VDRへ排出させ、光電変換膜10をリセットする。この排出トランジスタ15が、「第5トランジスタ」の一例にあたる。

【0041】

転送トランジスタ14も、PMOSである。転送トランジスタ14は、上述したように、ソースが光電変換膜10の出力端子に接続され、ドレインがFD20に接続される。さらに、転送トランジスタ14のゲートは、転送信号線に接続される。PMOSである転送トランジスタ14は、転送信号線から送られた信号によりゲートに閾値電圧以下の電圧が

10

20

30

40

50

印加されるとオンになる。また、転送トランジスタ14は、ゲートに閾値電圧より大きい電圧が印加されるとオフになる。転送トランジスタ14は、オンになると光電変換膜10により生成されキャパシタ16に蓄積された電荷をFD20へ転送する。この転送トランジスタ14が、「第4トランジスタ」の一例にあたる。

【0042】

FD20は、上述したように転送トランジスタ14のドレイン、リセットトランジスタ11のソース及び増幅トランジスタ12のゲートに接続される。さらに、FD20は、高容量素子であるキャパシタ17を有する。FD20として、MOSキャパシタ、MIM構造を有するキャパシタ又は3次元MIM構造を有するキャパシタのいずれかを用いることが可能である。このFD20が、「第2電荷保持部」の一例にあたる。

【0043】

キャパシタ17は、一方の端子が上述したようにFD20に接続され、他方の端子が電圧源VDDに接続される。キャパシタ17は、SN21から転送された電荷を蓄積して保持する。すなわち、キャパシタ17は、FD20の総容量を拡大し所望の飽和電荷量を確保する。このキャパシタ17が、「第2容量素子」の一例にあたる。

【0044】

キャパシタ17を備えたFD20は、以下の4つの容量の合計を総容量として有する。以下では、キャパシタ17を備えたFD20の総容量を、単に「FD20の総容量」という。FD20の総容量の内の1つは、リセットトランジスタ11、増幅トランジスタ12、転送トランジスタ14、及びキャパシタ17に繋がる各配線の配線容量である。また、FD20の総容量の内の他の1つは、浮遊拡散層としての容量である拡散容量である。また、FD20の総容量の内の他の1つは、キャパシタ17の容量である。また、FD20の総容量の内の他の1つは、増幅トランジスタのゲートの容量であるAMP容量である。図3では、FD20の総容量のうちのキャパシタ17の容量以外の配線容量、拡散容量及びAMP容量を容量19として表した。すなわち、FD20の総容量は、キャパシタ17の容量に容量19を加えたものである。

【0045】

ここで、キャパシタ17は、FD20の総容量を形成する他の容量に比べて大きな容量を有する。例えば、キャパシタ17は、FD20の総容量を形成する他の容量よりも1桁大きい容量を有する。すなわち、キャパシタ17の容量が、FD20の容量の支配成分となる。

【0046】

そして、FD20の総容量は、SN21の総容量と一致する。すなわち、キャパシタ16及びキャパシタ17の容量は、キャパシタ16の容量にSN21の他の容量を加えた値と、キャパシタ17の容量にFD20の他の容量を加えた値とがほぼ一致するように決定される。

【0047】

ここで、FD20の総容量とSN21の総容量とをほぼ同じ値にすることで、画素回路1のノイズを極小化することができる。ただし、キャパシタ16及び17を設けない場合、FD20とSN21の製造バラツキのために総容量を一致させることが困難である。特に、キャパシタ16及び17を設けない場合、FD20の総容量の支配成分は配線容量であり、SN21の総容量の支配成分はInGaAs容量である。配線容量とInGaAs容量とはそれぞれ依存関係を有さないため、一方が大きくなり他方が小さくなるといったように反対方向に振れる可能性がある。そのような場合、FD20の総容量とSN21の総容量との差が大きくなり、ノイズが大きくなるおそれがある。

【0048】

そこで、本実施形態に係る画素回路1では、FD20及びSN21のそれぞれに、他の容量と比較して大きな容量を有するキャパシタ17及びキャパシタ16を配置した。これにより、キャパシタ17の容量及びキャパシタ16の容量が、FD20の総容量及びSN21の総容量のそれぞれの支配成分となり、製造バラツキの影響を低減することができ、

10

20

30

40

50

F D 2 0 の総容量と S N 2 1 の総容量とをほぼ一致させることができる。これにより、画素回路 1 を備えたイメージセンサ 1 0 2 の特性を安定させることができる。

【 0 0 4 9 】

キャパシタ 1 7 を備えた F D 2 0 は、転送トランジスタ 1 4 がオンになることでキャパシタ 1 7 を備えた S N 2 1 に保持された電荷が転送され、転送されてきた電荷を蓄積保持する。F D 2 0 は、キャパシタ 1 7 など保持された電荷により発生する電圧を増幅トランジスタ 1 2 のゲートに印加する。F D 2 0 は、増幅トランジスタ 1 2 のゲートに閾値電圧以上の電圧を印加することで増幅トランジスタ 1 2 をオンにする。また、リセットトランジスタ 1 1 がオンになると、キャパシタ 1 7 を含む F D 2 0 が保持する電荷は低電源 V D R へ排出され、F D 2 0 はリセットされる。

10

【 0 0 5 0 】

リセットトランジスタ 1 1 は、P M O S である。リセットトランジスタ 1 1 は、上述したように、ソースが F D 2 0 に繋がる経路に接続され、ドレインが低電圧源 V D R に接続される。さらに、リセットトランジスタ 1 1 のゲートは、リセット信号線に接続される。リセットトランジスタ 1 1 は、ゲートに閾値電圧以下の電圧が印加されるとオンになる。また、リセットトランジスタ 1 1 は、ゲートに閾値電圧より大きい電圧が印加されるとオフになる。リセットトランジスタ 1 1 は、オンになることで F D 2 0 に蓄積された電荷を低電圧源 V D R へ排出させてキャパシタ 1 7 を含む F D 2 0 をリセットする。このリセットトランジスタ 1 1 が、「第 1 トランジスタ」の一例にあたる。

【 0 0 5 1 】

20

増幅トランジスタ 1 2 は、N 型 M O S トランジスタ (N M O S) である。増幅トランジスタ 1 2 は、上述したように、ゲートが F D 2 0 に繋がる経路に接続され、ソースが電圧源 V D D に接続され、ドレインが選択トランジスタ 1 3 のソースに接続される。増幅トランジスタ 1 2 は、F D 2 0 から出力された電荷によりゲートに閾値電圧以上の電圧が印加されるとオンになる。また、増幅トランジスタ 1 2 は、ゲートに閾値電圧より小さい電圧が印加されるとオフになる。増幅トランジスタ 1 2 は、オンになると電圧源 V D D から入力された電流を選択トランジスタ 1 3 へ出力する。すなわち、増幅トランジスタ 1 2 は、F D 2 0 に保持された電荷に基づく信号を選択トランジスタ 1 3 へ出力する。この増幅トランジスタ 1 2 が、「第 2 トランジスタ」及び「画像生成部」の一例にあたる。

【 0 0 5 2 】

30

選択トランジスタ 1 3 は、N M O S である。選択トランジスタ 1 3 は、上述したように、ソースが増幅トランジスタ 1 2 のドレインに接続され、ドレインが出力信号線に接続される。また、選択トランジスタ 1 3 のゲートは、選択信号線に接続される。選択トランジスタ 1 3 は、N M O S であるので、ゲートに閾値電圧以上の電圧が印加されるとオンになる。また、選択トランジスタ 1 3 は、ゲートに閾値電圧より小さい電圧が印加されるとオフになる。選択トランジスタ 1 3 は、オンになると増幅トランジスタ 1 2 が出力した信号を画素信号として出力信号線へ出力する。すなわち、選択トランジスタ 1 3 は、画素回路 1 から画素信号を出力するか否かを決定することで、読み出し時における画素の選択を制御する。この選択トランジスタ 1 3 が、「第 3 トランジスタ」の一例にあたる。

【 0 0 5 3 】

40

図 4 は、本開示の実施形態に係る画素回路の断面図である。図 4 を参照して、F D 2 0 及び S N 2 1 の総容量をまとめて説明する。図 4 に示すように、本実施形態に係る画素回路 1 は、N 型の半導体基板である N - S u b 上に P - w e l l が配置され、さらに P - w e l l の一部に N - w e l l が配置される。

【 0 0 5 4 】

リセットトランジスタ 1 1、転送トランジスタ 1 4 及び排出トランジスタ 1 5 は、N - w e l l 上に N 型の拡散領域であるソースとドレインとが配置される。すなわち、リセットトランジスタ 1 1、転送トランジスタ 1 4 及び排出トランジスタ 1 5 は、拡散層を共有する。この場合、リセットトランジスタ 1 1 のソース及び転送トランジスタ 1 3 のドレインには、共通の N 型のディフュージョンが使用される。また、転送トランジスタ 1 4 のソ

50

ース及び排出トランジスタ 15 のソースには、共通の N 型の拡散領域が使用される。

【0055】

さらに、SN21 から延びる配線には、光電変換膜 10 及びキャパシタ 16 が接続される。図 4 では、光電変換膜 10 は、例えば、パッシベーション層、透明電極層、InP（リン化インジウム）層、InGaAs 層、Ti/W（チタタングステン）層及び拡散層を有する。拡散層から延びる端子には電極を有する。拡散層と電極との電気的な接続には、複数の配線を介してもよい。また、SN21 から延びる配線は複数の配線を介して電極が配置される。そして、光電変換膜 10 の拡散層から延びる電極と SN21 から延びる配線に繋がる電極とが直接接合される。ここで、電極は、銅などの金属、導電材料から形成される。

10

【0056】

また、増幅トランジスタ 12 及び選択トランジスタ 13 は、P-well 上に P 型の拡散領域であるソースとドレインとが配置される。すなわち、増幅トランジスタ 12 及び選択トランジスタ 13 は、拡散層を共有する。この場合、増幅トランジスタ 12 のドレイン及び選択トランジスタ 13 のソースには、共通の P 型の拡散領域が使用される。

【0057】

FD20 は、転送トランジスタ 14 のドレインと増幅トランジスタ 12 のゲートとを結ぶ配線を含む。そして、FD20 には、キャパシタ 17 が接続される。

【0058】

さらに、FD20 及び SN21 の各容量について説明する。図 4 では、一点鎖線及び 2 点鎖線で囲われた部分により各容量を保持するおよその箇所を示して各容量を表した。

20

【0059】

FD20 の総容量には、配線容量 201、拡散容量 202、静電容量 203 及び AMP 容量 204 が含まれる。配線容量 201 は、FD20 から延びる配線が有する容量である。また、拡散容量 202 は、FD20 に繋がる拡散層が有する容量である。また、静電容量 203 は、キャパシタ 17 の容量である。また、AMP 容量 204 は、増幅トランジスタ 12 のゲートが有する容量である。

【0060】

SN21 の総容量には、配線容量 211、拡散容量 212、静電容量 213 及び InGaAs 容量 214 が含まれる。配線容量 211 は、SN21 から延びる配線が有する容量である。また、拡散容量 212 は、SN21 である拡散層が有する容量である。また、静電容量 213 は、キャパシタ 17 の容量である。また、InGaAs 容量 214 は、光電変換膜 10 における InGaAs 層が有する容量である。

30

【0061】

静電容量 213 は、SN21 の飽和電荷数が所望の値となるように決定される。さらに、配線容量 201、拡散容量 202、静電容量 203 及び AMP 容量 204 を加えた値と、配線容量 211、拡散容量 212、静電容量 213 及び InGaAs 容量 214 を加えた値とがほぼ一致するように、静電容量 203 が決定される。

【0062】

ここで、静電容量 203 及び 204 の決定方法について説明する。イメージセンサ 102 において、SN21 の飽和電荷数 (Q_s)、変換効率 (C.G. Conversion Gain) 及びランダムノイズ (RN: Random Noise) は、次の数式 (1) で表される。

40

【0063】

【数 1】

50

$$Q_s = C_{SN} * (V_{top} - V_{DR})$$

$$C.G. = \frac{q}{C_{SN} + C_{FD}}$$

$$RN[V_{rms}] = \sqrt{\frac{kT}{C_{FD}}} \quad \dots(1)$$

$$RN[h + rms] = \sqrt{\frac{kT}{C_{FD}} * (C_{SN} + C_{FD})}$$

10

【0064】

ここで、 C_{SN} は、 $SN21$ の総容量である。 C_{FD} は、 $FD20$ の総容量である。 V_{top} は、光電変換膜10における電圧である。また、 V_{DR} は、図3における低電圧源 V_{DR} の電圧である。また、 q は、1電子当たりの電荷量である。また、 k は、ボルツマン定数である。また、 T は、温度である。

【0065】

数式(1)に示すように、飽和電荷数は、 C_{SN} に依存する。図5は、飽和電荷数と SN の総容量との関係を表す図である。図5のグラフは、縦軸で飽和電荷数を表し、横軸で光電変換膜の電圧を表す。すなわち、光電変換膜10の電圧を上昇させるほど、飽和電荷数が溜まっていく。そして、 $SN21$ の総容量が大きいほど各電圧に対して飽和電荷数の量が増加する。そこで、所望する飽和電荷数が得られるように、 $SN21$ の総容量が決定される。例えば静電容量203は、光電変換膜10の電圧が所定値の時に $SN21$ の飽和容量が10万となるように決定される。そして、その決定された飽和容量を $SN21$ が有するように、キャパシタ16の静電容量が決定される。

20

【0066】

さらに、数式(1)のランダムノイズを電荷数で表した式から、 $FD20$ の容量とランダムノイズの関係が求められる。図6は、 FD の容量とランダムノイズの関係を表す図である。図6のグラフは、縦軸でノイズを表し、横軸で $FD20$ の容量を表す。 D 相での kTC ノイズ及び P 相での kTC ノイズはいずれも曲線301で表される。そして、それらの2乗加算平均によりノイズの合計が算出され、その場合のノイズの合計が曲線302で表される。この曲線302において極小となる点で、ランダムノイズが最小となる。そして、 $SN21$ の容量と $FD20$ の容量とを同値設計した場合に、曲線302が極小となる。そこで、 $FD20$ は、 $SN21$ と容量が一致するようにキャパシタ17の静電容量が決定される。

30

【0067】

以上のような方法で決定された場合の $FD20$ 及び $SN21$ の総容量が図7で表される。図7は、 FD 及び SN の設計例を表す図である。図7の値はおおよそその値である。例えば、 $SN21$ の総容量である SN 容量のうち、配線容量が $2.5E-15$ 、拡散容量が $3.6E-16$ 、 $InGaAs$ 容量が $3.2E-15$ である。そこで、この場合に所望の飽和量を得るために、キャパシタ16の静電容量は、 $2.0E-14$ と決定される。その場合、 $SN21$ の総容量は、 $2.6E-14$ となる。

40

【0068】

一方、 $FD20$ の総容量である FD 容量のうち、配線容量が $2.2E-15$ 、拡散容量が $3.6E-16$ 、 AMP 容量が $4.5E-16$ である。そこで、この場合にランダムノイズを低減するため、 $FD20$ の総容量と $SN21$ の総容量とがほぼ一致するように、キャパシタ17の静電容量が、 $2.5E-14$ と決定される。この場合、 $FD20$ の総容量は、 $2.8E-14$ であり、 $SN21$ の総容量である $2.6E-14$ にほぼ一致する。ここで、キャパシタ16以外の $SN21$ の他の容量に含まれる $InGaAs$ 容量は、キャパシタ17以外の $FD20$ の他の容量に対して比較的大きな値を有する。そこで、 $FD20$

50

の総容量とS N 2 1の総容量とをほぼ一致させるように設計する場合、キャパシタ1 6の容量は、キャパシタ1 7の容量よりも小さくすることが好ましい。

【0069】

さらに、図7に示すように、F D 2 0の総容量の支配成分はキャパシタ1 7の静電容量であり、S N 2 1の総容量の支配成分は、キャパシタ1 6の静電容量である。そして、キャパシタ1 6及び1 7の静電容量は、F D 2 0の総容量及びS N 2 1の総容量に含まれる他の容量に比べて大きいため、画素回路1の製造バラつきによる影響はキャパシタ1 6及び1 7の静電容量に吸収されて、F D 2 0の総容量とS N 2 1の総容量とはほぼ一致することになる。

【0070】

[本開示の実施形態に係る画素回路の動作]

ここで、図3の画素回路1における画素信号生成の流れについて説明する。まず、排出トランジスタ1 5を導通させて、光電変換膜1 0及びキャパシタ1 6を有するS N 2 1をリセットする。その後、排出トランジスタ1 5をオフにすることで、光電変換膜1 0で生成された電荷がキャパシタ1 6を有するS N 2 1に転送されて蓄積される。この光電変換膜1 0のリセットからキャパシタ1 6を有するS N 2 1への電荷の蓄積までの操作は、画素アレイ部1 2 1に配置された全ての画素1 2 0において同時に行われる。これにより、グローバルシャッタが実現される。なお、光電変換膜1 0のリセットからキャパシタ1 6への電荷の蓄積までの期間は露光期間に該当する。

【0071】

次に、リセットトランジスタ1 1を導通させて、キャパシタ1 7を有するF D 2 0をリセットする。次に、リセットトランジスタ1 1をオフにし、且つ、転送トランジスタ1 4をオンにする。これにより、キャパシタ1 6を有するS N 2 1に蓄積された電荷がF D 2 0に転送されキャパシタ1 7を有するF D 2 0にて蓄積されて保持される。

【0072】

増幅トランジスタ1 2は、キャパシタ1 7を有するF D 2 0に保持された電荷に応じた画素信号を生成する。次に、選択トランジスタ1 3を導通させることにより、増幅トランジスタ1 2により生成された画素信号が出力信号線に出力される。このF D 2 0のリセットから画素信号の出力までの操作は、画素アレイに配置された画素回路1毎に順次行う。画素アレイの全ての画素回路1で画素信号の出力の処理が行われることで、1画面分の画素信号であるフレームが生成される。

【0073】

さらに、図8を参照して画素回路1のレイアウトについて説明する。図8は、本開示の実施形態に係る画素回路のレイアウトを示す図である。

【0074】

画素回路1は、P-w e l l 3 1及びN-w e l l 3 2を有する。N-w e l l 3 2は、P-w e l l 3 1の上に配置される。増幅トランジスタ1 2及び選択トランジスタ1 3は、いずれもN M O Sであり、S N 2 1及びF D 2 0といった拡散層をそれぞれ共有するために、P-w e l l 3 1の上に直線状に並べて配置されることが好ましい。リセットトランジスタ1 1、転送トランジスタ1 4及び排出トランジスタ1 5は、P M O Sであり拡散層をそれぞれ共有するために、N-w e l l 3 2の上に直線状に並べて配置されることが好ましい。そして、直線配置された増幅トランジスタ1 2及び選択トランジスタ1 3とリセットトランジスタ1 1、転送トランジスタ1 4及び排出トランジスタ1 5とは、長手方向に並行配置される。

【0075】

そして、各画素1 2 0は、格子形状であり、各画素1 2 0の枠内のリセットトランジスタ1 1～排出トランジスタ1 5が配置された以外の残りの領域にキャパシタ1 6及び1 7が配置される。上述したように、キャパシタ1 6の容量はキャパシタ1 7の容量よりも大きくなる場合があり、レイアウトした際のキャパシタ1 6の占有面積は、キャパシタ1 7の占有面積よりも小さくなる。ここで、S N 2 1は、光電変換膜1 0に電氣的に接続され

10

20

30

40

50

る配線に繋がる。一方、FD20は、増幅トランジスタ12とのゲートと接続される。このように、FD20が増幅トランジスタ12に接続されることから、FD20の容量となるキャパシタ17は、増幅トランジスタ12に近い側の高容量素子として配置される。すなわち、キャパシタ17は、増幅トランジスタ12の近傍に配置される。これにより、配線を簡略化でき、クロストークなおどのノイズの発生を抑制することができる。また、SN21の容量となるキャパシタ16は残りの領域に配置する。すなわち、キャパシタ16は、直列配置されたりセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15に並べて配置される。例えば、キャパシタ17の長手方向は、キャパシタ16の長手方向と直交する方向に配置される。

【0076】

さらに、Pwell31の上には、Pwellタップ18が配置される。Pwellタップ18は、選択トランジスタ13に対して、増幅トランジスタ12とは逆側に配置される。Pwellタップ18は、電源に接続される。

【0077】

リセットトランジスタ11は、増幅トランジスタ12の近傍に配置される。そして、リセットトランジスタ11から順に、転送トランジスタ14、排出トランジスタ15が配置される。さらに、Nwell32の上には、Nwellタップ19が配置される。Nwellタップ19は、Pwellタップ18の近傍に配置される。Nwellタップ19は、電源に接続される。キャパシタ16は、転送トランジスタ14及び排出トランジスタ15の近傍に配置される。そして、Nwell32上の他に接続素子を持たないSN21に、キャパシタ16が接続される。また、キャパシタ16とキャパシタ17との間にはコンタクト30を並べて配置して、画素内容量間を遮蔽する。このコンタクト30が、「遮蔽部材」の一例にあたる。

【0078】

図9は、複数の画素回路の配置を表す図である。例えば、図8に示したレイアウトを有する画素回路1は、図9のように2×2のミラー配置することができる。ここで、図9では4つのNwellタップ19を記載したが、図10に示すように、この4つのNwellタップ19を共通化して1つのNwellタップ19とすることで、レイアウト効率を向上させることも可能である。図10は、Pwellタップ及びNwellタップを共通化した場合の配置図である。ただし、フローティングノード(FD20及びSN21)を2つ有する本実施形態に係る画素回路1では、規制容量の対称性が重要であるため、あえて共通化せずに4つのNwellタップ19を配置した。

【0079】

また、図9で示した配置とは異なる配置で画素回路1を配置することも可能である。例えば、図9では紙面に向かってNwell32がH型に並ぶように配置したが、図11に示すように、中央にNwellタップ19をまとめた状態で、直線配置されたりセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15の長手方向が紙面に向かって上側に2つ一列に並び、下側に2つ一列に並ぶようにI型に配置してもよい。図11は、複数の画素回路の配置の第1の他の例を表す図である。その場合にもNwellタップ19を共通化してレイアウト効率を向上させることが可能である。また他にも、図12A及び12Bに示すように、図9に示した状態の画素回路1の向きを変えずに並列に並べて配置してもよい。図12Aは、複数の画素回路の配置の第2の他の例を表す図である。図12Bは、複数の画素回路の配置の第3の他の例を表す図である。そのような配置を採用した場合、ノイズを低減することができる。

【0080】

また、図13は、画素回路のレイアウトの他の例を示す図である。図13に示すレイアウトは、各トランジスタ及びキャパシタ16及び17の配置は図8に示したレイアウトと同一である。ただし、この場合、フローティングノードとなるキャパシタ16及び17をファーストメタル310で覆う。これにより、セカンドメタル以上で配線される信号線に対して、電気遮蔽を実現することができる。この場合、キャパシタ16及び17のSi側

10

20

30

40

50

電源の配線を共用することができる。

【0081】

〔作用・効果〕

以上に説明したように、本実施形態に係る画素回路1は、FD保持型GSであり、光電変換キャリアとして正孔を使用する光電変換膜10を有する。そして、本実施形態に係る画素回路1は、FD20及びSN21に他の容量と比較して高容量素子であるキャパシタ16及び17を配置する。

【0082】

これにより、本実施形態に係る画素回路1は、飽和電荷数 Q_s を増大させることができる。また、FD20の総容量とSN21の総容量とがほぼ一致するように設計することで、ランダムノイズを極小化することができる。特に、キャパシタ16を有さない場合、SN21は完全転送型のPD (Photo Diode) にならないため、相関二重サンプリング (CDS: Correlated Double Sampling) によるkTCノイズのキャンセルが実現困難である。これに対して、キャパシタ16を備えることで、SN21は、完全転送型のPDと近似でき、kTCノイズのキャンセルが可能となる。これらより、画素回路1のダイナミックレンジを広く確保でき、画質を向上させることができる。

【0083】

さらに、キャパシタ16及び17がFD20の総容量とSN21の総容量の支配成分となることから、支配成分となる容量を均等にすることができ、製造バラつきに対するロバスト性を確保することができる。また、支配成分がいずれもキャパシタの静電容量であることから、容量バラつきが同方向に変動する可能性が高くなり、特性変動リスクを低く抑えることが可能である。

【0084】

〔本開示の実施形態の変形例(1)〕

図14は、本開示の実施形態の変形例(1)に係る画素回路の回路図である。図14に示すように、本変形例に係る画素回路1は、リセットトランジスタ11及び転送トランジスタ14がNMOSであることが本開示の実施形態と異なる。図14では、図3で示した容量18及び19は図示していない。

【0085】

リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13及び転送トランジスタ14は、NMOSである。これに対して、排出トランジスタ15は、PMOSである。

【0086】

さらに、本変形例においても、SN21には高容量素子であるキャパシタ16が設けられる。また、FD20には高容量素子であるキャパシタ17が設けられる。この場合も、所望の飽和電荷数を確保するようにSN21の総容量が決定され、キャパシタ16は、SN21の総容量が決定された値となる静電容量を有する。また、キャパシタ17は、FD20の総容量とSN21の総容量とをほぼ一致させる静電容量を有する。

【0087】

以上に説明したように、本変形例に係る画素回路1は、排出トランジスタ15にPMOSが使用される。さらに、SN21にはキャパシタ16が配置され、FD20にはキャパシタ17が配置される。このような構成であっても、飽和電荷数 Q_s を増大させ、ランダムノイズを低減させることができ、画素回路1のダイナミックレンジを広く確保して画質を向上させることができる。また、製造バラつきに対するロバスト性の確保及び特性変動リスクの低減が可能である。

【0088】

この場合、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15の間で拡散層の共有が困難となるため、レイアウト効率が第2の実施形態に係る画素回路1に比べて低い。ただし、FD20に隣接する位置にオーバーフローパスが形成されないため、太陽黒点耐性が向上する。また、増幅トランジスタ12及び選択トランジスタ1

10

20

30

40

50

3がNMOSであるため、本変形例に係る画素回路1は、NMOSタを用いた周辺回路との互換性を有する。

【0089】

〔本開示の実施形態の変形例（2）〕

図15は、本開示の実施形態の変形例（2）に係る画素回路の回路図である。図15に示すように、本変形例に係る画素回路1は、リセットトランジスタ11がNMOSであることが本開示の実施形態と異なる。図15では、図3で示した容量18及び19は図示していない。

【0090】

リセットトランジスタ11、増幅トランジスタ12及び選択トランジスタ13は、NMOSである。これに対して、転送トランジスタ14及び排出トランジスタ15は、PMOSである。

【0091】

さらに、本変形例においても、SN21には高容量素子であるキャパシタ16が設けられる。また、FD20には高容量素子であるキャパシタ17が設けられる。この場合も、所望の飽和電荷数を確保するようにSN21の総容量が決定され、キャパシタ16は、SN21の総容量が決定された値となる静電容量を有する。また、キャパシタ17は、FD20の総容量とSN21の総容量とをほぼ一致させる静電容量を有する。

【0092】

以上に説明したように、本変形例に係る画素回路1は、排出トランジスタ15及び転送トランジスタ14の双方にPMOSが使用される。さらに、SN21にはキャパシタ16が配置され、FD20にはキャパシタ17が配置される。このような構成であっても、飽和電荷数 Q_s を増大させ、ランダムノイズを低減させることができ、画素回路1のダイナミックレンジを広く確保して画質を向上させることができる。また、製造バラつきに対するロバスト性の確保及び特性変動リスクの低減が可能である。

【0093】

この場合、リセットトランジスタ11、転送トランジスタ14及び排出トランジスタ15の間で拡散層の共有が困難となるため、レイアウト効率が第2の実施形態の画素回路1に比べて低い。ただし、増幅トランジスタ12及び選択トランジスタ13がNMOSであるため、本変形例に係る画素回路1は、NMOSを用いた周辺回路との互換性を有する。

【0094】

〔本開示の実施形態の変形例（3）〕

図16は、本開示の実施形態の変形例（3）に係る画素回路の回路図である。図16に示すように、本変形例に係る画素回路1は、増幅トランジスタ12がPMOSであることが本開示の実施形態と異なる。図16では、図3で示した容量18及び19は図示していない。

【0095】

選択トランジスタ13は、NMOSである。これに対して、リセットトランジスタ11、増幅トランジスタ12は、転送トランジスタ14及び排出トランジスタ15は、PMOSである。

【0096】

さらに、本変形例においても、SN21には高容量素子であるキャパシタ16が設けられる。また、FD20には高容量素子であるキャパシタ17が設けられる。この場合も、所望の飽和電荷数を確保するようにSN21の総容量が決定され、キャパシタ16は、SN21の総容量が決定された値となる静電容量を有する。また、キャパシタ17は、FD20の総容量とSN21の総容量とをほぼ一致させる静電容量を有する。

【0097】

以上に説明したように、本変形例に係る画素回路1は、リセットトランジスタ11、増幅トランジスタ12は、転送トランジスタ14及び排出トランジスタ15にPMOSが用いられる。さらに、SN21にはキャパシタ16が配置され、FD20にはキャパシタ1

10

20

30

40

50

7が配置される。このような構成であっても、飽和電荷数 Q_s を増大させ、ランダムノイズを低減させることができ、画素回路1のダイナミックレンジを広く確保して画質を向上させることができる。また、製造バラつきに対するロバスト性の確保及び特性変動リスクの低減が可能である。

【0098】

この場合、増幅トランジスタ12及び選択トランジスタ13の間での拡散層の共有が困難であるため、レイアウト効率が第2の実施形態に係る画素回路1に比べて低い。また、増幅トランジスタ12がPMOSであるため、周辺回路においてもPMOSを用いた構成への変更の対応が求められる。

【0099】

【本開示の実施形態の変形例(4)】

図17は、本開示の実施形態の変形例(4)に係る画素回路の回路図である。図17に示すように、本変形例に係る画素回路1は、増幅トランジスタ12及び選択トランジスタ13がPMOSであることが本開示の実施形態と異なる。図17では、図3で示した容量18及び19は図示していない。

【0100】

リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15は、全てPMOSである。

【0101】

さらに、本変形例においても、SN21には高容量素子であるキャパシタ16が設けられる。また、FD20には高容量素子であるキャパシタ17が設けられる。この場合も、所望の飽和電荷数を確保するようにSN21の総容量が決定され、キャパシタ16は、SN21の総容量が決定された値となる静電容量を有する。また、キャパシタ17は、FD20の総容量とSN21の総容量とをほぼ一致させる静電容量を有する。

【0102】

この場合、画素回路1のレイアウトは、図8に示したレイアウトにおいてN-wellの上にリセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15、並びに、キャパシタ16及び17が配置される。その場合、N-wellタップ19が配置されれば、P-wellタップ18は配置されなくてもよい。このように、本変形例に係る画素回路1では、N-wellタップ19を1つ配置すればよい。第2の実施形態及びその変形例(1)～(3)に係る画素回路1に比べてレイアウト効率を向上させることができる。

【0103】

以上に説明したように、本変形例に係る画素回路1は、リセットトランジスタ11、増幅トランジスタ12は、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15の全てにPMOSが用いられる。さらに、SN21にはキャパシタ16が配置され、FD20にはキャパシタ17が配置される。このような構成であっても、飽和電荷数 Q_s を増大させ、ランダムノイズを低減させることができ、画素回路1のダイナミックレンジを広く確保して画質を向上させることができる。また、製造バラつきに対するロバスト性の確保及び特性変動リスクの低減が可能である。

【0104】

また、本変形例に係る画素回路1では、MOSトランジスタを全てPMOSとするため、P型の拡散層に配置したN-well上にソース及びドレインを配置することで全てのMOSトランジスタを形成することができる。したがって、画素回路の製造工程を簡略化することができ、製造コストも低減することができる。

【0105】

この場合、リセットトランジスタ11、増幅トランジスタ12、選択トランジスタ13、転送トランジスタ14及び排出トランジスタ15の間で拡散層が共有できるため、レイアウト効率が第2の実施形態に比べて高い。ただし、増幅トランジスタ12及び選択トランジスタ13がPMOSであるため、周辺回路においてもPMOSを用いた構成への変更

10

20

30

40

50

の対応が求められる。

【0106】

(2. 適用例)

ここで、以上の各実施形態で説明した画素回路1が適用可能な構成例について説明する。図18Aは、受光素子の平面構成を表す図である。図18Bは、図18AのB-B'線に沿った断面構成を表す図である。例えば、各実施形態及びその変形例において説明した各画素回路1は、図18A及び18Bに示す受光素子に適用可能である。

【0107】

受光素子501は、例えばIII-V族半導体などの化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域（例えば380nm以上780nm未満）～短赤外領域（例えば780nm以上2400nm未満）の波長の光に、光電変換機能を有している。この受光素子501には、例えば2次元配置された複数の受光単位領域P（画素P）が設けられている（図18B）。

【0108】

この受光素子501は、例えばIII-V族半導体などの化合物半導体材料を用いた赤外線センサ等に適用されるものであり、例えば、可視領域（例えば380nm以上780nm未満）～短赤外領域（例えば780nm以上2400nm未満）の波長の光に、光電変換機能を有している。この受光素子501には、例えば2次元配置された複数の受光単位領域P（画素P）が設けられている。

【0109】

受光素子501は、中央部の素子領域R1と、素子領域R1の外側に設けられ、素子領域R1を囲む周辺領域R2とを有している（図18A）。受光素子501は、素子領域R1から周辺領域R2にわたって設けられた導電膜515Bを有している。この導電膜515Bは、素子領域R1の中央部に対向する領域に開口を有している。

【0110】

受光素子501は、素子基板510および読出回路基板520の積層構造を有している。素子基板510の一方の面は光入射面（光入射面S1）であり、光入射面S1と反対の面（他方の面）が、読出回路基板520との接合面（接合面S2）である。

【0111】

素子基板510は、読出回路基板520に近い位置から、配線層510W、第1電極511、半導体層510S（第1半導体層）、第2電極515およびパッシベーション膜516をこの順に有している。半導体層510Sの配線層510Wとの対向面および端面（側面）は、絶縁膜517により覆われている。読出回路基板520は、いわゆるROI（Readout integrated circuit）であり、素子基板510の接合面S2に接する配線層520Wおよび多層配線層522Cと、この配線層520Wおよび多層配線層522Cを間にして素子基板510に対向する半導体基板521とを有している。

【0112】

素子基板510は素子領域R1に半導体層510Sを有している。換言すれば、半導体層510Sが設けられた領域が、受光素子501の素子領域R1である。素子領域R1のうち、導電膜515Bから露出された領域（導電膜515Bの開口に対向する領域）が、受光領域である。素子領域R1のうち、導電膜515Bで覆われた領域は、OPB（Optical Black）領域R1Bである。OPB領域R1Bは、受光領域を囲むように設けられている。OPB領域R1Bは、黒レベルの画素信号を得るために用いられる。素子基板510は、周辺領域R2に、絶縁膜517とともに埋込層518を有している。周辺領域R2には、素子基板510を貫通し、読出回路基板520に達する穴H1、H2が設けられている。受光素子501では、素子基板510の光入射面S1から、パッシベーション膜516、第2電極515および第2コンタクト層514を介して半導体層510Sに光が入射するようになっている。半導体層510Sで光電変換された信号電荷は、第1電極511および配線層510Wを介して移動し、読出回路基板520で読みだされる。以下、各部の構成について説明する。

【0113】

配線層510Wは、素子領域R1および周辺領域R2にわたって設けられ、読出回路基板520との接合面S2を有している。受光素子501では、この素子基板510の接合面S2が素子領域R1および周辺領域R2に設けられ、例えば素子領域R1の接合面S2と周辺領域R2の接合面S2とは、同一平面を構成している。後述するように、受光素子501では、埋込層518を設けることにより周辺領域R2の接合面S2が形成される。

【0114】

配線層510Wは、例えば層間絶縁膜519A、519B中に、コンタクト電極519Eおよびダミー電極519EDを有している。例えば、読出回路基板520側に層間絶縁膜519Bが、第1コンタクト層512側に層間絶縁膜519Aが配置され、これら層間絶縁膜519A、519Bが積層して設けられている。層間絶縁膜519A、519Bは、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン(SiN)、酸化アルミニウム(Al₂O₃)、酸化ケイ素(SiO₂)および酸化ハフニウム(HfO₂)等が挙げられる。層間絶縁膜519A、519Bを同一の無機絶縁材料により構成するようにしてもよい。

【0115】

コンタクト電極519Eは、例えば、素子領域R1に設けられている。このコンタクト電極519Eは、第1電極511と読出回路基板520とを電氣的に接続するためのものであり、素子領域R1に画素P毎に設けられている。隣り合うコンタクト電極519Eは、埋込層518および層間絶縁膜519A、519Bにより電氣的に分離されている。コンタクト電極519Eは、例えば銅(Cu)パッドにより構成されており、接合面S2に露出されている。ダミー電極519EDは、例えば、周辺領域R2に設けられている。このダミー電極519EDは、後述の配線層520Wのダミー電極522EDに接続されている。このダミー電極519EDおよびダミー電極522EDを設けることにより、周辺領域R2の強度を向上させることが可能となる。ダミー電極519EDは、例えば、コンタクト電極519Eと同一工程で形成されている。ダミー電極519EDは、例えば銅(Cu)パッドにより構成されており、接合面S2に露出されている。

【0116】

コンタクト電極519Eと半導体層510Sとの間に設けられた第1電極511は、光電変換層513で発生した信号電荷(正孔または電子、以下便宜上、信号電荷が正孔であるとして説明する。)を読みだすための電圧が供給される電極(アノード)であり、素子領域R1に画素P毎に設けられている。第1電極511は、絶縁膜517の開口を埋め込むように設けられ、半導体層510S(より具体的には、後述の拡散領域512A)に接している。第1電極511は、例えば、絶縁膜517の開口よりも大きく、第1電極511の一部は、埋込層518に設けられている。即ち、第1電極511の上面(半導体層510S側の面)は、拡散領域512Aに接し、第1電極511の下面および側面の一部は埋込層518に接している。隣り合う第1電極511は、絶縁膜517および埋込層518により電氣的に分離されている。

【0117】

第1電極511は、例えば、チタン(Ti)、タングステン(W)、窒化チタン(TiN)、白金(Pt)、金(Au)、ゲルマニウム(Ge)、パラジウム(Pd)、亜鉛(Zn)、ニッケル(Ni)およびアルミニウム(Al)のうちのいずれかの単体、またはそれらのうちの少なくとも1種を含む合金により構成されている。第1電極511は、このような構成材料の単膜であってもよく、あるいは、2種以上を組み合わせた積層膜であってもよい。例えば、第1電極511は、チタンおよびタングステンの積層膜により構成されている。第1電極511の厚みは、例えば数十nm~数百nmである。

【0118】

半導体層510Sは、例えば、配線層510Wに近い位置から、第1コンタクト層512、光電変換層513および第2コンタクト層514を含んでいる。第1コンタクト層512、光電変換層513および第2コンタクト層514は、互いに同じ平面形状を有し、

10

20

30

40

50

各々の端面は、平面視で同じ位置に配置されている。

【0119】

第1コンタクト層512は、例えば、全ての画素Pに共通して設けられ、絶縁膜517と光電変換層513との間に配置されている。第1コンタクト層512は、隣り合う画素Pを電氣的に分離するためのものであり、第1コンタクト層512には、例えば複数の拡散領域512Aが設けられている。第1コンタクト層512に、光電変換層513を構成する化合物半導体材料のバンドギャップよりも大きなバンドギャップの化合物半導体材料を用いることにより、暗電流を抑えることも可能となる。第1コンタクト層512には、例えばn型のInP（インジウムリン）を用いることができる。

【0120】

第1コンタクト層512に設けられた拡散領域512Aは、互いに離間して配置されている。拡散領域512Aは、画素P毎に配置され、それぞれの拡散領域512Aに第1電極511が接続されている。OPB領域R1Bにも拡散領域512Aが設けられている。拡散領域512Aは、光電変換層513で発生した信号電荷を画素P毎に読み出すためのものであり、例えば、p型不純物を含んでいる。p型不純物としては、例えばZn（亜鉛）等が挙げられる。このように、拡散領域512Aと、拡散領域512A以外の第1コンタクト層512との間にpn接合界面が形成され、隣り合う画素Pが電氣的に分離されるようになっている。拡散領域512Aは、例えば第1コンタクト層512の厚み方向に設けられ、光電変換層513の厚み方向の一部にも設けられている。

【0121】

第1電極511と第2電極515との間、より具体的には、第1コンタクト層512と第2コンタクト層514との間の光電変換層513は、例えば、全ての画素Pに共通して設けられている。この光電変換層513は、所定の波長の光を吸収して、信号電荷を発生させるものであり、例えば、i型のIII-V族半導体などの化合物半導体材料により構成されている。光電変換層513を構成する化合物半導体材料としては、例えば、InGaAs（インジウムガリウム砒素）、InAsSb（インジウム砒素アンチモン）、InAs（インジウム砒素）、InSb（インジウムアンチモン）およびHgCdTe（水銀カドミウムテルル）等が挙げられる。Ge（ゲルマニウム）により光電変換層513を構成するようにしてもよい。光電変換層513では、例えば、可視領域から短赤外領域の波長の光の光電変換がなされるようになっている。

【0122】

第2コンタクト層514は、例えば、全ての画素Pに共通して設けられている。この第2コンタクト層514は、光電変換層513と第2電極515との間に設けられ、これらに接している。第2コンタクト層514は、第2電極515から排出される電荷が移動する領域であり、例えば、n型の不純物を含む化合物半導体により構成されている。第2コンタクト層514には、例えば、n型のInP（インジウムリン）を用いることができる。

【0123】

第2電極515は、例えば各画素Pに共通の電極として、第2コンタクト層514上（光入射側）に、第2コンタクト層514に接するように設けられている。第2電極515は、光電変換層513で発生した電荷のうち、信号電荷として用いられない電荷を排出するためのものである（カソード）。例えば、正孔が、信号電荷として第1電極511から読み出される場合には、この第2電極515を通じて例えば電子を排出することができる。第2電極515は、例えば赤外線などの入射光を透過可能な導電膜により構成されている。第2電極515には、例えば、ITO（Indium Tin Oxide）またはITiO（ $\text{In}_2\text{O}_3-\text{TiO}_2$ ）等を用いることができる。第2電極515は、例えば、隣り合う画素Pを仕切るように、格子状に設けられていてもよい。この第2電極515には、光透過性の低い導電材料を用いることが可能である。

【0124】

パッシベーション膜516は、第2電極515を光入射面S1側から覆っている。パッシベーション膜516は、反射防止機能を有していてもよい。パッシベーション膜516

10

20

30

40

50

には、例えば窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化ケイ素 (SiO_2) および酸化タンタル (Ta_2O_3) 等を用いることができる。パッシベーション膜 516 は、OPB 領域 R1B に開口 516H を有している。開口 516H は、例えば、受光領域を囲む額縁状に設けられている (図 18A)。開口 516H は、例えば平面視で四角形状または円状の孔であってもよい。このパッシベーション膜 516 の開口 516H により、第 2 電極 515 に導電膜 515B が電氣的に接続されている。

【0125】

絶縁膜 517 は、第 1 コンタクト層 512 と埋込層 518 との間に設けられるとともに、第 1 コンタクト層 512 の端面、光電変換層 513 の端面、第 2 コンタクト層 514 の端面および第 2 電極 515 の端面を覆い、周辺領域 R2 ではパッシベーション膜 516 に接している。この絶縁膜 517 は、例えば、酸化シリコン (SiO_x) または酸化アルミニウム (Al_2O_3) 等の酸化物を含んで構成されている。複数の膜からなる積層構造により絶縁膜 517 を構成するようにしてもよい。絶縁膜 517 は、例えば酸窒化シリコン (SiON)、炭素含有酸化シリコン (SiOC)、窒化シリコン (SiN) およびシリコンカーバイド (SiC) などのシリコン (Si) 系絶縁材料により構成するようにしてもよい。絶縁膜 517 の厚みは、例えば数十 nm ~ 数百 nm である。

【0126】

導電膜 515B は、OPB 領域 R1B から周辺領域 R2 の穴 H1 にわたって設けられている。この導電膜 515B は、OPB 領域 R1B に設けられたパッシベーション膜 516 の開口 516H で第 2 電極 515 に接するとともに、穴 H1 を介して読出回路基板 520 の配線 (後述の配線 522CB) に接している。これにより、読出回路基板 520 から導電膜 515B を介して第 2 電極 515 に電圧が供給されるようになっている。導電膜 515B は、このような第 2 電極 515 への電圧供給経路として機能するとともに、遮光膜としての機能を有し、OPB 領域 R1B を形成する。導電膜 515B は、例えば、タングステン (W)、アルミニウム (Al)、チタン (Ti)、モリブデン (Mo)、タンタル (Ta) または銅 (Cu) を含む金属材料により構成されている。導電膜 515B 上にパッシベーション膜が設けられていてもよい。

【0127】

第 2 コンタクト層 514 の端部と第 2 電極 515 との間に、接着層 B が設けられていてもよい。この接着層 B は、後述するように、受光素子 501 を形成する際に用いられるものであり、半導体層 510S を仮基板に接合する役割を担っている。接着層 B は、例えばテトラエトキシシラン (TEOS) または酸化シリコン (SiO_2) 等により構成されている。接着層 B は、例えば、半導体層 510S の端面よりも拡幅して設けられ、半導体層 510S とともに、埋込層 518 に覆われている。接着層 B と埋込層 518 との間には、絶縁膜 517 が設けられている。

【0128】

埋込層 518 は、受光素子 501 の製造工程で、仮基板と半導体層 510S との段差を埋めるためのものである。詳細は後述するが、本実施の形態では、この埋込層 518 を形成するので、半導体層 510S と仮基板 533 との段差に起因した製造工程の不具合の発生が抑えられる。

【0129】

周辺領域 R2 の埋込層 518 は、配線層 10W と絶縁膜 517 との間、および配線層 510W とパッシベーション膜 516 との間に設けられ、例えば、半導体層 510S の厚み以上の厚みを有している。ここでは、この埋込層 518 が半導体層 510S を囲んで設けられているので、半導体層 510S の周囲の領域 (周辺領域 R2) が形成される。これにより、この周辺領域 R2 に読出回路基板 520 との接合面 S2 を設けることができるようになっている。周辺領域 R2 に接合面 S2 が形成されていれば、埋込層 518 の厚みを小さくしてもよいが、埋込層 518 が半導体層 510S を厚み方向にわたって覆い、半導体層 510S の端面全面が埋込層 518 に覆われていることが好ましい。埋込層 518 が、絶縁膜 517 を介して半導体層 510S の端面全面を覆うことにより、半導体層 510S

への水分の浸入を効果的に抑えることができる。素子領域 R 1 の埋込層 5 1 8 は、第 1 電極 5 1 1 を覆うように、半導体層 5 1 0 S と配線層 5 1 0 W との間に設けられている。

【0130】

接合面 S 2 側の埋込層 5 1 8 の面は平坦化されており、周辺領域 R 2 では、この平坦化された埋込層 5 1 8 の面に配線層 5 1 0 W が設けられている。埋込層 5 1 8 には、例えば、酸化シリコン (S i O_x)、窒化シリコン (S i N)、酸窒化シリコン (S i O N)、炭素含有酸化シリコン (S i O C) およびシリコンカーバイド (S i C) 等の無機絶縁材料を用いることができる。

【0131】

受光素子 5 0 1 を製造する工程では、埋込層 5 1 8 を形成した後、埋込層 5 1 8 の上方に、層間絶縁膜 5 1 9 A、5 1 9 B とコンタクト電極 5 1 9 E とを含む配線層 5 1 0 W が形成される。この配線層 5 1 0 W を含む素子基板 5 1 0 に、配線層 5 2 0 W を含む読出回路基板 5 2 0 が貼り合わされて受光素子 5 0 1 が形成される。このとき、配線層 5 1 0 W のコンタクト電極 5 1 9 E と、配線層 5 2 0 W のコンタクト電極 5 2 2 E とが接続される。コンタクト電極 5 1 9 E、5 2 2 E は、例えば C u パッドを有しており、この C u パッドの直接接合により、コンタクト電極 5 1 9 E、5 2 2 E が接続されるようになっている。コンタクト電極 5 1 9 E を CMP (Chemical Mechanical Polishing) 法を用いて形成するとき、研磨対象の銅膜の下方に配置された埋込層 5 1 8 には、研磨時の応力に耐え得る硬度が求められる。また、コンタクト電極 5 1 9 E、5 2 2 E の C u パッド同士を直接接合させるためには、素子基板 5 1 0 および読出回路基板 5 2 0 を極めて平坦に形成することが必要である。このため、銅膜の下方に配置される埋込層 5 1 8 は、研磨時の応力に耐え得る硬度を有していることが好ましい。具体的には、埋込層 5 1 8 の構成材料は、一般的な半導体パッケージにおいてダイの周囲に配置される封止剤や有機材料よりも硬度が高い材料であることが好ましい。このような高い硬度を有する材料としては、例えば、無機絶縁材料が挙げられる。この無機絶縁材料を、例えば C V D (Chemical Vapor Deposition) 法、スパッタ法あるいはコーティング法で成膜することにより、埋込層 5 1 8 を形成することができる。

【0132】

埋込層 5 1 8 には、埋込層 5 1 8 を貫通する穴 H 1、H 2 が設けられている。この穴 H 1、H 2 は、埋込層 5 1 8 とともに、配線層 5 1 0 W を貫通し、読出回路基板 5 2 0 に達している。穴 H 1、H 2 は、例えば、四角形状の平面形状を有し、素子領域 R 1 を囲むように、各々複数の穴 H 1、H 2 が設けられている (図 1 8 A)。穴 H 1 は、穴 H 2 よりも素子領域 R 1 に近い位置に設けられており、穴 H 1 の側壁および底面は、導電膜 5 1 5 B に覆われている。この穴 H 1 は、第 2 電極 5 1 5 (導電膜 5 1 5 B) と読出回路基板 5 2 0 の配線 (後述の配線 5 2 2 C B) とを接続するためのものであり、パッシベーション膜 5 1 6、埋込層 5 1 8 および配線層 5 1 0 W を貫通して設けられている。

【0133】

穴 H 2 は、例えば、穴 H 1 よりもチップ端 E に近い位置に設けられている。この穴 H 2 は、パッシベーション膜 5 1 6、埋込層 5 1 8 および配線層 5 1 0 W を貫通し、読出回路基板 5 2 0 のパッド電極 (後述のパッド電極 5 2 2 P) に達している。この穴 H 2 を介して、外部と受光素子 5 0 1 との電気的な接続が行われるようになっている。穴 H 1、H 2 は、読出回路基板 5 2 0 に達していなくてもよい。例えば、穴 H 1、H 2 が、配線層 5 1 0 W の配線に達し、この配線が読出回路基板 5 2 0 の配線 5 2 2 C B、パッド電極 5 2 2 P に接続されていてもよい。穴 H 1、H 2 は、接着層 B を貫通していてもよい。

【0134】

光電変換層 5 1 3 で発生した正孔および電子は、第 1 電極 5 1 1 および第 2 電極 5 1 5 から読み出される。この読み出し動作を高速に行うためには、第 1 電極 5 1 1 と第 2 電極 5 1 5 との間の距離を、光電変換するに足る距離であってかつ離間し過ぎない距離にすることが好ましい。即ち、素子基板 5 1 0 の厚みを小さくすることが好ましい。例えば、第 1 電極 5 1 1 と第 2 電極 5 1 5 との間の距離または素子基板 5 1 0 の厚みは、10 μm 以下

、さらには、7 μm 以下、さらには5 μm 以下である。

【0135】

読出回路基板520の半導体基板521は、配線層520Wおよび多層配線層522Cを間にして、素子基板510に対向している。この半導体基板521は、例えば、シリコン(Si)により構成されている。半導体基板521の表面(配線層520W側の面)近傍には、複数のトランジスタが設けられている。例えば、この複数のトランジスタを用いて、画素P毎に、読出回路(Read Out Circuit)が構成されている。この読出回路として、各実施形態及び変形例で説明した画素回路1を用いることが可能である。配線層520Wは、例えば、素子基板510側から、層間絶縁膜522Aおよび層間絶縁膜522Bをこの順に有しており、これら層間絶縁膜522A、522Bは積層して設けられている。例えば、層間絶縁膜522A中に、コンタクト電極522Eおよびダミー電極522EDが設けられている。多層配線層522Cは、配線層520Wを間にして素子基板510に対向して設けられている。例えば、この多層配線層522C中に、パッド電極522Pおよび複数の配線522CBが設けられている。層間絶縁膜522A、522Bは、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン(SiN)、酸化アルミニウム(Al_2O_3)、酸化ケイ素(SiO_2)および酸化ハフニウム(HfO_2)等が挙げられる。

10

【0136】

コンタクト電極522Eは、第1電極511と配線522CBとを電氣的に接続するためのものであり、素子領域R1に、画素P毎に設けられている。このコンタクト電極522Eは、素子基板510の接合面S2でコンタクト電極519Eに接している。隣り合うコンタクト電極522Eは、層間絶縁膜522Aにより電氣的に分離されている。

20

【0137】

周辺領域R2に設けられたダミー電極522EDは、素子基板510の接合面S2でダミー電極519EDに接している。このダミー電極522EDは、例えば、コンタクト電極522Eと同一工程で形成されている。コンタクト電極522Eおよびダミー電極522EDは、例えば銅(Cu)パッドにより構成されており、読出回路基板520の素子基板510との対向面に露出されている。即ち、コンタクト電極519Eとコンタクト電極522Eとの間、および、ダミー電極519EDとダミー電極522EDとの間で例えばCuCu接合がなされている。これにより、画素Pを微細化することが可能となる。

30

【0138】

コンタクト電極519Eに接続された配線522CBは、半導体基板521の表面近傍に設けられたトランジスタに接続されており、画素P毎に、第1電極511と読出回路とが接続されるようになっている。穴H1を介して導電膜515Bに接続された配線522CBは、例えば所定の電位に接続されている。このように、光電変換層513で発生した電荷の一方(例えば、正孔)は、第1電極511から、コンタクト電極519E、522Eを介して読出回路に読み出され、光電変換層513で発生した電荷の他方(例えば、電子)は、第2電極515から、導電膜515Bを介して、所定の電位に排出されるようになっている。

【0139】

周辺領域R2に設けられたパッド電極522Pは、外部と電氣的な接続を行うためのものである。受光素子501のチップ端E近傍には、素子基板510を貫通し、パッド電極522Pに達する穴H2が設けられ、この穴H2を介して外部と電氣的な接続がなされるようになっている。接続は、例えば、ワイヤーボンドまたはバンプ等の方法によりなされる。例えば、穴H2内に配置された外部端子から、第2電極515に、穴H2、読出回路基板520の配線522CBおよび導電膜515Bを介して所定の電位が供給されるようになっている。光電変換層513での光電変換の結果、第1電極511から読み出された信号電圧が、コンタクト電極519E、522Eを介して、半導体基板521の読出回路に読み出され、この読出回路を経由して穴H2内に配置された外部端子に出力されるようになっている。信号電圧は、読出回路とともに、例えば、読出回路基板52

40

50

0に含まれる他の回路を経由して外部端子に出力されるようになっていてもよい。他の回路とは、例えば、信号処理回路および出力回路等である。

【0140】

読出回路基板520の厚みは、素子基板510の厚みよりも大きいことが好ましい。例えば、読出回路基板520の厚みは、素子基板510の厚みよりも、2倍以上、さらには、5倍以上、さらには、10倍以上大きいことが好ましい。あるいは、読出回路基板520の厚みは、例えば、100 μ m以上、あるいは、150 μ m以上、あるいは、200 μ m以上である。このような大きな厚みを有する読出回路基板520により、受光素子501の機械強度が確保される。なお、この読出回路基板520は、回路を形成する半導体基板521を1層のみ含むものであってもよいし、回路を形成する半導体基板521の他に、支持基板などの基板をさらに備えていてもよい。

10

【0141】

図19は、他の受光素子の断面構成を表す図である。例えば、各実施形態及びその変形例において説明した各画素回路1は、図19に示す受光素子に適用可能である。

【0142】

図19においては、画素アレイ領域内の各画素602が、リセットトランジスタの制御の違いによって、通常画素602Aかまたは電荷放出画素602Bに分けられるが、画素構造は通常画素602Aと電荷放出画素602Bのどちらも同一であるので、単に画素602として説明する。なお、電荷放出画素602Bは、画素アレイ領域の最も外側に配置されている。

20

【0143】

各画素602の容量素子、リセットトランジスタ、増幅トランジスタ、及び、選択トランジスタの読出回路が、例えば単結晶シリコン(Si)などの単結晶材料からなる半導体基板612に画素ごとに形成されている。

【0144】

半導体基板612の光入射側である上側には、N型の半導体薄膜641が、画素アレイ領域の全面に形成されている。N型の半導体薄膜641は、InGaP、InAlP、InGaAs、InAlAs、さらにはカルコパイライト構造の化合物半導体が用いられる。カルコパイライト構造の化合物半導体は、高い光吸収係数と、広い波長域に渡る高い感度を得られる材料であり、光電変換用のN型の半導体薄膜641として好ましく用いられる。このようなカルコパイライト構造の化合物半導体は、Cu、Al、Ga、In、S、Seなど、IV族元素の周囲の元素を用いて構成され、CuGaInS系混晶、CuAlGaInS系混晶、およびCuAlGaInSSe系混晶等が例示される。この半導体基板612に配置される読出回路として、各実施形態及び各変形例で説明した画素回路1が適用可能である。

30

【0145】

また、N型の半導体薄膜641の材料には、上述した化合物半導体の他、アモルファスシリコン(Si)、ゲルマニウム(Ge)、量子ドット光電変換膜、有機光電変換膜などを用いることも可能である。ここでは、N型の半導体薄膜641として、InGaAsの化合物半導体が用いられているものとする。

40

【0146】

N型の半導体薄膜641の半導体基板612側である下側には、画素電極を構成する高濃度のP型層642が、画素ごとに形成されている。そして、画素ごとに形成された高濃度のP型層642の間には、各画素602を分離する画素分離領域としてのN型層643が、例えば、InP等の化合物半導体で形成されている。このN型層643は、画素分離領域としての機能の他、暗電流を防止する役割も有する。

【0147】

一方、N型の半導体薄膜641の光入射側である上側にも、画素分離領域として用いたInP等の化合物半導体を用いて、N型の半導体薄膜641よりも高濃度のN型層644が形成されている。この高濃度のN型層644は、N型の半導体薄膜641で生成された

50

電荷の逆流を防止するバリア層として機能する。高濃度のN型層644の材料には、例えば、InGaAs、InP、InAlAsなどの化合物半導体を用いることができる。

【0148】

バリア層としての高濃度のN型層644の上には、反射防止膜645が形成されている。反射防止膜645の材料には、例えば、窒化シリコン(SiN)、酸化ハフニウム(HfO₂)、酸化アルミニウム(Al₂O₃)、酸化ジルコニウム(ZrO₂)、酸化タンタル(Ta₂Ta₅)、酸化チタン(TiO₂)などを用いることができる。

【0149】

高濃度のN型層644または反射防止膜645のいずれか一方は、N型の半導体薄膜641を上下に挟む電極のうちの上側の上部電極としても機能し、上部電極としての高濃度のN型層644または反射防止膜645には、所定の電圧Vaが印加される。

【0150】

反射防止膜645の上には、カラーフィルタ646及びオンチップレンズ647がさらに形成されている。カラーフィルタ646は、R(赤)、G(緑)、またはB(青)のいずれかの光(波長光)を透過させるフィルタであり、例えば、画素アレイ領域において、いわゆるベイア配列で配置されている。

【0151】

画素電極を構成する高濃度のP型層642と、画素分離領域としてのN型層643の下側には、パッシベーション層651および絶縁層652が形成されている。そして、接続電極653A及び653Bとバンプ電極654が、パッシベーション層651および絶縁層652を貫通するように形成されている。接続電極653A及び653Bとバンプ電極654は、画素電極を構成する高濃度のP型層642と、電荷を蓄積する容量素子622とを電氣的に接続する。

【0152】

通常画素602A及び電荷放出画素602Bは、以上のように構成されており、同一の画素構造を有している。しかしながら、通常画素602A及び電荷放出画素602Bとでは、リセットトランジスタの制御方法が異なる。

【0153】

通常画素602Aでは、光電変換部による電荷の生成期間(受光期間)、受光開始前の容量素子の電位のリセット期間等に応じて、リセットトランジスタが、リセット信号に基づいてオンオフされるが、電荷放出画素602Bでは、リセットトランジスタが、常にオンに制御されている。これにより、光電変換部で生成された電荷はグランドへ排出され、電荷放出画素602Bには常に一定の電圧Vaが印加される。

【0154】

(3. 移動体への応用例)

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0155】

図20は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0156】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図20に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

10

20

30

40

50

【0157】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0158】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0159】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0160】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0161】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0162】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0163】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0164】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力す

10

20

30

40

50

ることができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0165】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図20の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0166】

図21は、撮像部12031の設置位置の例を示す図である。

【0167】

図21では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

【0168】

撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【0169】

なお、図22には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0170】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0171】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0172】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から

10

20

30

40

50

得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【０１７３】

撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

【０１７４】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、図３、１１～１４に例示した画素回路１を有する画素１２０は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、ダイナミックレンジを広く確保でき、また、特性変動リスクを抑えられ、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

【０１７５】

（４．内視鏡手術システムへの応用例）

また、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

【０１７６】

図２２は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【０１７７】

図２２では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

【０１７８】

内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

【０１７９】

鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によっ

10

20

30

40

50

て生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【0180】

カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201 に送信される。

10

【0181】

CCU11201 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【0182】

表示装置 11202 は、CCU11201 からの制御により、当該CCU11201 によって画像処理が施された画像信号に基づく画像を表示する。

20

【0183】

光源装置 11203 は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。

【0184】

入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

【0185】

処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

30

【0186】

なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

40

【0187】

また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することに

50

より、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【0188】

また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

【0189】

図23は、図22に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

【0190】

カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

【0191】

レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

【0192】

撮像部11402は、撮像素子で構成される。撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

【0193】

また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

【0194】

駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

【0195】

通信部11404は、CCU11201との間で各種の情報を送受信するための通信装

置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。

【0196】

また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

【0197】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。

【0198】

カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。

【0199】

通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。

【0200】

また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【0201】

画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。

【0202】

制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。

【0203】

また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミス等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

【0204】

カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

【0205】

ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

10

20

30

40

50

【0206】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡11100や、カメラヘッド11102の撮像部11402に適用され得る。具体的には、図3、11～14に例示した画素回路1を有する画素120は、内視鏡11100や、カメラヘッド11102の撮像部11402に適用することができる。内視鏡11100や、カメラヘッド11102の撮像部11402に本開示に係る技術を適用することにより、ダイナミックレンジを広く確保でき、また、特性変動リスクを抑えられ、より鮮明な術部画像を得ることができるため、術者が術部を確実に確認することが可能になる。

【0207】

なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

【0208】

以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

【0209】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

【0210】

なお、本技術は以下のような構成を取ることでもできる。

(1)

光電荷を生成する光電変換部と、

第1容量素子を有し、前記光電変換部により生成された前記光電荷を保持する第1電荷保持部と、

前記第1電荷保持部から転送された前記光電荷を保持する第2電荷保持部と、

前記第1電荷保持部と前記第2電荷保持部を結ぶ配線上に配置され、前記第1電荷保持部に保持された前記光電荷を前記第2電荷保持部へ転送する第1トランジスタと、

前記第2電荷保持部に保持された前記光電荷の電荷量に応じた電圧値の画素信号を信号線に出現させる第2トランジスタと
を備えた固体撮像装置。

(2)

前記第1電荷保持部の第1容量と前記第2電荷保持部の第2容量とが近似する前記(1)に記載の固体撮像装置。

(3)

前記第1容量素子の容量は、10fF(フェムトファラド)以上である前記(1)又は(2)に記載の固体撮像装置。

(4)

前記第2電荷保持部は、第2容量素子を含む前記(1)～(3)のいずれか1項に記載の固体撮像装置。

(5)

前記第1容量素子の容量は、前記第2容量素子の容量よりも小さい前記(4)に記載の固体撮像装置。

(6)

前記第1容量素子の占有面積は、前記第2容量素子の占有面積よりも小さい前記(4)又は(5)に記載の固体撮像装置。

(7)

前記第1容量素子は、前記第1トランジスタの近傍に配置され、前記第2容量素子は、前記第1トランジスタ、前記第2トランジスタ及び前記第1容量素子が配置された場所以

10

20

30

40

50

外の位置に配置される前記（４）～（６）のいずれか１項に記載の固体撮像装置。

（８）

前記第１容量素子と前記第２容量素子との間に、前記第１容量と前記第２容量とを遮蔽する遮蔽部材が配置された前記（４）～（７）のいずれか１項に記載の固体撮像装置。

（９）

前記第１容量素子は、ＭＯＳ（Metal Oxide Semiconductor）キャパシタ、絶縁体が金属で挟まれたＭＩＭ（Metal Insulator Metal）構造を有するキャパシタ及び３次元ＭＩＭ構造を有するキャパシタのいずれかを含む前記（１）～（８）のいずれか１項に記載の固体撮像装置。

（１０）

前記第２容量素子は、ＭＯＳ（Metal Oxide Semiconductor）キャパシタ、絶縁体が金属で挟まれたＭＩＭ（Metal Insulator Metal）構造を有するキャパシタ及び３次元ＭＩＭ構造を有するキャパシタのいずれかを含む前記（４）～（９）のいずれか１項に記載の固体撮像装置。

（１１）

前記第２電荷保持部と定電圧源とを結ぶ配線上に配置され、前記第２電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第３トランジスタと、

前記第２トランジスタと前記信号線とを結ぶ配線上に配置されて前記第２トランジスタと前記信号線との接続を切り替える第４トランジスタと

をさらに備えた前記（１）～（１０）のいずれか１項に記載の固体撮像装置。

（１２）

前記第１電荷保持部と定電圧源とを結ぶ配線上に配置され、前記第１電荷保持部が保持する前記光電荷を前記定電圧源へ排出する第５トランジスタをさらに備えた前記（１）～（１１）のいずれか１項に記載の固体撮像装置。

（１３）

前記光電変換部は、ＩｎＧａＡｓ（インジウムガリウム砒素）、ＩｎＡｓＳｂ（インジウム砒素アンチモン）、ＩｎＡｓ（インジウム砒素）、ＩｎＳｂ（インジウムアンチモン）、ＨｇＣｄＴｅ（水銀カドミウムテルル）、Ｇｅ（ゲルマニウム）、量子ドット又は有機化合物のいずれかを含む前記（１）～（１２）のいずれか１項に記載の固体撮像装置。

（１４）

前記光電変換部から延びる電極と前記第１電荷保持部から延びる電極とが直接接合されて導通される前記（１）～（１３）のいずれか１項に記載の固体撮像装置。

（１５）

前記光電変換部から延びる端子と前記第１電荷保持部から延びる端子とがバンプ電極により接続されて導通される前記（１）～（１４）のいずれか１項に記載の固体撮像装置。

（１６）

前記光電変換部は、前記電荷保持部に接続されるｐ型不純物領域を有することを特徴とする前記（１）～（１５）のいずれか１項に記載の固体撮像装置。

（１７）

複数の画素が行列方向に配置された画素アレイ部と、
複数の前記画素における読み出し対象の画素を駆動する駆動回路と、
前記駆動回路により駆動された前記読み出し対象の画素から画素信号を読み出す処理回路と、

前記駆動回路及び前記処理回路を制御する制御部とを備え、

前記複数の画素それぞれは、

光電荷を生成する光電変換部と、

第１容量素子を有し、前記光電変換部により生成された前記光電荷を保持する第１電荷保持部と、

第２容量素子を有し、前記第１電荷保持部から転送された前記光電荷を保持する第２電荷保持部と、

10

20

30

40

50

前記第 1 電荷保持部と前記第 2 電荷保持部を結ぶ配線上に配置され、前記第 1 電荷保持部に保持された前記光電荷を前記第 2 電荷保持部へ転送する第 1 トランジスタと、

前記第 2 電荷保持部に保持された前記光電荷の電荷量に応じた電圧値の画素信号を信号線に出現させる第 2 トランジスタとを備えた

電子機器。

【符号の説明】

【0211】

1 画素回路

10 光電変換膜

11 リセットトランジスタ

12 増幅トランジスタ

13 選択トランジスタ

14 転送トランジスタ

15 排出トランジスタ

16、17 キャパシタ

100 電子機器

101 撮像レンズ

102 イメージセンサ

103 プロセッサ

104 記憶部

120 画素

121 画素アレイ部

122 垂直駆動回路

123 カラム処理回路

124 水平駆動回路

125 システム制御部

126 信号処理部

127 データ格納部

10

20

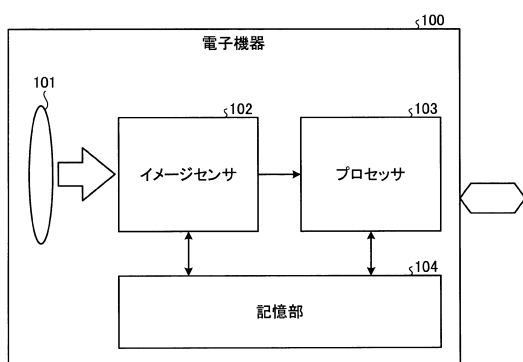
30

40

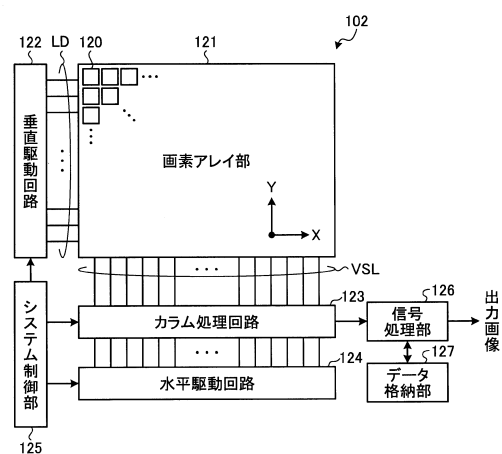
50

【図面】

【図 1】



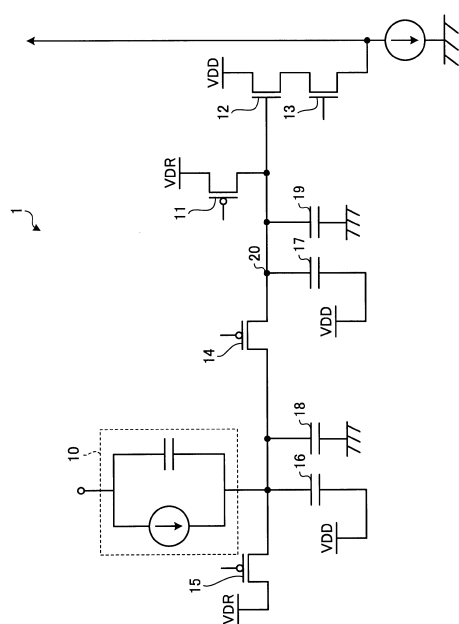
【図 2】



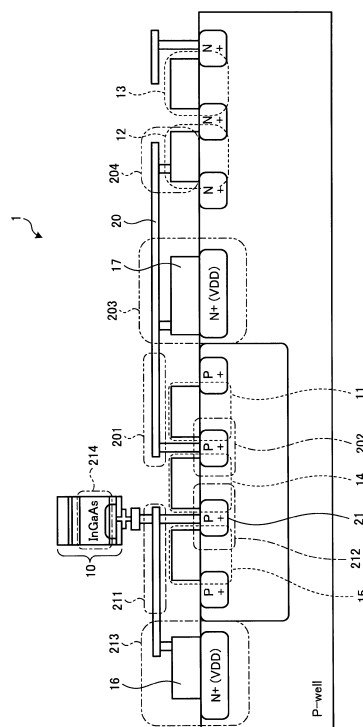
10

20

【図 3】



【図 4】

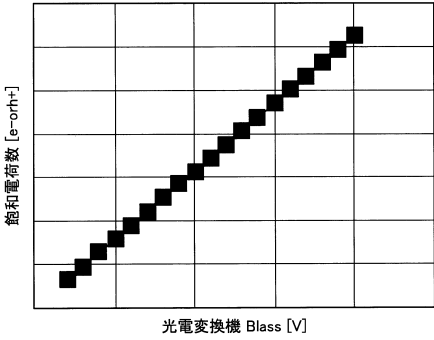


30

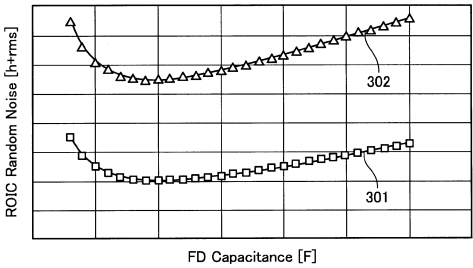
40

50

【図 5】



【図 6】



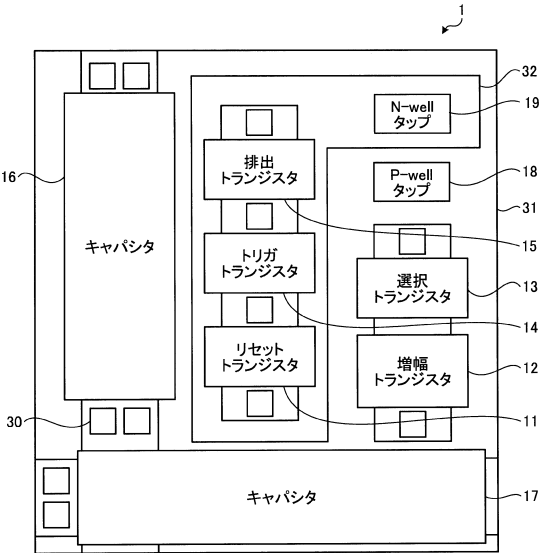
10

20

【図 7】

	配線容量	拡散容量	結露容量	AMP 容量	InGaAs 容量	Total
FD 容量	2.2E-15	3.6E-16	2.5E-14	4.5E-16	3.2E-15	2.8E-14
SN 容量	2.5E-15	3.6E-16	2.0E-14			2.6E-14

【図 8】

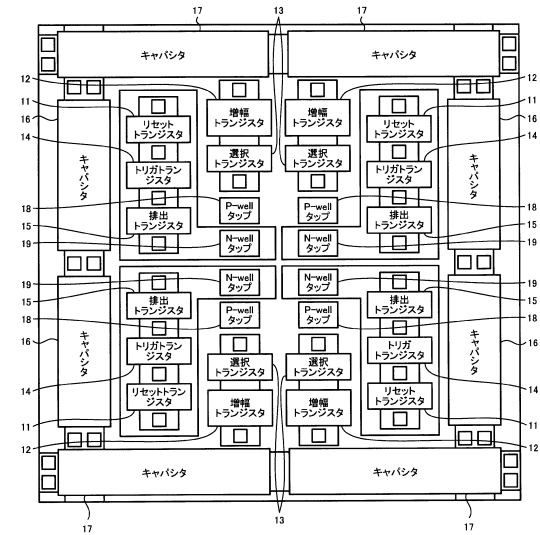


30

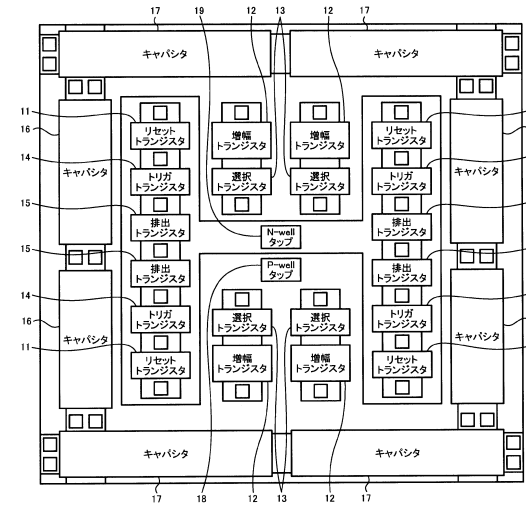
40

50

【図 9】



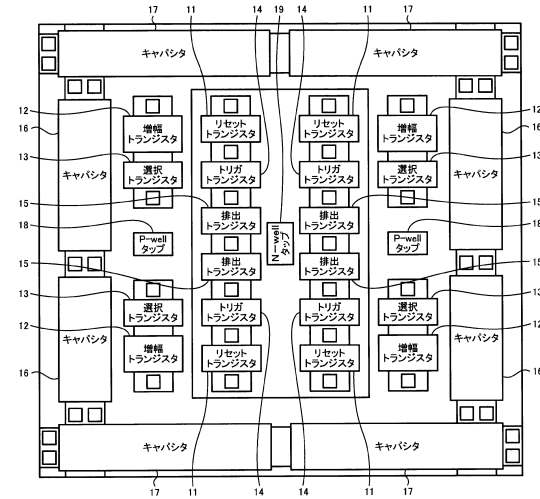
【図 10】



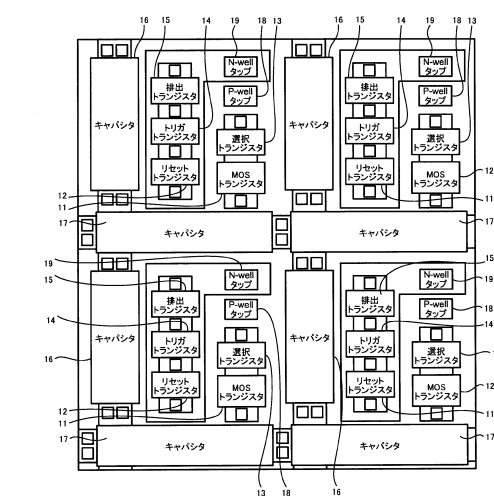
10

20

【図 11】



【図 12 A】

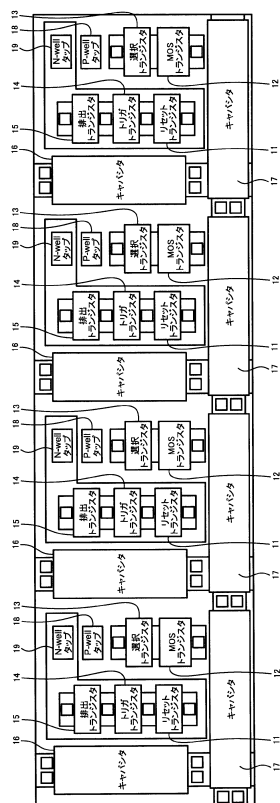


30

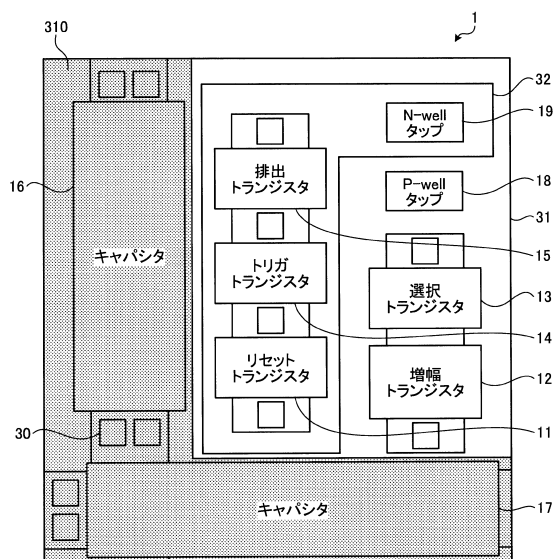
40

50

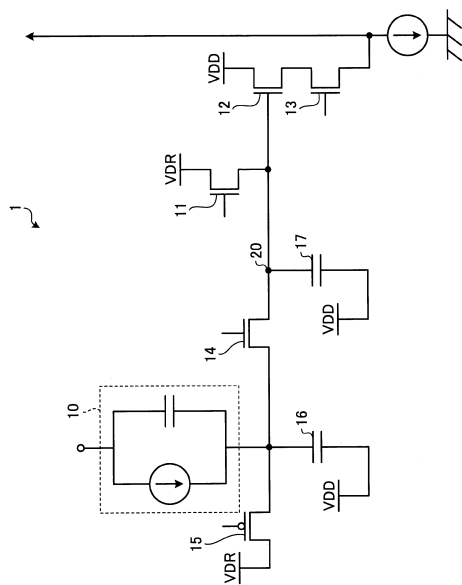
【図 12 B】



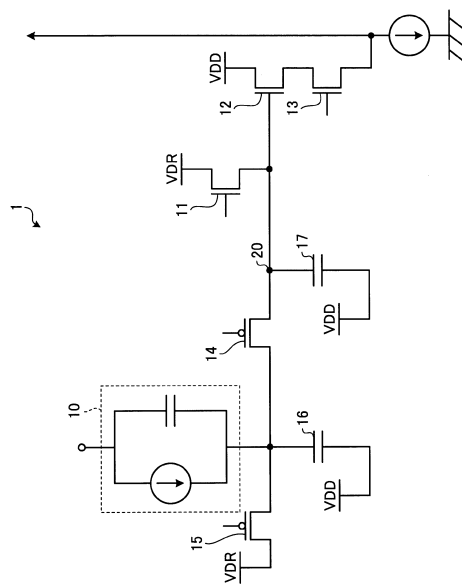
【図 13】



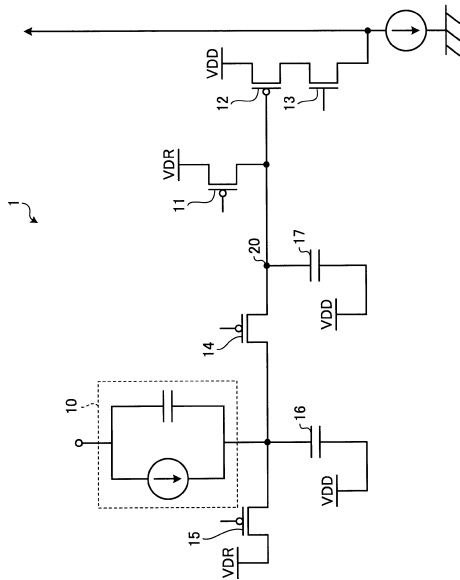
【図 14】



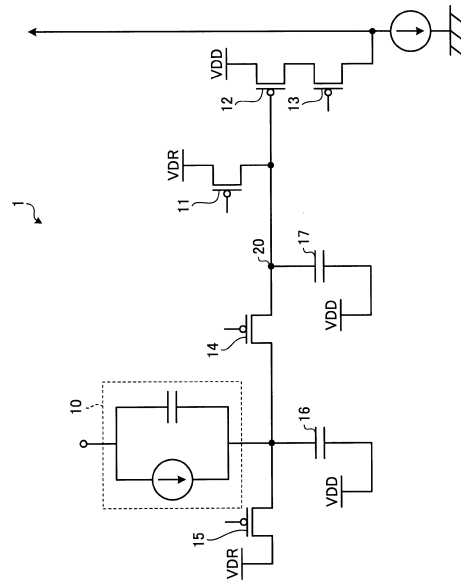
【図 15】



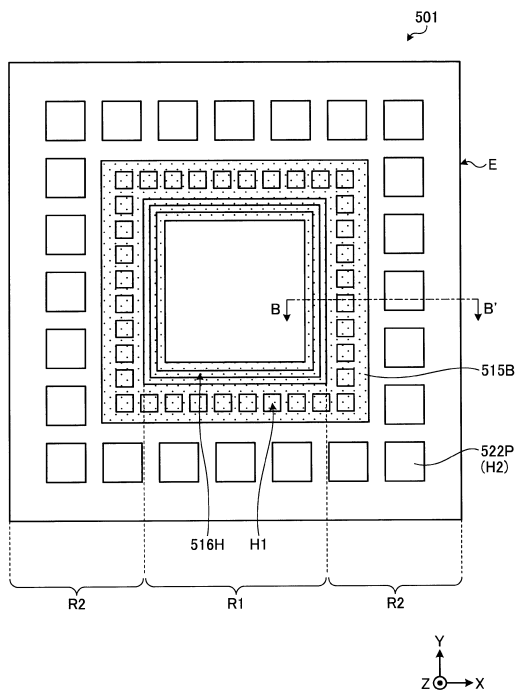
【図 16】



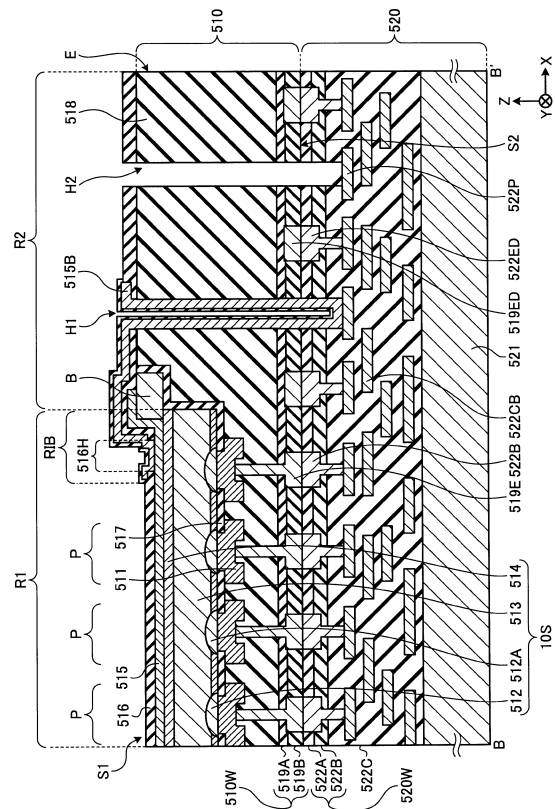
【図 17】



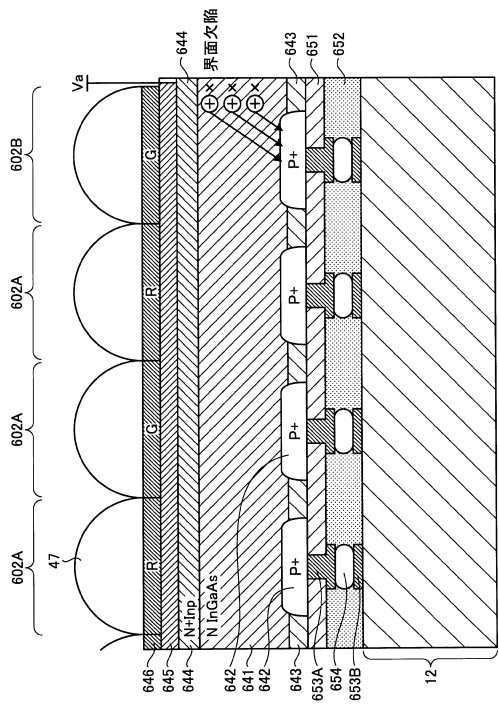
【図 18 A】



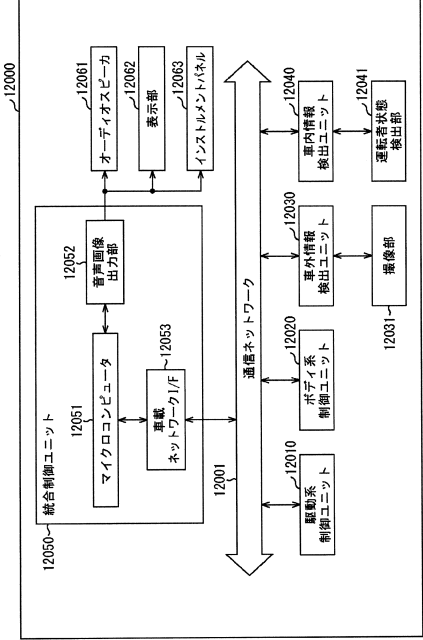
【図 18 B】



【図 19】



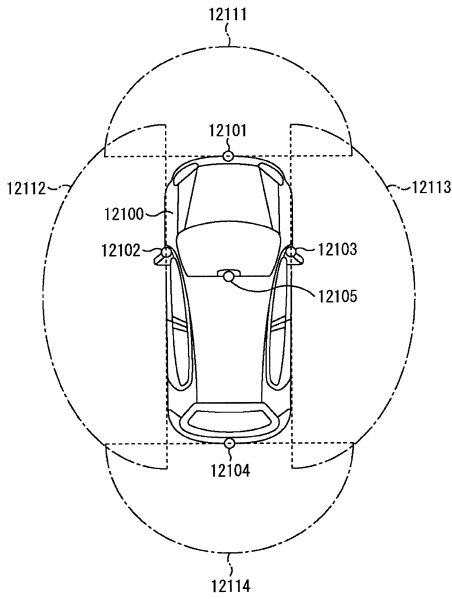
【図 20】



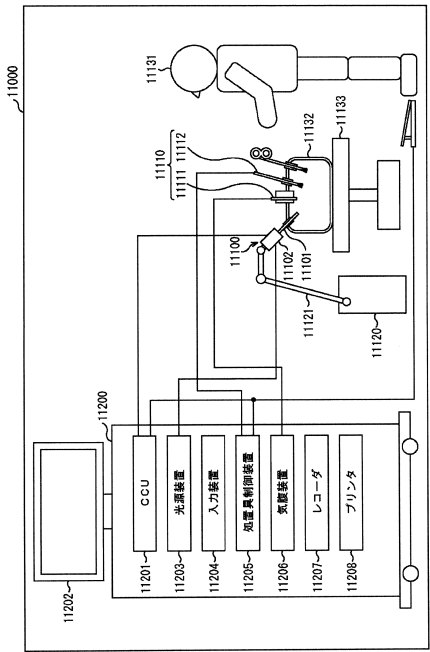
10

20

【図 21】



【図 22】

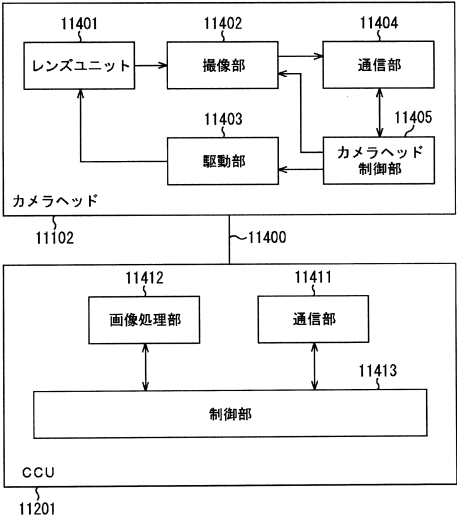


30

40

50

【図 23】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2014/141900 (WO, A1)
米国特許出願公開第2008/0156966 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H04N 25/00-25/79
H01L 27/146