

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96126137

※申請日期：96.7.23

※IPC 分類：G09G3/30 (2006.01)

G09G 3/30 (2006.01)

一、發明名稱：(中文/英文)

顯示裝置及顯示裝置的驅動方法

DISPLAY APPARATUS AND DRIVING METHOD FOR DISPLAY
APPARATUS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司
SONY CORPORATION

代表人：(中文/英文)

中鉢 良治
CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號
1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

淺野 慎
ASANO, MITSURU

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年08月02日；特願2006-210620

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種顯示裝置包括一像素陣列區及相依性取消構件。在該像素陣列區中，複數個像素電路安置成一矩陣，該複數個像素電路中之每一者包括：一電光元件；一驅動電晶體，其經組態以驅動該電光元件；一取樣電晶體，其經組態以取樣及寫入一輸入信號電壓；及一電容器，其經組態以在一顯示週期內保存該驅動電晶體之一閘極-源極電壓。該相依性取消構件用於在由該取樣電晶體寫入該輸入信號電壓之一狀態中在該電光元件發射光之前的一校正週期內，將該驅動電晶體之汲極-源極電流負反饋至該驅動電晶體之閘極輸入側，以取消該驅動電晶體之汲極-源極電流對遷移率的相依性。

六、英文發明摘要：

A display apparatus includes: a pixel array section and dependence cancellation means. The pixel array section wherein a plurality of pixel circuits each including an electro-optical element, a driving transistor configured to drive said electro-optical element, a sampling transistor configured to sample and write an input signal voltage and a capacitor configured to hold a gate-source voltage of said driving transistor within a display period are disposed in a matrix. The dependence cancellation means for negatively feeding back, within a correction period before said electro-optical element emits light in a state wherein the input signal voltage is written by said sampling transistor, drain-source current of said driving transistor to the gate input side of said driving transistor to cancel the dependence of the drain-source current of said driving transistor on the mobility.

七、指定代表圖：

(一)本案指定代表圖為：第 (7) 圖。

(二)本代表圖之元件符號簡單說明：

DS	驅動信號
t	校正時間
Vdata	有效輸入信號電壓
Vofs	第三電源電位
Vsig	輸入信號電壓
Vth32	臨限電壓
WS	寫入信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種顯示裝置及一種用於一顯示裝置之驅動方法，且更特定言之本發明係關於一種顯示裝置，其中各包括一電光元件之複數個像素電路安置成一矩陣；及一種用於該顯示裝置之驅動方法。

【先前技術】

近年來，在影像顯示裝置之領域中，有機EL(電致發光)顯示裝置已得以發展並商業化，其中大量像素電路安置成一矩陣，該等像素電路中之每一者包括一電流驅動型電光元件，其光發射亮度回應於流過其中之電流的值而變化，該電光元件諸如作為像素之發光元件的有機EL元件。由於該有機EL元件係一自發光元件，因此有機EL顯示裝置由於以下原因而為有利的：所顯示之影像的可觀測性較高；無需背光；及當與來自光源(背光)之光強度係由一包括液晶單元之像素電路來控制的液晶顯示裝置相比較時，該元件之回應速度較快。

有機EL顯示裝置可類似於液晶顯示裝置而採用一簡單(被動)矩陣類型或一主動矩陣類型作為其驅動方法。然而，儘管簡單矩陣類型之顯示裝置的結構係簡單的，但其具有難以建構具有高清晰度之大尺寸顯示裝置的此類問題。因此，近年來，已不斷努力發展主動矩陣型顯示裝置，其中流過一發光元件之電流係由一像素電路中所提供之一主動元件來控制，在該像素電路中向該發光元件提供

(諸如)一絕緣閘極型場效電晶體(通常為一薄膜電晶體(TFT))。

若在將薄膜電晶體(下文中被稱作"TFT")用作一主動元件之像素電路中使用TFT之N通道型電晶體為可能的，則可能在將該TFT形成於一基板上中使用相關技術之非晶矽(a-Si)過程。使用該a-Si過程使得有可能達成降低將形成有TFT之基板的成本。

順便提及，有機EL元件之電流-電壓(I-V)特徵通常隨時間的過去而退化(老化降級)。由於在使用一N通道TFT之像素電路中有機EL元件被連接至一用於以電流來驅動該有機EL元件的電晶體(下文中被稱作"驅動電晶體")之源極側，因此若有機EL元件之I-V特徵發生老化降級，則該驅動電晶體之閘極-源極電壓 V_{gs} 改變。結果，有機EL元件之光發射亮度亦改變。

可更具體地描述此情況。驅動電晶體之源極電位視該驅動電晶體及有機EL元件之操作點而定。若有機EL元件之I-V特徵退化，則驅動電晶體及有機EL元件之操作點變化，且因此即使將相同電壓施加至驅動電晶體之閘極，該驅動電晶體之源極電位仍會改變。因此，驅動電晶體之源極-閘極電壓 V_{gs} 改變且流過驅動電晶體之電流之值改變。結果，流過有機EL元件之電流之值亦改變，從而導致有機EL元件之光發射亮度改變。

此外，在使用一多晶TFT之像素電路中，除有機EL元件之I-V特徵之老化降級外，驅動電晶體之臨限電壓 V_{th} 顯示

出老化降級或在不同像素中產生差異(個別電晶體之特徵係分散的)。因為若臨限電壓 V_{th} 在不同驅動電晶體中係不同的，則流過驅動電晶體之電流之值顯示出分散，所以即使將相同電壓施加至驅動電晶體之閘極，有機EL元件仍以不同亮度發射光從而導致顯示幕均一性之損失。

過去，為使有機EL元件之光發射亮度保持為固定而不受有機EL元件之I-V特徵之老化降級或驅動電晶體之臨限電壓 V_{th} 之老化降級的影響(即使發生此老化降級或變化)，為每一像素電路提供一防備有機EL元件之特徵變化的補償功能及一防備驅動電晶體之臨限電壓 V_{th} 之變化的補償功能。舉例而言，在日本專利特許公開案第2004-361640號中揭示了剛才所描述之組態。

【發明內容】

然而，在將一多晶矽TFT用於像素電路中的情況下，除有機EL元件之I-V特徵之老化降級、驅動電晶體之臨限電壓 V_{th} 之老化降級及像素之間的分散之外，驅動電晶體之載子之遷移率 μ 在不同像素之間亦有所不同。

由於驅動電晶體經設計而使得在一飽和區域中操作，因此其充當一恆定電流源。結果，由以下表達式(1)給出之固定汲極-源極電流 I_{ds} 自驅動電晶體供應至有機EL元件：

$$I_{ds} = (1/2) \cdot \mu(W/L)C_{ox}(V_{gs} - V_{th})^2 \quad \dots (1)$$

其中 V_{th} 為驅動TFT之臨限電壓， μ 為載子之遷移率， W 為通道寬度， L 為通道長度， C_{ox} 為每單位面積之閘極電容且 V_{gs} 為閘極-源極電壓。

如可自以上表達式(1)顯見，若由於在像素中出現流過驅動電晶體之汲極-源極電壓 I_{ds} 之分散而使得遷移率 μ 在不同像素之間有所不同，則有機EL元件之光發射亮度在該等像素中亦有所不同。結果，所得顯示幕顯示出包括條紋或者不規則或不均一亮度的不均一圖片品質。

因此，需要提供一種顯示裝置及一種用於其之驅動方法，其中以較低功率消耗來實施防備驅動電晶體之遷移率在像素之間分散的校正功能，以獲得不含條紋或不含亮度不均一性之具有均一圖片品質的顯示影像。

根據本發明之一實施例，提供一包括一像素陣列區及一相依性取消區的顯示裝置。在該像素陣列區中，複數個像素電路安置成一矩陣，該複數個像素電路中之每一者包括一電光元件、一驅動電晶體、一取樣電晶體及一電容器。該驅動電晶體經組態以驅動該電光元件。該取樣電晶體經組態以取樣及寫入一輸入信號電壓。該電容器經組態以在一顯示週期內保存該驅動電晶體之一閘極-源極電壓。該相依性取消區經組態以在該電光元件在由該取樣電晶體寫入該輸入信號電壓之一狀態下發射光之前的一校正週期內，將驅動電晶體之汲極-源極電流負反饋至驅動電晶體之閘極輸入側，以取消驅動電晶體之汲極-源極電流對遷移率的相依性。設定校正週期之時間使得其與該校正週期之前驅動電晶體之閘極-源極電壓-臨限電壓成反比例地增加。

在該顯示裝置中，由於驅動電晶體之汲極-源極電流被

負反饋至驅動電晶體之閘極輸入側，因此汲極-源極電流之電流值得以在遷移率不同之像素之間均一化。結果，達成了防備分散之遷移率校正。負反饋之反饋量可藉由調整對於遷移率之校正時間來最佳化。最佳遷移率校正時間隨輸入信號電壓增加而減少。換言之，最佳遷移率校正時間與輸入信號電壓彼此具有一反比例關係。因此，藉由設定與輸入信號電壓成反比例的遷移率校正時間，可在輸入信號電壓之自黑色位準至白色位準的整個位準範圍中確定性地取消驅動電晶體之汲極-源極電流對遷移率的相依性。

就顯示裝置而言，由於可在輸入信號電壓之自黑色位準至白色位準的整個位準範圍中或所有灰度中取消驅動電晶體之汲極-源極電流對遷移率的相依性，因此可獲得不含條紋或不均勻亮度之具有均一圖片品質之顯示影像，條紋及不均勻亮度係由驅動電晶體之遷移率在不同像素之間有所不同之事實引起。

【實施方式】

將在下文參看圖式來詳細描述本發明之實施例。

圖1展示一應用了本發明之一實施例的主動矩陣顯示裝置及用於該顯示裝置中之像素電路的組態。

(像素陣列區)

參看圖1，根據本實施例之實施例的主動矩陣型有機EL顯示裝置包括一像素陣列區12，其中複數個像素電路11以二維方式安置成一矩陣，該複數個像素電路11中之每一者包括作為一像素之一發光元件的電流驅動型電光元件，其

光發射亮度回應於流過其中之電流之值而變化，該電光元件諸如有機EL元件31。在圖1中，為簡化說明，展示該等像素電路11中之一者的一特定電路組態。

在像素陣列區12中，對於像素電路11中之每一者而言，針對每一像素列而布置掃描線13、驅動線14及第一校正掃描線15與第二校正掃描線16，且針對每一像素行而布置資料線或信號線17。在像素陣列區12周圍安置有：用於驅動及掃描該等掃描線13之寫入掃描電路18；用於驅動及掃描該等驅動線14之驅動掃描電路19；分別用於驅動及掃描第一校正掃描線15與第二校正掃描線16的第一校正掃描電路20與第二校正掃描電路21；及用於將根據亮度資訊之資料信號或影像信號供應至資料線17的資料線驅動電路22。

在圖1中所示之主動矩陣型有機EL顯示裝置中，相對於像素陣列區12而將寫入掃描電路18及驅動掃描電路19安置於一側(安置於圖1中之右側)，且將第一校正掃描電路20與第二校正掃描電路21安置於相對側。然而，所提及之組件並非被限制性地安置成所描述之配置關係，而是可以一不同機制來安置。寫入掃描電路18、驅動掃描電路19及第一校正掃描電路20與第二校正掃描電路21適當地輸出一寫入信號WS、一驅動信號DS及第一校正掃描信號AZ1與第二校正掃描信號AZ2以便分別驅動及掃描掃描線13、驅動線14及第一校正掃描線15與第二校正掃描線16。

像素陣列區12通常形成於一透明絕緣基板(諸如一玻璃基板)上且具有一平面或平坦型面板結構。可使用一非晶

矽 TFT(薄膜電晶體)或一低溫多晶矽 TFT來形成像素陣列區 12 之像素電路 11 中之每一者。在下文所描述之本實施例中，使用一低溫多晶矽 TFT來形成像素電路 11。在使用一低溫多晶矽 TFT之情況下，寫入掃描電路 18、驅動掃描電路 19、第一校正掃描電路 20 與第二校正掃描電路 21 及資料線驅動電路 22 亦可整體形成於一形成像素電路 11 之面板上。

(像素電路)

像素電路 11 具有一除有機 EL 元件 31 之外亦包括作為其組件之驅動電晶體 32、取樣電晶體 33、開關電晶體 34 至 36 及電容器(像素電容/保存電容)37 之電路組態。

在像素電路 11 中，將一 N 通道 TFT 用於驅動電晶體 32、取樣電晶體 33 及開關電晶體 35 與 36，而將一 P 通道 TFT 用於開關電晶體 34。然而，驅動電晶體 32、取樣電晶體 33 及開關電晶體 34 至 36 之傳導類型之該組合僅為一實例且其使用不被限制。

有機 EL 元件 31 在其陰極處連接至一第一電源電位 VSS(在圖 1 中所示之配置中，其為接地電位 GND)。提供驅動電晶體 32 以使用電流來驅動有機 EL 元件 31 且該驅動電晶體 32 在其源極處連接至有機 EL 元件 31 之陽極以形成一源極隨耦電路。取樣電晶體 33 在其源極處連接至資料線 17、在其汲極處連接至驅動電晶體 32 之閘極且在其閘極處連接至掃描線 13。

開關電晶體 34 在其源極處連接至一第二電源電位 VDD

(在圖1中所示之配置中，其為正電源電位)、在其汲極處連接至驅動電晶體32之汲極且在其閘極處連接至驅動線14。開關電晶體35在其汲極處連接至一第三電源電位Vofs、在其源極處連接至取樣電晶體33之汲極及驅動電晶體32之閘極且在其閘極處連接至第一校正掃描線15。

開關電晶體36在其汲極處連接至位於驅動電晶體32之源極與有機EL元件31之陽極之間的節點N11、在其源極處連接至一第四電源電位Vini(在圖1中所示之配置中，其為一負電源電位)且在其閘極處連接至第二校正掃描線16。電容器37在其一端子處連接至位於驅動電晶體32之閘極與取樣電晶體33之汲極之間的節點N12且在其另一端處連接至位於驅動電晶體32之源極與有機EL元件31之陽極之間的節點N11。

在上文所描述之組件以上文所描述之連接機制而連接的像素電路11中，該等組件係以以下方式而操作。詳言之，當將取樣電晶體33置於導通狀態下時，其對經由資料線17而供應至其之輸入信號電壓 $V_{sig}(=V_{ofs}+V_{data}; V_{data}>0)$ 取樣。將所取樣之輸入信號電壓 V_{sig} 保存於電容器37中。當開關電晶體34處於導通狀態下時，其將來自第二電源電位VDD之電流供應至驅動電晶體32。

當開關電晶體34處於導通狀態下時，驅動電晶體32將具有一基於被保存於電容器37中之輸入信號電壓 V_{sig} 的値之電流供應至有機EL元件31以驅動該有機EL元件31(電流驅動)。當將開關電晶體35與36適當地置於導通狀態下時，

其在電流驅動有機EL元件31之前偵測驅動電晶體32之臨限電壓 V_{th32} 且將該所偵測之臨限電壓 V_{th32} 保存於電容器37中以便取消對臨限電壓 V_{th32} 之影響。電容器37在一顯示週期中保存驅動電晶體32之閘極-源極電壓。

在像素電路11中，設定第四電源電位 V_{ini} 以便使其低於第三電源電位 V_{ofs} 與驅動電晶體32之臨限電壓 V_{th32} 的電位差，作為保證正常操作之條件。詳言之，第四電源電位 V_{ini} 、第三電源電位 V_{ofs} 及臨限電壓 V_{th32} 具有 $V_{ini} < V_{ofs} - V_{th32}$ 之位準關係。此外，設定有機EL元件31之陰極電位 V_{cat} (在圖1中所示之配置中，其為接地電位GND)與有機EL元件31之臨限電壓 V_{thel} 的和之位準以便使其高於第三電源電位 V_{ofs} 與驅動電晶體32之臨限電壓 V_{th32} 的差之位準。換言之，陰極電位 V_{cat} 、臨限電壓 V_{thel} 、第三電源電位 V_{ofs} 及臨限電壓 V_{th32} 具有 $V_{cat} + V_{thel} > V_{ofs} - V_{th32}$ ($> V_{ini}$)之位準關係。

應注意，由於上文所描述之像素電路11不具有使寫入信號WS及第一校正掃描信號AZ1同時顯示出"H"位準的週期，因此可通常將開關電晶體35用作取樣電晶體33且通常將第三電源電位 V_{ofs} 之電源線用作資料線17(信號線)。在此例子中，可在第一校正掃描信號AZ1具有"H"位準之週期內自資料線17供應第三電源電位 V_{ofs} ，而在寫入信號WS具有"H"位準之另一週期內自資料線17供應輸入信號電壓 V_{sig} 。

[電路操作]

現參看圖2來描述主動矩陣型有機EL顯示裝置之電路操作，其中具有上文所描述之組態的複數個像素電路11以二維方式安置。在圖2之時序波形圖中，將自時間t1至時間t9的週期界定為一個場週期。在此一個場週期內連續掃描像素陣列區12之像素列一次。

圖2說明經由掃描線13而自寫入掃描信號18提供至某一第i列中之像素電路11的寫入信號WS與經由驅動線14而自驅動掃描電路19提供至該等像素電路11的驅動信號DS之時序關係。圖2進一步說明經由第一校正掃描線15與第二校正掃描線16而自第一校正掃描電路20與第二校正掃描電路21提供至像素電路11的第一校正掃描信號AZ1及第二校正掃描信號AZ2，以及驅動電晶體32之閘極電位 V_g 及源極電位 V_s 之變化的時序關係。

由於取樣電晶體33及開關電晶體35與36為N通道類型，因此將寫入信號WS及第一校正掃描信號AZ1與第二校正掃描信號AZ2顯示出高位準(在本實例中，其為電源電位VDD；下文中被稱作"H"位準)的狀態稱作活動狀態。另一方面，將寫入信號WS及第一校正掃描信號AZ1與第二校正掃描信號AZ2顯示出低位準(在本實例中，其為電源電位VSS(接地電位)；下文中被稱作"L"位準)的狀態稱作非活動狀態。此外，由於開關電晶體34為P通道類型，因此將驅動信號DS顯示出"L"位準的狀態稱作活動狀態，且將驅動信號DS顯示出"H"位準的狀態稱作非活動狀態。

(光發射週期)

首先，在一普通光發射週期(t_7 至 t_8)內，自寫入掃描電路18輸出之寫入信號WS、自驅動掃描電路19輸出之驅動信號DS及分別自第一校正掃描電路20與第二校正掃描電路21輸出之第一校正掃描信號AZ1與第二校正掃描信號AZ2皆顯示出"L"位準。因此，取樣電晶體33及開關電晶體35與36處於非導通(切斷)狀態，而開關電晶體34處於導通(接通)狀態。

此時，由於驅動電晶體32經設計而在一飽和區域內操作，因此其充當一恆定電流源。結果，如在上文由表達式(1)所定義之固定汲極-源極電流 I_{ds} 經由開關電晶體34而自驅動電晶體32供應至有機EL元件31。接著，當驅動信號DS之位準在時間 t_8 自"L"位準改變至"H"位準時，開關電晶體34被置於非導通狀態下，且自第二電源電位VDD至驅動電晶體32之電流源被中斷。因此，有機EL元件31之光發射停止，且進入一非光發射週期。

(臨限值校正預備週期)

當分別自第一校正掃描電路20與第二校正掃描電路21輸出之第一校正掃描信號AZ1與第二校正掃描信號AZ2的狀態在時間 $t_1(t_9)$ 自"L"位準改變至"H"位準同時開關電晶體34處於非導通狀態下時，開關電晶體35與36被置於非導通狀態下。因此，進入下文所描述之用於校正驅動電晶體32之臨限電壓 V_{th32} 以取消該臨限電壓 V_{th32} 之分散的臨限值校正預備週期。

開關電晶體35與36中之任一者可首先進入導通狀態。在

將開關電晶體35與36置於導通狀態下之後，經由開關電晶體35而將第三電源電位Vofs施加至驅動電晶體32之閘極，同時經由開關電晶體36而將第四電源電位Vini施加至驅動電晶體32之源極及有機EL元件31之陽極。

此時，由於滿足如上文所描述之 $Vini < Vcat + Vthel$ 之位準關係，因此有機EL元件31被置於一反向偏壓狀態下。因此，無電流流過有機EL元件31，且有機EL元件31處於一非光發射狀態下。此外，驅動電晶體32之閘極-源極電壓Vgs具有Vofs-Vini之值。此處，如上文所描述，滿足 $Vofs - Vini > Vth32$ 之位準關係。

當自第二校正掃描電路21輸出之第二校正掃描信號AZ2之位準在時間t2自"H"位準改變至"L"位準時，開關電晶體36被置於非導通狀態下，且臨限值校正預備週期隨之結束。

(臨限值校正週期)

其後，自驅動掃描電路19輸出之驅動信號DS之位準在時間t3自"H"位準改變至"L"位準以將開關電晶體34置於導通狀態下。當開關電晶體34處於導通狀態下時，電流沿電源電位VDD→開關電晶體34→節點N11→電容器37→節點N12→開關電晶體35→電源電位Vofs之路徑而流動。

此時，驅動電晶體32之閘極電位Vg被保持於電源電位Vofs，且電流繼續沿上文所描述之路徑而流動直至驅動電晶體32被切斷之後(自導通狀態進入非導通狀態)。此時，節點N11處之電位(亦即，驅動電晶體32處之源極電位Vs)

隨時間的過去而逐漸自第四電位電位 V_{ini} 上升，如自圖3所見。

接著，當一固定之時間間隔過去且節點 N11 與節點 N12 之間的電位差(亦即，驅動電晶體 32 之閘極-源極電壓 V_{gs})變得等於臨限電壓 V_{th32} 時，驅動電晶體 32 被切斷。將節點 N11 與節點 N12 之間的臨限電壓 V_{th32} 保持為供電容器 37 進行臨限值校正之電位。此時，滿足條件 $V_{el} = V_{ofs} - V_{th32} < V_{cat} + V_{thel}$ 。

其後，在時間 t_4 ，自驅動掃描電路 19 輸出之驅動信號 DS 之位準自 "L" 位準改變至 "H" 位準且自第一校正掃描電路 20 輸出之第一校正掃描信號 AZ1 之位準自 "H" 位準改變至 "L" 位準。因此，開關電晶體 34 與 35 被置於非導通狀態下。自時間 t_3 至時間 t_4 的週期係偵測驅動電晶體 32 之臨限電壓 V_{th32} 的週期。下文中將自時間 t_3 至時間 t_4 之偵測週期稱作臨限值校正週期。

當在時間 t_4 將開關電晶體 34 與 35 置於非導通狀態下時，臨限值校正週期結束。此時，開關電晶體 34 早於開關電晶體 35 而被置於非導通狀態下。因此，驅動電晶體 32 之閘極電位 V_g 之變化可得以抑制。

(寫入週期)

其後，自寫入掃描電路 18 輸出之寫入信號 WS 之位準在時間 t_5 自 "L" 位準改變至 "H" 位準。因此，取樣電晶體 33 被置於導通狀態下且開始輸入信號電壓 V_{sig} 之寫入週期。在該寫入週期內，輸入信號電壓 V_{sig} 由取樣電晶體 33 進行取

樣且被寫入至電容器37中。

有機EL元件31具有一電容分量。此處，由Coled表示驅動電晶體32之電容分量，由Cs表示電容器37之電容分量且由Cp表示驅動電晶體32之寄生電容，驅動電晶體32之閘極-源極電壓Vgs由以下表達式(2)來判定：

$$V_{gs} = \{Coled / (Coled + Cs + Cp)\} \cdot (V_{sig} - V_{ofs}) + V_{th32} \dots (2)$$

通常，當與電容器37之電容值Cs及驅動電晶體32之寄生電容值Cp相比較時，有機EL元件31之電容分量之電容值Coled係充分高的。因此，驅動電晶體32之閘極-源極電壓Vgs大體上等於 $(V_{sig} - V_{ofs}) + V_{th}$ 。此外，由於當與有機EL元件31之電容分量之電容值Coled相比較時，電容器37之電容值Cs係充分低的，因此輸入信號電壓Vsig之大半被寫入至電容器37中。更精確而言，輸入信號電壓Vsig與驅動電晶體32之源極電位Vs（亦即，電源電位Vofs）之間的差 $V_{sig} - V_{ofs}$ 作為一有效輸入信號電壓Vdata被寫入。

有效輸入信號電壓Vdata(= $V_{sig} - V_{ofs}$)由電容器37予以保存，使得該電壓被加至電容器37中所保存之臨限電壓Vth32。換言之，電容器37之所保存電壓（亦即，驅動電晶體32之閘極-源極電壓Vgs）為 $V_{sig} - V_{ofs} + V_{th32}$ 。若在下文中之簡化描述中假定第三電源電位Vofs為 $V_{ofs} = 0 \text{ V}$ ，則由 $V_{sig} + V_{th32}$ 給出閘極-源極電壓Vgs。以此方式，藉由將臨限電壓Vth32預先保存於電容器37中，可如下文所描述而執行對臨限電壓Vth32之分散或老化降級的校正。

詳言之，在將臨限電壓Vth32預先保存於電容器37中的

情況下，一旦使用輸入信號電壓 V_{sig} 來驅動驅動電晶體 32，便藉由保存於電容器 37 中之臨限電壓 V_{th32} 而取消驅動電晶體 32 之臨限電壓 V_{th32} 。換言之，由於執行臨限電壓 V_{th32} 之校正，因此即使臨限電壓 V_{th32} 遭遇了分散或老化降級，有機 EL 元件 31 之光發射亮度仍可保持固定而不受此分散及老化降級之影響。

(遷移率校正週期)

當自驅動掃描電路 19 輸出之驅動信號 DS 之位準自 "H" 位準改變至 "L" 位準以將開關電晶體 34 置於導通狀態下同時寫入信號 WS 處於 "H" 位準狀態時，資料寫入週期結束，且進入將執行對驅動電晶體 32 之遷移率 μ 之分散的校正的遷移率校正週期。在該遷移率校正週期內，寫入信號 WS 之活動週期 ("H" 位準週期) 及驅動信號 DS 之活動週期 ("L" 位準週期) 彼此重疊。

由於將開關電晶體 34 置於導通狀態下而啟始自電源電位 VDD 至驅動電晶體 32 之電流源，因此像素電路 11 自非光發射週期進入光發射週期。在取樣電晶體 33 仍以此方式保持處於導通狀態下的週期內 (亦即，在自時間 t_6 至時間 t_7 的週期內，在該週期內，取樣週期之尾端部分與發光週期之前端部分彼此重疊)，執行取消驅動電晶體 32 之汲極-源極電流 I_{ds} 對遷移率之相依性的遷移率校正。

應注意，在執行遷移率校正的光發射週期之頂部分 t_6 至 t_7 內，汲極-源極電流 I_{ds} 在驅動電晶體 32 之閘極電位 V_g 被固定在輸入信號電壓 V_{sig} 之狀態下流過驅動電晶體 32。此

處，由於使用 $V_{ofs}-V_{th32}<V_{thel}$ 之設定，因此有機 EL 元件 31 被置於反向偏壓狀態下，且因此即使像素電路 11 進入一光發射週期，該有機 EL 元件 31 仍不發射光。

在遷移率校正週期 t_6 至 t_7 內，由於有機 EL 元件 31 處於反向偏壓狀態下，因此該有機 EL 元件 31 並不顯示出二極體特徵而是顯示出一簡單電容特徵。因此，流過驅動電晶體 32 之汲極-源極電流 I_{ds} 被寫入至電容器 37 之電容值 C_s 與有機 EL 元件 31 之電容分量之電容值 C_{oled} 的複合電容 $C(=C_s+C_{oled})$ 中。由於該寫入，使得驅動電晶體 32 之源極電位 V_s 上升。在圖 2 之時序圖中，源極電位 V_s 之增量由 ΔV 來表示。

源極電位 V_s 之增量 ΔV 仍起作用以致其自電容器 37 中所保存的驅動電晶體 32 之閘極-源極電壓 V_{gs} 減去(亦即，以便使電容器 37 之累積電荷放電)，且因此，此等效於負反饋之應用。換言之，源極電位 V_s 之增量 ΔV 係負反饋中之一反饋量。在此例子中，由 $V_{sig}-\Delta V+V_{th32}$ 給出閘極-源極電壓 V_{gs} 。在將流過驅動電晶體 32 之汲極-源極電流 I_{ds} 作為一閘極輸入而施加至驅動電晶體 32(亦即，負反饋至閘極-源極電壓 V_{gs}) 的情況下，可校正驅動電晶體 32 之遷移率 μ 之分散。

(光發射週期)

其後，在時間 t_7 ，當自寫入掃描電路 18 輸出之寫入信號 WS 之位準改變至 "L" 位準且將取樣電晶體 33 置於非導通狀態下時，遷移率校正週期結束且開始一光發射週期。結

果，驅動電晶體32之閘極自資料線17斷開以取消輸入信號電壓 V_{sig} 之施加，且因此允許驅動電晶體32之閘極電位 V_g 上升且其後與源極電位 V_s 一起上升。同時，電容器37中所保存之閘極-源極電壓 V_{gs} 保持 $V_{sig}-\Delta V+V_{th32}$ 之值。

接著，當驅動電晶體32之源極電位 V_s 上升時，有機EL元件31之反向偏壓狀態不久便被取消，且因此來自驅動電晶體32之汲極-源極電流 I_{ds} 流入有機EL元件31中使得有機EL元件31實際上開始光發射。

在此例子中，汲極-源極電流 I_{ds} 與閘極-源極電壓 V_{gs} 之間的關係藉由將 $V_{sig}-\Delta V+V_{th32}$ 代入上文所給出之表達式(1)之 V_{gs} 中而給出，給出了以下表達式(3)：

$$I_{ds}=k\mu(V_{gs}-V_{th32})^2=k\mu(V_{sig}-\Delta V)^2 \quad \dots (3)$$

其中 $k=(1/2)(W/L)C_{ox}$ 。

如可自以上表達式(3)顯見，驅動電晶體32之臨限電壓 V_{th32} 項被消去，且自驅動電晶體32供應至有機EL元件31之汲極-源極電流 I_{ds} 並非視驅動電晶體32之臨限電壓 V_{th32} 而定。基本上，汲極-源極電流 I_{ds} 視輸入信號電壓 V_{sig} 而定。換言之，有機EL元件31以一視輸入信號電壓 V_{sig} 而定而不受驅動電晶體32之臨限電壓 V_{th32} 之分散或老化降級影響的亮度發射光。

此外，如可自上文所給出之表達式(3)顯見，藉由將汲極-源極電流 I_{ds} 負反饋至驅動電晶體32之閘極輸入而以反饋量 ΔV 來校正輸入信號電壓 V_{sig} 。該反饋量 ΔV 用以取消定位於表達式(3)之係數部分處的遷移率 μ 之效應。因此，

汲極-源極電流 I_{ds} 大體上僅視輸入信號電壓 V_{sig} 而定。換言之，有機EL元件31以一視輸入信號電壓 V_{sig} 而定而不僅不受驅動電晶體32之臨限電壓 V_{th32} 的影響而且不受驅動電晶體32之遷移率 μ 之分散或老化降級的影響之亮度發射光。結果，可獲得不含條紋或不含不均勻亮度的均一圖片品質。

最後，自驅動掃描電路19輸出的驅動信號DS之位準自"L"位準改變至"H"位準以將開關電晶體34置於非導通狀態下。因此，自第二電源電位VDD至驅動電晶體32之電流源藉此被中斷以結束光發射週期。其後，在時間 $t_9(t_1)$ 開始針對下一個場之處理使得重複執行臨限值校正、遷移率校正及光發射操作的一系列操作。

此處，在某一其他主動矩陣型顯示裝置中(其中該等像素電路11安置成一矩陣，該等像素電路11中之每一者包括一為一電流驅動型電光元件之有機EL元件31)，若有機EL元件31之光發射週期變長，則有機EL元件31之I-V特徵變化。因此，在有機EL元件31之陽極與驅動電晶體32之源極之間的節點N11處之電位亦變化。

另一方面，在根據本實施例之主動矩陣型顯示裝置中，由於將驅動電晶體32之閘極-源極電壓 V_{gs} 保持於一固定值，因此流過有機EL元件31之電流不會變化。因此，即使有機EL元件31之I-V特徵變得退化，固定之汲極-源極電流 I_{ds} 仍繼續流過有機EL元件31，且因此有機EL元件31之光發射亮度不會變化(有機EL元件31之特徵變化的補償功

能)。

此外，由於在寫入輸入信號電壓 V_{sig} 之前將驅動電晶體 32 之臨限電壓 V_{th32} 預先保存於電容器 37 中，因此驅動電晶體 32 之臨限電壓 V_{th32} 被取消(校正)而使得可將不受臨限電壓 V_{th} 之分散或老化降級影響之固定的汲極-源極電流 I_{ds} 供應至有機 EL 元件 31。因此，可獲得高圖片品質之顯示影像(驅動電晶體 32 之臨限值電壓變化的補償功能)。

此外，在遷移率校正週期 t_6 至 t_7 內，將汲極-源極電流 I_{ds} 負反饋至驅動電晶體 32 之閘極輸入，使得以反饋量 ΔV 來校正輸入信號電壓 V_{sig} 。因此，驅動電晶體 32 之汲極-源極電流 I_{ds} 對遷移率 μ 的相依性可得以取消，且可將僅視輸入信號電壓 V_{sig} 而定的汲極-源極電流 I_{ds} 供應至有機 EL 元件 31。因此，可獲得不含由驅動電晶體 32 之遷移率 μ 之分散或老化降級而引起的條紋或不均勻亮度之具有均一圖片品質的顯示影像(驅動電晶體 32 之遷移率 μ 的補償功能)。

[遷移率校正]

此處，研究驅動電晶體 32 之遷移率 μ 之補償功能。可藉由調整遷移率校正週期 t_6 至 t_7 之時間寬度 t 來最佳化將汲極-源極電流 I_{ds} 負反饋至驅動電晶體 32 之閘極輸入的反饋量 ΔV 。

圖 4 說明在遷移率校正週期 t_6 至 t_7 內像素電路 11 之一狀態。在圖 4 中，為簡化說明而使用一開關符號來展示取樣電晶體 33 及開關電晶體 34 至 36。

參看圖4，在遷移率校正週期 t_6 至 t_7 內，取樣電晶體33及開關電晶體34處於導通狀態下(寫入信號WS及驅動信號DS處於活動狀態下)。同時，開關電晶體35與36處於非導通狀態下(第一校正掃描信號AZ1與第二校正掃描信號AZ2處於非活動狀態下)且驅動電晶體32之閘極電位 V_g 固定至輸入信號電壓 V_{sig} 。在此狀態下，汲極-源極電流 I_{ds} 流過驅動電晶體32。

此處，在如上文所描述而應用 $V_{ofs}-V_{th32}<V_{thel}$ 之設定的情況下，有機EL元件31被置於一反向偏壓狀態下且因此並不指示二極體特徵而是指示一簡單電容特徵。因此，流過驅動電晶體32之汲極-源極電流 I_{ds} 流入電容器37與有機EL元件31之等效電容的複合電容 $C(=C_s+C_{oled})$ 中。換言之，部分汲極-源極電流 I_{ds} 被負反饋至電容器37，且結果得以執行對驅動電晶體32之遷移率 μ 之校正。

圖5說明表達式(3)之曲線圖，表達式(3)為汲極-源極電流 I_{ds} 與閘極-源極電壓 V_{gs} 之關係表達式。縱座標之軸線指示汲極-源極電流 I_{ds} ，且橫座標之軸線指示輸入信號電壓 V_{sig} 。

圖5中所示之曲線圖指示用於比較像素1(其驅動電晶體32具有一比較高的遷移率 μ)與另一像素2(其驅動電晶體32具有一比較低的遷移率 μ)之特徵曲線。在驅動電晶體32中之每一者皆由多晶矽薄膜電晶體或其類似物形成的情況下，難以避免遷移率 μ 在不同像素之間(如在像素1與像素2之間)分散。

舉例而言，若在遷移率 μ 在像素1與像素2之間分散之狀態下將具有一相等位準之影像信號 V_{sig} 個別地寫入至像素1與2中，則若不執行對該遷移率之校正，那麼在流至具有高遷移率 μ 之像素1的汲極-源極電流 $I_{ds1'}$ 與流至具有低遷移率 μ 之像素2的汲極-源極電流 $I_{ds2'}$ 之間將出現巨大差異。若由於遷移率 μ 之分散而以此方式在不同像素之間出現汲極-源極電流 I_{ds1} 之巨大差異，則此會損壞顯示幕之均一性。

因此，根據本發明之實施例，藉由將驅動電晶體32之汲極-源極電流 I_{ds} 負反饋至輸入信號電壓 V_{sig} 側來達成取消(補償以防備)驅動電晶體32之遷移率 μ 在像素中分散的補償功能。如自作為上文表達式(1)而給出的電晶體特徵表達式顯見，當遷移率 μ 增加時，汲極-源極電流 I_{ds} 增加。因此，負反饋中之反饋量 ΔV 隨遷移率 μ 增加而增加。

如自圖5之曲線圖所見，具有高遷移率 μ 之像素1中的反饋量 $\Delta V1$ 大於具有低遷移率 μ 之像素2中的反饋量 $\Delta V2$ 。因此，由於負反饋量隨遷移率 μ 增加而增加，因此遷移率 μ 之分散可得到抑制。更特定言之，若將反饋量 $\Delta V1$ 之校正應用於具有高遷移率 μ 之像素1，則汲極-源極電流 I_{ds} 降低自 $I_{ds1'}$ 至 I_{ds1} 之一巨大量。

另一方面，由於為具有低遷移率 μ 之像素2中的反饋量 $\Delta V2$ 之校正量較小，因此汲極-源極電流 I_{ds} 自 $I_{ds2'}$ 降低至 I_{ds2} 且並不降低極巨大的量。結果，像素1中之汲極-源極電流 I_{ds1} 與像素2中之汲極-源極電流 I_{ds2} 變得大體上彼此

相等，且因此取消了遷移率 μ 之分散。由於在輸入信號電壓 V_{sig} 之自黑色位準至白色位準的整個位準範圍中執行防備遷移率 μ 之分散的校正，因此顯示幕之均一性顯著增強。

總之，在像素1及另一像素2之遷移率 μ 彼此不同的情況下，遷移率 μ 較高的像素1中之反饋量 $\Delta V1$ 小於遷移率較低的像素2中之反饋量 $\Delta V2$ 。換言之，具有較高遷移率 μ 的像素涉及更大之反饋量 ΔV 且顯示出汲極-源極電流 I_{ds} 之更大的降低量。因此，藉由將驅動電晶體32之汲極-源極電流 I_{ds} 負反饋至輸入信號電壓 V_{sig} 側，可在遷移率 μ 不同的像素之間均一化汲極-源極電流 I_{ds} 之電流值，且結果可校正遷移率 μ 以防備分散。

此處，執行上文所描述之遷移率校正之數值分析。若假定在取樣電晶體33及開關電晶體34處於導通狀態下(如圖4中所見)之狀態下將驅動電晶體32之源極電位 V_s 用作變量 V 來執行一分析，則由以下表達式(4)給出之汲極-源極電流 I_{ds} 流過驅動電晶體32：

$$I_{ds} = k\mu(V_{gs} - V_{th32})^2 = k\mu(V_{sig} - V - V_{th32})^2 \quad \dots\dots(4)$$

同時，由於汲極-源極電流 I_{ds} 與電容 $C(=C_s+C_{oled})$ 之間的關係，可滿足 $I_{ds} = dQ/dt = C dV/dt$ ，如自以下表達式(5)所認識到的。應注意，在表達式(5)中，將 V_{th32} 表示為 V_{th} 。

自

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt}, \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \dots\dots (5)$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k_{\mu} (V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k_{\mu}}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k_{\mu}}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k_{\mu}}{C} t}$$

將表達式(4)代入表達式(5)中且相對側被積分。此處，假定源電壓 $V(V_s)$ 之初始狀態為 $-V_{th32}$ ，且由 t (下文中被稱作"遷移率校正時間 t ")來表示遷移率校正週期 t_6 至 t_7 的時間寬度。藉由解答該微分等式，可由以下表達式(6)給出關於遷移率校正週期 t 的汲極-源極電流 I_{ds} 。在表達式(6)中，亦將 V_{th32} 表示為 V_{th} 。

$$I_{ds} = k_{\mu} \left(\frac{V_{sig}}{1 + V_{sig} \frac{k_{\mu}}{C} t} \right)^2 \quad \dots\dots (6)$$

圖6中說明在上文所給出之表達式(5)中當 $t=0 \mu s$ 及 $t=2.5 \mu s$ 時遷移率 μ 彼此不同之像素的輸入信號電壓 V_{sig} 與汲極-源極電流 I_{ds} 之間的關係。如可自圖6顯見，與在 $t=0 \mu s$ 時未進行遷移率校正之遷移率 μ 相比，在 $t=2.5 \mu s$ 時之遷移率得到充分校正以防備分散。儘管在遷移率未得到校正之情況下涉及到遷移率 μ 之40%之分散，但藉由應用對遷移率 μ 之校正，可將該遷移率之分散抑制至10%或更少。

在遷移率校正操作中，必需通常滿足 $V(V_s) < V_{thel}$ 之關係。在根據本實施例之像素電路11中，電容值 C_s (電容器37)及有機EL元件31之電容值 C_{oled} 用以遷移率之校正。由於有機EL元件31之電容值 C_{oled} 高於電容值 C_s ，因此複合電容 C 亦具有一較高值，且因此可提供對遷移率校正時間 t

之容限。

此處，研究最佳遷移率校正時間 t 。首先，藉由使用替代係數 k 而包括遷移率 μ 之係數 β ($=\mu \cdot (W/L) \cdot C_{ox}$)來使使用係數 $k(=(1/2) \cdot (W/L) \cdot C_{ox})$ 的表達式(6)變形，可獲得以下表達式(7)：

$$I_{ds} = (\beta/2) \cdot \{(1/V_{sig}) \cdot (\beta/2) \cdot (t/C)\}^{-2} \quad \dots (7)$$

其中 C 為在執行遷移率校正時被放電的節點之電容。在本電路中，複合電容 C 為 $C=C_s+C_{oled}$ 。然而，視電路組態而定，複合電路 C 並不限於 $C=C_s+C_{oled}$ 。

最佳條件為汲極-源極電流 I_{ds} 之變化相對於遷移率 μ 之分散為最小的點(亦即，在 $dI_{ds}/d\mu=0$ 之點處)。若根據此條件來解答表達式(7)，則在由 β_0 表示 β 之平均值的情況下，由以下表達式給出最佳校正時間 t_0 ：

$$t_0(\beta_0) = C/(\beta \cdot V_{sig}) \quad \dots (8)$$

自表達式(8)可認識到，當輸入信號電壓 $V_{sig}(=V_{data})$ 增加時，最佳遷移率校正時間 t 減少。詳言之，可認識到，最佳遷移率校正時間 t 與輸入信號電壓 V_{sig} 彼此具有一反比例關係。換言之，若設定遷移率校正時間 t 使得與輸入信號電壓 V_{sig} 成反比例地增加，則可取消驅動電晶體32之汲極-源極電流 I_{ds} 對遷移率 μ 的相依性。

藉由將表達式(8)返回至表達式(7)，獲得

$$I_{ds}(t=t_0, \beta=\beta_0) = \beta_0 \cdot (V_{sig}/2)^2 \quad \dots (9)$$

換言之，可認識到，使驅動電晶體32之閘極與源極之間的電壓(亦即，跨過電容器37之電壓 $V_{gs}-V_{th32}$)自輸入信號電

壓 V_{sig} 放電直至降到 $V_{sig}/2$ 係最佳的。

此外，若使用一任意係數 β (在任意遷移率 μ 之係數 β) 與平均 β_0 之誤差量 $r = (\beta - \beta_0)/\beta_0$ 來將係數 β 定義為：

$$\beta = \beta_0 \cdot (1 + r) \quad \dots (10)$$

則由以下表達式給出在遷移率校正時間 t 內在任意係數 β 時之汲極-源極電流 I_{ds} ：

$$I_{ds}(t=t_0, \beta=\beta_0) = \beta_0 \cdot \{(1+r)/2\} \cdot \{V_{sig}/(2+r)\} \quad \dots (11)$$

現評估在 β 及 β_0 時之分散。詳言之，

$$\begin{aligned} I_{ds}(t=t, \beta=\beta_0)/I_{ds}(t=t_0, \beta=\beta_0) \\ &= (1+r)/\{1+(r/2)\}^2 \\ &= (1+r)/\{1+r+(r^2/4)\} \quad \dots (12) \end{aligned}$$

因此，若 r^2 係充分小的，則可完全校正遷移率 $\mu (\propto \beta)$ 。

如可自上文所描述之對遷移率校正之數值分析明顯認識到，藉由設定遷移率校正時間 t 使得與輸入信號電壓 V_{sig} 成反比例地增加，可取消驅動電晶體 32 之汲極-源極電流 I_{ds} 對遷移率 μ 之相依性。換言之，可校正遷移率 μ 在不同像素之間的分散。

應注意，在由表達式 (8) 所表示之最佳遷移率校正時間 t 為 t_0 的情況下，由以下表達式來表示當遷移率校正時間 t 分散時的影響 (當 $\beta=\beta_0$ 時)：

$$I_{ds}(t, \beta=\beta_0)/I_{ds}(t_0, \beta=\beta_0) = (2/(1+t/t_0))^2 \quad \dots (13)$$

此處，若假定：若允許將約 10% 之分散作為不會在視覺觀測中提供不熟悉感覺的分散 (例如，作為汲極-源極電流 I_{ds} 之分散)，則藉由近似解答上文之表達式 (13)，可獲

得：

$$I_d \propto t/t_0 \quad \dots (14)$$

換言之，為使汲極-源極電流 I_{ds} 與遷移率校正時間 t 的分散彼此具有一比例關係，允許遷移率校正時間 t 之分散高達約 10%。

如可自圖2之時序圖顯見，由於取樣電晶體33及開關電晶體34兩者在遷移率校正時間 t (t_6 至 t_7) 內處於導通狀態下，因此遷移率校正時間 t 視取樣電晶體33之狀態自導通狀態改變至非導通狀態的時序而定。接著，取樣電晶體33切斷，亦即，當其閘極與資料線17之間的電位差(亦即，其閘極-源極電壓)變得等於其臨限電壓 V_{th33} 時，該取樣電晶體33自導通狀態而進入非導通狀態。

因此，在本實施例中，產生了將經由掃描線13而自寫入掃描電路18施加至取樣電晶體33之閘極的寫入信號 WS ，使得其下降邊緣波形(在取樣電晶體33另外為P通道類型的情況下為上升邊緣波形)在其位準自 "H" 位準改變至 "L" 位準時可顯示出與有效輸入信號電壓 $V_{data}(=V_{sig}-V_{ofs})$ 成反比例關係，如在圖7中所見。

藉由設定寫入信號 WS 之下降邊緣波形使得其與輸入信號電壓 V_{sig} 成反比例地增加，當取樣電晶體33之閘極-源極電壓變得等於臨限電壓 V_{th33} 時，取樣電晶體33切斷。因此，可設定遷移率校正時間 t 使得與輸入信號電壓 V_{sig} 成反比例地增加。

更特定言之，如自圖7之波形圖顯見，當將對應於白色

位準之輸入信號電壓 V_{sig} (白色)輸入至取樣電晶體 33 時，將遷移率校正時間 t (白色)設定成最短，使得當取樣電晶體 33 之閘極-源極電壓變得等於 V_{sig} (白色) + V_{th33} 時，取樣電晶體 33 可切斷。然而，當將對應於灰階之輸入信號電壓 V_{sig} (灰色)輸入至取樣電晶體 33 時，將遷移率校正時間 t (灰色)設定為比遷移率校正時間 t (白色)長，使得當閘極-源極電壓變得等於 V_{sig} (灰色) + V_{th33} 時，取樣電晶體 33 可切斷。

藉由以此方式設定遷移率校正時間 t 使得與輸入信號電壓 V_{sig} 成反比例地增加，可設定最佳的遷移率校正時間 t 對輸入信號電壓 V_{sig} 。因此，可在輸入信號電壓 V_{sig} 之自黑色位準至白色位準的整個位準範圍(所有灰度)中以較高確定性來取消驅動電晶體 32 之汲極-源極電流 I_{ds} 對遷移率 μ 的相依性。換言之，可以較高確定性校正遷移率 μ 以防備在不同像素之間的分散。

[寫入掃描電路]

現描述用於產生寫入信號 WS 之寫入掃描電路 18 之一特定實例，該寫入信號 WS 具有一在其下降邊緣處與輸入信號電壓 V_{sig} 成反比例增加之波形。

圖 8 展示寫入掃描電路 18 之一電路組態之一實例。詳言之，圖 8 展示一對應於像素陣列區 12 之第 i 列的移位階段(i)的電路組態。然而，其他移位階段亦具有相同的電路組態。

參看圖 8，寫入掃描電路 18 之移位階段(i)包括：移位暫

存器 181(i)，其包括一邏輯電路；及(例如)緩衝器 182(i)與 183(i)之兩個階段。該等緩衝器 182(i)與 183(i)中之每一者包括一連接於一正側電源電位 $VDDV_x$ 與一負側電源電位 $VSSV_x$ 之間的 CMOS 反相器。

負側電源電位 $VSSV_x$ 係第一電源電位 VSS 。由如圖 9 中所見之 $VDDV_x$ 產生電路 40 基於第二電源電位 VDD 而產生正側電源電位 $VDDV_x$ 。參看圖 10， $VDDV_x$ 產生電路 40 基於第二電源電位 VDD 而在自第 i 個移位暫存器 181(i) 輸出的一脈衝波形之掃描脈衝 $A(i)$ 之末端部分產生一類比波形(參看圖 7)之電源電位 $VDDV_x$ ，該電源電位 $VDDV_x$ 與輸入信號電壓 V_{sig} 成反比例。

由於將此類比波形之在掃描脈衝 $A(i)$ 之末端部分處與輸入信號電壓 V_{sig} 成反比例的電源電位 $VDDV_x$ 作為正側電源電位供應至緩衝器 182(i)與 183(i)，且以此方式經由該等緩衝器 182(i)與 183(i)而輸出自移位暫存器 181(i)輸出之掃描脈衝 $A(i)$ 以作為寫入信號 $WS(i)$ ，因此此使得能夠產生與輸入信號電壓 V_{sig} 成反比例之波形寫入信號 $WS(i)$ ，如圖 10 中所見。

($VDDV_x$ 產生電路)

圖 11 展示 $VDDV_x$ 產生電路 40 之一電路組態之一實例。參看圖 11， $VDDV_x$ 產生電路 40 包括(例如)三個開關 $SW11$ 、 $SW12$ 及 $SW13$ 、兩個電流源 $I11$ 與 $I12$ 及一電容器 C 。開關 $SW11$ 選擇性地提取第二電源電位 VDD 。電容器 C 連接於開關 $SW11$ 之輸出端子與電源電位 VSS (在圖 11 中所示之配置

中，其為接地電位 GND)之間，且藉由經由開關 SW11 所輸入之電源電位 VDD 來充電。

開關 SW12 與電流源 I11 串聯連接且開關 SW13 與電流源 I12 串聯連接，其皆串聯連接於開關 SW11 之輸出端子與第一電源電位 VSS 之間。電流源 I11 由(例如)低電阻值之電阻元件形成且供應高電流值之電流。電流源 I12 由一具有比電流源 I11 之電阻值高的電阻值之電阻元件形成且供應比電流源 I11 之電流值低的電流值之電流。

圖 12 說明接通(閉合)/切斷(打開)對開關 SW11、SW12 及 SW13 之驅動的時序關係。在進入一回應於輸入信號電壓 V_{sig} 而調整遷移率校正時間 t 之對於遷移率校正時間 t 的調整週期之前，開關 SW11 保持處於接通狀態。因此，電容器 C 處於由第二電源電位 VDD 充電的狀態下，且因此，作為電容器 C 之端子電位(輸出電位)的電源電位 $VDDV_x$ 等於電源電位 VDD。

當在時間 t_{11} 進入一對於遷移率校正時間 t 之調整週期時，開關 SW11 被切斷且開關 SW12 與 SW13 兩者被接通。因此，電容器 C 之電荷沿開關 SW12 與電流源 I11 之路徑及開關 SW13 與電流源 I12 之另一路徑而放電。此時，由於電容器 C 之電荷係以一由電流源 I11 與 I12 之電流值組成的電流值而快速放電，因此電源電位 $VDDV_x$ 突然自第二電源電位 VDD 降落。

接著在時間 t_{12} ，開關 SW13 被切斷而開關 SW12 保持處於接通狀態。因此，電容器 C 之電荷經由 SW12 與電流源 I11

之路徑以電流源 I11 之一電流值放電，該電流值低於開關 SW12 與 SW13 兩者皆被接通狀況下之電流值。此時，正側電源電位 $VDDV_x$ 以比開關 SW12 與 SW13 兩者皆被接通狀況下之降低斜率更緩和的一斜率而降落。

接著在時間 t_{13} ，開關 SW12 被切斷且開關 SW13 被接通。因此，電容器 C 之電荷沿開關 SW13 與電流源 I12 之路徑流動且以電流源 I12 之一電流值放電，該電流值低於開關 SW12 被接通狀況下之電流值。此時，電源電位 $VDDV_x$ 沿比在開關 SW12 被接通時之降低斜率進一步更為緩和之一斜率而降低。

開關 SW13 在時間 t_{14} 被切斷，且接著開關 SW11 在時間 t_{15} 被接通。因此，開始藉由第二電源電位 VDD 對電容器 C 進行充電。最後，電源電位 $VDDV_x$ 集中至第二電源電位 VDD。

以此方式，具有彼此不同之電流值的複數個電流源(在上文參看圖 11 所描述之實例中為兩個電流源 I11 與 I12)以一適當組合而彼此並聯連接至電容器 C，該電容器 C 處於由第二電源電位 VDD 充電之狀態下。此使得能夠產生一具有多邊形線之下降邊緣波形的電源電位 $VDDV_x$ ，在上文參看圖 12 所描述之實例中，該多邊形線在如圖 12 所見之點 1 與 2 處彎曲。

圖 13 說明寫入信號 WS 之一下降邊緣波形，其中將具有多邊形線之下降邊緣波形的電源電位 $VDDV_x$ 用作在寫入掃描電路 18 之緩衝器 182(i) 與 183(i) 之正側上的電源電壓。在

此例子中，寫入信號WS之下降邊緣波形亦變為在點1與2處彎曲的多邊形線之下降邊緣波形。

此處，由於可藉由將電流源I11與I12之電流值選擇為所要之值，來產生一具有多邊形線之下降邊緣波形的寫入信號WS，該寫入信號WS大體上與輸入信號電壓Vsig成反比例地增加，因此可設定遷移率校正時間t使得大體上與輸入信號電壓Vsig成反比例地增加。因此，由於可設定對應於輸入信號電壓Vsig之遷移率校正時間t，因此可在輸入信號電壓Vsig之自黑色位準至白色位準的整個位準範圍中，以較高確定性來校正遷移率 μ 在像素之間的分散。

在圖11之電路組態中，可藉由增加電流源之數目來增加彎曲點之數目，且可產生近似圖7之下降特徵之具有多邊形線之下降邊緣波形的寫入信號WS。

應注意，在上文所描述之實施例中，將本實施例應用至一使用像素電路11之顯示裝置，該像素電路11除了包括(例如)為電光元件之有機EL元件31之外，亦包括驅動電晶體32、取樣電晶體33、開關電晶體34至36及電容器37。然而，本發明並不限於此應用。在以下內容中，結合一像素電路之若干不同實例來描述本發明。

[不同像素電路1]

圖14展示一不同像素電路1(11A)之一電路組態。參看圖14，所示之不同像素電路11A具有除了有機EL元件31之外亦包括作為其組件之驅動電晶體32、取樣電晶體33、開關電晶體35及電容器37之組態。

將一 N 通道 TFT 用於驅動電晶體 32、取樣電晶體 33 及開關電晶體 35。然而，驅動電晶體 32、取樣電晶體 33 及開關電晶體 35 之傳導類型之該組合僅為一實例且其使用不被限制。

有機 EL 元件 31 在其陰極處連接至第一電源電位 VSS (在圖 14 之配置中，其為接地電位 GND)。驅動電晶體 32 使用電流來驅動有機 EL 元件 31 且在其源極處連接至有機 EL 元件 31 之陽極使得形成一源極隨耦電路。此外，驅動電晶體 32 在其汲極處接收一驅動信號 DS。取樣電晶體 33 在其源極處連接至資料線 17 且在其汲極處連接至驅動電晶體 32 之閘極且在其閘極處接收一寫入信號 WS。

開關電晶體 35 在其汲極處連接至第三電源電位 Vofs 且在其源極處連接至取樣電晶體 33 之汲極及驅動電晶體 32 之閘極，且在其閘極處接收一校正掃描信號 AZ。電容器 37 在其一端子處連接至驅動電晶體 32 之閘極及取樣電晶體 33 之汲極且在其另一端子處連接至驅動電晶體 32 之源極及有機 EL 元件 31 之陽極。

在以如上文所描述之此連接機制而連接組件之不同像素電路 11A 中，該等組件以以下方式操作。詳言之，當取樣電晶體 33 處於導通狀態下時，其對一自資料線 17 供應至其之輸入信號電壓 $V_{sig}(=V_{ofs}+V_{data}; V_{data}>0)$ 進行取樣。該輸入信號電壓 V_{sig} 藉由電容器 37 來保存。

當將電源電位 VDD 施加至驅動電晶體 32 之汲極時，驅動電晶體 32 將具有一基於被保存於電容器 37 中之輸入信號電

壓 V_{sig} 之電流值的電流供應至有機 EL 元件 31 以驅動該有機 EL 元件 31 (電流驅動)。開關電晶體 35 適當地進入導通狀態，在該導通狀態下開關電晶體 35 在電流驅動有機 EL 元件 31 之前偵測驅動電晶體 32 之臨限電壓 V_{th32} 且將該所偵測得之臨限電壓 V_{th32} 保存於電容器 37 中以便預先取消對臨限電壓 V_{th32} 之影響。

在不同像素電路 11A 中，第二電源電位 VDD 並不固定而是在一適當時序下改變至 "L" 位準 (在本實例中，其為第一電源電位 VSS) 以實施圖 1 中所示之開關電晶體 34 至 36 之功能。詳言之，電源電位 VDD 對應於用於驅動圖 1 之像素電路 11 中之開關電晶體 34 的驅動信號 DS 。根據不同像素電路 11A 之電路組態，可自像素電路 1 減少兩個電晶體，且當與圖 1 之像素電路 11 中之彼等佈線相比較時，可減少用於圖 1 中之驅動線 14 及第二校正掃描線 16 的佈線。

應注意，由於上文所描述之不同像素電路 11A 不具有使寫入信號 WS 及校正掃描信號 AZ 同時顯示出 "H" 位準之週期，因此通常可使開關電晶體 35 與取樣電晶體 33 一起形成且通常可使第三電源電位 V_{ofs} 之電源線與資料線 (信號線) 17 一起形成。在此例子中，應在校正掃描信號 AZ 具有 "H" 位準之週期內供應電源電位 V_{ofs} ，且應在寫入信號 WS 具有 "H" 位準之另一週期內供應輸入信號電壓 V_{sig} ，皆自資料線 17 供應。

圖 15 說明用於驅動不同像素電路 11A 之寫入信號 WS 、驅動信號 DS 及第一校正掃描信號 $AZ1$ ，以及驅動電晶體 32 之

開極電位 V_g 及源極電位 V_s 之變化的時序關係。

在圖 15 之時序波形圖中，自時間 t_{21} 至時間 t_{27} 之週期形成一個場週期。在該場週期內，週期 t_{21} 至 t_{22} 係一臨限值校正預備週期，週期 t_{22} 至 t_{23} 係一臨限值校正週期，週期 t_{24} 至 t_{25} 係一資料寫入+遷移率校正週期，且週期 t_{25} 至 t_{26} 係有機 EL 元件 31 之一光發射週期。

詳言之，在不同像素電路 11A 中，當校正掃描信號 AZ 顯示出 "H" 位準同時第二電源電位 VDD 具有 VSS 位準時 (t_{21} 至 t_{22})，執行預備校正驅動電晶體 32 之臨限電壓 V_{th32} 之分散的臨限值校正預備。接著，當寫入信號 WS 顯示出 "H" 位準同時第二電源電位 VDD 具有 VDD 位準時 (t_{24} 至 t_{25})，同時執行資料 Vdata 之寫入與驅動電晶體 32 之遷移率 μ 之分散校正。

以此方式，在具有該除了有機 EL 元件 31 外亦包括作為其組件之驅動電晶體 32、取樣電晶體 33、開關電晶體 35 及電容器 37 的組態的不同像素電路 11A 中，亦可執行校正驅動電晶體 32 之臨限電壓 V_{th32} 以防備在像素之間分散的臨限值校正 (分散取消) 以及校正驅動電晶體 32 之遷移率 μ 以防備在像素之間分散的遷移率校正。由於執行該等校正功能，使得顯示裝置可顯示不含由驅動電晶體 32 之特徵分散而引起之亮度分散的具有高圖片品質之影像。

在遷移率 μ 之校正中，可藉由設定寫入信號 WS 之脈衝寬度或更特定言之藉由設定遷移率校正時間 t 來設定最佳的遷移率校正時間 t 對輸入信號電壓 V_{sig} ，該遷移率校正時間

t視寫入信號WS之下降邊緣波形而定使得與輸入信號電壓Vsig成反比例地增加。因此，可在輸入信號電壓Vsig之自黑色位準至白色位準的整個位準範圍中以較高確定性來取消驅動電晶體32之汲極-源極電流Ids對遷移率 μ 之相依性。換言之，可以較高確定性來校正遷移率 μ 以防備在不同像素之間的分散。

可產生一具有一下降邊緣波形之寫入信號WS，該下降邊緣波形與被施加至驅動電晶體32之閘極的有效輸入信號電壓Vdata成反比例地增加。藉由將一類比波形之正側電源電位VDDVx供應至圖8中所示之寫入掃描電路18之緩衝器182(i)及183(i)而產生寫入信號WS，該類比波形由圖9中所示之VDDVx產生電路40產生且與作為正側電源電位之輸入信號電壓Vsig成反比例地下降。

應注意，可修改像素電路11，使得輸入信號電壓Vsig及電源電位Vofs可經由資料線17來分時地供應以便由取樣電晶體33來分時地寫入。在採用剛才所描述之組態的情況下，可向取樣電晶體33提供開關電晶體35之功能。因此，可進一步減少電晶體之數目且亦可減少用於圖1中之第一校正掃描線15的佈線。

[不同像素電路2]

圖16展示一不同像素2(11B)之一電路組態。參看圖16，除有機EL元件51之外，所示之像素電路11B亦包括驅動電晶體52、取樣電晶體53、開關電晶體54至56及電容器57與58。

將一 P 通道 TFT 用於驅動電晶體 52 及開關電晶體 55，且將一 N 通道電晶體用於取樣電晶體 53 及開關電晶體 54 與 56。然而，驅動電晶體 52、取樣電晶體 53 及開關電晶體 54 至 56 之傳導類型之該組合僅為一實例且其使用不被限制。

有機 EL 元件 51 在其陰極處連接至電源電位 VSS (在圖 16 之配置中，其為接地電位 GND)。驅動電晶體 52 使用電流來驅動有機 EL 元件 51，且在其源極處連接至第二電源電位 VDD (在圖 16 之配置中，其為一正電源電位)。取樣電晶體 53 在其源極處連接至資料線 17 且在其汲極處連接至節點 N21，且在其閘極處接收一寫入信號 WS。

開關電晶體 54 在其汲極處連接至驅動電晶體 52 之汲極且在其源極處連接至有機 EL 元件 51 之陽極，且在其閘極處接收一驅動信號 DS。開關電晶體 55 連接於驅動電晶體 52 之閘極與源極之間且在其閘極處適當接收一第一校正掃描信號 AZ1。

開關電晶體 56 在其汲極處連接至第三電源電位 Vofs 且在其源極處連接至節點 N21 且在其閘極處適當接收一第二校正掃描信號 AZ2。電容器 57 連接於第二電源電位 VDD 與節點 N21 之間。電容器 58 連接於節點 N21 與驅動電晶體 52 之閘極之間。

圖 17 說明用於驅動像素電路 11B 之寫入信號 WS、驅動信號 DS 及第一校正掃描信號 AZ1 與第二校正掃描信號 AZ2，以及節點 N21 處之電位 V_{in} 及驅動電晶體 52 之閘極電位 V_g 之變化的時序關係。

在圖 17 之時序波形圖中，自時間 t31 至時間 t39 之週期形成一個場週期。在該場週期內，週期 t31 至 t32 係一臨限值校正預備週期，週期 t32 至 t33 係一臨限值校正週期，週期 t34 至 t35 係一資料寫入週期，週期 t35 至 t36 係一遷移率校正週期，且週期 t37 至 t38 係有機 EL 元件 51 之一光發射週期。

詳言之，在像素電路 11B 中，當寫入信號 WS 與第一校正掃描信號 AZ1 兩者皆顯示出 "L" 位準同時驅動信號 DS 與第二校正掃描信號 AZ2 兩者皆具有 "H" 位準時 (t31 至 t32)，執行預備校正驅動電晶體 52 之臨限電壓 V_{th52} 之分散的臨限值校正預備。接著，當寫入信號 WS、驅動信號 DS 及第一校正掃描信號 AZ1 皆顯示出 "L" 位準時 (t32 至 t33)，執行驅動電晶體 52 之臨限電壓 V_{th52} 之分散校正。

此外，當寫入信號 WS 與第一校正掃描信號 AZ1 兩者顯示出 "H" 位準且驅動信號 DS 及第二校正掃描信號 AZ2 兩者顯示出 "L" 位準時 (t34 至 t36)，執行資料 Vdata 之寫入。接著，當第一校正掃描信號 AZ1 之位準在寫入信號 WS 具有 "H" 位準之狀態下改變至 "L" 位準時 (亦即，執行輸入信號電壓 Vdata 之寫入時) (t35 至 t36)，執行驅動電晶體 52 之遷移率 μ 之分散校正。

在正常光發射週期 (t37 至 t38) 內，寫入信號 WS 及第一校正掃描信號 AZ1 兩者具有 "L" 位準且驅動信號 DS 及第二校正掃描信號 AZ2 兩者具有 "H" 位準。因此，取樣電晶體 53 及開關電晶體 55 與 56 顯示出非導通狀態，且開關電晶體 54

顯示出導通狀態。在此例子中，因為驅動電晶體52經設計而在一飽和區域中操作，所以其作為一固定電流源而操作。

結果，由上文所給出之表達式(1)定義的汲極-源極電流 I_{ds} 經由開關電晶體54自驅動電晶體52供應至有機EL元件51，且因此該有機EL元件51發射光。其後，當驅動信號DS之位準在時間 t_{38} 自"L"位準改變至"H"位準時，使開關電晶體54為非導通的且至驅動電晶體52之電流源路徑被中斷。因此，有機EL元件51之光發射停止，且進入一非光發射週期。

以此方式，在具有該除了有機EL元件51外亦包括作為其組件的驅動電晶體52、取樣電晶體53、開關電晶體54至56及電容器57與58的組態的像素電路11B中，亦可執行校正驅動電晶體52之臨限電壓 V_{th52} 以防備分散的臨限值校正與校正驅動電晶體52之遷移率 μ 以防備分散的遷移率校正。由於執行該等校正功能，使得顯示裝置可顯示不含由驅動電晶體52之特徵分散而引起之亮度分散的具有高圖片品質之影像。

在遷移率 μ 之校正中，可藉由設定第一校正掃描信號AZ1之脈衝寬度或更特定言之藉由設定遷移率校正時間 t 來設定最佳的遷移率校正時間 t 對輸入信號電壓 V_{sig} ，該遷移率校正時間 t 視第一校正掃描信號AZ1之上升邊緣波形而定以便與輸入信號電壓 V_{sig} 成反比例地增加。因此，可在輸入信號電壓 V_{sig} 之自黑色位準至白色位準的整個位準範圍

中以較高確定性來取消驅動電晶體 52 之汲極-源極電流 I_{ds} 對遷移率 μ 之相依性。換言之，可以較高確定性來校正遷移率 μ 以防備在不同像素之間的分散。

可使用一類似於圖 9 中所示之 $VDDV_x$ 產生電路 40 之原理的原理(但極性相反)，藉由產生一具有與輸入信號電壓 V_{sig} 成反比例地增加之上升邊緣波形之類比波形電源電位 $VSSV_x$ ，來產生具有一與輸入信號電壓 V_{sig} 成反比例地增加之上升邊緣波形之第一校正掃描信號 $AZ1$ 。可藉由將負側電源電位 $VSSV_x$ 作為電源電位供應至具有一與圖 8 中所示之寫入掃描電路 18 之組態相同之組態的第一校正掃描電路之緩衝器 182(i) 及 183(i)，而產生第一校正掃描信號 $AZ1$ 。

圖 19 說明負側電源電位 $VSSV_x$ 、掃描脈衝 $A(i)$ 與 $A(i+1)$ 及第一校正掃描信號 $AZ1(i)$ 與 $AZ1(i+1)$ 之時序關係。

應設定待施加至連接於驅動電晶體 52 之閘極與源極之間的 P 通道開關電晶體 55 之閘極的第一校正掃描信號 $AZ1$ ，使得當該第一校正掃描信號 $AZ1$ 自 "L" 位準改變至 "H" 位準時其具有如圖 18 中所示之此上升邊緣波形(在開關電晶體 55 另外為 N 通道型的情況下，其為一下降邊緣波形)。此處，假定在遷移率校正之前驅動電晶體 52 之閘極-源極電壓 V_{gs} 滿足 $V_{gs}-V_{th}=V_{data}$ ，則當得到校正時 $V_{gs}-V_{th}$ 最佳為如由上文所給出之表達式 (9) 給出的 $V_{gs}-V_{th}=V_{data}/2$ 。因此，應設定第一校正掃描信號 $AZ1$ 之上升邊緣波形使得校正時間可與待施加至驅動電晶體 52 之閘極之有效輸入信

號電壓 V_{data} 成反比例地增加。亦即，應設定第一校正掃描信號 AZ1 之上升邊緣波形使得校正時間可與 $V_{data}/2$ (為待施加至驅動電晶體 52 之有效輸入信號電壓 V_{data} 之一半) 成反比例地增加，使得當開關電晶體 55 之閘極-源極電壓變得等於臨限電壓 V_{th53} 時開關電晶體 55 可切斷。

更特定言之，如可自圖 18 之波形圖顯見，當輸入信號電壓 V_{sig} 係一對應於白色位準之輸入信號電壓 V_{sig} (白色) 時，將遷移率校正時間 t (白色) 設定成最短，使得當開關電晶體 55 之閘極-源極電壓變得等於 $(V_{data}(\text{白色})/2) + V_{ofs} + V_{th53}$ 時開關電晶體 55 切斷。另一方面，當輸入信號電壓 V_{sig} 係一對應於一灰階之輸入信號電壓 V_{sig} (灰色) 時，將遷移率校正時間 t (灰色) 設定為比遷移率校正時間 t (白色) 長，使得當開關電晶體 55 之閘極-源極電壓變得等於 $(V_{data}(\text{灰色})/2) + V_{ofs} + V_{th53}$ 時開關電晶體 55 可切斷。

就用於產生一具有一與待施加至驅動電晶體 32 之閘極之有效輸入信號電壓 V_{data} 成反比例地增加之上升邊緣波形的類比波形電源電位 V_{SSVx} 的特定 V_{SSVx} 產生電路而言，可使用一根據基本上與圖 11 中所示之 V_{DDVx} 產生電路 40 之原理相同之原理而組態成的電路 (極性相反)。在使用剛才所描述之 V_{SSVx} 產生電路的情況下，可產生一具有多邊形線之上升邊緣波形的電源電位 V_{SSVx} 。接著，在基於電源電位 V_{SSVx} 而產生第一校正掃描信號 AZ1 的情況下，第一校正掃描信號 AZ1 亦具有如圖 20 中所見之多邊形線之上升邊緣波形。

應注意，上文之描述係關於將資料寫入時的資料線17之電壓變化 V_{data} 完全施加至驅動電晶體52之閘極-源極電壓 V_{gs} 的狀況。此係基於電容器58具有充分高之電容的假定。若此(寫入增益： G_w)= $(V_{gs}\text{之電壓變化})/(\text{信號線之電壓變化})$ 並非為100%，則應將輸入信號電壓 V_{data} 重新寫入至 $G_w \cdot V_{data}$ 中。

[不同像素電路3]

圖21展示一不同像素電路3(11C)之一電路組態。參看圖21，像素電路11C具有一除了有機EL元件51外亦包括作為其組件之驅動電晶體52、取樣電晶體53、開關電晶體54至56與59及電容器57與58之組態。

因此，像素電路11C具有除了圖16之像素電路11B之組件外亦包括開關電晶體59的組態。開關電晶體59連接於資料線17與驅動電晶體52之汲極及開關電晶體54之汲極之間且在其閘極處適當接收一第三校正掃描信號AZ3。

此處，將一P通道TFT用於驅動電晶體52及開關電晶體59，且將一N通道TFT用於取樣電晶體53及開關電晶體54至56。然而，驅動電晶體52、取樣電晶體53及開關電晶體54至56與59之傳導類型之該組合僅為一實例且其使用不被限制。

圖22說明用於驅動像素電路11C之寫入信號WS、驅動信號DS及第一校正掃描信號AZ1、第二校正掃描信號AZ2及第三校正掃描信號AZ3，以及節點N21處之電位 V_{in} 及驅動電晶體52之閘極電位 V_g 之變化的時序關係。

如可自圖22之波形圖顯見，在本像素電路11C中，由兩個開關電晶體55與59來負責像素電路11B中之開關電晶體55之功能。特定而言，開關電晶體59負責遷移率校正操作。接著，自第三校正掃描信號AZ3之脈衝寬度或更特定言之自第三校正掃描信號AZ3之上升邊緣波形來判定遷移率校正週期 t_{35} 至 t_{36} 。

此時，由於驅動電晶體52之閘極電位回應於輸入信號電壓 V_{sig} 而變化，因此設定視第三校正掃描信號AZ3之上升邊緣波形而定的遷移率校正時間 t 使得與輸入信號電壓 V_{sig} 成反比例地增加，從而可類似於在不同像素電路2中那般判定遷移率校正時間 t 。因此，可在輸入信號電壓 V_{sig} 之自黑色位準至白色位準的整個位準範圍中以較高確定性來取消驅動電晶體52之汲極-源極電流 I_{ds} 對遷移率 μ 之相依性。換言之，可以較高確定性來校正遷移率 μ 以防備在不同像素之間的分散。

可使用一與圖9中所示之 $VDDV_x$ 產生電路40之原理相同的原理(極性相反)而產生具有一上升邊緣波形之類似於第一校正掃描信號AZ1的第三校正掃描信號AZ3，該上升邊緣波形與待施加至驅動電晶體52之閘極的有效輸入信號電壓 V_{data} 成反比例地增加。詳言之，可藉由產生一具有與待施加至驅動電晶體52之閘極的有效輸入信號電壓 V_{data} 成反比例地增加之上升邊緣波形的類比波形電源電位 V_{SSV_x} ，並將該電源電位 V_{SSV_x} 作為一負側電源電位供應至具有與圖8中所示之寫入掃描電路18之組態相同之組態

的第三校正掃描電路之緩衝器182(i)與183(i)，而產生第三校正掃描信號AZ3。

應注意，像素電路11之不同電路實例並不限於上文所描述之像素電路11A至11C。詳言之，可將本發明應用至各種顯示裝置，其中複數個像素電路安置於若干列及若干行中，除一電光元件之外，該等複數個像素電路中之每一者包括至少一用於驅動該電光元件之驅動電晶體、一用於取樣及寫入一輸入信號電壓之取樣電晶體，及一連接至驅動電晶體之閘極且經組態以保存由取樣電晶體寫入之輸入信號電壓的電容器。意即，複數個像素電路安置成一矩陣。

此外，在上文所描述之實施例中，將本實施例應用至一有機EL顯示裝置，該有機EL顯示裝置將一有機EL設備用作像素電路11、11A、11B及11C之一電光元件。然而，不僅可將本發明應用至所提及之應用而且可將本發明應用至各種顯示裝置，該等顯示裝置使用光發射亮度回應於流過其之電流之值而變化的電流驅動型電光元件(發光設備)。

熟習此項技術者應瞭解，可視設計需求及其他因素而定而進行各種修改、組合、子組合及變更，只要該等修改、組合、子組合及變更在附加之申請專利範圍或其等效物之範疇內。

【圖式簡單說明】

圖1之電路圖展示一應用了本發明之一實施例的主動矩陣顯示裝置及用於該顯示裝置中之像素電路的組態；

圖2之時序波形圖說明在一寫入信號、一驅動信號及第

一與第二校正掃描信號，以及驅動電晶體之閘極電位及源極電位之變化之間的時序關係；

圖3之特徵圖說明像素電路之操作；

圖4之電路圖說明像素電路在一遷移率校正週期內的狀態；

圖5之圖說明具有一比較高之遷移率的像素及具有一比較低之遷移率的另一像素的輸入信號電壓與汲極-源極電流之間的關係；

圖6之圖說明當時間寬度為0 μs 及2.5 μs 時之輸入信號及汲極-源極電流；

圖7之波形圖展示寫入信號之一下降邊緣波形；

圖8之電路圖展示一寫入掃描電路之一電路組態的一實例；

圖9之方塊圖展示一用於產生一電源電位之電路系統；

圖10之時序圖說明在電源電位、掃描脈衝及寫入脈衝之間的時序關係；

圖11之電路圖展示一電源電位產生電路之一電路組態的一實例；

圖12之時序圖說明接通/切斷對圖11中所示之開關之驅動的時序關係；

圖13之波形圖展示寫入信號之一下降邊緣波形，其中使用具有多邊形線之下降邊緣波形的電源電位；

圖14之電路圖展示像素電路之另一電路組態；

圖15之時序波形圖說明在用於圖14之像素電路中的寫入

信號、驅動信號及第一校正掃描信號，以及驅動電晶體之閘極電位及源極電位之變化之間的時序關係；

圖 16 之電路圖展示像素電路之一其他電路組態；

圖 17 之時序波形圖說明在用於圖 16 之像素電路中的寫入信號、驅動信號及第一與第二校正掃描信號，以及驅動電晶體之閘極電位及源極電位之變化之間的時序關係；

圖 18 之波形圖展示用於圖 16 之像素電路中的第一校正掃描信號之一上升邊緣波形；

圖 19 之時序圖說明圖 16 之像素電路中的電源電位、掃描脈衝及第一校正掃描信號之間的時序關係；

圖 20 之波形圖展示第一校正掃描信號之一上升邊緣波形，其中將具有多邊形線之上升邊緣波形的電源電位用於圖 16 之像素電路中；

圖 21 之電路圖展示又一其他像素電路之一電路組態；及

圖 22 之時序波形圖說明在用於圖 21 之像素電路中的寫入信號、驅動信號及第一、第二及第三校正掃描信號，以及一節點處之電位及驅動電晶體之閘極電位之變化之間的時序關係。

【主要元件符號說明】

11	像素電路
11A	像素電路
11B	像素電路
11C	像素電路
12	像素陣列區

13	掃描線
14	驅動線
15	第一校正掃描線
16	第二校正掃描線
17	信號線
18	寫入掃描電路
19	驅動掃描電路
20	第一校正掃描電路
21	第二校正掃描電路
22	資料線驅動電路
31	有機EL元件
32	驅動電晶體
33	取樣電晶體
34	開關電晶體
35	開關電晶體
36	開關電晶體
37	電容器
40	VDDV _x 產生電路
51	有機EL元件
52	驅動電晶體
53	取樣電晶體
54	開關電晶體
55	開關電晶體
56	開關電晶體

57	電 容 器
58	電 容 器
181(i)	移 位 暫 存 器
182(i)	緩 衝 器
183(i)	緩 衝 器
A(i)	掃 描 脈 衝
A(i+1)	掃 描 脈 衝
AZ1	第 一 校 正 掃 描 信 號
AZ1(i)	第 一 校 正 掃 描 信 號
AZ1(i+1)	第 一 校 正 掃 描 信 號
AZ2	第 二 校 正 掃 描 信 號
AZ3	第 三 校 正 掃 描 信 號
Coled	電 容 值
DS	驅 動 信 號
DS(i)	驅 動 信 號
I11	電 流 源
I12	電 流 源
Ids	汲 極 - 源 極 電 流
Ids1	汲 極 - 源 極 電 流
Ids1'	汲 極 - 源 極 電 流
Ids2	汲 極 - 源 極 電 流
Ids2'	汲 極 - 源 極 電 流
N11	節 點
N12	節 點

SW11	開 關
SW12	開 關
SW13	開 關
t	校 正 時 間
t1-t9	時 間
t11-t15	時 間
t21-t27	時 間
t31-t39	時 間
Vdata	有 效 輸 入 信 號 電 壓
VDD	第 二 電 源 電 位
VDDV _x	正 側 電 源 電 位
V _g	閘 極 電 位
V _{gs}	閘 極 - 源 極 電 壓
V _{in}	節 點 N21 處 之 電 位
V _{ini}	第 四 電 源 電 位
V _{ofs}	第 三 電 源 電 位
V _s	源 極 電 位
V _{sig}	輸 入 信 號 電 壓
VSS	電 源 電 位
VSSV _x	負 側 電 源 電 位
V _{th}	臨 限 電 壓
V _{th32}	臨 限 電 壓
V _{th52}	臨 限 電 壓
WS	寫 入 信 號

WS(i)	寫入信號
WS(i+1)	寫入信號
$\Delta V1$	反饋量
$\Delta V2$	反饋量
μ	遷移率

十、申請專利範圍：

1. 一種顯示裝置，其包含：

一像素陣列區，其中複數個像素電路安置成一矩陣，該複數個像素電路中之每一者包括一電光元件；一驅動電晶體，其經組態以驅動該電光元件；一取樣電晶體，其經組態以取樣及寫入一輸入信號電壓；及一電容器，其經組態以在一顯示週期內保存該驅動電晶體之一閘極-源極電壓；及

相依性取消構件，其用於在由該取樣電晶體寫入該輸入信號電壓之一狀態中在該電光元件發射光之前的一校正週期內，將該驅動電晶體之汲極-源極電流負反饋至該驅動電晶體之閘極輸入側，以取消該驅動電晶體之該汲極-源極電流對遷移率之相依性，其中

設定該校正週期之時間使得其在該校正週期之前與該驅動電晶體之該閘極-源極電壓-臨限電壓成反比例地增加。

2. 如請求項1之顯示裝置，其中設定用於驅動該取樣電晶體之一信號之一下降邊緣波形或一上升邊緣波形，及/或設定用於驅動除該取樣電晶體之外的該等電晶體中之任一者之一信號之一下降邊緣波形或一上升邊緣波形，以使得該校正週期之時間可與該校正週期之前該驅動電晶體之該閘極-源極電壓-臨限電壓成反比例地增加。

3. 如請求項2之顯示裝置，其中

該等像素電路中之每一者進一步包括一第一開關電晶

體，該第一開關電晶體經組態以將電流選擇性地供應至該驅動電晶體，及

在該第一開關電晶體進入一導通狀態之後直至該取樣電晶體進入一非導通狀態之時間被設定為該校正週期之時間。

4. 如請求項2之顯示裝置，其中在該該取樣電晶體進入一導通狀態之後直至該取樣電晶體進入一非導通狀態之時間被設定為該校正週期之時間。

5. 如請求項1之顯示裝置，其中

該等像素電路中之每一者進一步包括一第二開關電晶體，該第二開關電晶體連接於該驅動電晶體之該閘極與該汲極之間，及

設定用於驅動該第二開關電晶體之一信號之一上升邊緣波形或一下降邊緣波形，使得該校正週期之時間可與該校正週期之前該驅動電晶體之該閘極-源極電壓-臨限電壓成反比例地增加。

6. 如請求項5之顯示裝置，其中在該第二開關電晶體進入一導通狀態之後直至該第二開關電晶體進入一非導通狀態之時間被設定為該校正週期之時間。

7. 如請求項1之顯示裝置，其中

該等像素電路中之每一者進一步包括：一第二開關電晶體，該第二開關電晶體連接於該驅動電晶體之該閘極與該汲極之間；及一第三開關電晶體，該第三開關電晶體連接於一用於提供該輸入信號電壓之資料線與該驅動

電晶體之該汲極之間，及

設定用於驅動該第三開關電晶體之一信號之一上升邊緣波形或一下降邊緣波形，使得該校正週期之時間可與該校正週期之前該驅動電晶體之該閘極-源極電壓-臨限電壓成反比例地增加。

8. 如請求項1之顯示裝置，其中在該第三開關電晶體進入一導通狀態之後直至該第三開關電晶體進入一非導通狀態之時間被設定為該校正週期之時間。
9. 一種用於一顯示裝置之驅動方法，其中複數個像素電路安置成一矩陣，該複數個像素電路中之每一者包括：一電光元件；一驅動電晶體，其經組態以驅動該電光元件；一取樣電晶體，其經組態以取樣及寫入一輸入信號電壓；及一電容器，其經組態以在一顯示週期內保存該驅動電晶體之一閘極-源極電壓，該方法包含以下步驟：

在由該取樣電晶體寫入該輸入信號電壓之一狀態中在該電光元件發射光之前的一校正週期內，將該驅動電晶體之汲極-源極電流負反饋至該驅動電晶體之閘極輸入側，以取消該驅動電晶體之該汲極-源極電流對遷移率之相依性，設定該校正週期之時間使得其在該校正週期之前與該驅動電晶體之該閘極-源極電壓-臨限電壓成反比例地增加。

十一、圖式：

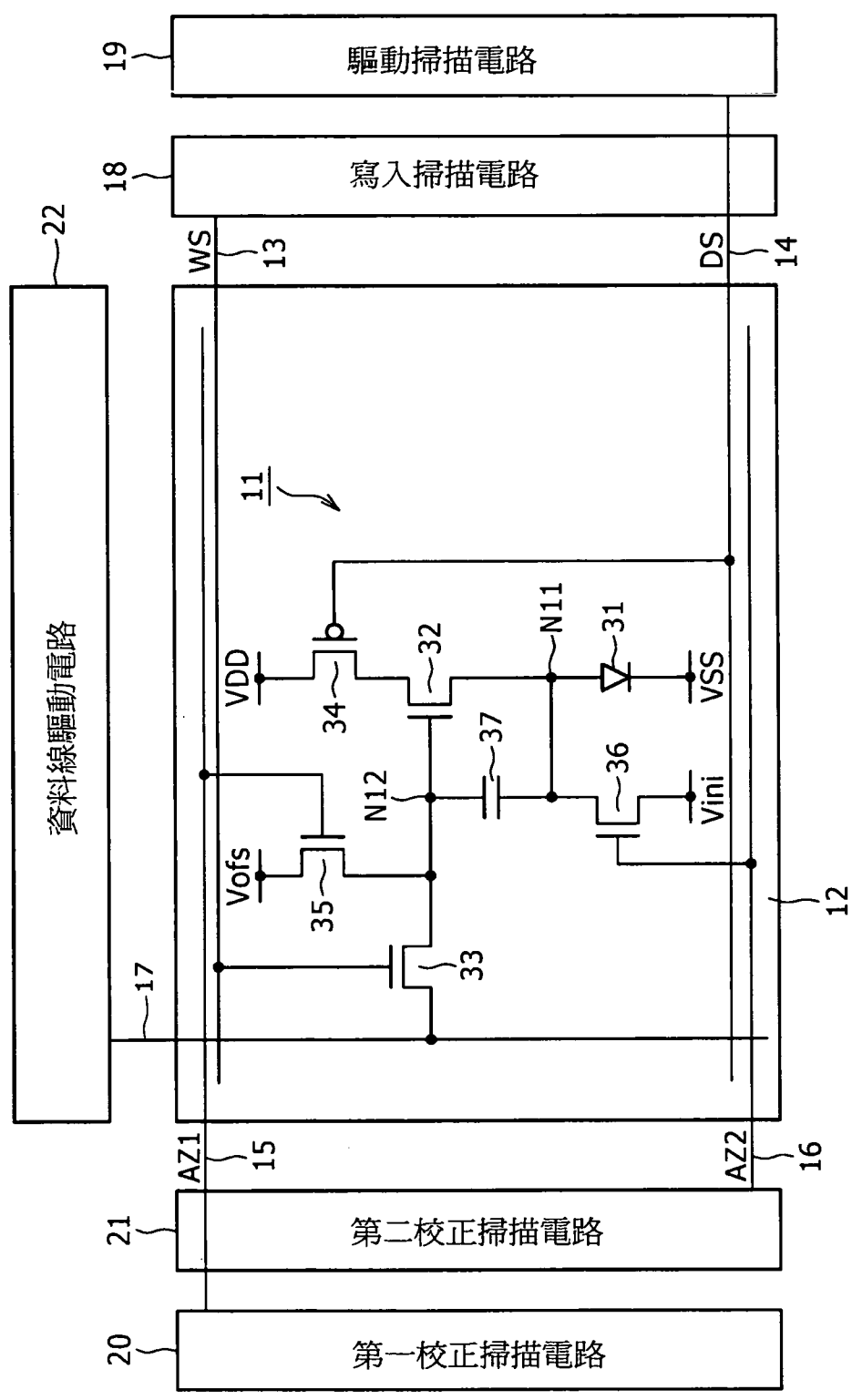


圖1

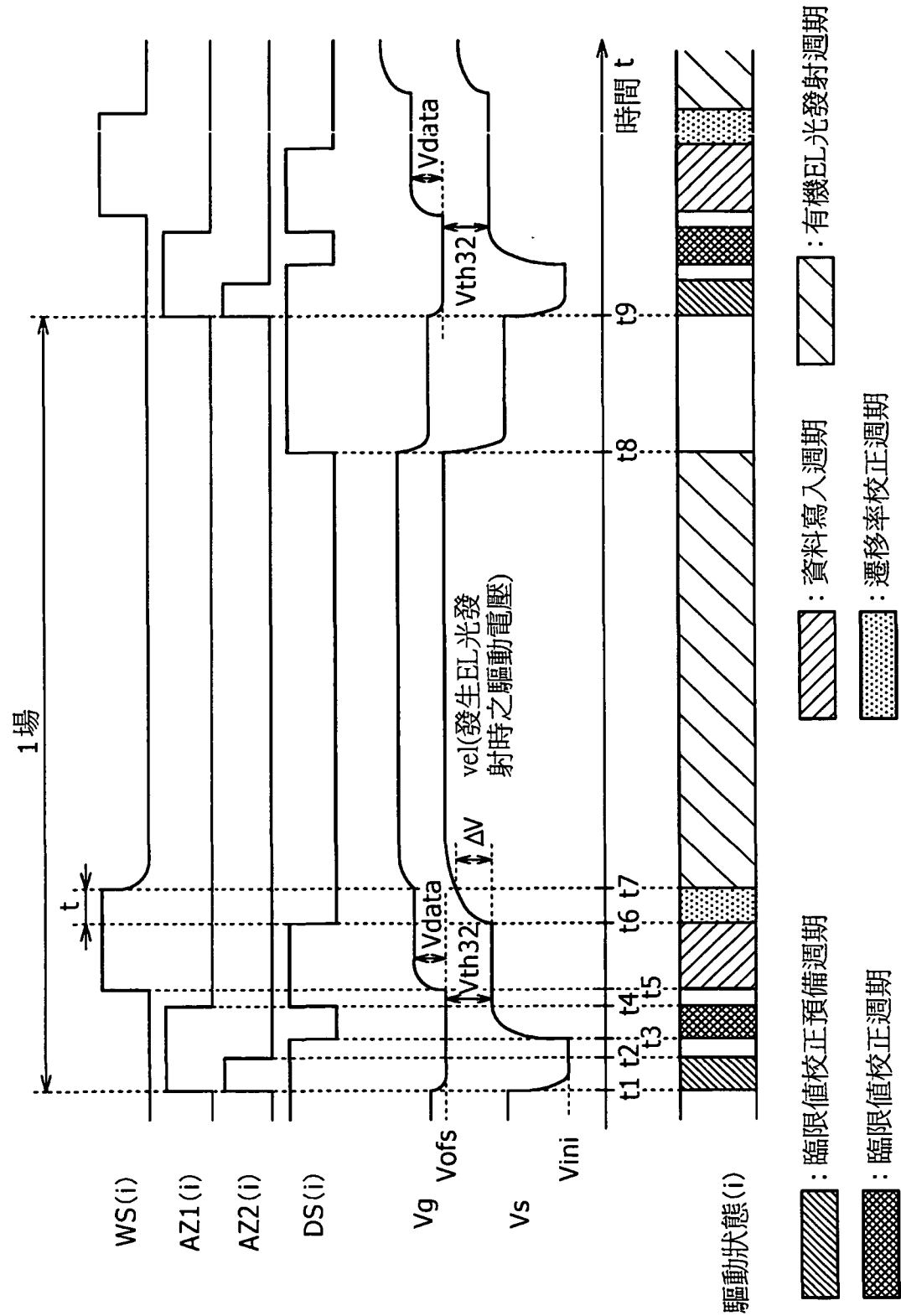


圖2

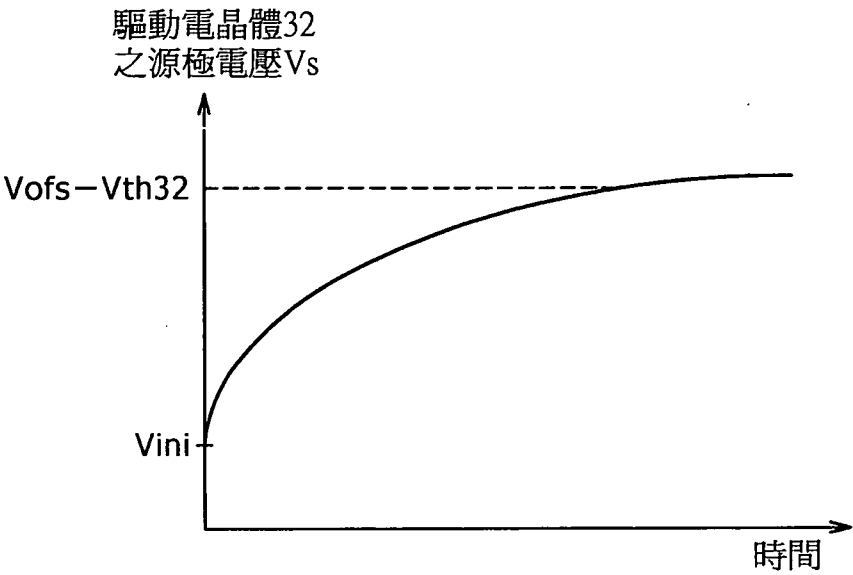


圖3

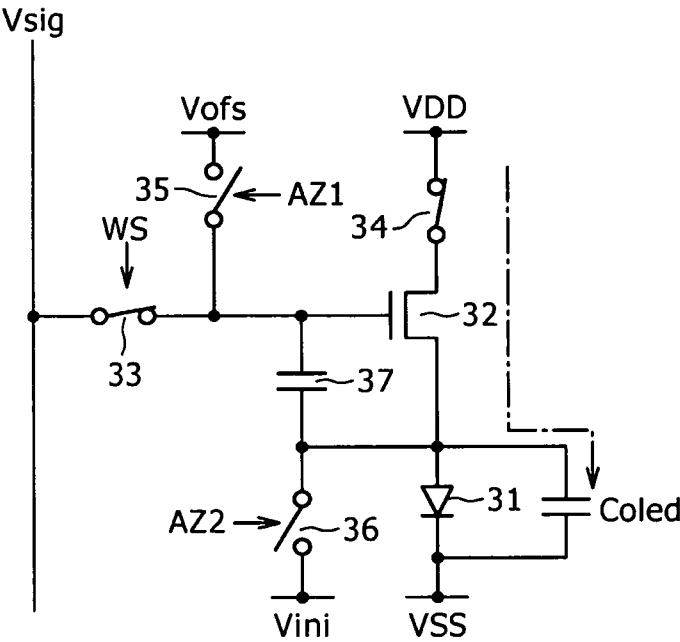


圖4

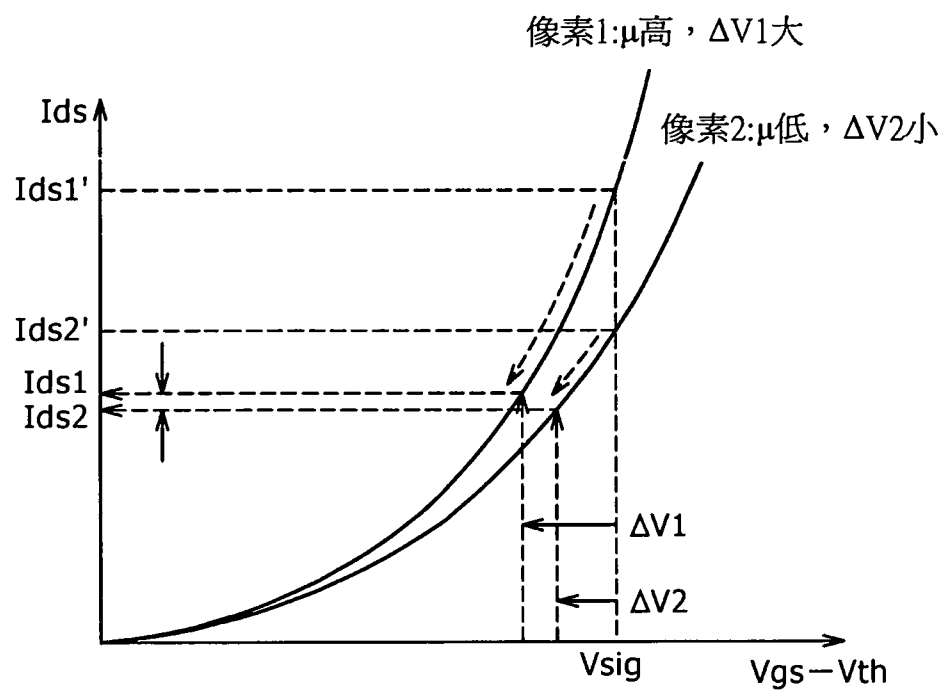


圖5

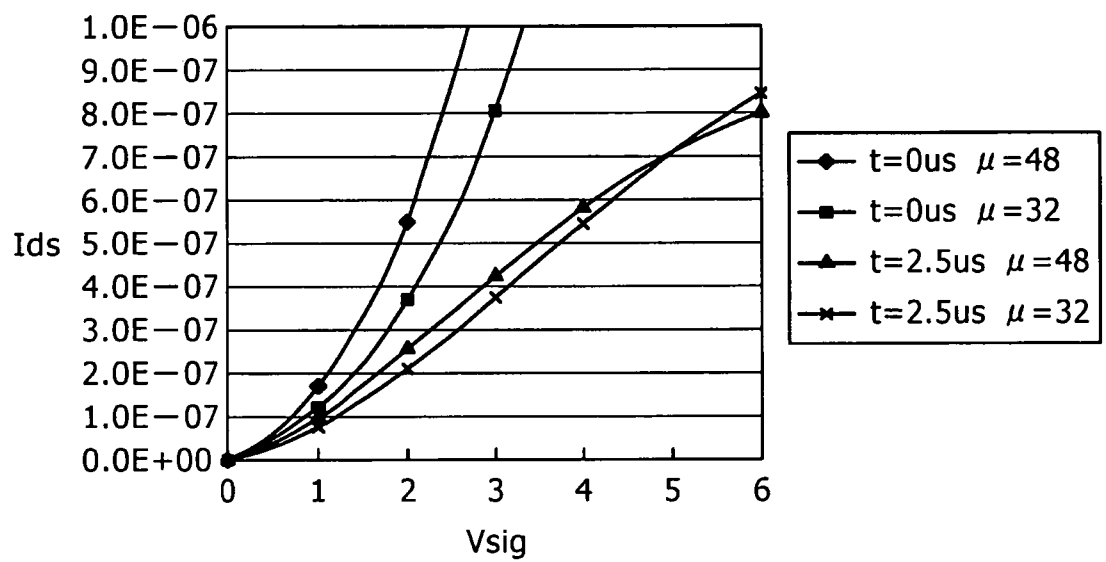
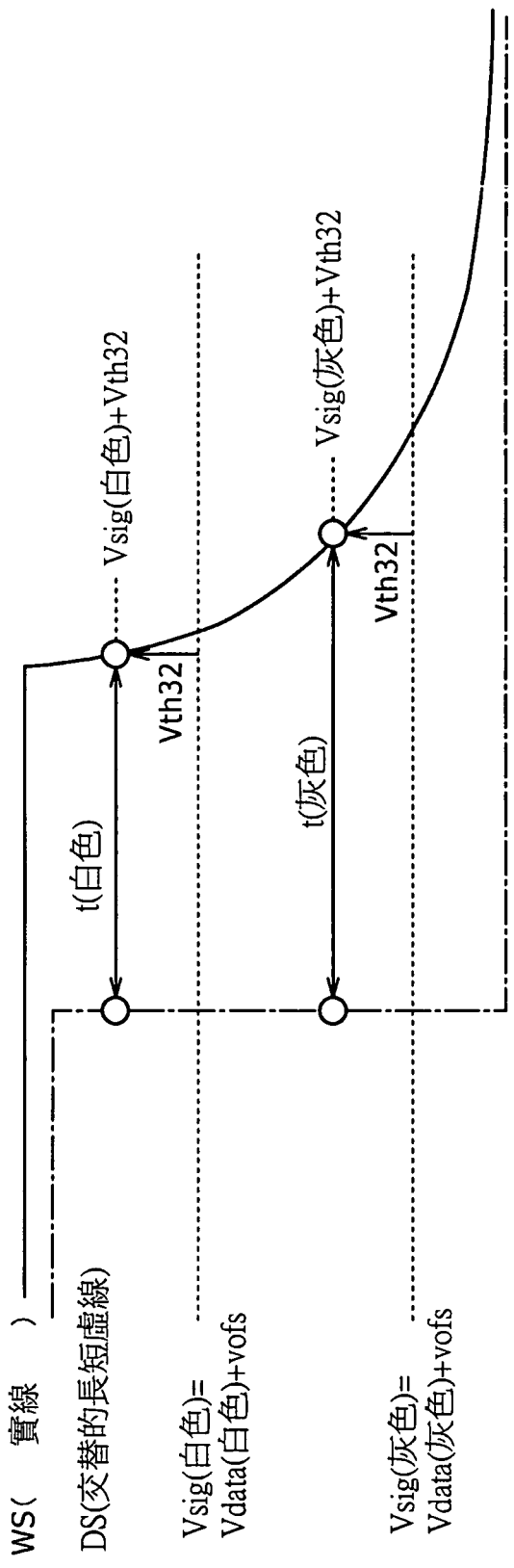


圖6



$t(\text{白色}): t(\text{灰色}) = 1/V_{\text{data}}(\text{白色}): 1/V_{\text{data}}(\text{灰色})$

圖7

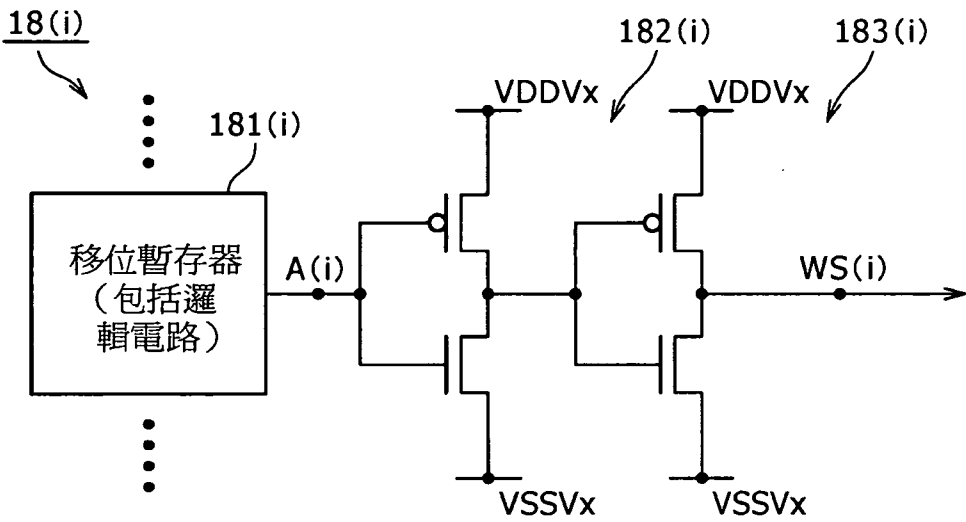


圖8

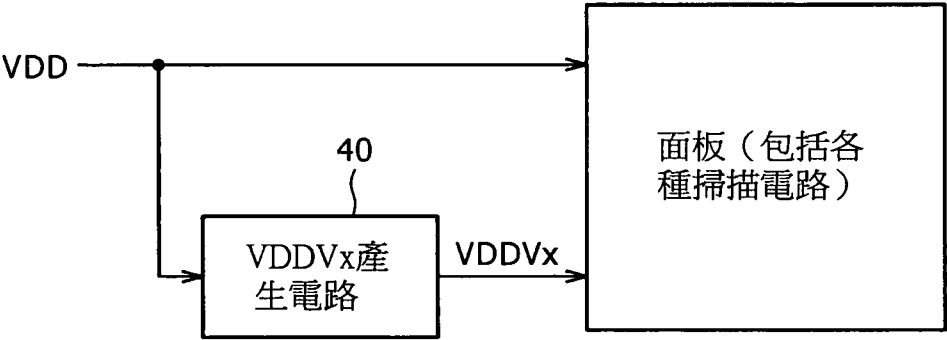


圖9

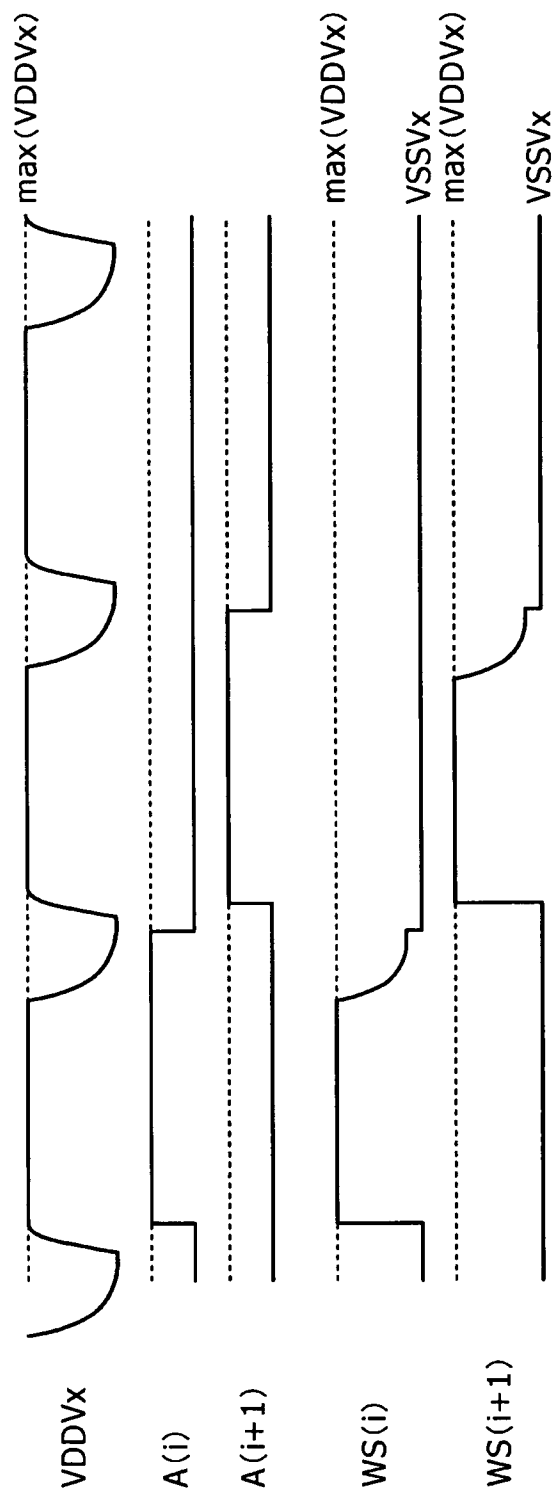


圖10

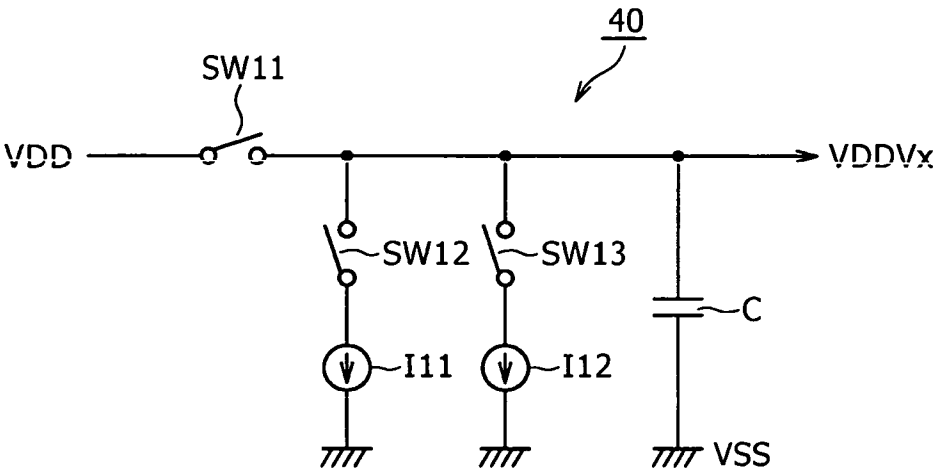


圖11

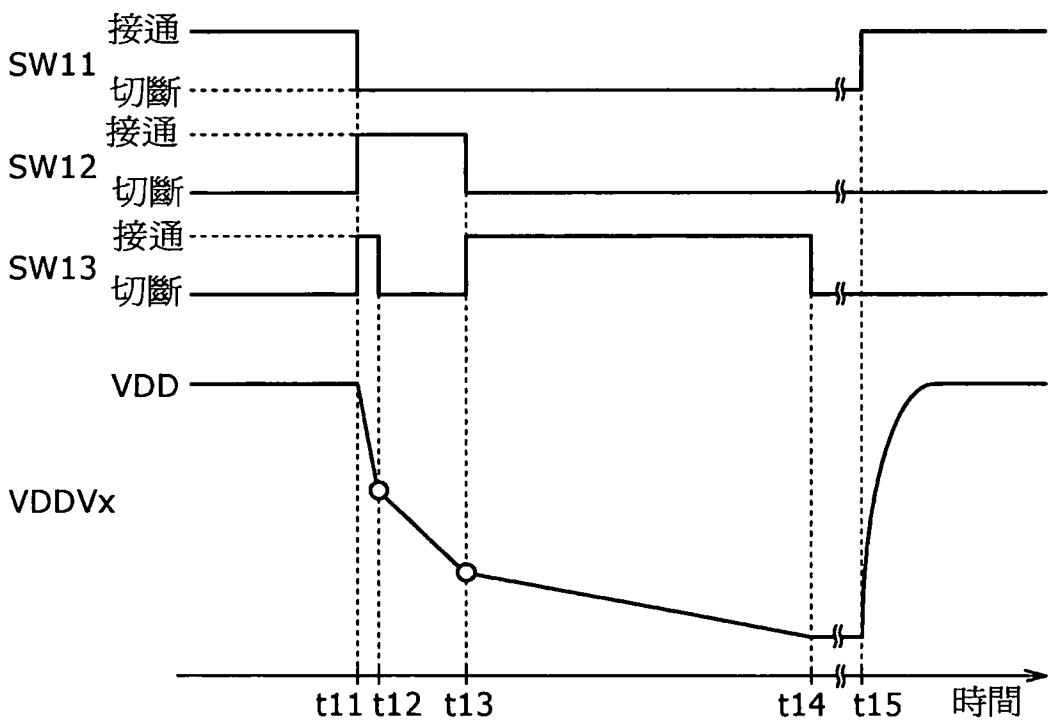
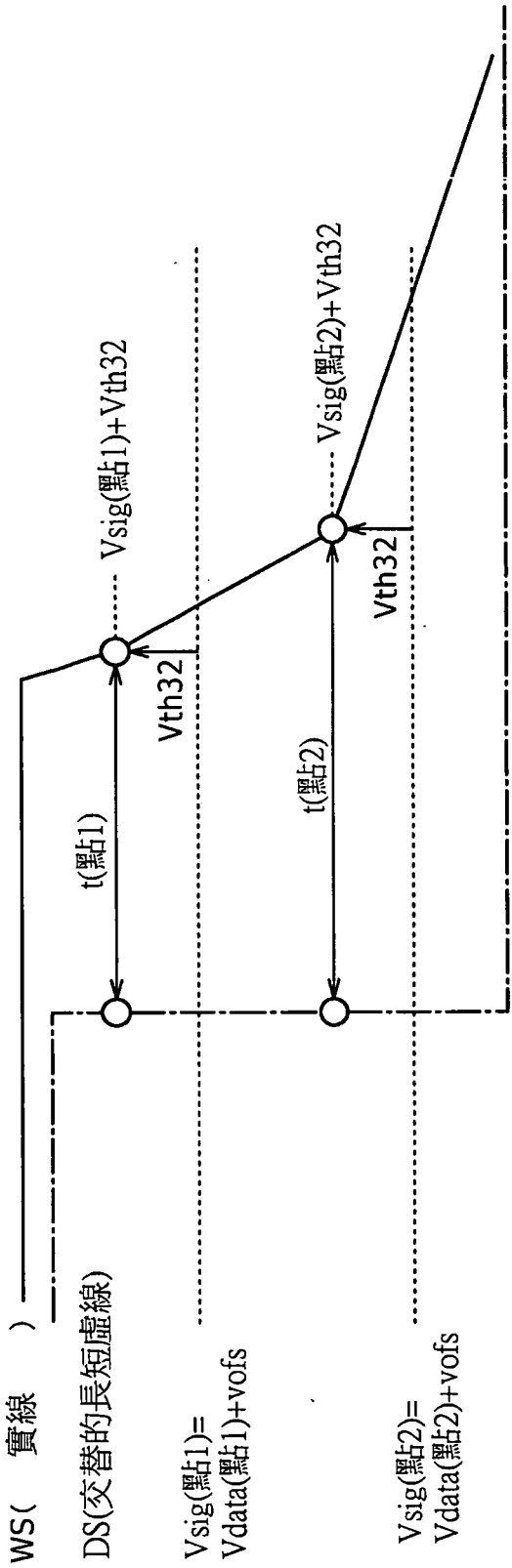


圖12



$t(\text{點}1): t(\text{點}2) = 1/V_{data}(\text{點}1):1/V_{data}(\text{點}2)$

圖13

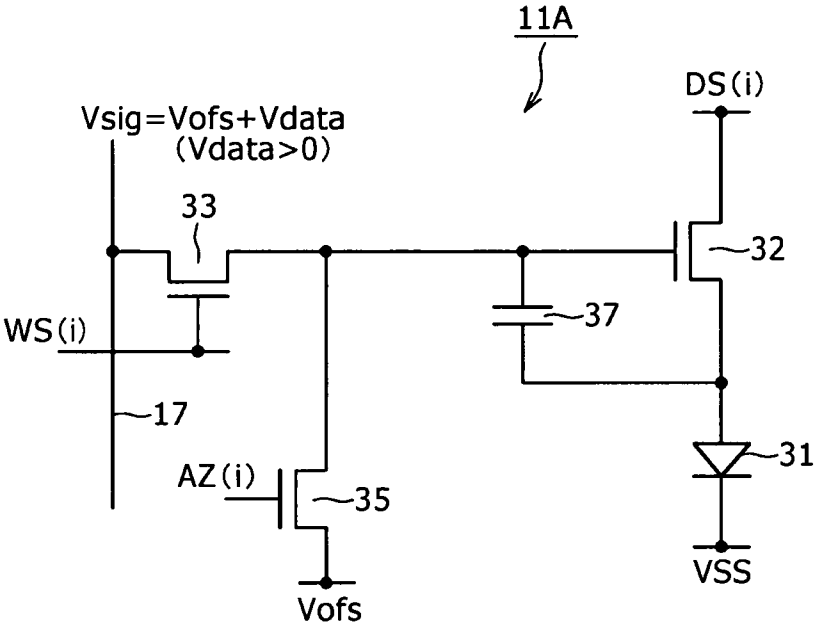


圖14

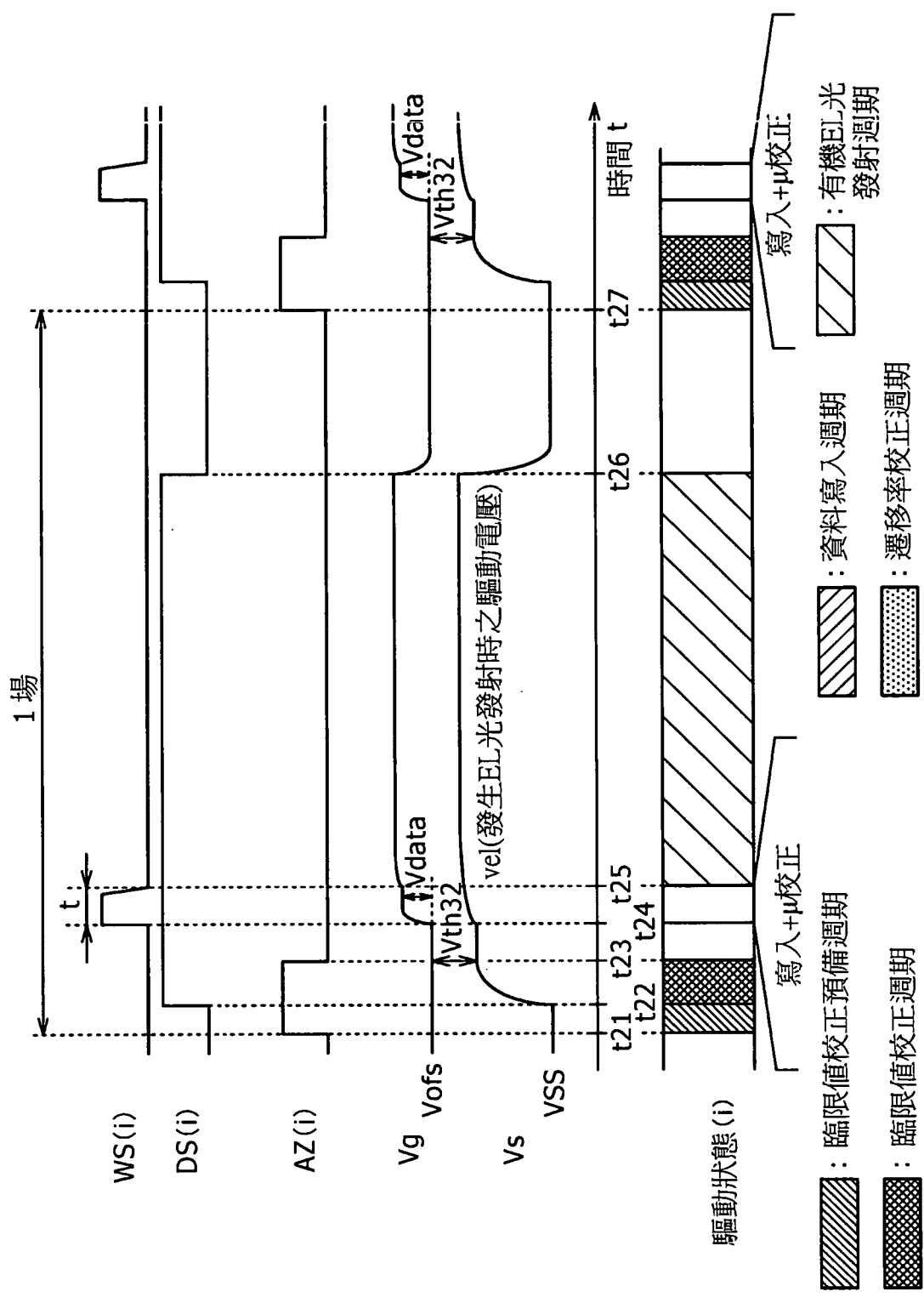


圖15

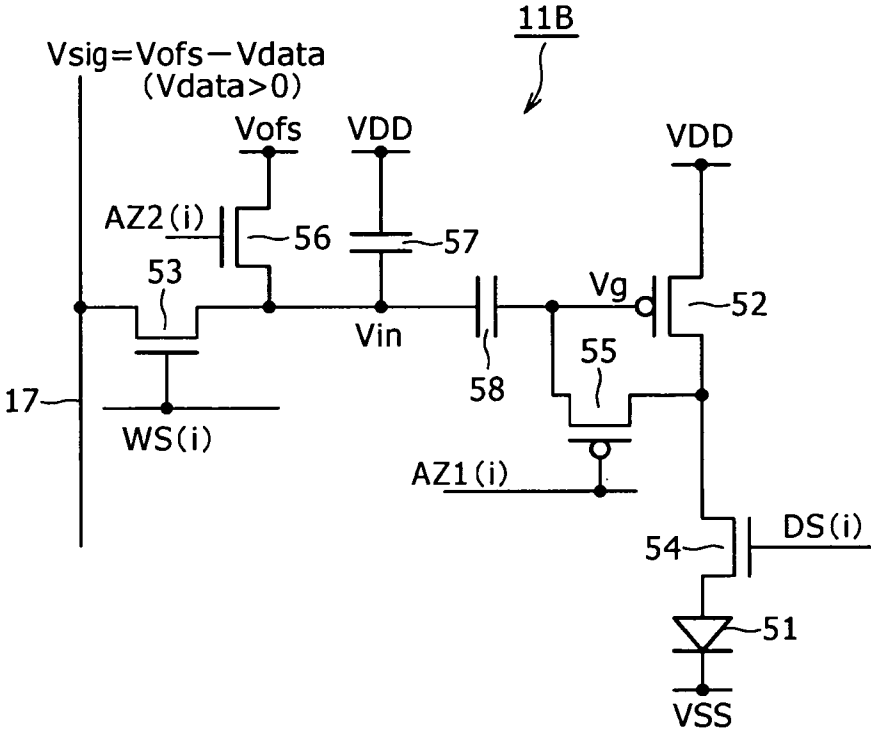


圖16

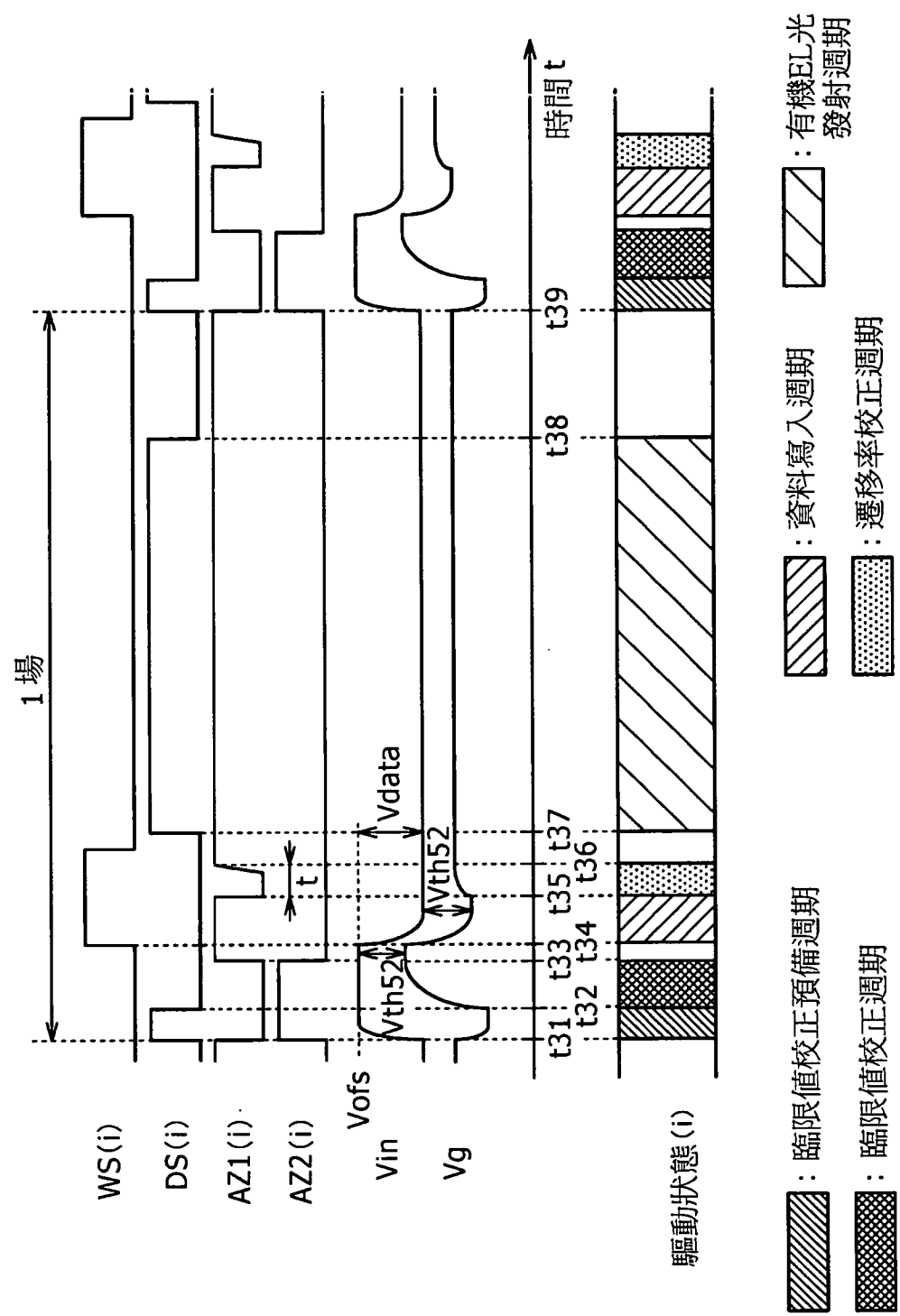
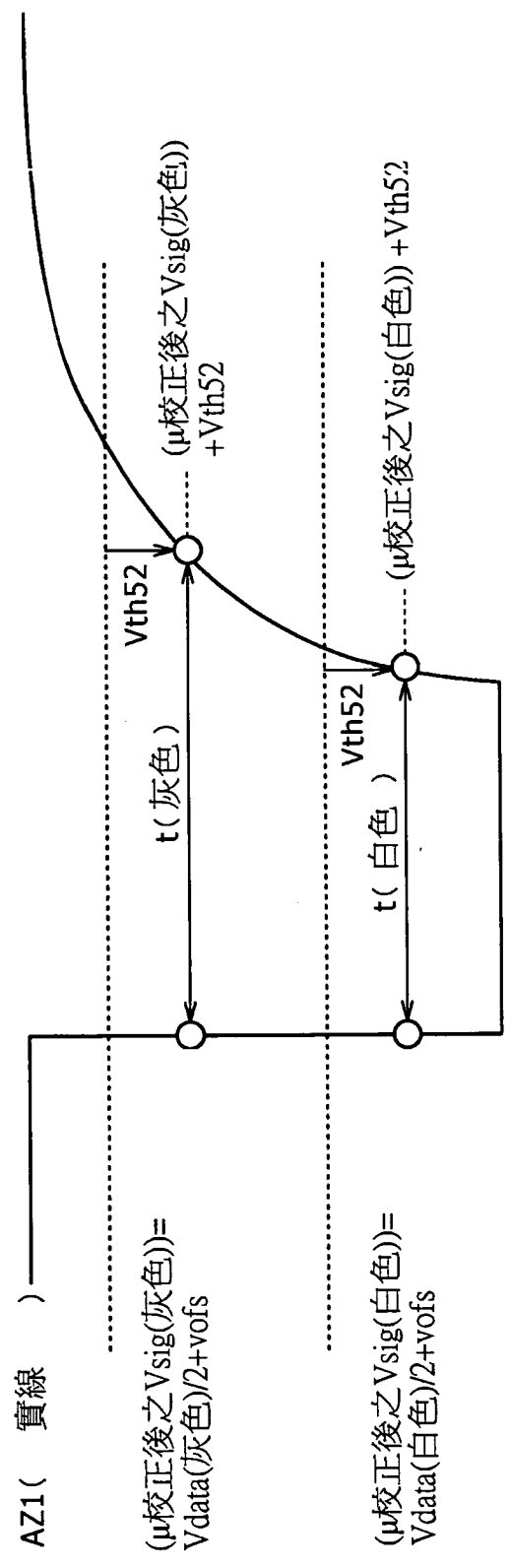


圖17



$t(\text{白色}): t(\text{灰色}) = 1/(V_{data}(\text{白色})/2):1/(V_{data}(\text{灰色})/2)$

圖18

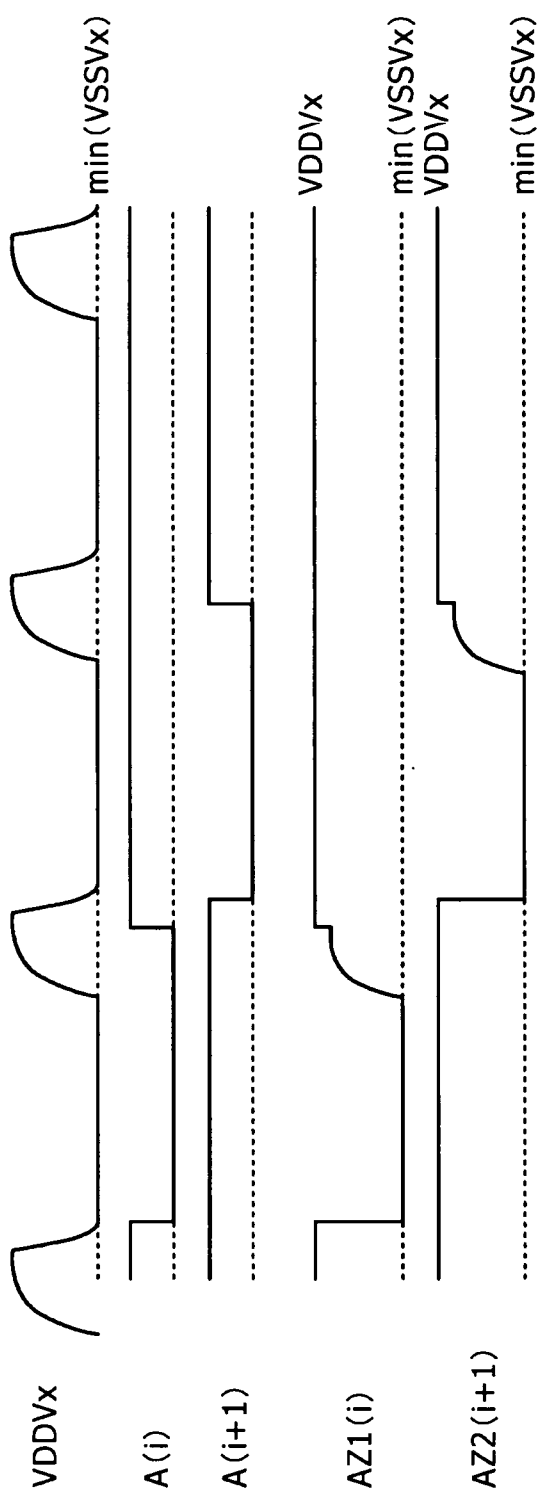
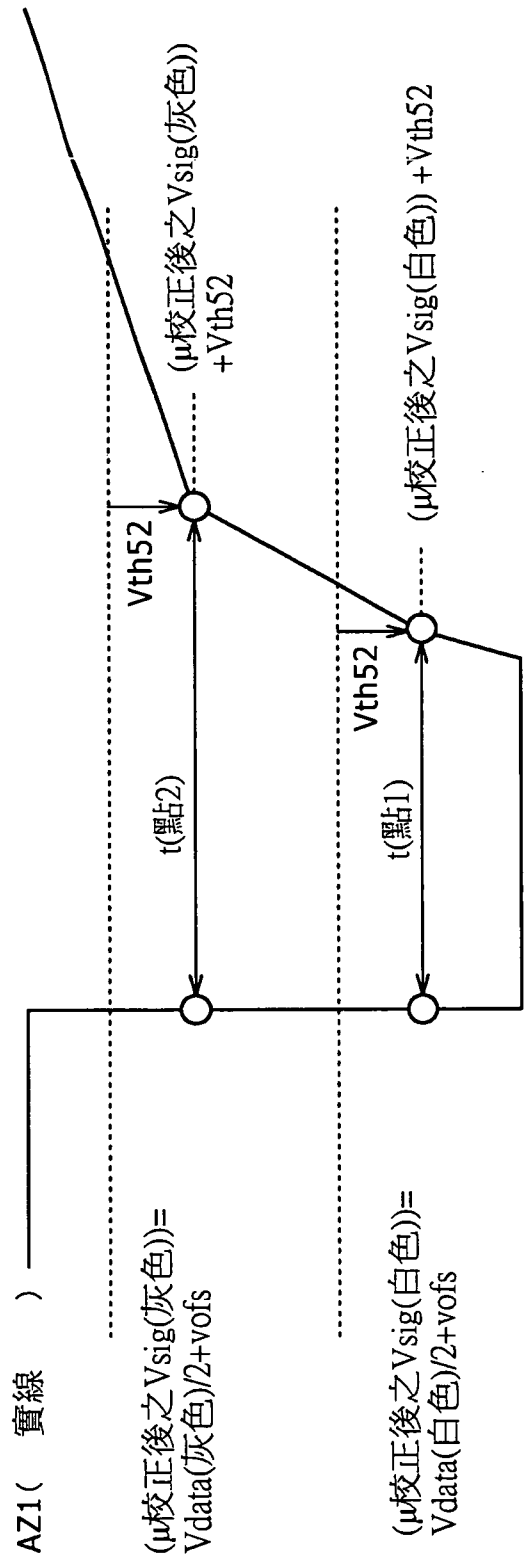


圖19



$t(\text{白色}): t(\text{灰色}) = 1/(V_{\text{data}}(\text{白色})/2):1/(V_{\text{data}}(\text{灰色})/2)$

圖20

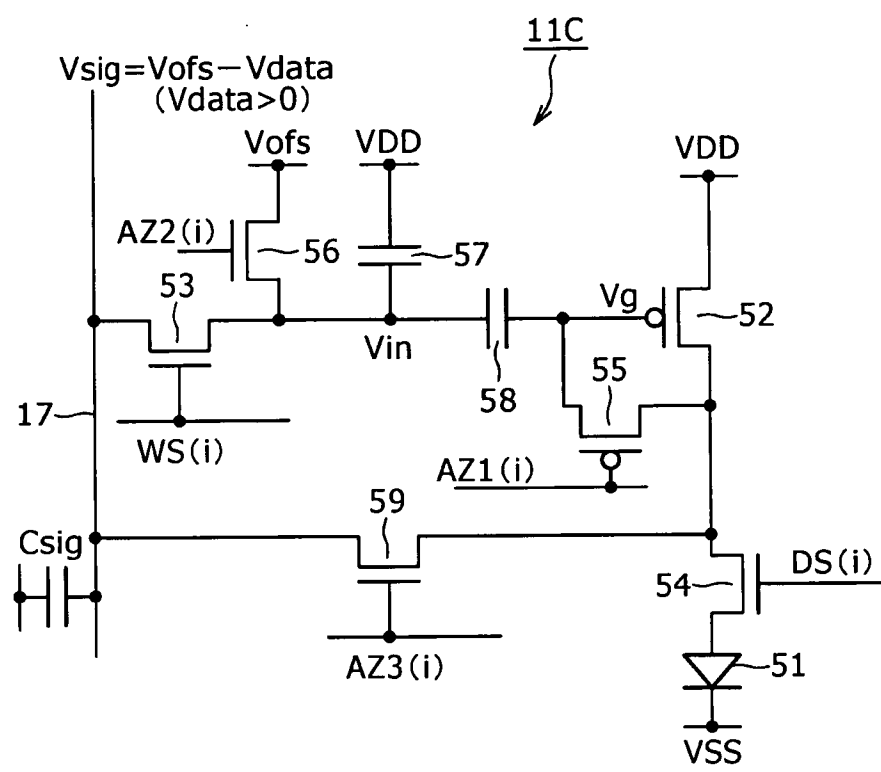


圖21

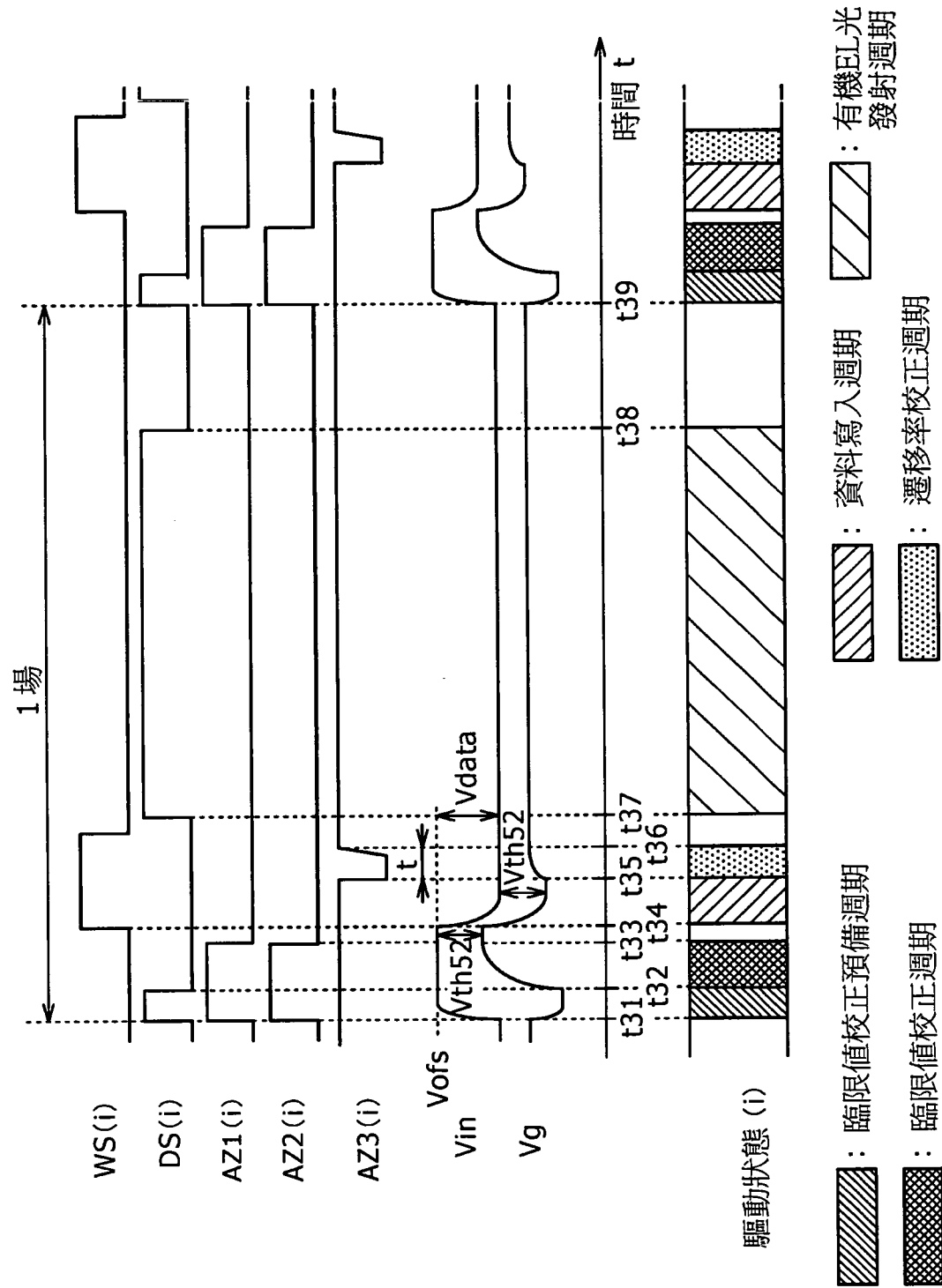


圖22