

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2002-289706 (P2002-289706A)

【公開日】平成 14 年 10 月 4 日 (2002.10.4)

【出願番号】特願 2001-85821 (P2001-85821)

【国際特許分類第 7 版】

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 17 年 8 月 2 日 (2005.8.2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】不揮発性半導体記憶装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層 / 制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース / ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の第 1 の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が同じであり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布とが異なり、

前記各選択ゲートトランジスタのチャネル領域の深さ方向における不純物濃度分布が前記メモリセルのチャネル領域の深さ方向における不純物濃度分布よりも狭いことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層 / 制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して

形成されたゲート電極を有し、ソース/ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、

前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャンネル領域の不純物濃度が同じであり、そのチャンネル領域の不純物濃度分布と前記メモリセルのチャンネル領域の不純物濃度分布とが異なり、

前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャンネル領域の不純物濃度が異なる領域があり、そのチャンネル領域の不純物濃度の濃い部分の不純物濃度は、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で前記第1の選択ゲートトランジスタのチャンネル領域の不純物濃度と同じである

ことを特徴とする不揮発性半導体記憶装置。

【請求項3】

半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層/制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース/ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、

前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が同じであり、かつ、ソース/ドレイン拡散層の実効的な不純物濃度が前記メモリセルのソース/ドレイン拡散層の実効的な不純物濃度より薄く、

前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が異なり、かつ、前記ビット線またはソース線に接続されるソース拡散層またはドレイン拡散層の不純物濃度は前記第1の選択ゲートトランジスタのソース/ドレイン拡散層の不純物濃度と同じであることを特徴とする不揮発性半導体記憶装置。

【請求項4】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記第1の選択ゲートトランジスタのソース/ドレイン拡散層がその上方のゲート電極と重なり合う距離は前記メモリセルのソース/ドレイン拡散層がその上方でゲート電極と重なり合う距離よりも小さいことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】

半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層/制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース/ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置された一対の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、実質的に同一構造を有し、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置でゲート長方向でチャンネル領域の不純物濃度が異

なる領域があり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布が異なることを特徴とする不揮発性半導体記憶装置。

【請求項 6】

半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層 / 制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース / ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が異なり、かつ、前記ビット線またはソース線に接続されるソース拡散層またはドレイン拡散層の実効的な不純物濃度が前記メモリセルのソース / ドレイン拡散層の実効的な不純物濃度より薄いことを特徴とする不揮発性半導体記憶装置。

【請求項 7】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのチャネル領域のうちでビット線またはソース線に近い側の一端部の不純物濃度は前記メモリセルのチャネル領域の不純物濃度よりも濃いことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのチャネル領域のうちでビット線またはソース線に近い側の一端部の不純物分布幅は前記メモリセルのチャネル領域の不純物分布幅よりも狭いことを特徴とする請求項 5 または 7 記載の不揮発性半導体記憶装置。

【請求項 9】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタの前記ビット線またはソース線に接続されるソース / ドレイン拡散層とその上方のゲート電極とが重なり合う距離は、前記メモリセルのソース / ドレイン拡散層とその上方のゲート電極とが重なり合う距離よりも小さいことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 10】

前記選択ゲートトランジスタの前記ビット線またはソース線に接続されるソース / ドレイン拡散層は、前記半導体基板とゲート絶縁膜との界面からの接合深さが、前記メモリセルのソース / ドレイン拡散層の前記半導体基板とゲート絶縁膜との界面からの接合深さよりも小さいことを特徴とする請求項 6 または 9 記載の不揮発性半導体記憶装置。

【請求項 11】

前記各選択ゲートトランジスタは、その活性化領域の深さ方向において、素子分離領域の深さ近傍における不純物濃度が、周辺回路を構成する少なくとも 1 つのトランジスタを囲む素子分離領域の直下における半導体基板中の不純物濃度と同じであることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明は上記の問題点を解決すべくなされたもので、データ書き込み特性、データ保持

特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とを共に良好に実現し得る不揮発性半導体記憶装置を提供することを目的とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

【課題を解決するための手段】

本発明の第1の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層/制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース/ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電気的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の第1の選択ゲートトランジスタを有し、前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置でゲート長方向でチャンネル領域の不純物濃度が同じであり、そのチャンネル領域の不純物濃度分布と前記メモリセルのチャンネル領域の不純物濃度分布とが異なり、前記各選択ゲートトランジスタのチャンネル領域の深さ方向における不純物濃度分布が前記メモリセルのチャンネル領域の深さ方向における不純物濃度分布よりも狭いことを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明の第2の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層/制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース/ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電気的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャンネル領域の不純物濃度が同じであり、そのチャンネル領域の不純物濃度分布と前記メモリセルのチャンネル領域の不純物濃度分布とが異なり、前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャンネル領域の不純物濃度が異なる領域があり、そのチャンネル領域の不純物濃度の濃い部分の不純物濃度は、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で前記第1の選択ゲートトランジスタのチャンネル領域の不純物濃度と同じであることを特徴とする

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【 0 0 1 5 】

本発明の第3の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電気的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が同じであり、かつ、ソース／ドレイン拡散層の実効的な不純物濃度が前記メモリセルのソース／ドレイン拡散層の実効的な不純物濃度より薄く、前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が異なり、かつ、前記ビット線またはソース線に接続されるソース拡散層またはドレイン拡散層の不純物濃度は前記第1の選択ゲートトランジスタのソース／ドレイン拡散層の不純物濃度と同じであることを特徴とする。

【 手 続 補 正 7 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 6

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 1 6 】

本発明の第4の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電気的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置された一対の選択ゲートトランジスタを有し、前記各選択ゲートトランジスタは、実質的に同一構造を有し、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が異なる領域があり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布が異なることを特徴とする。

【 手 続 補 正 8 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 7

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 9 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 8

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 1 0 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 1 9

【 補 正 方 法 】 削 除

【補正の内容】

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 3

【補正方法】変更

【補正の内容】

【0 1 2 3】

【発明の効果】

上述したように本発明によれば、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とを共に良好に実現し得るフラッシュメモリを提供することができる。