

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3550168号
(P3550168)

(45) 発行日 平成16年8月4日(2004.8.4)

(24) 登録日 平成16年4月30日(2004.4.30)

(51) Int.Cl.⁷
G 1 1 C 11/41

F I
G 1 1 C 11/34 3 0 1 F

請求項の数 7 (全 10 頁)

(21) 出願番号	特願平5-236879	(73) 特許権者	000000295
(22) 出願日	平成5年9月22日(1993.9.22)		沖電気工業株式会社
(65) 公開番号	特開平7-93973		東京都港区虎ノ門1丁目7番12号
(43) 公開日	平成7年4月7日(1995.4.7)	(74) 代理人	100089093
審査請求日	平成11年8月27日(1999.8.27)		弁理士 大西 健治
審判番号	不服2002-10503(P2002-10503/J1)	(72) 発明者	江川 昇
審判請求日	平成14年6月12日(2002.6.12)		東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		合議体	
		審判長	佐藤 伸夫
		審判官	村上 友幸
		審判官	山本 穂積
			最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】
【請求項1】

情報を記憶するためのメモリセルアレイを含む内部回路と、前記内部回路の動作制御に用いられる制御信号を生成する制御信号出力回路とを有する半導体記憶装置において、前記制御信号出力回路は、TTLレベルの第1の入力信号を受け、該第1の入力信号の電圧レベルをCMOSレベルに変換する第1の入力初段回路と、TTLレベルの第2の入力信号を受け、該第2の入力信号の電圧レベルをCMOSレベルに変換する第2の入力初段回路と、前記第1の入力初段回路の出力と前記第2の入力初段回路の出力を受けて前記制御信号を出力する論理回路を有し、前記第1の入力初段回路は、高電位側にPチャンネルMOSトランジスタが接続され、低電位側にNチャンネルMOSトランジスタが接続された第1のCMOSインバータと、該第1のCMOSインバータの電流通路には、前記第2の入力初段回路から出力された信号に応じて導通状態あるいは非導通状態となる動作をし、前記第1のCMOSインバータの動作状態を制御するMOSトランジスタが挿入された構成であり、前記第2の入力初段回路は、高電位側にPチャンネルMOSトランジスタが接続され、低電位側にNチャンネルMOSトランジスタが接続された第2のCMOSインバータで構成され、前記MOSトランジスタは、前記TTLレベルの第1の入力信号が第1の電圧レベルの期間は導通状態となり、第1の電圧レベルよりも電圧が高い第2の電圧レベルの期間は非導通状態となるように制御され、前記制御信号出力回路は、第1の電圧レベルから該第1の電圧レベルより高い第2の電圧レベルとなった前記第2の入力信号を受信している時に、前記第2の電圧レベルから前記第1の電圧レベルとなる前記第1の入

10

20

力信号を受信することにより前記半導体記憶装置を動作させる電圧レベルを有する前記制御信号を前記論理回路の出力として生成するものであり、前記第1の入力初段回路を構成する前記MOSトランジスタのディメンジョンは、前記第2の入力初段回路を構成する前記MOSトランジスタのディメンジョンより大きいことを特徴とする半導体記憶装置。

【請求項2】

前記第1の入力信号及び前記第2の入力信号の少なくとも一方は、チップイネーブル信号であることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記第1の入力初段回路の構成に用いられるMOSトランジスタのディメンジョンを大きくすることは、前記第1の入力初段回路を構成するのに用いられるMOSトランジスタのゲート幅を前記第2の入力初段回路を構成するのに用いられるMOSトランジスタのゲート幅より大きくする、或いは前記第1の入力初段回路を構成するのに用いられるMOSトランジスタのゲートの長さを前記第2の入力初段回路を構成するのに用いられるMOSトランジスタゲートの長さより細くすることであることを特徴とする請求項1または請求項2記載の半導体記憶装置。

10

【請求項4】

前記半導体記憶装置は、受信したTTLレベルの第3の入力信号をCMOSレベルに変換して、前記半導体記憶装置の動作で用いられる前記内部回路へ転送する受信回路を有し、前記受信回路を構成するMOSトランジスタのディメンジョンは前記第1の入力初段回路を構成するMOSトランジスタのディメンジョンより小さいことを特徴とする請求項1～

20

【請求項5】

前記受信回路は、前記制御信号によって動作状態が制御されることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】

前記受信回路を構成するMOSトランジスタのディメンジョンを小さくすることは、前記制御信号を受信するMOSトランジスタのゲート幅を前記第1の入力信号を受信するMOSトランジスタのゲート幅より小さくする、或いは前記制御信号を受信するMOSトランジスタのゲートの長さを前記第1の入力信号を受信するMOSトランジスタのゲートの長さより太くすることであることを特徴とする請求項4または請求項5記載の半導体記憶装置。

30

【請求項7】

前記第3の入力信号は、前記メモリセルアレイへ書込むためのデータ、該書込みを制御する書込み制御信号、前記メモリセルアレイ内の位置を指示するアドレスデータ、前記内部回路からの出力信号の出力を制御する出力制御信号のいずれかであることを特徴とする請求項4～6のいずれか1つに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、スタティックランダムアクセスメモリ（以下、SRAMという）或いはリードオンリーメモリ（以下、ROMという）等で構成され、チップイネーブル信号によって高速でアクセスし、かつ低消費電力で動作する半導体記憶装置に関するものである。

40

【0002】

【従来の技術】

従来、このような分野の技術としては、例えば、次のような文献に記載されるものがあった。

文献1；特開昭59-110090 号公報

文献2；特開昭60-125992 号公報

文献3；特開昭61-104490 号公報

文献4；特開昭64- 39688 号公報

50

現在、SRAM等で構成された半導体記憶装置には、動作時の高速アクセスと低消費電力化の両方が求められている。しかしながら、高速化と低消費電力化とは、相反することが多く、一方の特性を良くすると他方の特性が劣化している。図2は、従来の入力初段回路を示す回路図である。この入力初段回路はCMOS（相補型MOSトランジスタ）で構成されたSRAMに備えられ、外部のTTL（トランジスタートランジスタ論理回路）出力であるTTLレベルの信号を、CMOSレベルの信号に変換する回路である。図2の入力初段回路は、CMOSインバータで構成され、電源電位VCCにソースが接続されたPチャンネル型MOSトランジスタ（以下、PMOSという）1と、接地電位VSSにソースが接続されたNチャンネル型MOSトランジスタ（以下、NMOSという）2と、これらのドレインに接続されたインバータ3とを有し、入力端子T1に与えられたTTLレベルの信号がそれらPMOS1及びNMOS2のゲートにそれぞれ入力され、インバータ3に接続された出力端子T2からCMOSレベルの信号が出力されるようになっている。

10

図3は、図2の入・出力信号を示す図であり、この図はTTLレベルとCMOSレベルの信号の電圧を示している。図3を参照しつつ図2の入力初段回路の動作を説明する。例えば、“L”レベルである0.8VのTTLレベルの信号が、この入力初段回路に入力した場合、PMOS1がオン状態、NMOS2がオフ状態となり、インバータ3を介して出力信号のレベルは、例えば接地電位VSSの0Vとなる。次に、“H”レベルである2.2VのTTLレベルの信号が入力した場合、NMOS2が導通し、インバータ3を介して出力信号のレベルは、例えば電源電位VCCの5Vとなる。再び0.8VのTTLレベルの信号が入力初段回路に入力した場合、NMOS2がオフ状態となり、PMOS1が導通する。インバータ3を介した出力信号のレベルは、例えば接地電位VSSの0Vとなる。その結果、TTLレベルの信号が、図3のようにCMOSレベルの信号に変換される。

20

【0003】

以上の動作過程において、図2の入力初段回路で信号の遅延と電力の消費が生じている。

図4は、図2の動作波形と消費電流を示す図である。

信号の遅延は、図2の入力初段回路が、CMOSレベルの出力信号Bに対して低いTTLレベルの“H”信号Aを変換するために発生するものである。即ち、電圧の低いTTLレベルの“H”を検出しやすくするために、PMOS1の駆動能力をNMOS2に比べて下げている。このため、入力のTTLレベルの信号が、“H”から“L”に変化する場合のほうが、“L”から“H”に変化する場合よりもスピードが遅くなる。また、入力のTTLの信号入力が、“H”から“L”及び“L”から“H”に変化するとき、過渡的に貫通電流IがPMOS1とNMOS2を介して電源電位VCCから接地電位VSSに流れる。入力信号が“H”のときには、そのTTLレベルの“H”がPMOSのしきい値を越えた中間的電位のためPMOS1が完全にオフ状態にならず、電源電位VCCから接地電位VSSに貫通電流Iが、PMOS1とNMOS2を介して定常的に流れる。そのため、この入力初段回路は多大な電力消費をする。一方、入力がTTLレベルの“L”の場合は、NMOS2がほぼオフ状態となるので消費電流が小さい。また、CMOSレベルの“H”又は“L”が入力される場合も消費電流は小さい。

30

従来、SRAMの高速アクセスを実現するために、障害となる信号の遅延をトランジスタのディメンジョンを大きくすることで対処している。即ち、入力初段回路を構成するMOSトランジスタのゲートの幅を大きくするか或いはゲートの長さを細くする方法を採っていた。一方、消費電力を低減するために、トランジスタのディメンジョンを小さくしていた。即ち、入力初段回路を構成するMOSトランジスタのゲートの幅を小さくするか或いはゲートの長さを太くする方法によって、貫通電流Iを低減していた。

40

【0004】

【発明が解決しようとする課題】

しかしながら、従来のCMOS構成のSRAMの半導体記憶装置においては、次のような課題があった。

インバータ、NANDゲート、NORゲート等で構成された入力初段回路において、TTLレベルの入力信号がCMOSレベルの信号に変換されるので、信号に遅延が発生すると

50

共に貫通電流 I が流れて大きな電力が消費される。これらを解決するための方法に、SRAMの入力初段回路のトランジスタのディメンジョンを変化させて、アクセス時の高速化と低消費電力化をする方法がある。しかし、このアクセス時の高速化と低消費電力化をする方法は、相反する改善をトランジスタのゲートに対して施すことである。即ち、高速化と低消費電力化とは、一方の特性を良くすると他方の特性が劣化することになり、両方の特性を改善するには、限界が在った。

本発明は、前記従来技術が持っていた課題として、入力されたTTLレベルの信号に遅延が発生して高速アクセスを困難にしている点と消費電力が大である点について解決をした半導体記憶装置を提供するものである。

【0005】

【課題を解決するための手段】

前記課題を解決するために、本発明のうちの第1の発明は、情報を記憶するためのメモリセルアレイを含む内部回路と、前記内部回路の動作制御に用いられる制御信号を生成する制御信号出力回路とを有する半導体記憶装置において、前記制御信号出力回路は、TTLレベルの第1の入力信号及びTTLレベルの第2の入力信号が入力され、該第1及び第2の入力信号に基づいて前記制御信号を生成するものであり、前記第1の入力信号を受信してCMOSレベルの信号に変換する第1の入力回路と、前記第2の入力信号を受信してCMOSレベルの信号に変換する第2の入力回路とを有し、前記第1の入力回路を構成する、前記第1の入力信号を受信するトランジスタのディメンジョンは、前記第2の入力回路を構成する、前記第2の入力信号を受信するトランジスタのディメンジョンより大きい。

第2の発明は、情報を記憶するためのメモリセルアレイを含む内部回路と、前記内部回路の動作制御に用いられる制御信号を生成する制御信号出力回路とを有する半導体記憶装置において、前記制御信号出力回路は、TTLレベルの第1の入力信号及びTTLレベルの第2の入力信号が入力され、該第1及び第2の入力信号に基づいて前記制御信号を生成するものであり、前記第1の入力信号を受信してCMOSレベルの信号に変換する第1の入力回路と、前記第2の入力信号を受信してCMOSレベルの信号に変換する第2の入力回路と、前記第1及び第2の入力回路からの出力信号を受信して、これらの出力信号の論理レベルの組合せに基づく論理レベルを有する前記制御信号を出力する論理回路とを有し、前記第1の入力回路は、前記第2の入力回路からの出力信号に応じて動作が制御されるものであり、前記第1の入力回路を構成する、前記第1の入力信号を受信するトランジスタのディメンジョンは、前記第2の入力回路を構成する、前記第2の入力信号を受信するトランジスタのディメンジョンより大きい。

第3の発明は、半導体記憶装置において、情報を記憶するためのメモリセルアレイを含む内部回路と、制御信号に応じて、入力されるデータ信号の前記内部回路への転送が制御されるデータ信号転送回路と、TTLレベルの第1の入力信号及びTTLレベルの第2の入力信号が入力され、該第1及び第2の入力信号に基づいてCMOSレベルの前記制御信号を出力する制御信号出力回路とを有し、前記制御信号出力回路は、CMOS回路で構成され、前記第1の入力信号を受信するMOSトランジスタのディメンジョンは、前記第2の入力信号を受信するトランジスタのディメンジョンより大きい。

第4の発明は、半導体記憶装置において、活性化信号に応じて動作可能とされ、制御信号に基づいて所望の動作を実行する、情報を記憶するためのメモリセルアレイを含む内部回路と、前記活性化信号に応じて動作が制御され、受信したTTLレベルの入力信号をCMOSレベルに変換して前記制御信号とし、該制御信号を前記内部回路へ転送する受信回路と、TTLレベルの活性化のための信号が入力され、該活性化のための信号をCMOSレベルに変換して、該活性化のための信号の論理レベルに応じた論理レベルを有する前記活性化信号を出力する活性化信号出力回路とを有し、前記活性化信号出力回路を構成する、前記活性化のための信号を受信するMOSトランジスタは、前記受信回路を構成する、前記入力信号を受信するMOSトランジスタよりディメンジョンが大きいトランジスタを用いて構成されている。

第5の発明は、第1または第2の発明の半導体記憶装置において、前記第1の入力信号は

10

20

30

40

50

、チップイネーブル信号である。

第6の発明は、第1、第2または第5の発明の半導体記憶装置において、前記第1の入力回路の構成に用いられるトランジスタのディメンジョンを大きくすることは、前記第1の入力回路を構成するのに用いられるトランジスタのゲート幅を前記第2の入力回路を構成するのに用いられるトランジスタのゲート幅より大きくする、或いは前記第1の入力回路を構成するのに用いられるトランジスタのゲートの長さを前記第2の入力回路を構成するのに用いられるトランジスタのゲートの長さより細くすることである。

第7の発明は、第3の発明の半導体記憶装置において、前記第1及び前記第2の入力信号の少なくとも一方は、チップイネーブル信号である。

第8の発明は、第3または第7の発明の半導体記憶装置において、前記第1の入力信号を受信するMOSトランジスタのディメンジョンを大きくすることは、前記第1の入力信号を受信するMOSトランジスタのゲート幅を前記第2の入力信号を受信するMOSトランジスタのゲート幅より大きくする、或いは前記第1の入力信号を受信するMOSトランジスタのゲートの長さを前記第2の入力信号を受信するMOSトランジスタのゲートの長さより細くすることである。

10

第9の発明は、第4の発明の半導体記憶装置において、前記活性化のための信号は、チップイネーブル信号である。

第10の発明は、第4の発明の半導体記憶装置において、前記活性化のための信号を受信するMOSトランジスタのディメンジョンを大きくすることは、前記活性化のための信号を受信するMOSトランジスタのゲート幅を前記入力信号を受信するMOSトランジスタのゲート幅より大きくするか、或いは前記活性化のための信号を受信するMOSトランジスタのゲートの長さを前記入力信号を受信するMOSトランジスタのゲートの長さより細くすることである。

20

第11の発明は、第4、第9または第10の発明の半導体記憶装置において、前記入力信号は、前記メモリセルアレイへ書込むためのデータ、該書込みを制御する書込み制御信号、前記メモリセルアレイ内の位置を指示するアドレスデータ、前記内部回路からの出力信号を制御する出力制御信号のいずれかである。

【0006】

【作用】

第1、第2、第5及び第6の発明によれば、以上のように半導体記憶装置を構成したので、内部回路の動作制御に用いられる制御信号が制御信号出力回路で生成される。ここで、制御信号出力回路内で第1の入力信号をCMOSレベルに変換する第1の入力回路と、第2の入力信号をCMOSレベルに変換する第2の入力回路とが、差別化され、第1の入力回路を構成するトランジスタは、第2の入力回路を構成するトランジスタよりもディメンジョンが大きなものが用いられる。これにより、例えば高速化が要求される第1の入力回路の第1の入力信号のみの信号取込み速度が速くなる。

30

第3、第7及び第8の発明によれば、データ信号転送回路が行う内部回路へのデータ信号の転送が、制御信号に応じて制御される。制御信号出力回路が、TTLレベルの第1及び第2の入力信号からCMOSレベルのその制御信号を生成する。ここで、制御信号出力回路において、第1の入力信号を受信するMOSトランジスタは、第2の入力信号を受信するMOSトランジスタよりもディメンジョンが大きく形成されているので、該第1の入力信号を受信するMOSトランジスタの動作により、制御信号の生成速度が速くなる。

40

第4、第9、第10及び第11の発明によれば、活性化信号出力回路から活性化信号が出力されると、受信回路の動作が制御され、該受信回路から制御信号が出力される。活性化信号により内部回路が動作可能になり、制御信号に基づいて該内部回路が所望の動作を行う。ここで、活性化信号出力回路を構成するMOSトランジスタは、受信回路を構成するMOSトランジスタよりディメンジョンが大きいので、活性化信号の生成速度が速くなる。従って、前記課題を解決できるのである。

【0007】

【実施例】

50

図1は、本発明の実施例の半導体記憶装置の構成ブロック図である。

この半導体記憶装置は、CMOSで構成されたSRAMであり、複数のチップの内からチップイネーブル信号によって選択されて動作する。

図1の半導体記憶装置は、複数の入力初段回路10、20、30、40、50、60と、内部回路100とを備えている。入力初段回路10～60は、内部回路100の動作制御に用いる制御信号を生成する制御信号出力回路に相当するものである。また、入力初段回路10及び20により、或いは入力初段回路10、20及び2入力のNANDゲート72により、制御信号出力回路或いは活性化信号出力回路が構成されている。その内、入力初段回路10は、選択時にTTLレベルの第1の入力信号である負論理のチップイネーブル信号CE1／（但し、／は反転を意味する）をCMOSレベルに変換する第1の入力回路である。

10

入力初段回路10に対し、入力初段回路20～60は、チップイネーブル信号CE1／とは異なる第2の入力信号であるチップイネーブル信号CE2、入力データDin、ライトイネーブル信号WE／、アウトプットイネーブル信号OE／、或いはアドレスADRをそれぞれ入力する第2の入力回路を構成している。また、入力初段回路30はデータ信号転送回路に相当する。入力初段回路20は、この半導体記憶装置の動作中、信号CE1／に対して相補的な信号となる正論理のチップイネーブル信号CE2を入力し、入力初段回路30は、活性化することによってデータ信号である入力データDinを伝達し、入力初段回路40は、書込み制御信号である負論理のライトイネーブル信号WE／を入力し、入力初段回路50は、出力制御信号である負論理のアウトプットイネーブル信号OE／を入力し、入力初段回路60は、メモリセルアレイに対するアドレスADRを入力するようになっている。図1の半導体記憶装置には、さらに、入力初段回路10の出力と、インバータ71を介した入力初段回路20の出力とから、各入力初段回路30、40、50、60を活性化させるための制御信号或いは活性化信号を出力するNANDゲート72が設けられている。各入力初段回路30、40、50、60はチップイネーブル信号CE1／、CE2のレベルによってそれぞれ活性化される。

20

【0008】

内部回路100は、各入力初段回路30、40、50、60及びNANDゲート72からの信号を入力してアクセス動作をする構成になっている。内部回路100には、例えば、CMOSで構成されてデータを保持するSRAMのメモリセルアレイ110と、入力初段回路60からの行アドレス及び列アドレスをそれぞれデコードする行アドレスデコーダ120及び列アドレスデコーダ130と、入力初段回路30からのデータDinを開閉する入力データ制御回路140と、各デコーダ120、130によって選定されたメモリセルに対して書込み用データ或いは読出し用データを入出力するR／W入出力回路150と、アウトプットイネーブル信号OE／とチップイネーブルCE／によって活性化して読出し用データを外部へ出力するデータ出力制御回路160とを備えている。

30

入力初段回路10は、2入力のNANDゲートで構成され、その入力端子T10からチップイネーブル信号CE1／が入力されてTTLレベルの信号CE1／を、CMOSレベルに変換する。入力端子T10は、ドレイン同士が接続されたCMOSのPMOS11及びNMOS12のゲート電極に接続され、そのPMOS11のソースは、電源電位VCCに接続されている。また入力初段回路10は、PMOS13及びNMOS14を有し、PMOS13及びNMOS14のゲート電極には、入力初段回路20の出力がインバータ71を介して入力されている。PMOS13のソースは、PMOS11と並列に電源電位VCCに接続され、NMOS14のソースが、接地電位VSSに接続されている。PMOS13とNMOS14のドレインは、NMOS12を介して接続されている。

40

【0009】

入力初段回路20は、選択時にチップイネーブル信号CE1／に対して反転したTTLレベルの信号CE2を入力端子T20から入力してCMOSレベルに変換する回路であり、この入力初段回路20は、PMOS21及びNMOS22のCMOSインバータで構成されている。

50

入力初段回路 30 は、2 入力の NAND ゲートで構成され、TTL レベルのデータ D_{in} を入力端子 T30 から入力し、他方の入力には NAND ゲート 72 の出力信号 $CE/\text{}$ が入力されている。入力端子 T30 は、ドレイン同士が接続された PMOS 31 及び NMOS 32 のゲート電極に接続され、その NMOS 32 のソースは、接地電位 V_{SS} に接続されている。他方の PMOS 33 及び NMOS 34 のゲート電極には、NAND ゲート 72 の出力が共通に入力されている。NMOS 34 のソースは、NMOS 32 と並列に接地電位 V_{SS} に接続され、PMOS 33 のソースが、電源電位 V_{CC} に接続されている。PMOS 33 と NMOS 34 のドレインは、PMOS 31 を介して接続されている。各 TTL レベルのライトイネーブル信号 $WE/\text{}$ 、アウトプットイネーブル信号 $OE/\text{}$ 及びアドレス ADR をそれぞれ CMOS レベルに変換する各入力初段回路 40, 50, 60 は、入力初段回路 30 と同一の構成で 図示しない トランジスタ 41~44, 51~54, 61~64 をそれぞれ有している。

10

入力初段回路 10 内の各トランジスタ 11~14 のディメンジョンは、入力初段回路 20 内のトランジスタ 21, 22 或いは入力初段回路 30~60 内のトランジスタ 31~34, 41~44, 51~54, 61~64 のディメンジョンより大きく設定されている。即ち、入力初段回路 20~60 内の各 NMOS または PMOS は、入力初段回路 10 内の各 PMOS 及び NMOS に対して、それぞれゲート幅が大きくされているか、またはゲート長が細くされている。

【0010】

次に、図 1 の半導体記憶装置の動作を説明する。

20

複数のチップの内から選択されると、この半導体記憶装置において入力端子 T10 に TTL レベルの “L” のチップイネーブル信号 $CE1/\text{}$ が入力される。この時、入力端子 T20 には TTL レベルの “H” のチップイネーブル信号 $CE2$ が入力される。チップイネーブル信号 $CE2$ は、入力初段回路 20 で CMOS レベルに変換され、さらにインバータ 71 を介して反転される。このチップが選択されているときは、入力初段回路 10 は、“H” を出力する。この時、NAND ゲート 72 の 2 入力、共に “H” であるので、NAND ゲート 72 からの “L” の出力信号 $CE/\text{}$ が各入力初段回路 30, 40, 50, 60 の PMOS 33, 43, 53, 63 へ入力される。これによって、各入力初段回路 30, 40, 50, 60 が活性化される。活性化された各入力初段回路 30, 40, 50, 60 は、内部回路 100 中の各回路へ信号或いはデータを伝達する。この結果、この半導体記憶装置は、動作してメモリセルに対して書込みと読出しの動作を実施する。

30

書込み動作において、アドレス ADR が行アドレスデコーダ 120 と列アドレスデコーダ 130 に伝達され、アドレス ADR は、各デコーダ 120, 130 でデコードされる。デコードの結果、メモリセルアレイ 110 中のワード線とビット線が活性化され、所望のメモリセルが選択される。データ D_{in} は、入力データ制御回路 140 に入力され、入力データ制御回路 140 は、ライトイネーブル信号 $WE/\text{}$ によって開閉してそのデータ D_{in} を R/W 入出力回路 150 に伝える。 R/W 入出力回路 150 に入力されたデータ D_{in} は、活性化されたビット線を介して所望のメモリセルに伝達されて 書込まれる。

【0011】

読出し時にも、アドレス ADR が行アドレスデコーダ 120 と列アドレスデコーダ 130 に伝達され、アドレス ADR は、各デコーダ 120, 130 でデコードされる。デコードの結果、メモリセルアレイ 110 中のワード線とビット線が活性化され、所望のメモリセルが選択される。メモリセルに保持されていたデータは、活性化されたビット線を介して、 R/W 入出力回路 150 に伝達される。 R/W 入出力回路 150 に接続されたデータ出力制御回路 160 が、チップイネーブル信号 $CE/\text{}$ とアウトプットイネーブル信号 $OE/\text{}$ を受けて、メモリセルから 読出されたデータを外部へ出力する。

40

チップ非選択の場合、チップイネーブル信号 $CE1/\text{}$ に “H” が入力されるか或いはチップイネーブル信号 $CE2$ に “L” が入力される。そのため、各入力初段回路 30, 40, 50, 60 が非活性状態となる。チップイネーブル信号 $CE2$ に “L” が入力されているとき、入力初段回路 10 も非活性状態となる。

50

【0012】

次に、チップイネーブル信号 $\overline{CE1}$ 、 $\overline{CE2}$ を入力してから、データが読出されるまでのアクセス時間 T_{CO} が高速になる理由と、この半導体記憶装置の動作時の消費電流である動作時電流 I_{CA} 及び非選択時の消費電流であるスタンバイ電流 I_{CS} が低減される理由を説明する。(1) は、アクセス時間 T_{CO} が高速になる理由を示し、(2) は、動作時電流 I_{CA} 及びスタンバイ電流 I_{CS} が低い理由を示している。

(1) 入力初段回路 10 の内の PMOS11、13 及び NMOS12、14 のゲートのディメンジョンが大きくされている。そのため、チップイネーブル信号 $\overline{CE1}$ の取込みスピードが速くなり、結果として、アクセス時間 T_{CO} が短縮されて高速となる。一方、TTLL レベルの信号を CMOS レベルに変換する場合、“L” から “H” に変換するほうが “H” から “L” にするよりも速い。チップイネーブル信号 $\overline{CE2}$ は、選択時に “L” から “H” となるので、入力初段回路 10 での変換よりも入力初段回路 20 で TTLL レベルのチップイネーブル信号 $\overline{CE2}$ を CMOS レベルに変換する方が速い。そのため、入力初段回路 20 の PMOS21 及び NMOS22 のディメンジョンは、大きくする必要がない。

10

(2) 半導体記憶装置が動作中、チップイネーブル信号 $\overline{CE1}$ は、“L” である。チップイネーブル信号 $\overline{CE1}$ が “L” で動作するように設定された半導体記憶装置においては、入力初段回路 10 において、TTLL レベルの “L” が、入力された状態では、図 4 に示されたように、貫通する電流 I は小さい。なお、他の入力初段回路 20、30、40、50、60 内のトランジスタのディメンジョンは、大きくされていないので、動作時電流 I_{CA} は増加することはない。そのため、低消費電力化が達成される。

20

【0013】

一方、非選択時において、CMOS レベルのチップイネーブル信号 $\overline{CE1}$ 、 $\overline{CE2}$ を入力する構成の場合、入力が CMOS レベルであるので、入力初段回路 10 の内の PMOS11、13 及び NMOS12、14 のディメンジョンを大きくしても消費電流は少ない。この時、各入力初段回路 30、40、50、60 は、非活性状態となり、消費電流が流れない。このため、スタンバイ電流 I_{CS} が増加せず低消費電力である。また、非選択時に、TTLL レベルのチップイネーブル信号 $\overline{CE1}$ 、 $\overline{CE2}$ を入力する構成の場合、この時のチップイネーブル信号 $\overline{CE2}$ を “L” と設定すれば、入力初段回路 10 が非活性状態となる。そのため、消費電流が流れず、低消費電力である。

30

以上のように、本実施例では、入力初段回路 10 中の PMOS11、13 及び NMOS12、14 のディメンジョンを他の入力初段回路 20、30、40、50、60 内のトランジスタのディメンジョンより大きくすることで、スタンバイ電流 I_{CS} 及び動作時電流 I_{CA} を増加させずに、アクセスを高速化することができる。

なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば、SRAM で構成された半導体記憶装置は、ROM で構成された半導体記憶装置としても、同様に、低消費電力の高速アクセスを実施することができる。

【0014】

【発明の効果】

以上詳細に説明したように、第 1、第 2、第 5 及び第 6 の発明によれば、制御信号出力回路で、第 1 の入力信号を受信して CMOS レベルの信号に変換する第 1 の入力回路のトランジスタは、第 2 の入力回路を構成するトランジスタよりディメンジョンを大きくしたので、例えば高速化が要求される第 1 の入力回路の第 1 の入力信号の信号取込み速度が速くなり、結果的にメモリセルアレイに対するアクセスを速くできる。

40

第 3、第 7 及び第 8 の発明によれば、制御信号に応じて、入力されるデータ信号の内部回路への転送が制御されるデータ信号転送回路と、第 1 及び第 2 の入力信号に基づいて CMOS レベルの制御信号を出力する制御信号出力回路とを有する半導体記憶装置において、制御信号出力回路で第 1 の入力信号を受信する MOS トランジスタのディメンジョンを、第 2 の入力信号を受信するトランジスタよりディメンジョンが大きいたので、その第 1 の入力信号を受信する MOS トランジスタの動作により、制御信号の生成速度が速くなり

50

、結果的にメモリセルアレイに対するアクセスを速くできる。さらに、第1の入力信号を受信するMOSトランジスタのディメンジョンを大きくしても、第2の入力信号を受信するMOSトランジスタのディメンジョンは特に大きくしていないので、例えば第1の入力信号がTTLレベルの“L”のときに半導体記憶装置が動作するようにしておけば、動作中の消費電力が従来に比べて増加しない。また、半導体記憶装置でアクセスを行わない非選択時には、第1の入力信号をCMOSレベルの信号にしたり、第1の入力信号を受信するMOSトランジスタをオンさせない回路を設けておけば、該非選択時にも消費電力は増加しない。つまり、低消費電力を確保した状態で、高速アクセスを可能にできる。

第４、第９、第１０及び第１１の発明によれば、活性化のための信号を受信するＭＯＳトランジスタは、入力信号を受信するＭＯＳトランジスタよりディメンジョンが大きいトランジスタを用いて構成されているので、例えば高速化が要求される活性化のための信号の取込み速度が速くなり、結果的にメモリセルアレイに対するアクセスを速くできる。さらに、活性化のための信号を受信するＭＯＳトランジスタのディメンジョンを大きくしても、入力信号を受信するＭＯＳトランジスタのディメンジョンは特に大きくしていないので、低消費電力を確保した状態で、高速アクセスを可能にできる。

【図面の簡単な説明】

【図 1】 本発明の実施例の半導体記憶装置を示す構成ブロック図である。

【図 2】 従来の入力初段回路を示す回路図である。

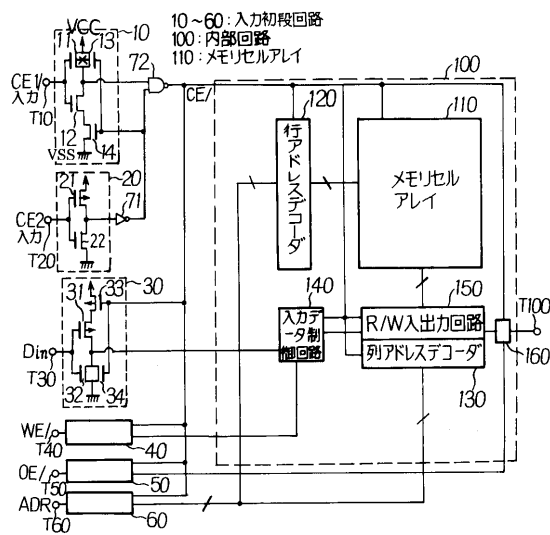
【図 3】 図 2 の入・出力信号を示す図である。

【図 4】 図 2 の動作波形と消費電流を示す図である。

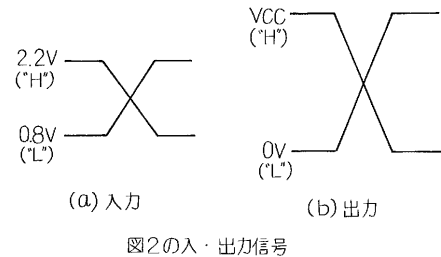
【符号の説明】

1 0 <u>~ 6 0</u>	<u>入力初段回路</u>
1 0 0	内部回路
1 1 0	メモリセルアレイ

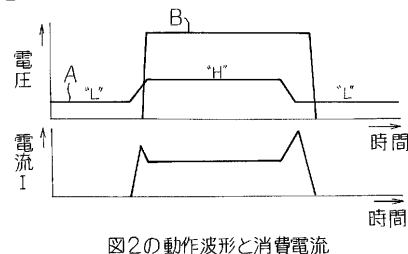
【図 1】



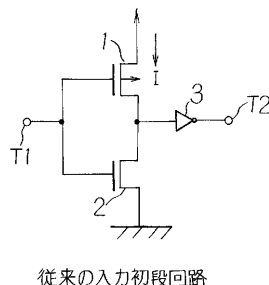
【 図 3 】



【图 4】



【图 2】



フロントページの続き

- (56)参考文献 特開昭63-136388 (JP, A)
特開平5-89680 (JP, A)
特開昭59-160883 (JP, A)
特開昭59-207083 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/41