

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5019335号
(P5019335)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int.Cl.
H03M 1/60 (2006.01)

F I
H03M 1/60

請求項の数 31 (全 10 頁)

(21) 出願番号	特願2008-322169 (P2008-322169)	(73) 特許権者	501315784
(22) 出願日	平成20年12月18日 (2008.12.18)		パワー・インテグレーションズ・インコーポレーテッド
(65) 公開番号	特開2009-153130 (P2009-153130A)		アメリカ合衆国・95138・カリフォルニア州・サン ホゼ・ヘリヤー アベニュー・5245
(43) 公開日	平成21年7月9日 (2009.7.9)		
審査請求日	平成23年12月8日 (2011.12.8)	(74) 代理人	100064746
(31) 優先権主張番号	11/963,645		弁理士 深見 久郎
(32) 優先日	平成19年12月21日 (2007.12.21)	(74) 代理人	100085132
(33) 優先権主張国	米国 (US)		弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 時間差アナログ比較器およびアナログ信号の時間差比較を行なう方法

(57) 【特許請求の範囲】

【請求項 1】

時間差アナログ比較器であって、
アナログ入力に応答する周波数を有する可変周波数信号の源と、
前記可変周波数信号のサイクルをカウントするよう結合される計数回路とを含み、前記計数回路は第1の時間間隔の間には第1の方向にカウントするよう結合されるとともに、前記第1の時間間隔の終わりの後に起こる第2の時間間隔の間は、前記第1の方向とは反対の第2の方向にカウントするよう結合され、前記時間差アナログ比較器はさらに、
前記計数回路に結合されるタイミング回路を含み、前記第1の時間間隔と前記第2の時間間隔とは前記タイミング回路によって決定され、前記時間差アナログ比較器はさらに、
前記計数回路と前記タイミング回路とに結合される評価回路を含み、前記評価回路は、前記第2の時間間隔の終わりの後に、前記可変周波数信号の前記サイクルのカウントに応答する、時間差アナログ比較器。

【請求項 2】

前記アナログ入力は電気信号である、請求項 1 に記載の時間差アナログ比較器。

【請求項 3】

前記アナログ入力は回路の構成要素の内因性パラメータである、請求項 1 に記載の時間差アナログ比較器。

【請求項 4】

前記回路の前記構成要素は集積回路に含まれる、請求項 3 に記載の時間差アナログ比較

器。

【請求項 5】

前記内因性パラメータは温度に応答する、請求項 3 に記載の時間差アナログ比較器。

【請求項 6】

前記タイミング回路は、前記第 1 の時間間隔および前記第 2 の時間間隔を含むタイミングイベントのシーケンスを始める入力に応答する、請求項 1 に記載の時間差アナログ比較器。

【請求項 7】

タイミングイベントの前記シーケンスは、前記第 1 の時間間隔と前記第 2 の時間間隔との間に休止間隔を含む、請求項 6 に記載の時間差アナログ比較器。

10

【請求項 8】

前記タイミング回路は、前記第 1 の時間間隔と前記第 2 の時間間隔との間に外部パラメータを変化させる信号を生成するよう結合される、請求項 1 に記載の時間差アナログ比較器。

【請求項 9】

アナログ信号の時間差比較を行なう方法であって、

前記アナログ信号に応答して変動する周波数を有する反復信号を生成することと、

前記反復信号のサイクルに応答して、第 1 の時間間隔の間に第 1 の方向にカウントすることと、

前記反復信号の前記サイクルに応答して、第 2 の時間間隔の間に第 2 の方向にカウントすることと、

20

前記第 2 の時間間隔の終わりの後、前記反復信号の前記サイクルのカウントを評価することを含む、方法。

【請求項 10】

前記第 1 の時間間隔の終わりと、前記第 2 の時間間隔の始まりの前との間に、外部パラメータを変化させることをさらに含む、請求項 9 に記載の方法。

【請求項 11】

前記第 1 の時間間隔の始まりの前に、前記反復信号の前記サイクルの前記カウントを初期化することをさらに含む、請求項 9 に記載の方法。

【請求項 12】

30

前記第 2 の時間間隔の前記終わりの後、前記反復信号の前記サイクルの前記カウントの前記評価に応答して、決定信号を出力することをさらに含む、請求項 9 に記載の方法。

【請求項 13】

時間差アナログ比較器であって、

アナログ入力に応答する周波数を有する可変周波数信号の源と、

前記可変周波数信号のサイクルをカウントするよう結合される計数回路とを含み、前記計数回路は第 1 の時間間隔の間には第 1 の方向にカウントするよう結合されるとともに、前記第 1 の時間間隔の終わりの後に起こる第 2 の時間間隔の間は、前記第 1 の方向とは反対の第 2 の方向にカウントするよう結合され、前記時間差アナログ比較器はさらに、

前記計数回路に結合される評価回路を含み、前記評価回路は、前記第 2 の時間間隔の終わりの後に、前記可変周波数信号の前記サイクルの前記カウントに応答する、時間差アナログ比較器。

40

【請求項 14】

前記アナログ入力は電気信号である、請求項 13 に記載の時間差アナログ比較器。

【請求項 15】

前記アナログ入力は回路の構成要素の内因性パラメータである、請求項 13 に記載の時間差アナログ比較器。

【請求項 16】

前記回路の前記構成要素は集積回路に含まれる、請求項 15 に記載の時間差アナログ比較器。

50

【請求項 17】

前記内因性パラメータは温度に応答する、請求項 15 に記載の時間差アナログ比較器。

【請求項 18】

前記計数回路に結合されるタイミング回路をさらに含み、前記第 1 の時間間隔と前記第 2 の時間間隔とは前記タイミング回路によって決定される、請求項 13 に記載の時間差アナログ比較器。

【請求項 19】

前記タイミング回路は、前記第 1 の時間間隔および前記第 2 の時間間隔を含むタイミングイベントのシーケンスを始める入力に応答する、請求項 18 に記載の時間差アナログ比較器。

10

【請求項 20】

タイミングイベントの前記シーケンスは、前記第 1 の時間間隔と前記第 2 の時間間隔との間に休止間隔を含む、請求項 19 に記載の時間差アナログ比較器。

【請求項 21】

前記タイミング回路は、前記第 1 の時間間隔と前記第 2 の時間間隔との間に外部パラメータを変化させる信号を生成するよう結合される、請求項 18 に記載の時間差アナログ比較器。

【請求項 22】

前記タイミング回路はさらに、アナログ入力における変化を刺激するために前記第 1 の時間間隔と前記第 2 の時間間隔との間の時間にモード選択信号を生成するよう結合される、請求項 1 に記載の時間差アナログ比較器。

20

【請求項 23】

前記可変周波数信号の源は複数の期間を有する反復信号を与えるよう結合され、各期間は前記アナログ入力の値を示す対応する周波数を有し、

前記計数回路は前記反復信号の前記期間をカウントするよう結合され、

前記評価回路は前記反復信号の前記期間の前記カウントに応答する、請求項 1 に記載の時間差アナログ比較器。

【請求項 24】

前記可変周波数信号の周波数は前記アナログ入力における変化に応答し、

前記評価回路は、前記第 2 の時間間隔の終わりの後、前記可変周波数信号の前記サイクルの前記カウントに応答して、決定信号を出力するよう結合され、

30

前記決定信号は、前記第 2 の時間間隔の間に前記アナログ入力における前記変化を作り出した刺激を反転させるよう結合されることとなる、請求項 1 に記載の時間差アナログ比較器。

【請求項 25】

前記アナログ入力はスイッチモード電源の温度を示す電気信号であり、前記モード選択信号は前記スイッチモード電源の効率を向上するよう前記スイッチモード電源のモードを変更するよう結合される、請求項 22 に記載の時間差アナログ比較器。

【請求項 26】

前記休止間隔は、前記第 1 の時間間隔および前記第 2 の時間間隔よりも実質的に長い、請求項 7 に記載の時間差アナログ比較器。

40

【請求項 27】

前記アナログ入力における変化を刺激するよう、前記第 1 の時間間隔と前記第 2 の時間間隔との間の時間にモード選択信号を生成することをさらに含む、請求項 9 に記載の方法。

【請求項 28】

前記反復信号は複数の期間を有し、各期間は前記アナログ信号の値を示す対応する周波数を有する、請求項 9 に記載の方法。

【請求項 29】

前記アナログ入力はスイッチモード電源の温度を示す電気信号である、請求項 9 に記載

50

の方法。

【請求項 30】

スイッチモード電源の効率を向上するよう前記スイッチモード電源のモードを変更するモード選択信号を生成するよう結合されるタイミング回路をさらに含む、請求項 13 に記載の時間差アナログ比較器。

【請求項 31】

前記タイミング回路は、前記アナログ入力における変化を刺激するために、前記第 1 の時間間隔と前記第 2 の時間間隔との間の時間に前記モード選択信号を生成するようさらに結合される、請求項 30 に記載の時間差アナログ比較器。

【発明の詳細な説明】

10

【技術分野】

【0001】

背景情報

開示の分野

この発明は一般的にはアナログ信号に関し、より具体的にはこの発明はアナログ信号を処理することに関する。

【背景技術】

【0002】

背景

従来の比較器はアナログ信号の瞬時値と基準値との比較を行なう。時間差アナログ比較器は、現在の時間間隔にわたって集められたアナログ信号の値を、過去の時間間隔にわたって集められた同じアナログ信号の値と比較する。電子回路のいくつかの適用例では、ゆっくりと変化する量が、当該回路にとって相対的に長い期間にわたって、大きく変化したかどうかを知ることは有用である。

20

【発明の開示】

【発明が解決しようとする課題】

【0003】

電子回路は典型的には、高スピードでの動作のために最適化される構成要素を用い、非常に短時間に起こるイベントに応答する。それらの回路は、応答するのにそれよりもはるかに長い時間がかかるゆっくりと変動する処理を制御する用途において、しばしば用いられる。たとえば、大きな機械システムを調整し、典型的には工業処理を制御する小型回路の構成要素は、ミリ秒の期間にわたって起こるイベントで動作するよう尺度決めされる。それらの回路はしばしば、数秒、数分、または数時間の期間にわたって起こるイベントに

30

応答しなければならない。この用途における遅い応答に合致するよう回路の大きさを増加させることは現実的ではない。

【0004】

小型の高速回路が遅いアナログ処理で動作することを可能とする一般的な技術では、アナログ情報をデジタルの形態に変換し、ついで当該デジタル情報をメモリに記憶する。高速回路は、当該アナログ情報において変化が起こる可能性が高くなる十分な時間が過ぎるまで、待機状態で待つかまたは他のタスクを行なうかのいずれかを行なう。次いで、現在のアナログ情報はデジタルの形態に変換され、メモリに記憶されている過去のアナログ情報と比較される。この技術は、アナログ - デジタル変換器、デジタルメモリ、およびデジタルプロセッサを自身の制御回路において用いる、より大きなシステムでは自然なことである。この技術は、別の態様では自身の制御回路にアナログ - デジタル変換およびデジタルメモリを必要としない単純な低コストシステムにとっては、通常現実的ではない。

40

【0005】

従来の比較器とともに用いるためのサンプル・ホールド回路を用いて当該アナログ情報をアナログ値として記憶する代替的な技術も、長い時間間隔が含まれる場合、特に制御機能を集積回路にパッケージングすることが望まれる際には現実的ではない。なぜならば、一般的にこのような代替的な技術の利用には、大きなキャパシタと、漏れ電流の値に接近

50

する非常に小さな電流とを伴うからである。

【 0 0 0 6 】

この発明の非限定的および非網羅的な実施例が添付の図面を参照して記載される。さまざまな図面を通して、同様の参照番号は、そうではないように指定される場合を除き、同様の部分を示す。

【発明を実施するための最良の形態】

【 0 0 0 7 】

詳細な説明

この発明に従ってアナログ信号の時間差比較を実現することに関係付けられる例が開示される。以下の記載では、この発明の完全な理解を提供するよう多くの具体的な詳細が記載される。しかしながら、この具体的な詳細はこの発明を実施するのに用いられる必要はないということは当業者には明らかである。他の場合では、この発明を不明瞭にすることを避けるよう、周知の材料または方法は詳細には記載されない。

【 0 0 0 8 】

この明細書を通して、「一実施例」、「ある実施例」、「一例」、または「ある例」への参照は、実施例に関連して記載される特定の特徴、構造、または特性が、この発明の少なくとも1つの実施例または例に含まれるということの意味する。したがって、「一実施例では」、「ある実施例では」、「一例では」、または「ある例では」という、この明細書を通じてさまざまな場所に表われるこれらのフレーズは、必ずしもすべて同じ実施例を指しているわけではない。当該特定の特徴、構造、または特性は、たとえば1つ以上の実施例または例において任意の好適なコンビネーションおよび/またはサブコンビネーションへと組合されてもよい。さらに、特定の特徴、構造、または特性は、記載される機能を提供する集積回路、電子回路、組合せ論理回路、または他の好適な構成要素に含まれてもよい。さらに、ここで与えられる図面は、当業者への説明目的のためであり、これら図面は必ずしも尺度決めされて描かれているわけではないということが理解される。

【 0 0 0 9 】

図1は、この発明の教示に従ってアナログ信号の時間差比較を実現する装置のブロック図の一例を概して示す。示されるように、可変周波数信号源105は、アナログ入力135を受取るよう結合される。アナログ入力135は、電気信号か、または温度もしくは高度のような外因性のパラメータであってもよい。この例では、可変周波数信号源105の周波数応答は線形または非線形であり得、可変周波数信号源105からの信号110の周波数は、アナログ入力135が対象範囲内で増加する際にそれが常に増加または常に減少する限り、アナログ入力135の増加している値に応答して増加または減少し得る。

【 0 0 1 0 】

アナログ入力135から受取られるアナログ信号は、電気信号か、または回路の構成要素の内因性のパラメータであってもよい。当該構成要素は、可変周波数信号源105の構成要素か、または異なる回路の構成要素であってもよい。一例では、回路の構成要素は集積回路に含まれてもよい。一例では、内因性のパラメータは可変周波数信号源105における温度依存抵抗器の抵抗である。したがって、このような例において、内因性のパラメータは温度に応答する。

【 0 0 1 1 】

一例では、可変周波数信号源105のサイクルを計数回路115がカウントする。いつ計数回路115がカウントするかと、各カウントが計数回路115の累積値を増加または減少させるかどうかとをタイミング回路155が決定する。この例において示されるように、タイミング回路155は、比較開始150コマンドを受取り、アナログ入力135で受取られるアナログ信号の比較を行なう。タイミング回路155は、随意であるが、一例では刺激である随意モード選択信号165を与えてもよく、当該刺激は、刺激の前と刺激の後とでのアナログ信号の比較のための基準として機能する。一例では、この刺激は、アナログ入力135で受取られるアナログ信号の値に影響を与える可能性のある変化である。一例では刺激は、タイマが比較開始150コマンドを受取った後で起こる。当該刺激は

したがって、刺激の後のアナログ信号の値が刺激の前のアナログ信号の値と比較される際には、当該アナログ信号の2つの値の比較のための基準時間である。

【0012】

一例では、計数回路115は、アップダウンカウンタと呼ばれることがある双方向性カウンタであり、可変周波数信号源105から反復信号110を受取る。計数回路115は、複数のデジタルビットを含み得るシリアルまたはパラレルデジタルカウント信号120のいずれかとして、カウントの値を送出する。タイミング回路155からのカウントアップ信号140およびカウントダウン信号145は、計数回路115がどのように可変周波数信号源105からの信号110の反復サイクルにตอบสนองするかを決定する。計数回路115は、可変周波数源105からの信号110の各サイクルについて、当該カウントの値を増加、当該カウントの値を減少、または当該カウントが変化しないままにしてもよい。

10

【0013】

この例において示されるように、カウントアップ信号140およびカウントダウン信号145はタイミング回路155から受取られる。一例では、タイミング回路155は比較開始信号150にตอบสนองしてタイミングシーケンスを始める。タイミングシーケンスの間、タイミング回路155は、カウントアップ信号140、カウントダウン信号145、随意モード選択信号165、およびタイミング完了信号160をアサートしてもよい。タイミングシーケンスが完了すると、タイミング回路155はタイミング完了信号160をアサートする。図2にて、これらの信号のタイミングの一例が以下に詳述される。随意モード選択信号165が与えられない例においては、タイミング回路155も含まれず、カウントアップ信号140、カウントダウン信号145、およびタイミング完了信号160は外部源から計数回路115および評価回路125に与えられる。

20

【0014】

示される例において示されるように、評価回路125は、デジタルカウント信号120およびタイミング完了信号160を受取り、決定信号130を作り出す。決定信号130は、この発明の教示に従って、アナログ入力135の比較の結果に対する所望の応答を作り出すよう結合される。たとえば、比較の結果が望ましくなければ、決定信号130は、アナログ信号において変化を作り出した刺激の反転を命じてもよい。比較の結果が望ましいか、または重要でないかのいずれかの場合、決定信号130は何の動作も起こさなくてもよい。

30

【0015】

図2は、この発明の教示に従った図1に示される時間差アナログ比較器の一例からの3つの信号の代表的な時間関係200を示す。図2に示される例は、時間間隔 T_B 220と時間間隔 T_A 240との間に外部パラメータを変化させ、これによりアナログ入力135における変化を刺激するよう用いられる、タイミング回路155によって生成される随意モード選択信号165を示す。図2に示される例において、時間間隔 T_B はアナログ入力135における変更の前に来、時間間隔 T_A はアナログ入力135における変更の後に来る。

【0016】

一例では、図2に示されるアナログ入力135は、スイッチモード電源のような電気回路の温度を示す電気信号であってもよい。別の例では、アナログ入力135は自動車の燃料消費を示すものであってもよい。さらに別の例では、図2に示されるアナログ入力135は、自動車のエンジンからの排気ガスの濃度を示してもよい。電源を対象とする例では、随意モード選択信号165は、電源のモードを変化させ、電源の効率を向上するよう用いられてもよい。自動車を対象とする例では、随意モード選択信号165は、エンジンを自動車のホイールに結合するトランスミッションのギヤ比を変化させてもよい。このような例において、比較の目的は、ギヤ比の変化がアナログ入力135において望ましい変化を引起すかどうかを判断することであり得る。このような例において、決定信号130は、現在のギヤ比に留まるほうがよりよいのか、異なるギヤ比を選択するほうがよりよいのかどうかを示すよう用いられ得る。単純な例では、評価回路125は単に、双方向性カウ

40

50

ンタからのカウントがタイミング間隔 $T_A 240$ の終わりに 0 より大きいかどうかを示す。当然ながら、上述した例は単に説明目的のために与えられる例であり、この発明の教示に従って他の適用例が用いられてもよいということが理解される。

【0017】

図2に示される例を再び参照すると、比較開始信号 150 は、時間 $t_0 210$ でタイミング回路 155 に対してアサートされ、これにより後で論じるように、タイミングイベントのシーケンスを始める。その一方、時間 $t_0 210$ での随意モード選択信号 165 はロー状態にあり、第1のモードを選択する。時間 $t_0 210$ では、タイミング回路 155 が計数回路 115 を始動させ、時間間隔 $T_B 220$ の持続時間の間、信号 110 のサイクルを第1の方向にカウントする。時間間隔 $T_B 220$ の終わりでは、計数回路 115 は可変周波数信号源 105 の N_B 周期をカウントし、タイミング回路 155 は、休止間隔 $T_P 230$ の持続時間の間、カウンタを休止させる。計数回路 155 のカウントは休止間隔 $T_P 230$ の間は変化しない。休止間隔 $T_P 230$ の間、随意モード選択信号 165 はロー状態から第2のモードの選択を示すハイ状態に変化する。

10

【0018】

図2に示される例において、アナログ入力 135 は、大きさの減少を伴ってモードの変化に応答する。可変周波数信号源 105 は、信号 110 の周波数を変化させることにより、アナログ入力 135 における変化に対して応答する。タイミング回路 155 は次いで、計数回路 115 に、時間間隔 $T_A 240$ の間、可変周波数信号源 105 からの信号 110 のサイクルを第1の方向と反対の第2の方向にカウントさせる。時間間隔 $T_A 240$ の終わりに、計数回路 115 は可変周波数信号源 105 からの信号 110 の N_A のサイクルをカウントしている。結果得られるデジタルカウント 120 は、カウント N_B と N_A との差である。したがって、この発明の教示に従って、時間間隔 $T_A 240$ の終わりに得られるデジタルカウント 120 は、休止間隔 $T_P 230$ の後のアナログ入力 135 が、休止間隔 $T_P 230$ の前のアナログ入力 135 とどのように異なるかを示すことになる。

20

【0019】

$T_B 220$ は、結果において所望のオフセットを達成するよう $T_A 240$ と異なり得るが、多くの例では、休止間隔 $T_P 230$ の前の時間間隔 $T_B 220$ は休止間隔 $T_P 230$ の後の時間間隔 $T_A 240$ と等しい。休止間隔 $T_P 230$ は通常は、モードが変化するとともにパラメータが安定するのに十分長い。いくつかの例において、休止間隔 $T_P 230$ は、計数回路 115 が方向を変更するためにのみ必要な時間であってもよい。したがって、いくつかの例では、休止間隔 $T_P 230$ は実質的に 0 であってもよい。他の例では、休止間隔 $T_P 230$ は、時間間隔 $T_A 240$ および時間間隔 $T_B 220$ よりも実質的に長くてもよい。他の例では、休止間隔 T_P は、計数回路 115 を抑制する代わりに、可変周波数信号源 105 を一時的に停止することにより達成されてもよい。

30

【0020】

一例では、タイミング回路 155 は、実質的に固定された周波数を有するオシレータからのタイミング情報に응答するデジタル間隔カウンタであってもよい。別の例では、タイミング回路 155 はアナログタイマであってもよく、たとえば所望の時間間隔内で電圧しきい値に到達するようキャパシタを充電および放電させるものである。

40

【0021】

図3は、この発明の教示に従った図1に示される例における要素を用いる、アナログ信号の時間差比較のための例示的な方法を示すフロー図 300 である。図3のフロー図 300 において、計数回路 115 はカウンタと呼ばれ、タイミング回路 155 はタイマと呼ばれ、可変周波数信号源 105 はオシレータと呼ばれる。この例に示されるように、比較処理はブロック 305 において始まる。ブロック 310 では、比較開始信号 150 をアサートし、比較のためのシーケンスを始める。ブロック 315 において、計数回路 115 およびタイミング回路 155 は初期値に設定される。ブロック 320 において、タイミング回路 155 はタイミングを開始する。ブロック 325 において、計数回路 115 は、可変周波数信号源 105 からの反復信号 110 のサイクルを第1の方向にカウントし、各カウ

50

トされた周期の後のカウントを更新する。ブロック 330 では、ブロック 320 の開始からのタイミング回路 155 の経過時間をチェックする。計数回路 115 は、持続時間 T_B 220 の間、可変周波数信号源 105 からの反復信号 110 のサイクルをカウントし続ける。次いで、ブロック 335 において、計数回路 115 は停止する。

【0022】

一例では、ブロック 335 において、タイミング回路 155 は計数回路 115 を停止するが、可変周波数信号源 105 は発振し続ける。別の例では、タイミング回路 155 は可変周波数信号源 105 を停止させ、計数回路 115 がカウントするのを停止させる。ブロック 340 において随意モード選択信号 165 で随意にモードが変化され得る休止の後、計数回路 115 は、ブロック 345 において、可変周波数信号源 105 のサイクルを第 2 10
の方向にカウントする。第 2 の方向は第 1 の方向と反対である。別の例では、モードは、ブロック 340 における休止の間に随意に変化せず、第 2 の方向でのカウントは当該休止の後に行なわれる。いずれの例においても、第 1 の方向が計数回路 115 を各カウントに対してインクリメント、すなわちカウントアップする場合、第 2 の方向は計数回路 115 を、時間間隔 T_B 220 の終わりに計数回路 155 が累積した数 N_B からデクリメント、すなわちカウントダウンする。ブロック 350 では、ブロック 340 における休止の終わりのタイミング回路 155 の経過時間をチェックする。計数回路 115 は、持続時間 T_A 240 の間、可変周波数信号源 105 からの信号 110 のサイクルをカウントし続ける。次いで、ブロック 355 において、計数回路 110 はカウントすることを停止する。評価回路 125 は、ブロック 360 において当該カウントの値を解釈し、ブロック 365 10
において決定信号 130 を生成する。処理はブロック 370 で終わる。

【0023】

要約書に記載されるものを含む、この発明の示された例の上記の記載は、網羅的であるということ、または開示された形態そのものに限定されるということを意図しない。この発明の具体的な実施例、およびこの発明についての例は、本明細書において例示的な目的のために記載されるが、この発明の広範囲の精神および範囲から逸脱することがなければ、さまざまな均等な修正例が可能である。

【0024】

これらの修正例は、上記の詳細な説明に鑑みて、この発明の例に対してなされ得る。特許請求の範囲に用いられる文言は、明細書および特許請求の範囲において開示される具体的 30
な実施例にこの発明を限定するよう解釈されるべきではない。そうではなく、範囲は特許請求の範囲によって完全に決定されるべきであり、特許請求の範囲は、請求項の解釈の確立された原則に従って解釈されることになる。本明細書および図は従って、限定的ではなく例示的なものとしてみなされることになる。

【図面の簡単な説明】

【0025】

【図 1】この発明の教示に従った、アナログ信号の時間差比較を実現する装置のブロック図の一例を概して示す図である。

【図 2】この発明の教示に従った、アナログ信号の時間差比較を実現する例示的な装置の 3 つの信号の代表的な波形を示す図である。 40

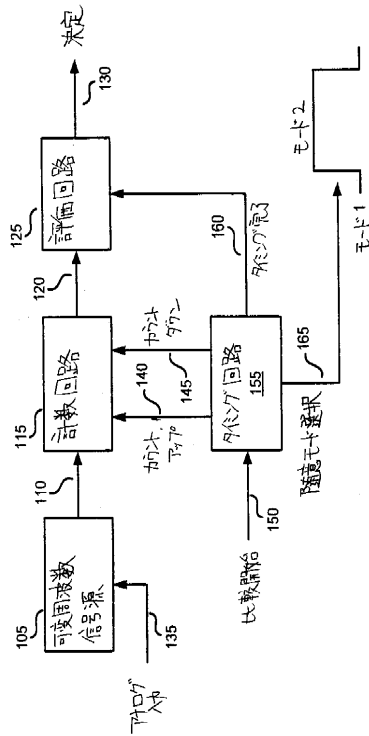
【図 3】この発明の教示に従った、アナログ信号の時間差比較を行なう例示的な方法を示すフロー図を示す図である。

【符号の説明】

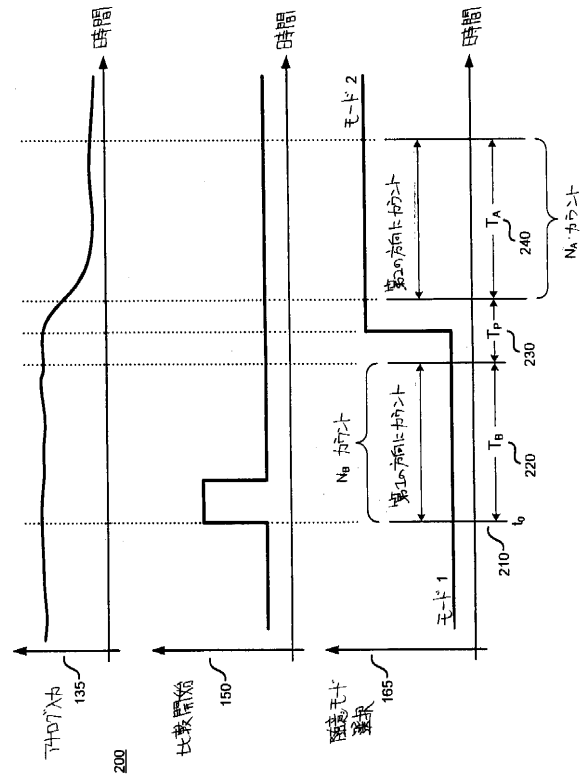
【0026】

135 アナログ入力、 105 可変周波数信号源、 115 計数回路、 T_B 220 時間間隔、 T_A 240 時間間隔、 155 タイミング回路、 125 評価回路。

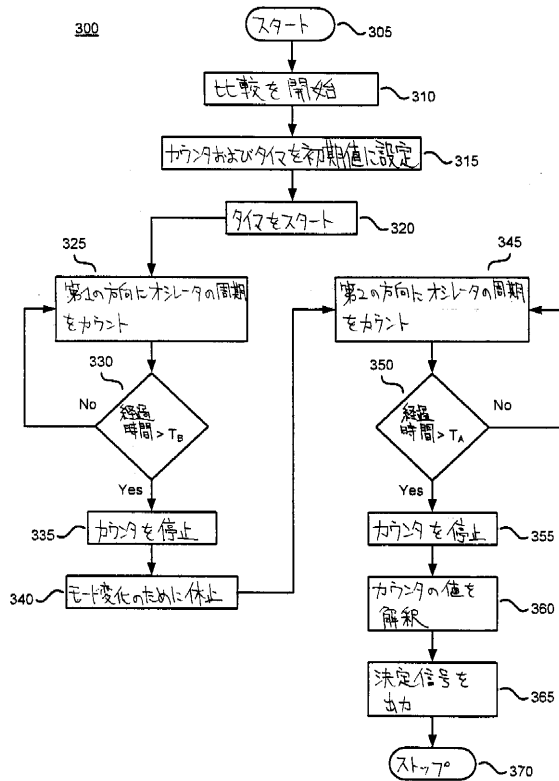
【図 1】



【図 2】



【図 3】



フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 ウィリアム・エム・ポリフカ

アメリカ合衆国、9 5 0 0 8 - 1 9 6 4 カリフォルニア州、キャンベル、チェリー・ブロッサム
・レーン、5 0 0

審査官 柳下 勝幸

(56)参考文献 特開昭5 6 - 1 4 4 6 3 5 (J P , A)

特開昭5 5 - 1 6 2 1 4 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 M 1 / 0 0 - 1 / 8 8