

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有改善的逆向突波能力及減少的漏電流的多晶矽層之齊納二極體

Zener diode having a polysilicon layer for improved reverse surge capability and decreased leakage current

【技術領域】

[0001] 本發明是關於具有改善的逆向突波能力及減少的漏電流的多晶矽層之齊納二極體。

【先前技術】

[0002] 齊納二極體為雙端電子裝置，其當順偏（forward-biased）時，亦即以單向傳導時，表現為習用的電晶體，但是當在一定的臨界電壓之上而逆偏（reverse-biased）時，以逆向方向傳導。術語「齊納二極體（Zener diode）」係傳統的應用到由在習用的半導體材料（例如，矽）中形成的 p-n 接面組成的裝置，其接面例如逆向偏壓在約 5 伏特以上的電位而遭受累增崩潰（avalanche breakdown），並且這類裝置可被利用在電壓調節和電路保護電路。

[0003] 理想化的齊納二極體之電流（I）對電壓（V）曲線圖係闡述於圖 1 中，從圖 1 中明顯的是，當逆

偏在一定的電壓之上，亦即齊納臨界電壓（Zener threshold voltage），例如通常約高於 5V，對於矽為基的裝置來說，發生了在逆向電流上的突然上升。因此，當順偏時，齊納二極體作用為普通的整流器（rectifier），但是當逆偏時，在其 I-V 曲線圖中，展現膝點（knee）或尖銳的轉折。齊納累增或崩潰之特性是，一旦傳導在逆偏之下發生時，在當進一步增加逆向電流時，橫跨裝置的電壓保持基本上的恆定，直到最大可允許的消耗額定（dissipation rating）為止。由於此特性行為，齊納二極體找到功用，特別是如電壓調節器、電壓基準（voltage reference）以及過電壓保護器（overvoltage protector）。

[0004] 在突波事件期間，理想的是，限制橫跨裝置的壓降（voltage drop）到最小值。據此，齊納二極體之重要特性為其逆向突波能力（reverse surge capability）。

【發明內容】

[0005] 依據本發明的一態樣，提供了像是齊納二極體的半導體裝置。半導體裝置包括第一導電性類型（conductivity type）之第一半導體材料以及與第一半導體材料接觸的第二導電性類型之第二半導體材料，用以在其之間形成接面。第一氧化物層設置在第二半導體材料之一部分之上，使得第二半導體材料之剩餘部分被曝露。多晶矽層設置在第二半導體材料之曝露部分以及第一氧化物層之一部分上。第一導電層設置在多晶矽層上。第二導電

層設置在相對與第二半導體材料接觸的第一半導體材料之表面的第一半導體材料之表面上。

[0006] 依據本發明另一態樣，提供製造半導體裝置的方法。方法包括在自具有第一導電性類型的第一半導體材料所形成的半導體基板的一部分之上形成第一氧化物層。保護層係形成在半導體基板之第一表面以及第一氧化物層上。第二導電性類型之摻雜劑通過保護層被引進半導體基板中以形成接面層，其界定具有半導體基板的接面。第一導電層係形成於接面層之上。第二導電層係形成在相對半導體基板之第一表面的半導體基板之第二表面上。

【圖式簡單說明】

[0007] 圖 1 繪示理想化齊納二極體之電流（I）對電壓（V）曲線圖。

[0008] 圖 2 繪示具有改善的逆向突波能力及減少的漏電流之齊納二極體的一範例。

[0009] 圖 3~9 繪示可採用以製造如圖 2 所繪示的齊納二極體的處理步驟的之順序的一範例。

【實施方式】

[0010] 如下面的詳細說明，提供具有改善的逆向突波能力及減少的漏電流之齊納二極體。雖然此改善將按一解說性的齊納二極體設計來說明，但是於些說明的方法及技術相等地應用到多種多樣的齊納二極體組態以及其它類

型的暫態電壓抑制器 (transient voltage suppressor)。

[0011] 圖 2 繪示具有改善的逆向突波能力的齊納二極體之一範例。如所繪示的，齊納二極體 100 包括以第一導電性類型的摻雜劑重摻雜的半導體基板 110，其在此範例中為 P 型摻雜劑。第二導電性類型之接面層 120 係在基板 110 中形成。在此範例中，接面層 120 具有 N+型導電性。P-N 接面位於半導體基板 110 及接面層 120 之間的介面。多晶矽層 130 係設置於接面層上。作為電極的第一導電材料 140 係設置在多晶矽層 130 上。同樣的，亦作為電極的第二導電材料 150 係設置在基板 110 之背表面上。齊納二極體 100 亦包括設置在基板 110 上的第一氧化物層 160 且其如用以形成接面層 120 之部分的光微影成像處理 (photolithographic process) 被形成且蝕刻。此外，第二氧化物層 170，像是低溫氧化物 (LTO; low temperature oxide)，其第一部分係設置於第一氧化物層 160 上，並且其第二部分夾在多晶矽層 130 和第一導電材料 140 之間。第二氧化物層 170 係如用以形成第一導電材料 140 之部分的光微影成像處理被形成且蝕刻。

[0012] 在圖 2 所繪示的齊納二極體之製造處理期間，多晶矽層 130 係有益的在接面層 120 前形成。接著使用佈植 (implantation) 或其它摻雜處理來將摻雜劑沈積到多晶矽層 130 上。接著施用隨後的熱處理來驅使摻雜劑通過多晶矽層 130 且進入基板 110。已發現以此方式使用多晶矽層 130 改善齊納二極體之逆向突波能力及漏電流兩

者。

[0013] 沒有被任何操作之理論綁定之下，多晶矽層被相信會降低由用以形成接面層 120 之摻雜處理所造成的缺陷。當摻雜劑藉由佈植等直接被引進基板 110 時，典型地將缺陷造成到基板內的某一深度。這些缺陷可不利地衝擊導致的裝置之逆向突波效能以及漏電流。然而，藉由將摻雜劑引進上至且通過多晶矽層，能降低在基板中的缺陷。

[0014] 可用以製造如圖 2 所繪示的齊納二極體的處理之一範例係連同圖 3~9 說明於下。

[0015] 圖 3 為半導體基板及氧化物層之剖面視圖。在一實施例中，基板 210 為低電阻率（resistivity），具有在約 1×10^{-3} ohm-cm 到 5×10^{-3} ohm-cm 之範圍中的電阻率之 P⁺-型<111>方向單晶矽（orientation monocrystalline silicon）。矽晶格（silicon crystal lattice）方向能可選擇的為<100>。在替代的實施例中，基板 210 係由其它類型的半導體材料所組成，像是砷化鎵（gallium arsenide）。進一步可了解的是，亦能以對製造處理相應的調整而使用 N 型基板。在一實施例中，P+型矽基板係以硼來摻雜。當然可了解的是，亦可在替代中使用其它摻雜劑。

[0016] 下一步，形成氧化物層 220。在一實施例中，氧化物層 220 可藉由將晶圓（wafer）曝露到大約 1000°C 約 200 分鐘以及到大約 1200°C 額外的 200 分鐘之環境。在此時間期間，加熱的半導體材料被曝露到氮及氧氣體之

混合。在一實施例後，厚度約在 1400 埃（angstrom）到約 1800 埃範圍的二氧化矽之層係生長在此結構之表面上。可了解的是，用於形成氧化物層的其它處理能連同本發明使用。進一步，氧化物層能為不同厚度的。

[0017] 下一步，施行光微影步驟以在氧化物層中建立開口。首先，如圖 4 所示，施塗光抗蝕劑（photoresist）材料 222 到氧化物層 220 之表面。在一實施例中，光抗蝕劑被施塗在約 1.3 微米之厚度。光抗蝕劑材料 222 曝露到通過圖樣罩幕層（pattern mask）的光，並且接著從氧化物層之表面移除光抗蝕劑材料之曝露部分。在一實施例中，依據經轉移到光抗蝕劑的圖樣細節使用反應離子蝕刻（「RIE」；Reactive Ion Etching）技術從結構之表面蝕刻氧化物。亦了解的是，能使用其它氧化蝕刻處理作為對反應離子蝕刻處理的替代。在光抗蝕劑覆蓋面積之下的氧化物區域並未在蝕刻處理中被移除。

[0018] 如圖 5 所繪示，如上所述蝕刻氧化物層 220 之中央部分以形成窗 215。片段 220a 對應到未曾被蝕刻的氧化物層 220 之部分。在一實施例中，在下一個步驟之前從具有光抗蝕劑溶出液（photoresist stripping solution）的晶圓移除剩餘的光抗蝕劑。多晶矽（其可不摻雜）然後沈積在基板 210 和至少部分的氧化物層 220a 之上以形成多晶矽層 250。在一些實施例中，多晶矽層 250 可具有 1 到 4 微米之間的厚度。

[0019] 接著施行離子佈植處理。剩餘未曾被蝕刻掉

的氧化物形成硬式罩幕 (hard mask) 以防止離子通過其中使得他們不會進入基板 210。在一些情形中，剩餘光抗蝕劑材料，約 1.3 微米厚，可留在晶圓上直到離子佈植程序之後，用以於曝露窗之外側的區域中在吸附離子上協助氧化物。

[0020] 離子佈植係由箭頭 225 在圖 5 中所指示。箭頭 225 代表像是磷或砷的 N+型摻雜劑，其被引入到多晶矽層 250 上。在一實施例中，使用在 140KeV 的 1.72×10^{13} 離子/cm² 之劑量的磷之離子佈植，形成大約 1 微米深的層。在替代的實施例中，可在離子佈植處理中使用明顯較低的能量。隨後的擴散步驟係在升高的溫度處施行以驅使離子進一步進入基板 210，藉此形成如圖 6 所繪示的 N+型接面層 240。

[0021] 如圖 7 所繪示，氧化物層 260 係在多晶矽層 250 之上形成。在一些實施例中，氧化物層 260 為低溫氧化物 (LTO; low temperature oxide) 層 260。

[0022] 圖 8 繪示在使用如上所述之光微影技術蝕刻用以形成用於沈積可選擇的鈍化層 (未繪示) 以及導電材料之後的 LTO 層 260 之片段 260a。導電材料 280，其繪示於圖 9，可為合適的金屬，例如像是銀。導電材料 280 係形成在被在 LTO 層 260 中的開口所曝露的多晶矽層 250 的部分之上。導電材料 280 亦在 LTO 層 260 之片段 260a 之上形成。

[0023] 一系列的齊納二極體已使用不同厚度的多晶

矽層來製造用以演示能被達成的逆向突波能力以及漏電流上的改善。結果顯示在用於一系列 5V 二極體以及一系列 7V 二極體的表 1 中。三個樣本在各系列中製造，一者沒有多晶矽而作為控制、一者具有在厚度上 1 微米的多晶矽層以及一者具有 2 微米厚之多晶矽層。已針對各裝置測量最小、平均及最大逆向突波能力以及漏電流。如表 1 所示，逆向突波能力隨著多晶矽厚度增加而增加。同樣的，漏電流隨著多晶矽厚增加而減小，藉此完成裝置結構。

表 1

樣本 編號.	電壓 (V _{wm})	設計多晶 矽厚度 (μ m)	突波 10 x 1000 (Watt)			I _r @ V _{wm} (μ A)		
			最小	平均	最大	最小	平均	最大
1	5V	No	548	615	696	26.0	38.5	81.7
2	5V	1 μ m	601	661	726	18.0	19.8	22.3
3	5V	2 μ m	666	698	710	2.7	3.2	3.7
4	7V	No	441	565	657	3.5	3.7	5.6
5	7V	1 μ m	521	611	704	2.7	3.2	3.8
6	7V	2 μ m	618	668	711	2.7	3.1	3.7

[0024] 齊納二極體亦已具有厚於 2 微米的多晶矽層來製造。對於這些裝置，逆向突波能力已發現隨著多晶矽厚度增加超過 2 微米而減小。此推測是由於由多晶矽層所引起的不良的散熱 (thermal dissipation)。據此，在些許接面缺陷與不良的熱散逸之間的權衡已造成用於 5 和 7V

齊納二極體之約 1 到 2 μm 之最佳多晶矽厚度。

[0025] 然而，對於這些相同裝置，隨著多晶矽層厚度已增加到 4 μm 而漏電流已持續減少，此厚度已為樣本測試厚度限制。對於具有 4 μm 厚度的多晶矽層的漏電流已降低至低於控制樣本的漏電流的十分之一。據此，對於一些低電壓二極體實施例，1~4 μm 之多晶矽層厚度，且特別是 1~2 μm 之層厚度，可提供在逆向突波能力上的增加以及在漏電流上的減少。

[0026] 本領域具有通常知識之該些者將認知的是，使用多晶矽層以改善逆向突波能力係可施用到具有從上所述的不同組態和組成的裝置。再者，從上述該些者的不同製造技術可被採用以製備這些裝置。舉例來說，在一替代的實施例中，將使用半導體基板取代為形成 P-N 接面的一對半導體層之一者，界定 P-N 接面的兩個層可藉由離子佈植等在半導體基板中形成。

[0027] 在其它實施例中，不同於多晶矽的材料可用以形成此層，透過此層摻雜劑被引入以形成接面層。可採用任何適當的材料，其能作為保護層，其保護基板表面避免於摻雜處理期間出現的損害。使用像是多晶矽的材料（其為導電的）之益處為其不需要在完成摻雜處理之後被移除。舉例來說，在當氧化層可被使用代替多晶矽層的同時，氧化層將需要在摻雜結構之後被移除，由於其非導電的材料。

[0028] 在當示範性實施例及本發明之特別應用已繪

示及說明的同時，顯而易見的是，許多本發明的其它修改與應用在不悖離於此揭示的發明構思下是可能的。因此，要了解的是，在所附之申請專利範圍的範圍內，除了如具體說明的以外本發明可被實行，除非在所附申請專利範圍之精神外，本發明不受限制。雖然本發明之特徵的一些者可以依附關係來請求，但若獨立的使用，各個特徵可具有價值。

【符號說明】

[0029]

- 100：齊納二極體
- 110：基板
- 120：接面層
- 130：多晶矽層
- 140：第一導電材料
- 150：第二導電材料
- 160：第一氧化物層
- 170：第二氧化物層
- 210：基板
- 220：氧化物層
- 222：光抗蝕劑材料
- 215：窗
- 220a：片段
- 240：接面層

250：多晶矽層

260：氧化物層

260a：片段

280：導電材料

I648770

發明摘要

※申請案號：103133534

※申請日：103 年 09 月 26 日

※IPC 分類：

【發明名稱】(中文/英文)

具有改善的逆向突波能力及減少的漏電流的多晶矽層
之齊納二極體

Zener diode having a polysilicon layer for improved reverse surge
capability and decreased leakage current

【中文】

像是齊納二極體的半導體極裝置包括第一導電性類型的第一半導體材料以及與第一半導體接觸的第二導電性類型的第二半導體材料，用以在其之間形成接面。第一氧化物層係設置在第二半導體材料之一部分之上，使得第二半導體材料之剩餘部分被曝露。多晶矽層係設置在第二半導體材料之曝露部分以及第一氧化物層之一部分上。第一導電層係設置在多晶矽層上。第二導電層係設置在相對與第二半導體材料接觸的第一半導體材料之表面的第一半導體材料之表面上。

【 英文 】

A semiconductor device such as a Zener diode includes a first semiconductor material of a first conductivity type and a second semiconductor material of a second conductivity type in contact with the first semiconductor material to form a junction therebetween. A first oxide layer is disposed over a portion of the second semiconductor material such that a remaining portion of the second semiconductor material is exposed. A polysilicon layer is disposed on the exposed portion of the second semiconductor material and a portion of the first oxide layer. A first conductive layer is disposed on the polysilicon layer. A second conductive layer is disposed on a surface of the first semiconductor material opposing a surface of the first semiconductor material in contact with the second semiconductor material.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

100：齊納二極體

110：基板

120：接面層

130：多晶矽層

140：第一導電材料

150：第二導電材料

160：第一氧化物層

170：第二氧化物層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

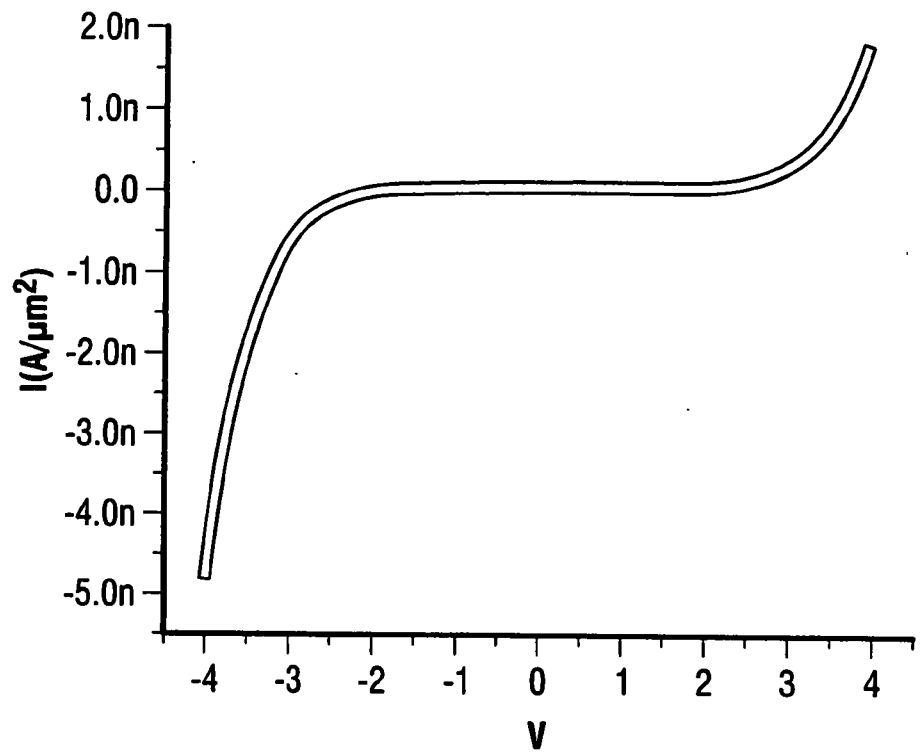


圖 1

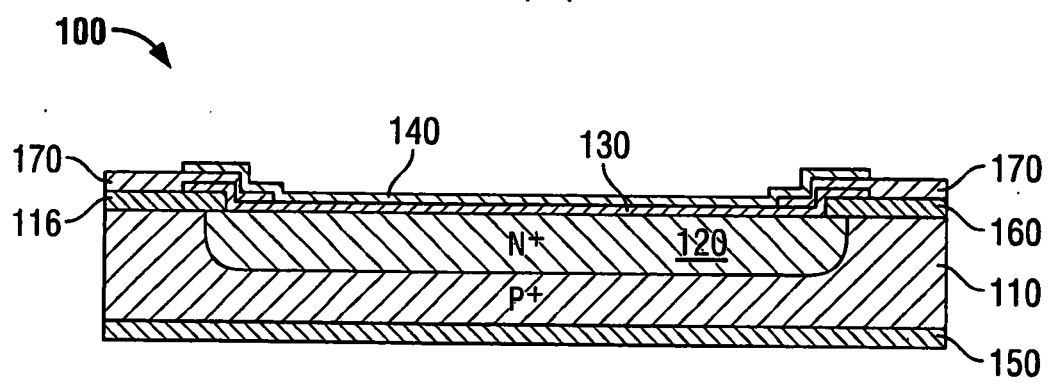


圖 2

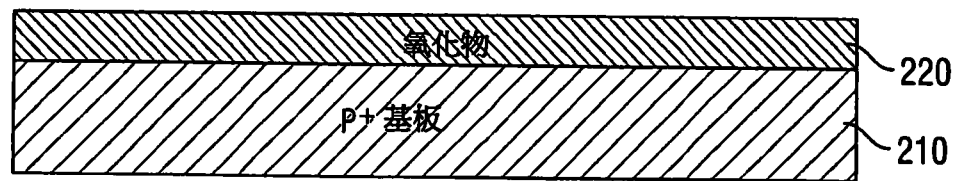


圖 3

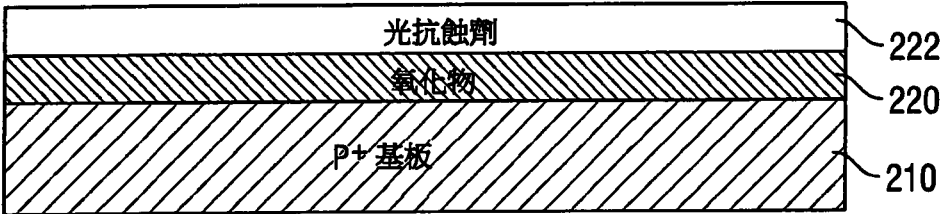


圖 4

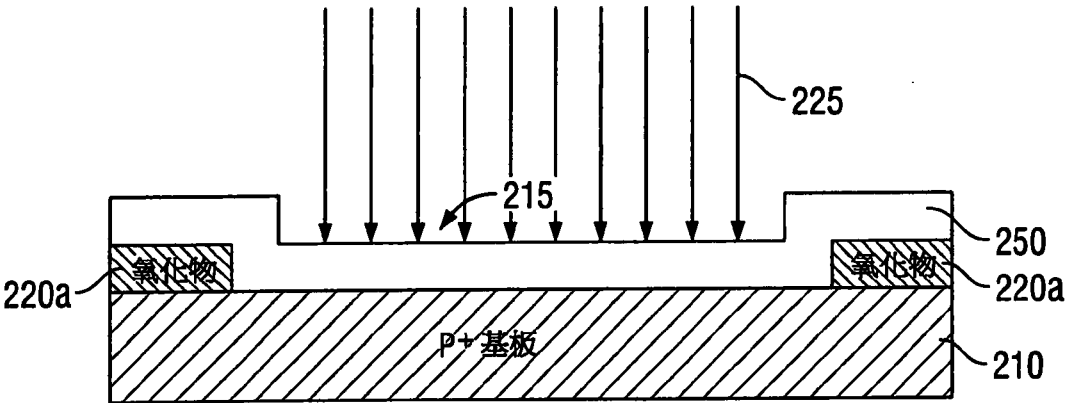


圖 5

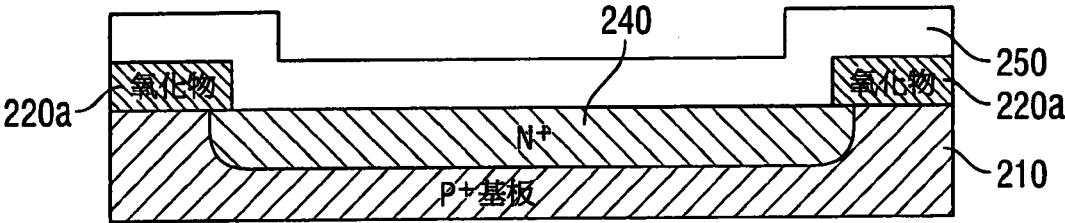


圖 6

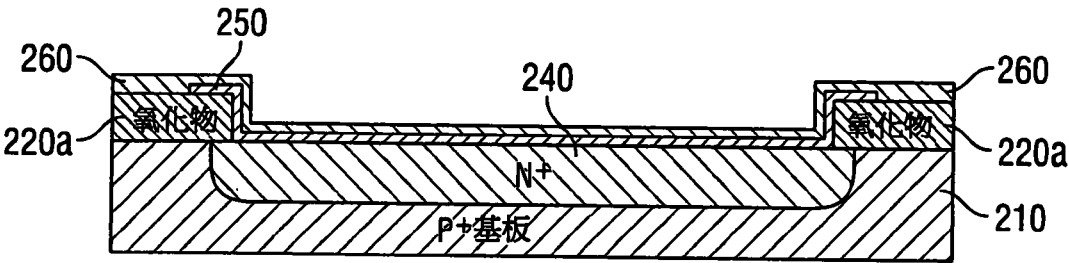


圖 7

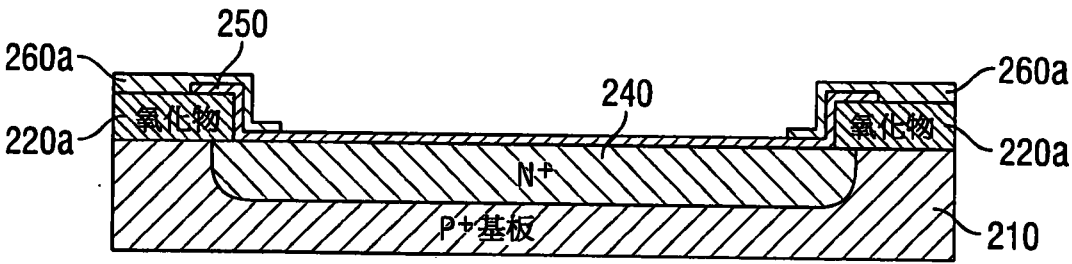


圖 8

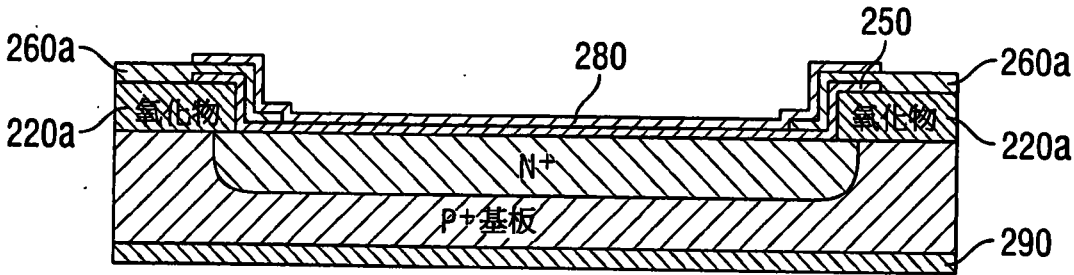


圖 9

申請專利範圍

1. 一種半導體裝置，包含：

第一導電性類型的第一半導體材料；

與該第一半導體材料接觸的第二導電性類型的第二半導體材料，用以在其之間形成接面；

第一氧化物層，設置在該第二半導體材料之一部分之上，使得該第二半導體材料之剩餘部分被暴露；

多晶矽層，設置在該第二半導體材料之暴露部分以及該第一氧化物層之一部分上且與之接觸；

第一導電層，設置在該多晶矽層上；以及

第二導電層，設置在相對與該第二半導體材料接觸之第一半導體材料之表面的該第一半導體材料之表面上。

2. 如申請專利範圍第 1 項的半導體裝置，更包含第二氧化物層，設置在第一氧化物層和該多晶矽層之一部分上。

3. 如申請專利範圍第 2 項的半導體裝置，其中該第二氧化物層包括低溫氧化物（LTO）。

4. 如申請專利範圍第 1 項的半導體裝置，更包含半導體基板，該第一半導體材料為設置在該基板上或中的第一半導體層。

5. 如申請專利範圍第 1 項的半導體裝置，更包含半導體基板，其包括該第一半導體材料。

6. 如申請專利範圍第 1 項的半導體裝置，其中該多晶矽層具有在 1 與 4 微米之間的厚度。

7. 如申請專利範圍第 1 項的半導體裝置，其中該多晶矽層具有在 1 與 2 微米之間的厚度。

8. 一種齊納二極體，包含：

半導體基板；

形成在該基板上或中的 P-N 接面；

多晶矽層，與第一半導體層接觸，該第一半導體層與第二半導體層接觸用以在其之間界定 P-N 接面；

第一氧化物層，位在該基板上且包圍及部分與該第一半導體層重疊；

第一導電層，設置在該多晶矽層上；

第二導電層，設置在相對該第一導電層設置在其之上的該基板之表面的該基板之表面上；以及

第二氧化物層，具有至少設置在與該第一半導體層重疊之一部分的該第一氧化物層上的第一部分和夾在該多晶矽層與該第一導電層之間的第二部分。

9. 如申請專利範圍第 8 項的齊納二極體，其中該第一氧化物層設置在該第一半導體層上且與該多晶矽層接觸。

10. 如申請專利範圍第 8 項的齊納二極體，其中該第二氧化物層包括 LTO。

11. 如申請專利範圍第 8 項的齊納二極體，其中該第二半導體層係由該半導體基板形成。

12. 如申請專利範圍第 8 項的齊納二極體，其中該多晶矽層具有在 1 與 4 微米之間的厚度。

13. 如申請專利範圍第 8 項的齊納二極體，其中該多晶矽層具有在 1 與 2 微米之間的厚度。

14. 一種製造半導體裝置的方法，包含：

從具有第一導電性類型的第一半導體材料所形成的半導體基板的一部分之上形成第一氧化物層，使得該半導體基板之剩餘部分被暴露；

在該半導體基板之第一表面及該第一氧化物層上形成保護層；

將第二導電類型的摻雜劑通過該保護層引入到該半導體基板中以形成接面層，其界定具有該半導體基板的接面；

在該接面層之上形成第一導電層；以及

在相對該半導體基板的第一表面的該半導體基板的第二表面上形成第二導電層。

15. 如申請專利範圍第 14 項的方法，其中該保護層包含導電材料。

16. 如申請專利範圍第 15 項的方法，其中該保護層包含多晶矽。

17. 如申請專利範圍第 14 項的方法，更包含在引入該第二導電類型的摻雜劑之後移除該保護層。

18. 如申請專利範圍第 17 項的方法，其中該保護層包含非導電材料。

19. 如申請專利範圍第 14 項的方法，更包含在升高的溫度擴散在該半導體基板中佈植的摻雜劑。

20. 如申請專利範圍第 14 項的方法，其中該摻雜劑藉由離子佈植引入到該半導體基板中。

21. 一種半導體裝置，包含：

半導體基板；

形成在基板上或中的 P-N 接面；

位在該 P-N 接面之上的保護層，該保護層具有允許第一或第二導電性類型的摻雜劑被引入通過其中的厚度以在該半導體基板中形成接面層，該接面層為界定該 PN 接面的層之其中之一；

第一氧化物層，位在該基板上且包圍及部分與該 P-N 接面重疊；

第一導電層，設置在該保護層上；

第二導電層，設置在相對第一導電層設置在其之上的該基板之表面的該基板之表面上；以及

第二氧化物層，具有至少設置在與該 P-N 接面重疊之一部分的該第一氧化物層和夾在保護層與該第一導電層之間的第二部分。

22. 如申請專利範圍第 21 項的半導體裝置，其中該保護層包含導電材料。

23. 如申請專利範圍第 21 項的半導體裝置，其中該保護層包含多晶矽。

24. 一種齊納二極體，包含：

半導體基板；

形成在該基板上或中的 P-N 接面；

多晶矽層，與第一半導體層接觸，該第一半導體層與第二半導體層接觸用以在其之間界定 P-N 接面；

第一氧化物層，位在該基板上且包圍及部分與該第一半導體層重疊，其中該第一氧化物層設置在該第一半導體層上且與該多晶矽層接觸；

第一導電層，設置在該多晶矽層上；

第二氧化物層，具有至少設置在與該第一半導體層重疊之一部分的該第一氧化物層上的第一部分和夾在該多晶矽層與該第一導電層之間的第二部分；以及

第二導電層，設置在相對該第一導電層設置在其之上的該基板之表面的該基板之表面上。

25. 如申請專利範圍第 24 項的齊納二極體，其中該第二氧化物層包括 LTO。

26. 如申請專利範圍第 24 項的齊納二極體，其中該第二半導體層係由該半導體基板形成。

27. 如申請專利範圍第 24 項的齊納二極體，其中該多晶矽層具有在 1 與 4 微米之間的厚度。

28. 如申請專利範圍第 24 項的齊納二極體，其中該多晶矽層具有在 1 與 2 微米之間的厚度。

29. 一種半導體裝置，包含：

半導體基板；

形成在基板上或中的 P-N 接面；

位在該 P-N 接面之上的保護層，該保護層具有允許第一或第二導電性類型的摻雜劑被引入通過其中的厚度以在

該半導體基板中形成接面層，該接面層為界定該 PN 接面的層之其中之一；

第一氧化物層，位在該基板上且包圍及部分與該 P-N 接面重疊；

第一導電層，設置在該保護層上；

第二氧化物層，具有至少設置在與該 P-N 接面重疊之一部分的該第一氧化物層和夾在保護層與該第一導電層之間的第二部分；以及

第二導電層，設置在相對第一導電層設置在其之上的該基板之表面的該基板之表面上。

30. 如申請專利範圍第 29 項的半導體裝置，其中該保護層包含導電材料。

31. 如申請專利範圍第 29 項的半導體裝置，其中該保護層包含多晶矽。