



(12) 发明专利

(10) 授权公告号 CN 101023583 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 200580031253. 4

(22) 申请日 2005. 08. 23

(30) 优先权数据

60/611, 469 2004. 09. 20 US

11/048, 374 2005. 02. 01 US

(85) PCT申请进入国家阶段日

2007. 03. 16

(86) PCT申请的申请数据

PCT/EP2005/054141 2005. 08. 23

(87) PCT申请的公布数据

W02006/032592 EN 2006. 03. 30

(73) 专利权人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72) 发明人 帕特里克·C·柯比 科林·G·莱登

图德·M·维内雷亚努

(74) 专利代理机构 北京派特恩知识产权代理事

务所(普通合伙) 11270

代理人 张颖玲 武晨燕

(51) Int. Cl.

H03M 1/10 (2006. 01)

(56) 对比文件

Brandon R. Greenley et

al. A 1.4V 10b CMOS DC DAC in

0.01mm*2. SOC Conference, 2003.

Proceedings. IEEE International '

System-On-Chip ' . 2003, 237-238.

Brandon R. Greenley et

al. A 1.4V 10b CMOS DC DAC in

0.01mm*2. SOC Conference, 2003.

Proceedings. IEEE International '

System-On-Chip ' . 2003, 237-238.

审查员 田冰

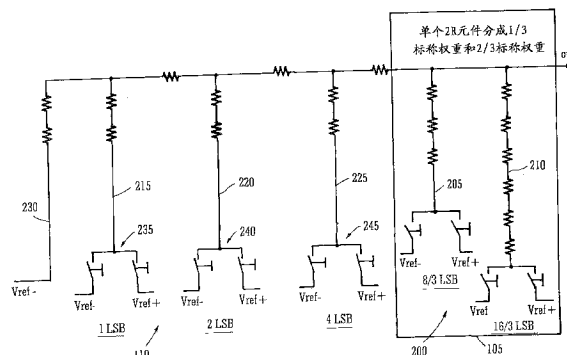
权利要求书 2 页 说明书 6 页 附图 9 页

(54) 发明名称

数模转换器及数模转换方法

(57) 摘要

描述了一种 DAC 架构。所述架构尤其适于基于数字输入字来提供模拟电压输出。所述架构包括电阻器梯配置,所述电阻器梯配置可细分成适于转换所述输入字的低部的第一部件以及适于转换所述输入字的高部的第二部件。所述 DAC 被校准,使得当从所述第二部件中选择特定段时,所述第一部件可以用于调节所述第二部件的输出。



1. 一种适于将数字输入字转换成模拟输出电压信号的数模转换器 (DAC), 所述数字输入字可分成高部和低部, 所述 DAC 包括:

第一电阻器梯 DAC, 其由所述字的低部控制, 并且产生输出电压, 以及

第二电阻器梯 DAC, 其由所述字的高部控制, 并且产生输出电压,

所述第一电阻器梯 DAC 包括多个二进制权重的分支, 所述第二电阻器梯 DAC 包括至少两个分立的段, 对高部的组中的每个段进行开关对 DAC 的输出的影响与对来自数字输入字的低部的多个一位进行开关的影响相对应, 且所述至少两个分立的段合计具有所述字的高部的相应位的标称权重; 其中, 从校准过程得到的开关序列对所述第一电阻器梯 DAC 的分支和所述第二电阻器梯 DAC 的段进行控制, 使得所述 DAC 的输出电压达到期望值, 其中, 所述开关序列确保所述字的低部从来不以全偏差来实施。

2. 根据权利要求 1 所述的 DAC, 其中, 所述第二电阻器梯 DAC 的所述段中的至少一个的权重小于所述字的低部的总权重。

3. 根据权利要求 1 所述的 DAC, 其中, 所述第一电阻器梯 DAC 的梯具有 R-2R 架构。

4. 根据权利要求 1 所述的 DAC, 其中, 所述第一电阻器梯 DAC 的梯具有经比例缩放的 R-2R 架构, 该 R-2R 架构包括具有多个电阻器的支路, 所述支路被链接电阻器分隔。

5. 根据权利要求 4 所述的 DAC, 其中, 与传统的 R-2R 架构相比, 所述链接电阻器中的至少一个被去除, 且根据该去除来对剩余的支路电阻器进行比例缩放。

6. 根据权利要求 1 所述的 DAC, 其中, 所述第一电阻器梯 DAC 设有端接支路, 所述端接支路直接耦合到基准信号。

7. 根据权利要求 1 所述的 DAC, 其中, 所述第一电阻器梯 DAC 耦合到电流源, 所述电流源被配置成将经比例缩放的电流注入所述梯的节点。

8. 根据权利要求 7 所述的 DAC, 其中, 所述注入电流被注入所述梯的端接支路。

9. 根据权利要求 8 所述的 DAC, 其中, 所述端接支路耦合到基准电压, 且多个可开关的支路每个都可开关地耦合到基准电压, 且其中, 所述 DAC 的所述支路中的至少一个还耦合到电流源, 所述电流源适于将经比例缩放的电流注入所述第一电阻器梯 DAC, 以便增大所述 DAC 的分辨率。

10. 根据权利要求 9 所述的 DAC, 其中, 注入所述第一电阻器梯 DAC 的电流相对于所述基准电压来进行比例缩放。

11. 根据权利要求 9 所述的 DAC, 其中, 所述第一电阻器梯 DAC 的支路中提供的电阻的值是所述第二电阻器梯 DAC 的支路中的电阻的值的两倍。

12. 根据权利要求 11 所述的 DAC, 其中, 无需耦合电阻器, 所述第一电阻器梯 DAC 的高支路直接耦合到所述第二电阻器梯 DAC 的低支路, 使得所述第一电阻器梯 DAC 中的支路的电阻是所述第二电阻器梯 DAC 中的支路的电阻的经比例缩放的倍数。

13. 根据权利要求 12 所述的 DAC, 其中, 至少一个支路是分段式的。

14. 根据权利要求 1 所述的 DAC, 其中, 所述 DAC 包括接口解码器, 所述接口解码器被构造造成针对输入用户码选择所述第一电阻器梯 DAC 的字和所述第二电阻器梯 DAC 的字, 使得当所述第二电阻器梯 DAC 的字被选择时, 所述第一电阻器梯 DAC 处于零和满标度之间, 所述接口解码器将输入数字码分成 MSB DAC 字和 LSB DAC 字; 所述 DAC 还包括用于存储所述第二电阻器梯 DAC 的 DNL 和 / 或 INL 误差校正的校准存储器、以及用于将来自所述校准存储

器的所选误差校正与所述 LSB DAC 字相加的加法器。

15. 根据权利要求 14 所述的 DAC, 其中, 在所述 DAC 的生产测试期间, 所述校准存储器被加载有误差校正。

16. 根据权利要求 14 所述的 DAC, 其中, 所述加法器被配置成当所述第二电阻器梯 DAC 的预定段被选择时自动地将所述校正与加载到所述第一电阻器梯 DAC 的码相加。

17. 一种将数字输入字转换成对应的输出电压的方法, 所述方法包括如下步骤:

将所述数字输入字分成低部和高部;

使用第一电阻器梯数模转换器 (DAC) 将所述数字输入字的低部转换成对应的电压输出;

使用第二电阻器梯数模转换器将所述数字输入字的高部转换成对应的电压输出,

所述第一电阻器梯 DAC 包括多个二进制权重的分支, 所述第二电阻器梯 DAC 包括至少两个分立的段, 对高部的组中的每个段进行开关对 DAC 的输出的影响与对来自数字输入字的低部的多个一位进行开关的影响相对应, 且所述至少两个分立的段合计具有所述字的高部的相应位的标称权重; 其中, 从校准过程得到的开关序列对所述第一电阻器梯 DAC 的分支和所述第二电阻器梯 DAC 的段进行控制, 使得所述 DAC 的输出电压达到期望值, 其中, 所述开关序列确保所述字的低部从来不以全偏差来实施。

数模转换器及数模转换方法

技术领域

[0001] 本发明涉及数模转换器 (DAC), 具体而言涉及使用电阻梯配置来实施的 DAC 结构。本发明更为具体地涉及基于 R-2R 配置的 DAC 结构。

背景技术

[0002] DAC 在现有技术中是公知的。它们用于将通常以二进制码形式提供的输入数字信号转换成对应的电压或电流形式的模拟输出信号。这是利用开关或电阻器网络或电流源来实现的。

[0003] 公知的 DAC 结构的例子在 Dempsey 等人的美国专利 5 764 174 (USP'174) 中给出, 该专利转让给本申请的受让人, 该专利的内容通过引用结合于此。USP '174 描述了包括多个支路的 R-2R 梯结构。每个支路都对器件的分辨率有贡献, 以致在该结构中提供的支路越多, 分辨率越高。然而, 当将更多的支路添加到该梯结构中时, 亦必须添加多个需要被适当地比例缩放的对应的开关。开关的添加不是微不足道的工作, 因为每个新的开关需要根据在前的开关来被适当地比例缩放。开关的比例缩放由发明 USP' 174 解决, 该发明提供控制电路, 使得针对基准值来控制开关的导通电阻。但是, 如果期望 DAC 有高分辨率, 则在将开关保持在合理的工作参数以及在电路布局上提供足够的面积来容纳大数量的开关方面, 仍然存在问题。

[0004] 高分辨率 DAC 的另一个问题是 DAC 的线性和单调性受到部件匹配的限制。随机部件失配可能减小 DAC 结构的单调性和线性。该问题传统上通过激光微调部件调整它们的值来解决, 或者通过在板上合并校准电路来解决。

[0005] 因此, 有必要提供一种适于提供高 DAC 分辨率并且有助于 DAC 线性误差的校准的 DAC 配置。

发明内容

[0006] 因此, 本发明的第一实施例提供了适于将数字输入字转换成模拟输出电压信号的数模转换器 (DAC), 所述字分成高部和低部, 该 DAC 包括: 第一部件, 其包括由所述字的低部控制的电阻器梯 DAC 并产生输出电压; 以及第二部件, 其包括由所述字的高部控制的电阻器梯 DAC 并产生输出电压。第二部件是分段式的, 各个段中的至少一个具有小于所述字的高部的 1LSB 的权重, 且第一部件进一步适于响应于第二部件的段的选择而调节第二部件的输出。

[0007] 本发明的优选特征由这里所附的独立权利要求提供。有利的实施例在从属权利要求中提供。

[0008] 所述梯典型地以 R-2R 拓扑或其修改版本提供。在这种对标准 R-2R 结构的修改中, 链接电阻器 R' 中的一些被去除, 且剩余的 DAC 电阻器被比例缩放。这以电阻器面积为代价增大了第一部件或低 DAC 部分的阻抗, 但减小了 DAC 中流动的电流, 并且还减小了与 DAC 低部中的电阻器值有关的开关和布线不理想的影响。

[0009] 通过将 DAC 的低部耦合到电流源, 电流源被配置成将经比例缩放的电流 (与基准有关) 注入 R-2R 梯的节点, 本发明针对给定分辨率提供了总 DAC 面积的最小化, 并减小了开关比例缩放问题。这样的注入可以被添加到梯的任何节点, 但典型地耦合到端接电阻器的顶。

[0010] 参考下面的附图将更好地理解本发明的上述以及其它特征。

附图说明

[0011] 现在将参考附图来对本发明进行描述, 其中:

[0012] 图 1 是根据用于实践本发明的第一说明性实施例的 DAC 配置的示意图;

[0013] 图 2 是根据图 1 的实施例的 4 位 DAC 架构的例子;

[0014] 图 3 是根据第二说明性实施例的 DAC 架构的例子;

[0015] 图 4 是根据第三实施例的 DAC 架构的例子;

[0016] 图 5 是可以与图 4 的实施例一起使用的电流源的例子;

[0017] 图 6A、6B 和 6C 是合并了图 2、3 和 4 中图示的所有三个实施例的 DAC 架构的示意图; 以及

[0018] 图 7 是示出第四说明性实施例的示意图。

具体实施方式

[0019] 现在将参考图 1 到图 6 对本发明进行描述。如图 1 所示, 根据实践本发明的 DAC 的第一说明性实施例, 提供了适于将输入数字信号转换成模拟输出信号的数模转换器 100。该转换器包括: 高部 105, 其负责转换包括数字输入字的最高有效位 (MSB) 的数字输入字的第一部分; 以及低部 110, 其负责转换数字输入字的剩余部分 (即最低有效位 LSB)。高部的电阻 R2 可以小于低部的电阻 R1。应理解, 本发明的 DAC 将输入字转换成对应于该输入字的单个模拟输出。然而, 为便于解释, 可以认为输入字可以被分成两个子字 (sub-word): 包含输入字的最低有效位 (LSB) 的第一子字以及包含输入字的最高有效位 (MSB) 的第二子字, 两个子字中的每个都由 DAC 的一部分进行转换。根据本发明, 低部不仅为输入字的 LSB 提供对应的模拟输出电压信号, 而且可以用于调节高部。

[0020] 应理解, 图 2 所示为被实施为 4 位 DAC 的图 1 中的配置的示例实施例, 高部 105 包括第一段组 200, 这里示出为两个段 205、210。低部被提供为采用传统 R-2R 配置的三个支路 215、220、225, 其中低部的每个支路提供对 DAC 的输出有贡献的 1LSB、2LSB 或 4LSB。端接支路 230 耦合到典型地为地信号的 V_{ref-} 。低部的三个支路中的每个分别通过开关 235、240、245 可开关地耦合于 V_{ref-} 和 V_{ref+} 之间。

[0021] 对高部的组中的每个段进行开关对 DAC 的输出的影响与对来自数字输入字的低部的多个一位进行开关的影响 (其等价于小于所述字的高部的一个 LSB 的权重) 相对应。在图 2 中的 4 位 DAC 的实例中, 第一段设有 $8/3$ LSB 的权重, 而第二段设有 $16/3$ LSB 的权重 (等价于所述字的高部的位的标称权重的 $1/3$ 和 $2/3$)。当高部的两段一起开关时, 效果等于如在标准 R-2R 装置中的 8LSB。但是, 这些元件也可以被独立地开关, 对输出产生 $8/3$ LSB 和 $16/3$ LSB 的影响。因此, 此段组可视为提供了开关电阻, 该开关电阻对 DAC 输出的影响超越 (straddle) 了前面的支路的影响。考虑到电阻器的匹配 (这对每个过程是已知的), 可以修改图 2 的 DAC 结构以保证在 DAC 内部存在将接近所有的所需输出电压的开关组合。校

准算法于是成为一种将输入码映射成产生所需输出的开关码的技术。

[0022] 图 2 还指示了每个可开关元件的位权重。这是当每个位被开关时对 DAC 输出的影响。如所预期的那样,对于 4 位 DAC,当所有元件被开关时,输出等于 15LSB。下面的表 1 示出了两个可能的开关序列,其等于或接近期望传递函数:输出=码×LSB。在不存在电阻器误差的情况下,序列 1 给出了每个输入码的理想输出。在从码 7 到码 8 的中间级转换存在正 DNL 误差(8/3 或 16/3 权重太大或者两者权重都太大)的情况下,如果使用开关序列 1,则该 DAC 不能被校正。如果选择第二序列,那么在不存在失配的情况下,其接近每个输入码的理想输出。在由于 8/3 或 16/3 段太大或者两者都太大而存在正 DNL 误差的情况下,加载到 DAC 的 LSB 部分的码可以被修改以校正输出,即对于码 7 加载 10001 而不是码 10010 以校正 +1LSB DNL 的误差。可以扩展该基本机制以校准高分辨率 DAC。

[0023] 表 1

[0024]

输入码	选项 1 开关序列	选项 2 开关序列
0	00000	00000 = 0
1	00001	00001 = 1
2	00010	00010 = 2
3	00011	00011 = 3
4	00100	00100 = 4
5	00101	00101 = 5
6	00110	00110 = 6
7	00111	10010 = 7.333
8	11000	10011 = 8.333
9	11001	10100 = 9.333
10	11010	10101 = 10.333
11	11011	11011 = 11
12	11100	11100 = 12
13	11101	11101 = 13
14	11110	11110 = 14
15	11111	11111 = 15

[0025] 因此应理解,如果使用第二开关序列,则当来自高部的组中的段已被选择时,DAC的低部的支路用于调节DAC的输出。所使用的校准算法确保低部从来不以全偏差(full deflection)、即低部的支路为全开或者全关来实施。因此,低部的支路可以用于调节或适应来自高部的段的贡献,以针对输入数字字提供所需的DAC输出,且优选地,可以用于确保没有脱离 $+DNL < 1LSB$ 。

[0026] 在要求进行数字校准以获得 $< 1LSB$ 的正DNL的应用中,利用诸如图2中所示的配置是有利的。这在高分辨率标准R-2R结构中由于电阻器匹配局限而难以得到保证。如果标准4位R-2R DAC中从0111到1000的中间级转换具有 $> 1LSB$ 的正DNL,那么无论将什么码加载到DAC上都不能获得所需的输出电压。在图2的例子中,R-2R结构已被修改以增大冗余。在标准N位R-2R结构中,存在产生 2^N 个可能输出的N个可开关的元件。根据本发明,存在产生 $2^{(N+X)}$ 个可能输出的N+X个可开关的元件。这些附加的可开关的元件以诸如保证正DNL $< 1LSB$ 的方式来构造和排序。

[0027] 如图2所示,低部优选地以梯配置提供。本发明还提供了对这种传统梯配置的修改。在这种对标准R-2R结构的修改中,如图3所示,相邻支路之间的链接电阻器' R' '中的一些被去除,且剩余的DAC电阻器、即在端接支路和被去除的电阻器之间的梯的支路上提供的那些电阻器被比例缩放。在此情况下,电阻器的数量增加到两倍以便提供有2R-4R配置。这以电阻器面积为代价增大了这些低支路的阻抗,但减小了DAC中流动的电流,并且还减小了与DAC的这些低支路中的电阻器值有关的开关和布线不理想的影响。通过将电阻器的值加倍,支路中的电压的大部分落在电阻器上而非开关上。因此,开关的电阻对支路的贡献较小,并且它们的相关联的比例缩放问题在误差方面的贡献比在此之前可实现的要小。

[0028] 如上所述,DAC的低部优选地设有端接支路,该端接支路直接耦合到基准信号,典型地为地。还已知将这种梯配置的端接支路经由开关耦合到地,但是根据本发明的优选实施例,该耦合是直接的而非经由开关。

[0029] 根据第三实施例,提供了对梯配置的修改,其中,该梯还耦合到电流源400,该电流源被配置成将经比例缩放的电流(与基准有关)注入R-2R梯的节点。这针对给定分辨率使得总DAC面积最小化,并减小了开关比例缩放问题。这种注入可以被添加到该梯的任何节点,但典型地耦合到端接电阻器的顶,如图4所示。优选地将电流源耦合到端接支路,因为DAC架构内的可用净空间(headroom)在这里最大,因而更容易设计电流源。R-2R DAC梯架构和电流源DAC的组合使得能够扩展R-2R DAC的分辨率而无需增加电阻器和开关的数量。这用于扩展由这种架构提供的分辨率。应理解,注入端接支路的电流的值典型地具有微安的量级,然而,如果电流被注入该梯的其它支路,则将典型地需要幅度大大减小的信号。

[0030] 图5示出了可以在根据本发明的DAC的实施中使用的电流源电路的类型的例子。然而应理解,所图示的结构和部件是可由本领域的技术人员考虑用来向图4的电阻器梯提供电流注入的配置的类型的示例。在本实例中,提供了放大器A,其同相输入端耦合到Vref+。反相输入端采用反馈配置耦合到电阻器和开关Q2,它们的值被比例缩放到DAC的低部的支路中的开关和电阻器的值。开关Q2的栅极由偏置电压Vbias控制,以便实现比例缩放效果。放大器的输出控制第二开关Q1的栅极,第二开关Q1的源极控制镜装置(mirror arrangement)的主MOSFET器件。该镜适于提供电流(这里所示为 B_0 、 $B_0/2$ 以及 $B_0/4$)到DAC的低部的端接支路(本图中未示出,但在前面的图3中示出)中的选择性的耦合。该选

择性的开关分别实现等价于 1LSB 、 $1\text{LSB}/2$ 以及 $1\text{LSB}/4$ 的电流注入。这种电流注入是有利的,原因在于其改进了 DAC 的分辨率,而不需要在电阻器梯 DAC 装置内增加额外的支路。

[0031] 应理解,该三个实施例中的任何一个、例如在图 2、图 3 和图 4 中所示的那些实施例可以独立于其它实施例来使用,但是在优选的实施中,组合了全部三个实施例。这样的实例在图 6 的架构中示出。为了清楚起见,图 6 被细分成三个图,如图 6A、图 6B 和图 6C 所示。这些图可以彼此结合来看,以查看整个 DAC 结构。在图 6 的此实施例中,高部 105 适于提供 4 个输入字位。这 4 个位在具有 15 个相同权重的段的分段式架构中提供,14 个支路 S1 到 S14 每个都具有两个电阻器,且一个支路/段 (S0) 被进一步划分以提供具有 $1/3$ 标称权重的第一段和 $2/3$ 标称权重的第二段的组。这由第一支路 (支路 S0A) 中的 6 个电阻器以及第二支路 (支路 S0B) 中的 3 个电阻器来提供。

[0032] DAC 的低部被提供为经修改的 R-2R 架构,其中低部和高部之间的链接电阻被去除,使得低支路 (支路 B1-B11) (即,传统上本来应出现链接电阻器的区域以下的那些支路) 被比例缩放以提供 $2R-4R$ 架构。段 B11、B10、B9、B8 之后的 4 个位可替代地被分成图 2 的标称权重组,其在这里示出为 $1/3$ 和 $2/3$ 标称权重装置。接下来的 7 个位 (B7...B1) 被提供为标准 $2R-4R$ 实施。通过将端接支路耦合到电流源并利用电流源来将电流注入该支路的中点、即端接支路所提供的 4 个电阻器的中点,来产生位 0 以及 $\text{LSB}/2$ 和 $\text{LSB}/4$ 的权重。如果需要的话,小于 1LSB 的权重适于向 DAC 提供额外的分辨率。作为应被注入端接支路以产生所需结果的电流的类型的实例,该电流源应注入

[0033] $V_{\text{ref}}/[16R+4\text{swres1}]$

[0034] (其中, $\text{swres1} = \text{B1 支路上的开关的电阻}$) 以产生 $\text{LSB}/4$ 的输出变化。

[0035] 应理解,支路 (B0-B11 和 S0-S14) 中的每个都可开关地耦合到电压基准,这对于电阻器梯配置是普通的,但是为方便起见,各个开关部件未示出。

[0036] 应理解,这里的教示提供了改进的 DAC 架构,其中改进可独立地提供或者彼此组合地提供。本教示尤其适于提供针对数字校准而优化的 DAC 结构。该目的是通过提供包括高部和低部的 DAC 结构来实现的,其中高部限定 DAC 架构的主部,低部限定该架构的副 DAC 部。该副 DAC 部用于提供对 DAC 高部的调节,以便确保针对增大施加到 DAC 的输入码, DAC 提供变化不大于 1LSB 的输出。这通过对 DAC 的高部和低部一起选择性地开关来实现。

[0037] 为了利用数字校准算法来校准 DAC 的 DNL 误差和 INL 误差,作为基础的 DAC 架构应该具有比经校准的输出的期望分辨率大的分辨率,且还应该具有保证在传递函数中没有间隙的方法 (即保证没有正 DNL 误差 $> 1\text{LSB}$ 的方法)。这里讨论的架构满足这些要求。

[0038] 图 7 示出了为实践本发明提供的 DAC 校准系统 700 的示意图。该系统提供用于在存在部件匹配误差的情况下产生线性的、电阻器梯式、电压输出 DAC 的装置和方法。在这个说明性例子中,在接口解码器 705 处提供 16 位用户输入字,其中,该字的 MSB 和 LSB 被分开。

[0039] DAC 700 包括将 DAC 字的 MSB 转换成输出电压的主部分 710 以及转换 DAC 字的 LSB 的副部分 715。所述部分耦合到一起以在输出 720 处提供总的输出电压。

[0040] 主部分 710 可以以诸如图 6 中示出为方框 105 的、包含电阻器梯的配置来提供,该电阻器梯被构造成使得它的 LSB 小于副部分 715 的满标度 (full scale),但是显著大于副部分的 LSB 以及总的 DAC 传递函数 LSB。

[0041] 副部分 715 也包含电阻器梯结构,该结构类型的例子如图 6 中的方框 110 所示。

[0042] 应理解,布置主部分的梯结构并且比例缩放副部分,使得(在不存在失配的情况下)可以获得 DAC 传递函数中的所有电压点(除零标度(zero scale)(ZS)和满标度(FS)以外),而无需将 ZS 或 FS 加载到副部分 DAC。通过这种方式,很显然,副部分 DAC 使用了缩小的码范围。

[0043] 接口解码器被构造成针对每个用户输入码(除满标度以外)选择主部分 DAC 字和副部分 DAC 字,使得当主部分码被选择时,副部分不处于零标度或满标度。还提供了校准存储器 725,其存储针对主部分的每个段的误差校正。可以针对所选择的主部分的每个段、使用加法器 730 将来自存储在该存储器内的数据的所选校正加到 LSB 字上。

[0044] 在生产测试期间,对主部分的段中的误差进行测量,并且将对应的校正存储在存储器 725 中。然后,取决于所加载的主部分码(即在主部分的梯中所选择的段),这些校正被自动加到加载到副部分的码上。

[0045] 本领域的技术人员应理解,本发明提供了一种 DAC 配置,其可用于将数字输入字转换成模拟电压输出。已经参考高部和低部或者第一和第二部件描述了图示的实施例和工作原理,但是应理解,使用这种命名法是为了便于解释,而并非旨在以任何方式限制保护范围,除非根据所附权利要求而可能认为是必要的。同样地,在不背离本发明的精神和范围的情况下,可以对这里所描述的示例性实施例进行修改,这样的修改对于本领域的技术人员来说应是显而易见的。

[0046] 本说明书中使用的词语“包括(comprise)”、“包括(comprises)”以及“包括(comprising)”用于说明所规定的特征、整体、步骤或部件的存在,但并不排除一个或多个其它的特征、整体、步骤、部件或它们的组的存在或增加。

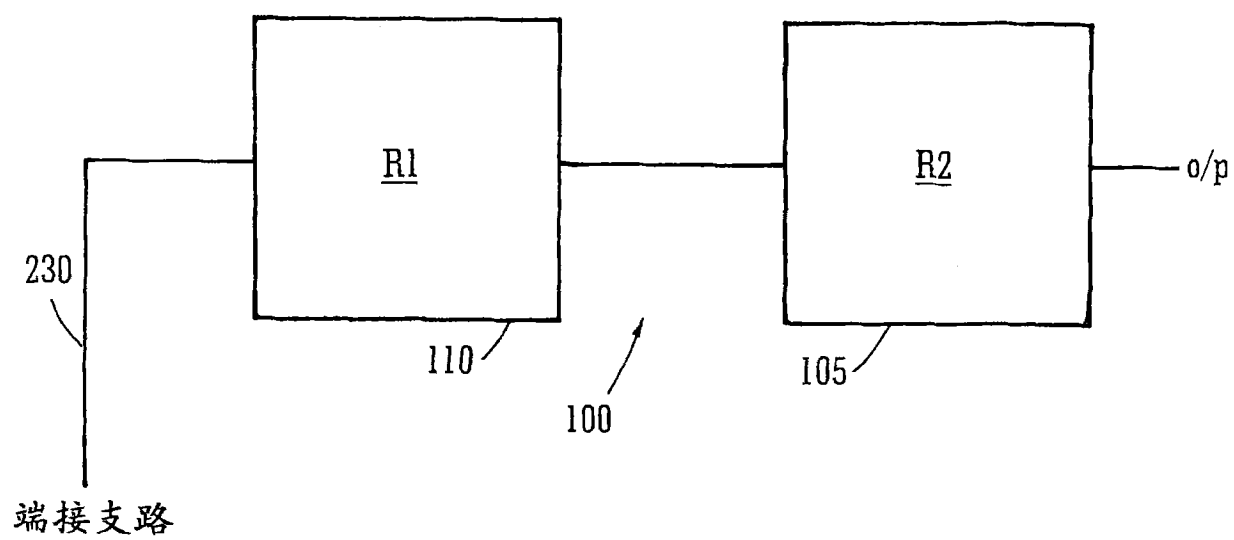


图 1

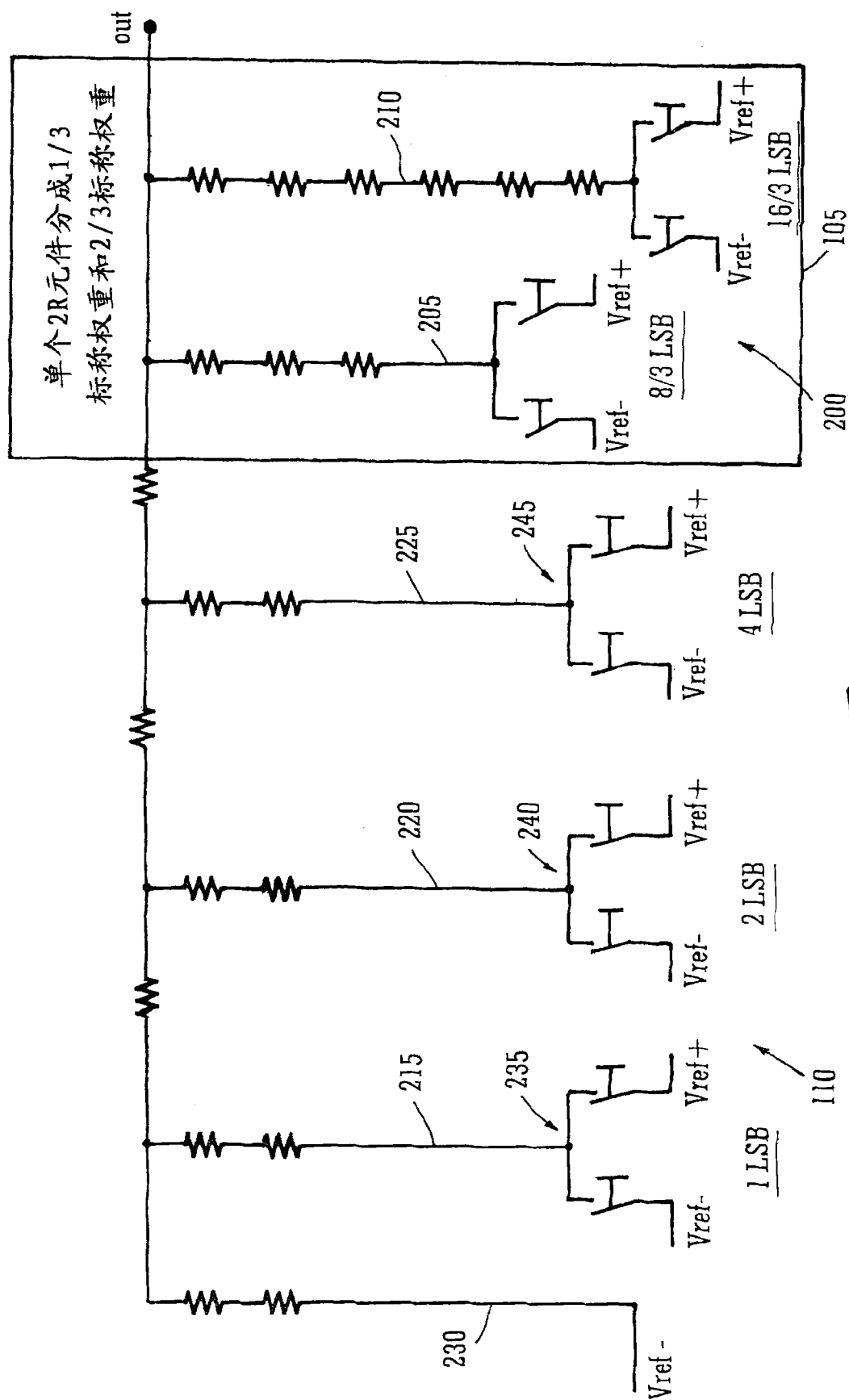


图 2

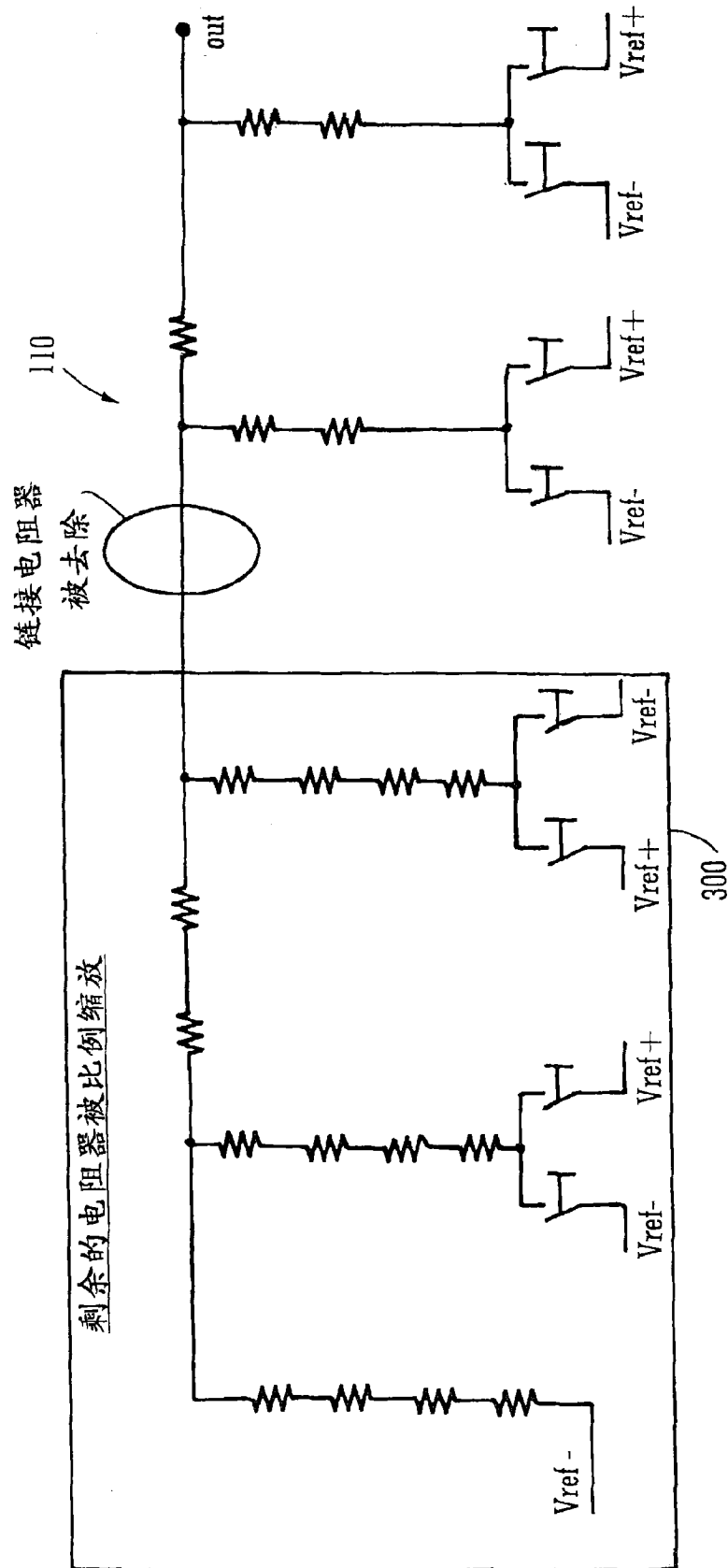


图 3

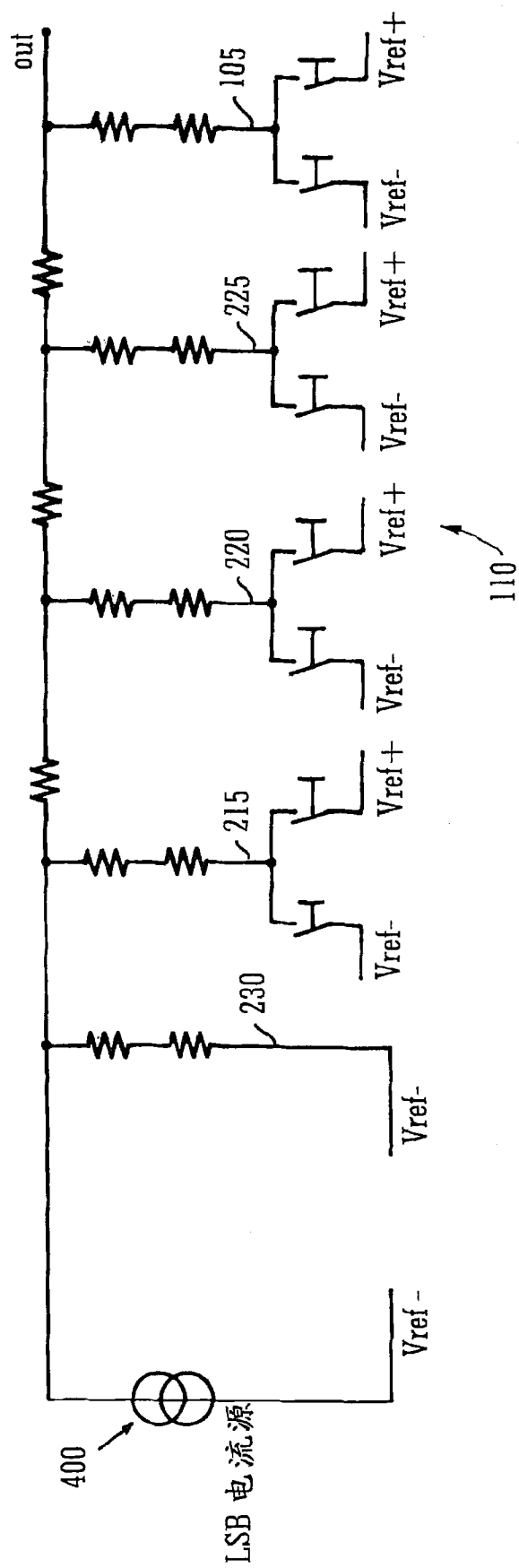


图 4

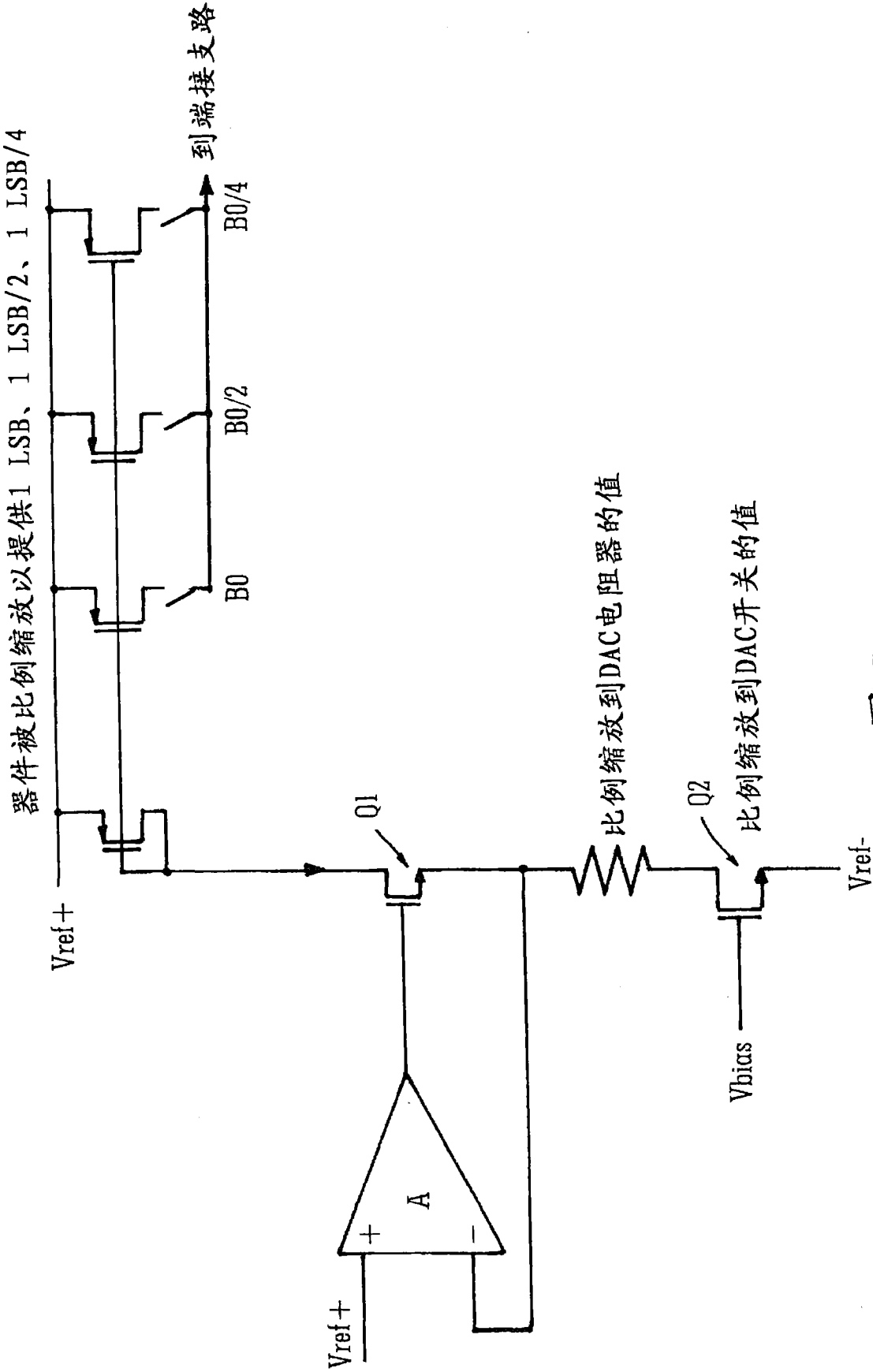


图 5

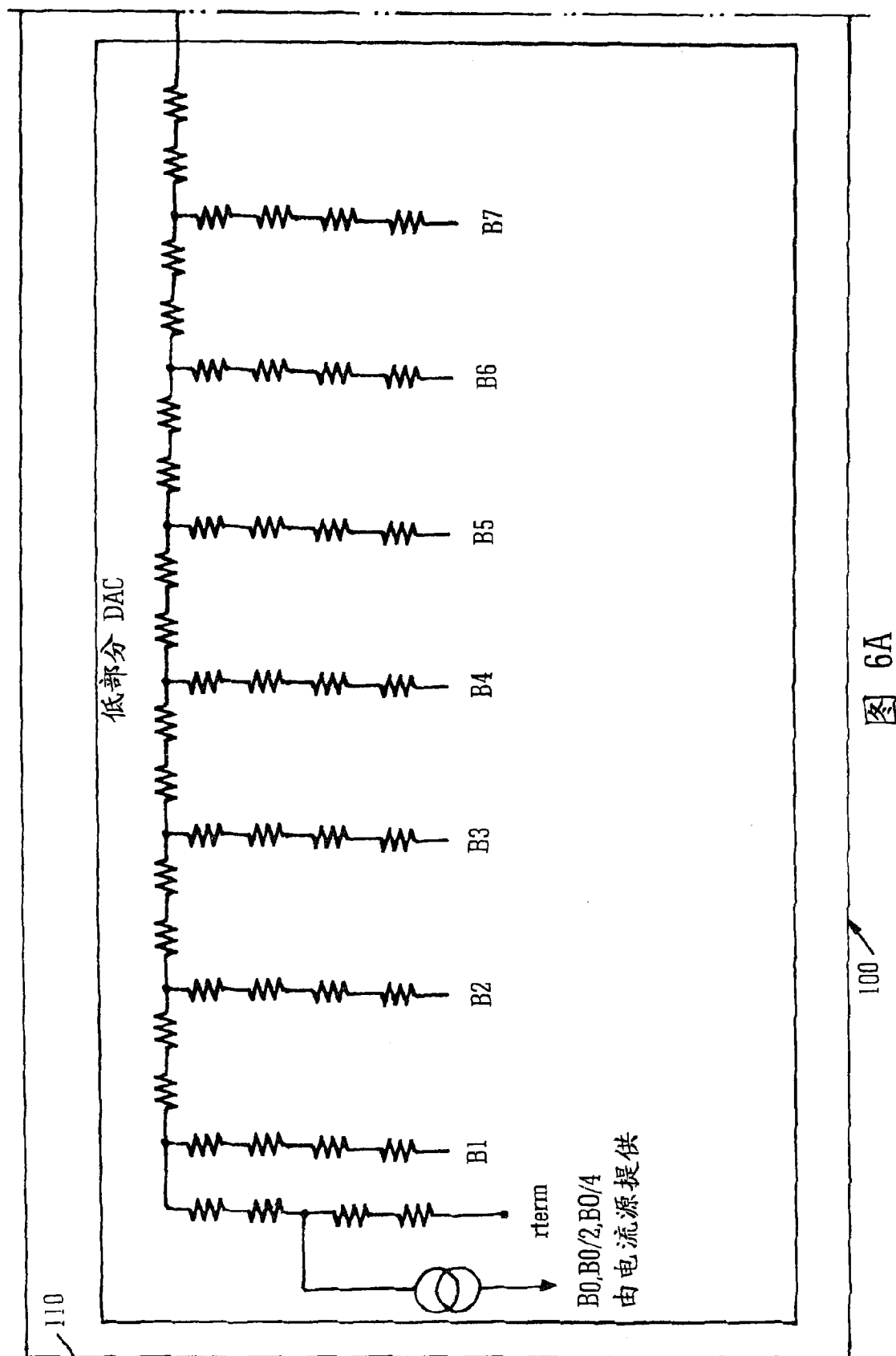


图 6A

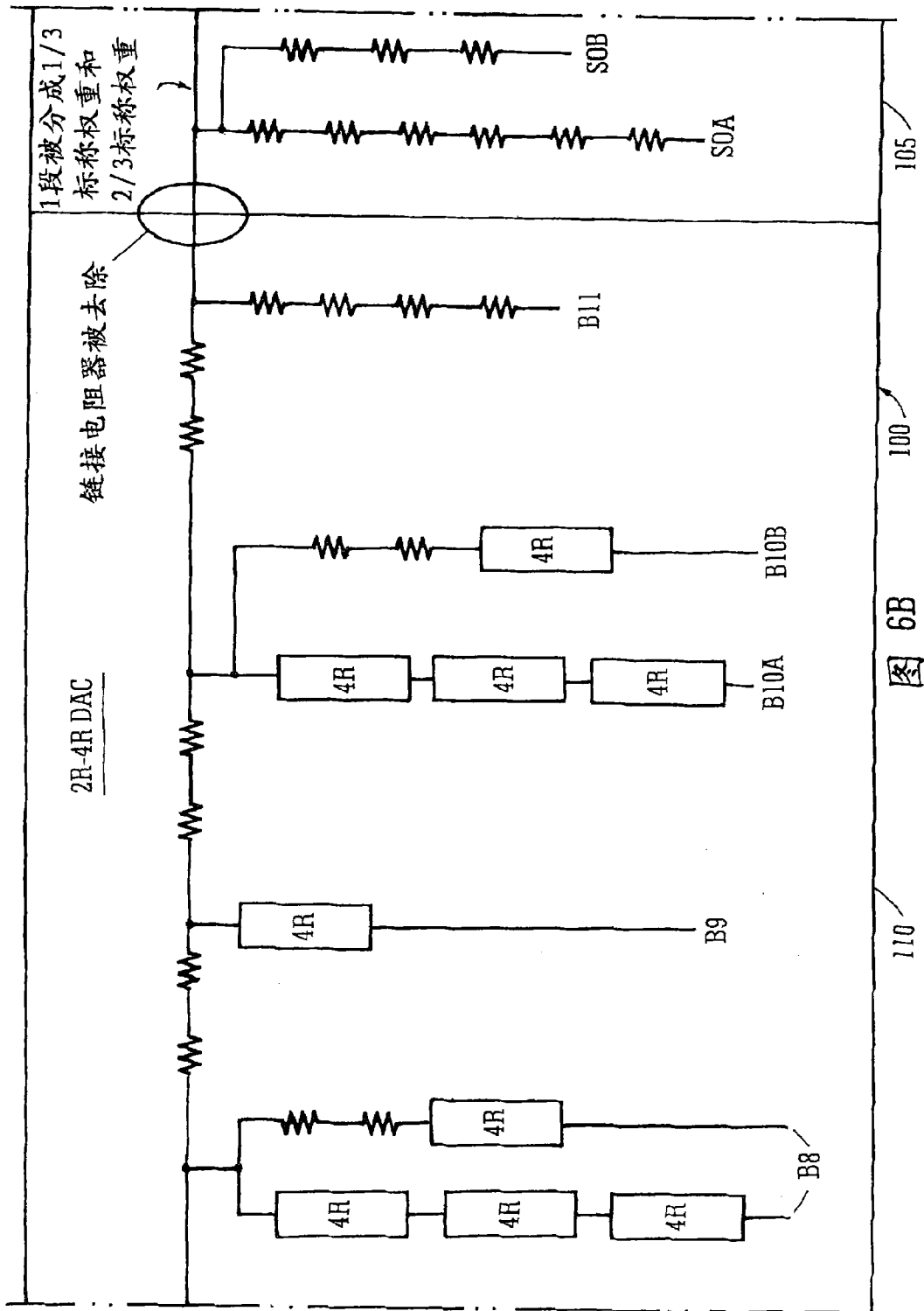
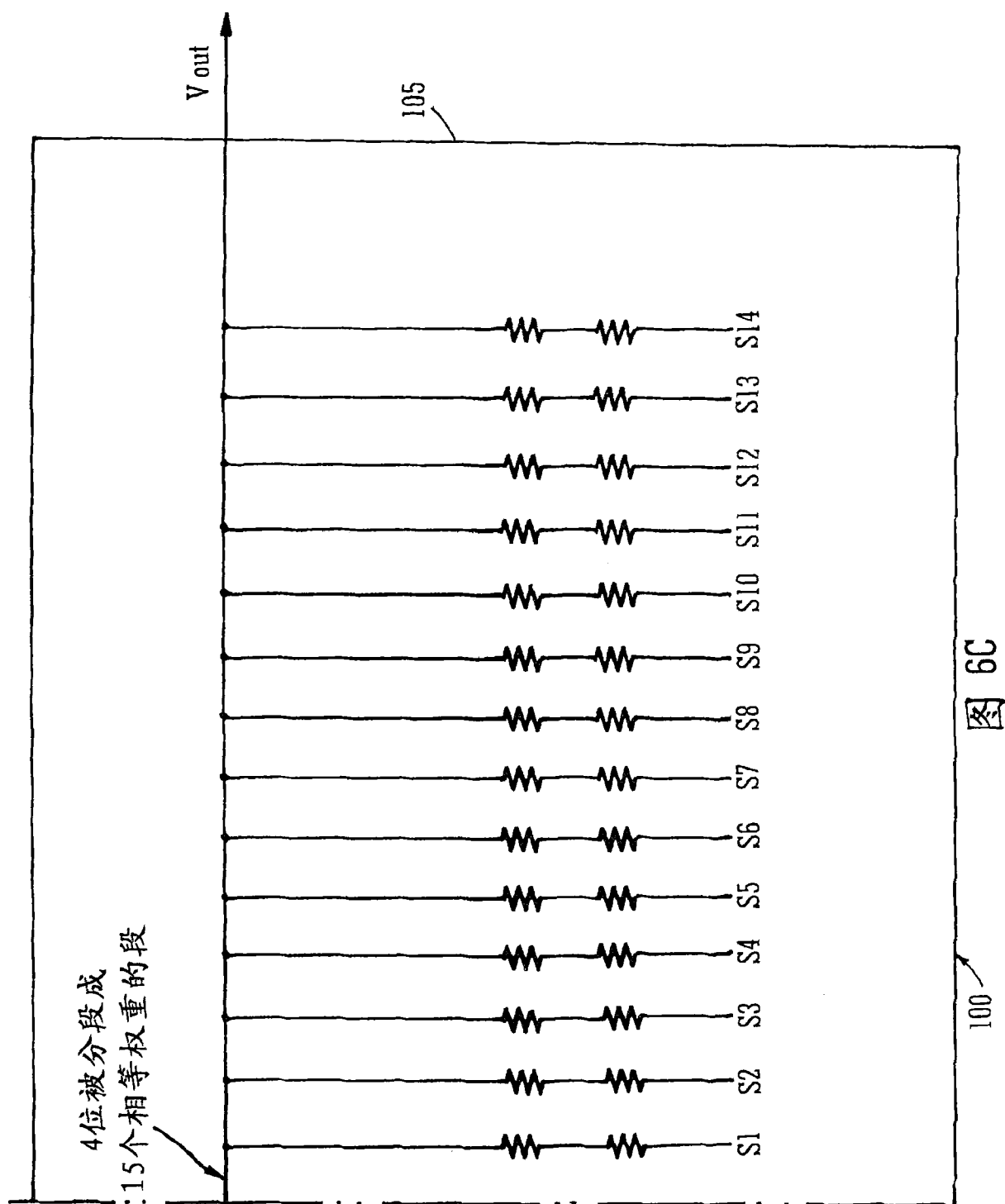


图 6B



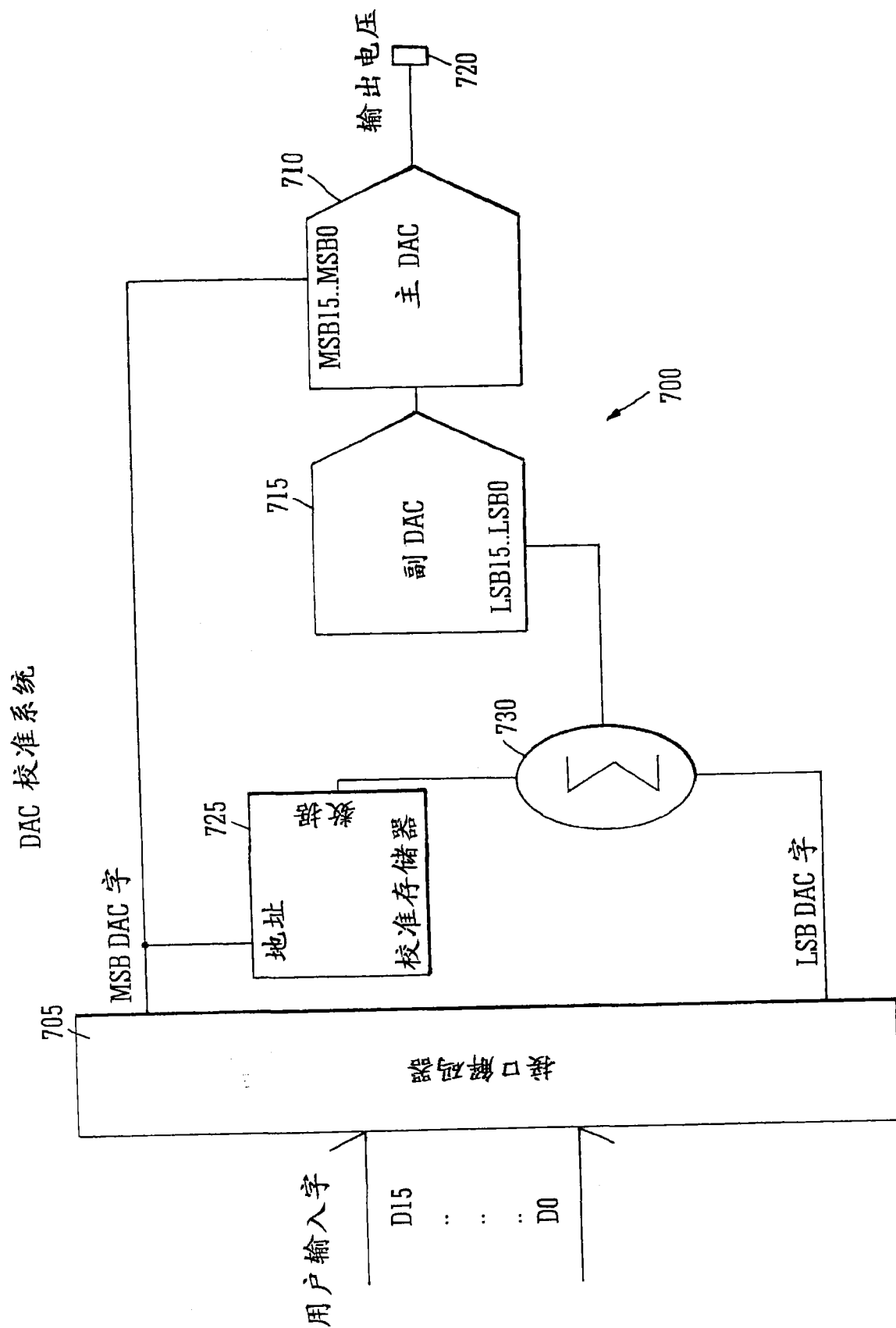


图 7