(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
H01L 29/00
H01L 23/48

(45) 공고일자 1991년05월04일
(11) 공고번호 특1991-0002762

(21) 출원번호	특1987-0013120	(65) 공개번호	특1988-0006780
(22) 출원일자	1987년11월20일	(43) 공개일자	1988년07월25일

(30) 우선권주장 61-277329 1986년11월20일 일본(JP)
(71) 출원인 가부시키가이샤 도시바 아오이 죠이치
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지

(72) 발명자 사와야 히로미치
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내

(74) 대리인 김윤배

심사관 : 정용철 (책자공보 제2279호)

(54) 반도체장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 1실시예장치의 구성을 나타낸 사시도.

제2도는 상기 실시예장치를 사용하여 조립을 실시할때의 측면도.

제3도는 종래 장치의 사시도.

제4도는 상기 종래 장치의 일부를 보여주는 예시도.

제5도는 상기 종래 장치를 사용하여 조립을 실시할 때의 측면도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 패키지 11 : U자형

12 : 방열판 13A, 13B : 외부리이드

14 : 스탠드오프부(stand off 部) 15 : 구부러진 부분

16 : 땜납부착부분 17 : 인쇄배선판

18 : 외부방열판

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 싱글·인라인(single inline)형의 반도체장치에 관한 것으로, 특히 외부리이드가 갈지자 모양으로 도출된 반도체장치에 관한 것이다.

[종래의 기술 및 그 문제점]

오디오용이나 모우터제어용등으로 사용되는 파워-IC로는 외부리이드가 패키지의 한쪽 단면으로부터만 도출되어 있는 SIP(Single inline package)형의 것이 사용되고 있는데, 이와 같은 SIP형 IC에는 외부리이드가 1열로 배열되어 있는 리이드스트레이트형과 외부리이드가 하나씩 걸러서 구부러진 부분이 형성되면서 갈지자모양으로 배열되어 있는 갈지자형의 2종류가 있다.

제3도는 종래의 갈지자형 IC의 외관형상을 보여주는 사시도를 나타낸 것으로, 도면중 참조부호 10은 절연성 수지나 세라믹등으로 된 패키지를 나타낸다. 이 패키지(10)에는 외부방열판을 나사로 고정할 경우에 나사가 삽입되게 되는 U자형 홈(11)이 마련되어 있고, 이 패키지(10)의 한쪽면에는 금속성의 방열판(12)이 매립되어 있으며, 도시되지는 않았으나 패키지(10)내에는 상기 방열판(12)상에 반도체 펠렛(pellet)이 놓여져 있다.

또한 패키지(10)의 밑바닥에는 금속판에 본을 대고 절단가공함으로써 형성된 복수의 외부리이드(13A, 13B)가 갈지자모양으로 도출되어 2열로 배열되어 있는 바, 2열로 배열된 리이드중에서 한쪽열의 리이드(13A)는 패키지(10)의 밑바닥으로부터 수직으로 연장된 상태로 도출되어 있고, 수직으로 연장된 상기 리이드(13A)의 각 사이마다 도출되어 있는 다른 열의 리이드(13B)는 도시된 바와 같이 형상으로 구부러진 부분이 형성되어 있다.

그리고 이들 리이드(13A, 13B)의 선단부는 인쇄배선판에 형성되어 있는 구멍, 즉 스로우호울(through hole)에 삽입될 수 있도록 좁은 폭으로 되어 있고, 또한 이 폭이 좁은 부분과 그 이외의 폭이 넓은 부분의 경계 위치에는 이른바 스탠드오프(stand off)부 (위치결정부; 14)가 각각 형성되어 있는데, 이 스탠드오프부(14)는 외부리이드(13)를 인쇄배선판의 구멍에 삽입하여 납땜을 행할 때에 해당 리이드가 스탠드오프부의 위치보다도 더 깊게 구멍내로 들어가지 않도록 해서 IC의 위치, 즉 높이를 결정하기 위해 마련되어 있는 것이다.

종래에는 상기 스탠드오프부(14)를 형성할 경우에 우선 구부러진 부분이 형성되지 않은 상태에서 본을 대고 절단가공함으로써 각 리이드의 폭이 좁은 부분의 길이가 모두 동일하도록 형성한 후, 하나씩 걸러서 리이드의 구부러진 부분을 가공하도록 되어 있다.

이 때문에 종래에는 제4도(a), (b)에 도시된 바와 같이, 패키지(10)의 밑바닥으로부터 구부러진 부분이 형성되지 있지 않은 쪽의 외부리이드(13A)에 마련되어 있는 스탠드오프부(14)의 위치까지의 직선거리(I1)가 구부러져 있는 부분리이드(13B)에 마련되어 있는 스탠드오프부(14)의 위치까지의 직선거리(I2)보다 길게 되어 있다.

이에 따라, 구부러진 부분이 형성되어 있는 쪽의 외부리이드(13B)측에 설치되어 있는 스탠드오프부(14)는 인쇄배선판에 IC를 납땜을 할 경우의 IC위치결정에는 기여하지 못하게 된다.

또한, 위와 같은 IC를 인쇄배선판에 납땜을 해서 고정시킬 경우에는 납땜이 용이해지도록 미리 외부리이드에 땜납디프(deep)로 불리우는 땜납층의 코팅(coating)을 행하기 때문에 이 땜납디프시에는 제5도의 측면도에 도시된 바와 같이 미리 구부러진 부분이 형성되어 있는 외부리이드(13B)의 구부러진 부분(15)안쪽에 땜납부착부분(16)이 형성되게 된다. 그러나, 이와 같은 땜납부착부분(16)을 형성시키면 위치가 많이 어긋나게 되기 때문에 외부리이드를 인쇄배선판(17)의 구멍에 삽입하여 납땜을 행할 때에 패키지(10)가 기울어진 상태에서 인쇄배선판(17)에 고정되는 일이 있게 된다.

또한 상기한 바와 같이, 패키지(10)가 기울어진 상태로 고정되면 제5도에 도시된 바와같이, U자형 홈(11)에 나사를 끼워서 패키지(10)를 외부방열판(18)에 부착시키게 될 경우에, 나사가 삽입될 때의 충격력에 의해 패키지(10)에 압력이 가해져서 패키지내부의 도시되지 않은 반도체 펠렛에 결함이 생기게 되며, 또한 패키지(10)를 무리하게 세우려고 할 경우에는 인쇄배선판(17)의 배선이 벗겨지게 된다.

이상에서 설명한 바와 같이, 종래의 반도체장치에서는 외부리이드를 인쇄배선판에 납땜할 경우에 패키지가 똑바로 서지 못한 상태로 고정될 수가 있는 바, 이와 같이 패키지가 기울어진 상태로 고정되었을 경우에는 조립공정시에 내부의 반도체펠렛에 결함이 생기게 되고, 또한 기울어진 패키지를 무리해서 똑바로 세우려고 하면 인쇄배선판에 배선이 벗겨지게 된다는 결점이 있었다.

[발명의 목적]

이에 본 발명은 상기와 같이 사정을 고려해서 발명된 것으로, 외부리이드를 인쇄배선판에 납땜할 때에 IC를 항상 똑바로 선 상태로 고정시킬 수 있게 되어 종래의 조립공정시에 발생되곤 했던 내부반도체펠렛의 결함이나 인쇄배선판의 배선이 벗겨지는 것을 방지할 수 있도록 된 반도체장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기와 같은 목적을 달성하기 위한 본 발명은 패키지와, 이 패키지의 밑면에서 수직으로 도출되어 1열로 배열된 복수의 제1외부리이드, 상기 밑면의 제1외부리이드의 각 사이에서 각각 도출되어 상기 제1외부리이드의 배열과 나란히 배열되면서 구부러진 부분이 형성되어 있는 복수의 제2외부리이드 및 상기 제1, 제2외부리이드 각각의 선단부에 마련되어 인쇄배선판에 형성된 구멍에 삽입되게 되는 폭이 좁은 부분과 그 이외의 폭이 넓은 부분과의 경계가 되는 위치결정부등을 구비하고, 상기 제2의 각 외부리이드에 마련된 위치결정부의 위치가 제2외부리이드의 구부러진 부분으로부터 충분히 떨어진 위치에 설정되며, 또한 상기 패키지의 밑면으로부터 상기 제1외부리이드에 마련된 위치결정부까지의 직선거리가 상기 밑면으로부터 상기 제2외부리이드에 마련된 위치결정부까지의 직선거리와 동일하게 되도록 설정되어 있다.

[작용]

상기와 같은 구성에 의하면, 외부리이드의 땜납디프시에 미리 제2외부리이드의 구부러진 부분에 형성된 땜납부착부분이 위치결정부의 위치에까지 도달되지 않도록 할 수 있음은 물론, 제1 및 제2의 외부리이드에 설치되어 있는 위치결정부는 모두 납땜시의 패키지의 위치결정에 기여하게 된다.

[실시예]

이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

제1도는 본 발명에 따른 반도체장치의 1실시예에 관한 외관형상을 나타낸 사시도로, 도면중 참조부호 10은 절연성 수지나 세라믹등으로 된 패키지로서 이 패키지(10)에는 종래와 마찬가지로 나사로 고정시킬 경우에 나사가 삽입되게 되는 한쌍의 U자형 홈(11)이 마련되어 있고, 이 패키지(10)의 한쪽면에는 금속성의 방열판(12)이 마련되어 있고, 이 패키지(10)의 한쪽면에는 금속성의 방열판(12)이 매립되어 있다. 또한, 이 패키지(10)의 밑면에는 금속판에 본을 대고 절단가공함으로써 형성된 복수의 외부리이드(13A, 13B)가 갈지자모양으로 도출되면서 이들 리이드는 2열로 배열되어 있는 바, 이들 2열로 배열된 리이드중에서 한쪽열의 리이드(13A)는 패키지(10)의 밑면으로부터 수직으로 연장된 상태로 되어있고, 이들 수직으로 연장된 리이드(13A)의 각 사이마다 도출되어 있은 다른 열의 리이드(13B)는 도시된 바와 같은 형상으로 구부러지게 형성되어 있다.

또한, 이들 각 리이드(13A, 13B)의 선단부는 인쇄배선판에 형성되어 있는 구멍인 이른바 스로우호울에 삽입될 수 있도록 폭이 좁게 만들어져 있으며, 이 폭이 좁은 부분과 그 이외의 폭이 넓은 부분과의 경계위치에 스탠드오프부(14)가 각각 형성되어 있다. 한편, 구부러진 형태로 되어 있는 외부리이드(13B)의 구부러진 부분(15)으로부터 그 스탠드오프부(14)까지의 거리는 충분히 길게 설정되어져서 상기 제4도중에 나타낸 직선거리 I1 및 I2가 동일해지도록 되어 있다.

위와 같은 구성의 반도체장치를 인쇄배선판에 납땜으로 고정시키면서 나사로 외부방열판에 고정시킬 경우에는 제2도의 측면도에 도시된 바와 같이 구부러진 부분(15)이 형성되어 있는 외부리이드(13B)에 설치된 스탠드오프부(14)도 이들 리이드(13A, 13B)를 인쇄배선판에 납땜할 때의 패키지(10)의 위치결정에 기여하게 됨은 물론, 외부리이드(13B)의 구부러진 부분(15)으로부터 그 스탠드오프부(14)까지의 거리가 충분히 길게 설정되어 있기 때문에 외부리이드(13B)의 땜납디프시에 외부리이드(13B)측의 구부러진 부분(15)안쪽에 형성된 땜납부착부분(16)은 스탠드오프부(14)의 위치까지 도달되지 않게 된다. 그 결과, IC를 인쇄배선판(17)에 고정시켜 주기 위하여 외부리이드(13)를 납땜할 경우에, 종래와 같이 패키지(10)가 기울어진 상태에서 고정되는 일이 없어지게 되어 IC를 똑바로 선상태로 고정시킬 수 있게 된다. 이에 따라 종래와 같은 내부반도체펠렛의 결함발생이나 인쇄배선판의 배선이 벗겨지는 것을 방지할 수 있게 되어, 종래의 조립공정시에 발생되던 땜납부착부분의 원인에 의한 3%~50%의 불량발생을 본 실시예의 반도체장치를 사용함에 의해 거의 0%로 억제할 수 있게 된다.

또한, 상기 실시예의 반도체장치는 금속에 본을 대고 절단가공하여 외부리이드(13)를 형성시킬 때에 외부리이드를 하나씩 걸러서 스탠드오프부(14)의 형성위치를 어긋나게 함으로써 실현할 수가 있게 된다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 따르면, 외부리이드를 인쇄배선판에 납땜할 경우에 똑바로 선상태에서 고정시킬 수가 있음에 따라 조립공정시에 때때로 발생되던 내부반도체펠렛의 결함이나 인쇄배선판의 배선의 벗겨짐을 방지할 수가 있는 신뢰성이 높은 반도체장치를 제공할 수 있게 된다.

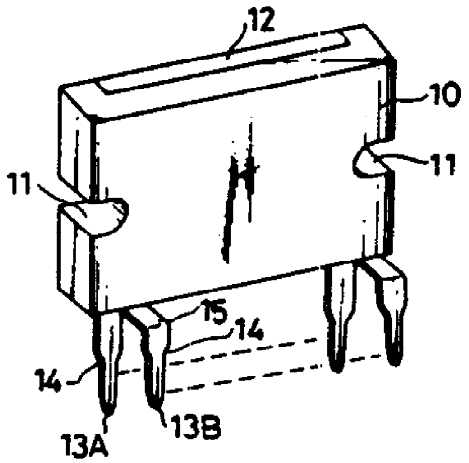
(57) 청구의 범위

청구항 1

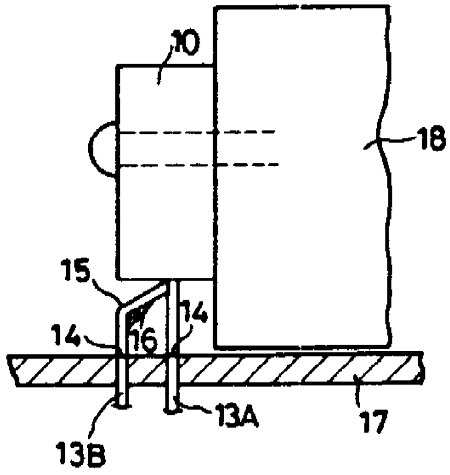
패키지(10)와, 이 패키지(10)의 밑면에서 수직으로 도출되면서 1열로 배열되어 있는 복수의 제1외부리이드(13A), 이 제1외부리이드(13A)사이마다 각각 도출됨과 더불어 상기 제1외부리이드(13A)의 배열과 나란한 방향으로 배열되면서 구부러진 부분(15)이 형성되어 있는 복수의 제2외부리이드(13B)및, 상기 제1 및 제2외부리이드(13A, 13B)의 각각의 선단부에 설치되어 상기 인쇄배선판에 형성된 구멍에 삽입되도록 된 폭이 좁은 부분과 그 이외의 폭이 넓은 부분과의 경계부에 형성되어 있는 위치결정부(14)등을 구비하고, 상기 각 제2외부리이드(13B)에 형성되어 있는 위치결정부(14)의 위치가 그 제2외부리이드(13B)의 구부러진 부분(15)으로부터 충분히 떨어진 위치에 설정되며, 상기 패키지(10)의 밑면으로부터 상기 제1외부리이드(13A)에 형성되어 있는 위치결정부(14)까지의 직선까지(I1)가 상기 패키지(10)의 밑면으로부터 상기 제2외부리이드(13B)에 형성되어 있는 위치결정부(14)까지의 직선거리(I2)와 동일하게 설정되어 있는 것을 특징으로 하는 반도체장치.

도면

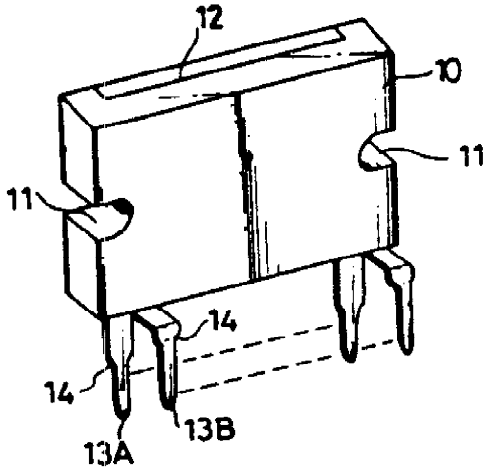
도면1


12
10
11
11
15
14
14
13A
13B

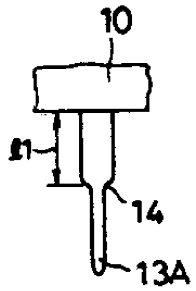
도면2


10
18
15
14
16
14
13A
17
13B

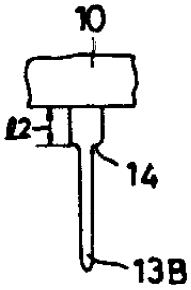
도면3


12
10
11
11
14
14
13A
13B

도면4-a



도면4-b



도면5

