(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月4日(04.04.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/070219 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号： PCT/JP2023/028416

(22) 国際出願日： 2023年8月3日(03.08.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-154597 2022年9月28日(28.09.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

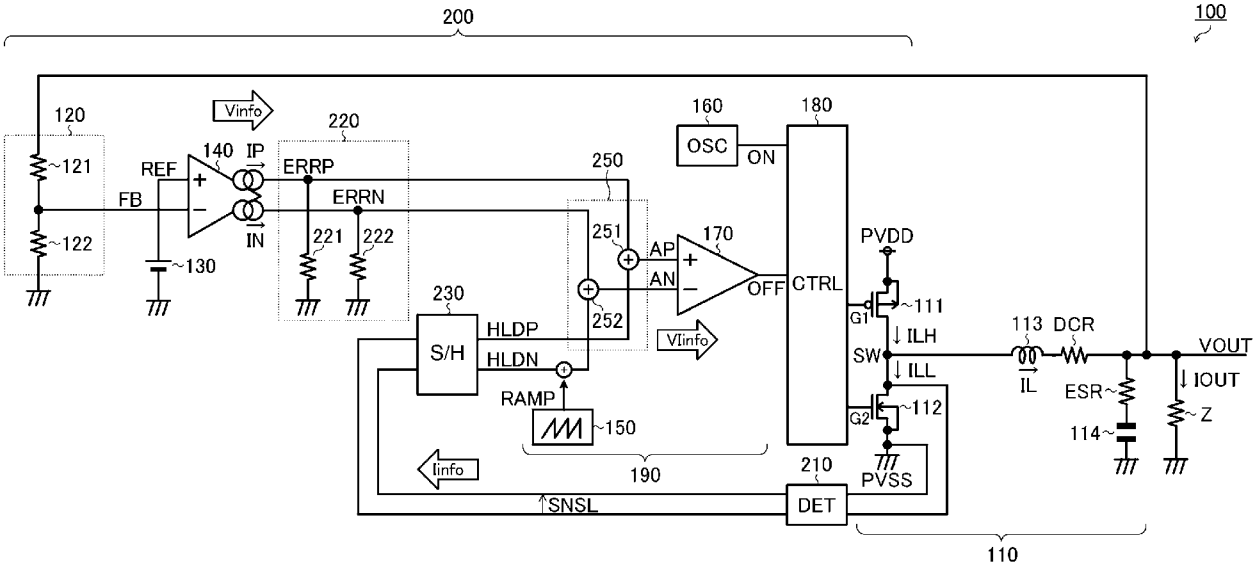
(72) 発明者: 永里 政嗣 (**NAGASATO Masashi**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 佐野特許事務所 (**SANO PATENT OFFICE**); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館５Ｆ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) **Title:** ELECTRIC POWER SUPPLY CONTROL DEVICE AND SWITCHING ELECTRIC POWER SUPPLY

(54) 発明の名称： 電源制御装置、スイッチング電源



(57) **Abstract:** This electric power supply control device 200 comprises: a control circuit 180 that turns an upper-side switch 111 and a lower-side switch 112 of a switching output circuit 110 on and off, thereby driving an inductor current IL and generating an output voltage VOUT from an input voltage PVDD; an error amplifier 140 that compares a prescribed reference voltage REF and a feedback voltage FB that corresponds to the output voltage VOUT, and outputs an error signal ERR including voltage feedback information Vinfo; an information-retaining unit 230 that samples current feedback information Iinfo corresponding to the inductor current ILL flowing to the lower-side switch 112 in a period in which the lower-side switch 112 is on, and outputs a hold as a retention signal HLD in a period in which the upper-side switch 111 is on; and an off-timing control unit 190 that individually receives input of each of the error signal ERR and the retention

WO 2024/070219 A1

［続葉有］

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

signal HLD, and determines an off timing of the upper-side switch 111.

(57) 要約：電源制御装置２００は、スイッチング出力回路１１０の上側スイッチ１１１と下側スイッチ１１２をオン／オフすることによりインダクタ電流ＩＬを駆動して入力電圧ＰＶＤＤから出力電圧ＶＯＵＴを生成する制御回路１８０と、出力電圧ＶＯＵＴに応じた帰還電圧ＦＢと所定の基準電圧ＲＥＦとを比較して電圧帰還情報Ｖｉｎｆｏを含む誤差信号ＥＲＲを出力するエラーアンプ１４０と、下側スイッチ１１２に流れるインダクタ電流ＩＬＬに応じた電流帰還情報Ｉｉｎｆｏを下側スイッチ１１２のオン期間にサンプリングし、上側スイッチ１１１のオン期間に保持信号ＨＬＤとしてホールド出力する情報保持部２３０と、誤差信号ＥＲＲ及び保持信号ＨＬＤそれぞれの入力を個別に受けて上側スイッチ１１１のオフタイミングを決定するオフタイミング制御部１９０と、を備える。

明　細　書

発明の名称 ： 電源制御装置、スイッチング電源

技術分野

[0001]　本開示は、電源制御装置及びこれを用いたスイッチング電源に関する。

背景技術

[0002]　従来、様々なアプリケーションの電源手段として、入力電圧から所望の出力電圧を生成するスイッチング電源（いわゆるＤＣ／ＤＣコンバータ）が用いられている。

[0003]　なお、上記に関連する従来技術の一例としては、本願出願人による特許文献１を挙げることができる。特許文献１では、ハーフブリッジの下側スイッチに流れる電流を検出する電流帰還システムにおいて、電圧帰還情報と電流帰還情報を加算してからサンプルホールド回路に入力することにより、タイミングを合わせて出力帰還制御ループを安定化する構成が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２０１９／２４４３７４号

発明の概要

発明が解決しようとする課題

[0005]　しかしながら、従来のスイッチング電源（特にこれに用いられる電源制御装置）では、応答特性（負荷応答特性又は電源変動応答特性等）の改善について検討の余地があった。

課題を解決するための手段

[0006]　例えば、本明細書中に開示されている電源制御装置は、スイッチング出力回路の上側スイッチと下側スイッチをオン／オフすることによりインダクタ電流を駆動して入力電圧から出力電圧を生成するように構成された制御回路と、前記出力電圧又はこれに応じた帰還電圧と所定の基準電圧とを比較して電圧帰還情報を含む誤差信号を出力するように構成されたエラーアンプと、

前記下側スイッチに流れる前記インダクタ電流に応じた電流帰還情報を前記下側スイッチのオン期間にサンプリングし、前記上側スイッチのオン期間に前記電流帰還情報を含む保持信号としてホールド出力するように構成された情報保持部と、前記誤差信号及び前記保持信号それぞれの入力を個別に受けて前記上側スイッチのオフタイミングを決定するように構成されたオフタイミング制御部と、を備える。

[0007] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0008] 本開示によれば、ハーフブリッジの下側スイッチに流れる電流を検出する電流帰還システムの応答特性を高めることのできる電源制御装置、及び、これを用いたスイッチング電源を提供することが可能となる。

図面の簡単な説明

[0009] [図1]図１は、スイッチング電源の比較例を示す図である。

[図2]図２は、スイッチング電源の第１実施形態を示す図である。

[図3]図３は、第１実施形態における応答特性の改善効果を示す図である。

[図4]図４は、スイッチング電源の第２実施形態を示す図である。

[図5]図５は、スイッチング電源の第３実施形態を示す図である。

[図6]図６は、スイッチング電源の第４実施形態を示す図である。

発明を実施するための形態

[0010] ＜比較例＞

図１は、スイッチング電源の比較例（＝後出の実施形態と対比される一般的な構成）を示す図である。本比較例のスイッチング電源１００は、入力電圧ＰＶＤＤから出力電圧ＶＯＵＴを生成して負荷Ｚに供給するＰＷＭ［pulse width modulation］駆動方式のＤＣ／ＤＣコンバータである。なお、スイッチング電源１００は、様々な分野で利用され得る。例えば、スイッチング電源１００は、車載セカンダリ電源として好適に用いられる。

[0011] 本図に即して述べると、スイッチング電源１００は、スイッチング出力回路１１０と、帰還電圧生成回路１２０と、基準電圧生成回路１３０と、エラーアンプ１４０と、ランプ信号生成回路１５０と、オシレータ１６０と、ＰＷＭコンパレータ１７０と、制御回路１８０と、下側電流検出部２１０と、情報合成部２２０と、情報保持部２３０とを備える。

[0012] 上記の構成要素は、スイッチング出力回路１１０に含まれる一部の構成要素（本図ではインダクタ１１３とキャパシタ１１４）を除き、スイッチング電源１００の制御主体となる半導体集積回路装置２００（＝電源制御装置に相当）に集積化するとよい。なお、半導体集積回路装置２００には、上記以外にも任意の構成要素（各種保護回路など）を適宜組み込むことが可能である。

[0013] スイッチング出力回路１１０は、ハーフブリッジを形成するように接続された上側スイッチと下側スイッチをオン／オフすることにより、インダクタ電流ＩＬを駆動して入力電圧ＰＶＤＤから出力電圧ＶＯＵＴを生成する降圧型のスイッチング出力段である。

[0014] 本図に即して述べると、スイッチング出力回路１１０は、出力トランジスタ１１１と、同期整流トランジスタ１１２と、インダクタ１１３と、キャパシタ１１４と、を含む。

[0015] 出力トランジスタ１１１は、ハーフブリッジの上側スイッチとして機能するＰＭＯＳＦＥＴ［P-channel type metal oxide semiconductor field effect transistor］である。出力トランジスタ１１１のソースは、入力電圧ＰＶＤＤの印加端に接続されている。出力トランジスタ１１１のドレインは、スイッチ電圧ＳＷの印加端に接続されている。出力トランジスタ１１１のゲートは、上側ゲート信号Ｇ１の印加端に接続されている。出力トランジスタ１１１は、上側ゲート信号Ｇ１がハイレベルであるときにオフ状態となり、上側ゲート信号Ｇ１がローレベルであるときにオン状態となる。

[0016] 同期整流トランジスタ１１２は、ハーフブリッジの下側スイッチとして機能するＮＭＯＳＦＥＴ［N-channel type MOSFET］である。同期整流トラン

ジスタ１１２のソースは、接地電圧ＰＶＳＳの印加端（＝接地端）に接続されている。同期整流トランジスタ１１２のドレインは、スイッチ電圧ＳＷの印加端に接続されている。同期整流トランジスタ１１２のゲートは、下側ゲート信号Ｇ２の印加端に接続されている。同期整流トランジスタ１１２は、下側ゲート信号Ｇ２がハイレベルであるときにオン状態となり、下側ゲート信号Ｇ２がローレベルであるときにオフ状態となる。

[0017] インダクタ１１３とキャパシタ１１４は、半導体集積回路装置２００に外付けされるディスクリート部品であり、スイッチ電圧ＳＷを整流及び平滑して出力電圧ＶＯＵＴを生成するＬＣフィルタを形成する。インダクタ１１３の第１端は、スイッチ電圧ＳＷの印加端に接続されている。インダクタ１１３の第２端とキャパシタ１１４の第１端は、出力電圧ＶＯＵＴの印加端と帰還電圧生成回路１２０に接続されている。キャパシタ１１４の第２端は、接地端に接続されている。なお、インダクタ１１３及びキャパシタ１１４には、それぞれ、抵抗成分ＤＣＲ及びＥＳＲが付随する。

[0018] 出力トランジスタ１１１と同期整流トランジスタ１１２は、上側ゲート信号Ｇ１と下側ゲート信号Ｇ２に応じて相補的にオン／オフされる。このようなオン／オフ動作により、インダクタ１１３の第１端には、入力電圧ＰＶＤＤと接地電圧ＧＮＤとの間でパルス駆動される矩形波状のスイッチ電圧ＳＷが生成される。上記した「相補的」という文言は、出力トランジスタ１１１と同期整流トランジスタ１１２のオン／オフ状態が完全に逆転している場合だけでなく、両トランジスタの同時オフ期間（デッドタイム）が設けられている場合も含む。

[0019] なお、スイッチング出力回路１１０の出力形式については、上記の降圧型に限らず、昇圧型、昇降圧型、及び、反転型のいずれであっても構わない。また、スイッチング出力回路１１０の整流方式についても、上記の同期整流方式に限らず、下側スイッチとして整流ダイオードを用いたダイオード整流方式を採用してもよい。

[0020] また、出力トランジスタ１１１をＮＭＯＳＦＥＴに置換することもできる

。ただし、その場合には、上側ゲート信号Ｇ１のハイレベルを入力電圧ＰＶＤＤよりも高い電圧値まで引き上げるために、ブートストラップ回路又はチャージポンプ回路が必要となる。

[0021] また、出力トランジスタ１１１及び同期整流トランジスタ１１２は、半導体集積回路装置２００に外付けされてもよい。

[0022] 特に、スイッチング出力回路１１０に対して高電圧が印加される場合には、出力トランジスタ１１１及び同期整流トランジスタ１１２として、それぞれ、パワーＭＯＳＦＥＴ、ＩＧＢＴ［insulated gate bipolar transistor］、及び、ＳｉＣトランジスタなどの高耐圧素子が用いられるとよい。また、出力トランジスタ１１１及び同期整流トランジスタ１１２として、それぞれ、ＧａＮデバイスが用いられてもよい。

[0023] 帰還電圧生成回路１２０は、出力電圧ＶＯＵＴの印加端と接地端との間に直列接続された抵抗１２１及び１２２を含む。帰還電圧生成回路１２０は、抵抗１２１及び１２２の接続ノードから出力電圧ＶＯＵＴに応じた帰還電圧ＦＢ（＝出力電圧ＶＯＵＴの分圧電圧）を出力する。

[0024] なお、出力電圧ＶＯＵＴがエラーアンプ１４０の入力ダイナミックレンジ内に収まっている場合には、帰還電圧生成回路１２０を省略して出力電圧ＶＯＵＴをエラーアンプ１４０に直接入力しても構わない。

[0025] また、抵抗１２１及び１２２は、半導体集積回路装置２００に外付けされてもよい。

[0026] 基準電圧生成回路１３０は、所定の基準電圧ＲＥＦ（＝出力電圧ＶＯＵＴの目標設定値に相当）を生成する。なお、基準電圧生成回路１３０としては、デジタルの基準電圧設定信号をアナログの基準電圧ＲＥＦに変換するＤＡＣ［digital-to-analog converter］を用いるとよい。このような構成であれば、上記の基準電圧設定信号を用いて、起動時のソフトスタート動作を実現したり、出力電圧ＶＯＵＴを調整したりすることが可能となる。

[0027] エラーアンプ１４０は、反転入力端（－）に印加される帰還電圧ＦＢと、非反転入力端（＋）に印加される基準電圧ＲＥＦとの差分に応じて、電圧帰

還情報Ｖｉｎｆｏを含む誤差信号ＥＲＲ（＝ＥＲＲＰ－ＥＲＲＮ）を生成する。誤差信号ＥＲＲは、帰還電圧ＦＢが基準電圧ＲＥＦよりも低いときに上昇し、帰還電圧ＦＢが基準電圧ＲＥＦよりも高いときに低下する。

[0028] なお、本図では、エラーアンプ１４０として、差動電流信号ＩＰ及びＩＮを出力する電流出力型アンプが用いられている。差動電流信号ＩＰ及びＩＮは、互いに逆向きに流れる電流であり、帰還電圧ＦＢと基準電圧ＲＥＦとの差分に応じて増減する。

[0029] より具体的に述べると、差動電流信号ＩＰは、ＲＥＦ＞ＦＢであるときには、両者の差分が大きいほど正方向（＝エラーアンプ１４０から流れ出る方向）に大きくなり、ＲＥＦ＜ＦＢであるときには、両者の差分が大きいほど負方向（＝エラーアンプ１４０に流れ込む方向）に大きくなる。

[0030] これに対して、差動電流信号ＩＮは、差動電流信号ＩＰとは逆に、ＲＥＦ＞ＦＢであるときには、両者の差分が大きいほど負方向に大きくなり、ＲＥＦ＜ＦＢであるときには、両者の差分が大きいほど正方向に大きくなる。

[0031] 下側電流検出部２１０は、同期整流トランジスタ１１２のオン期間に流れるインダクタ電流ＩＬ（以下では下側インダクタ電流ＩＬＬと呼ぶ）を検出して電流帰還情報Ｉｉｎｆｏを取得する。

[0032] 例えば、同期整流トランジスタ１１２のオン期間には、上記の電流帰還情報Ｉｉｎｆｏとして、下側インダクタ電流ＩＬＬに応じた下側センス信号ＳＮＳＬ（＝ＳＷ－ＰＶＳＳ＝－ＩＬＬ×ＲｏｎＬ、ただしＲｏｎＬは同期整流トランジスタ１１２のオン抵抗）が情報合成部２２０に伝達される。一方、同期整流トランジスタ１１２のオフ期間には、下側センス信号ＳＮＳＬがゼロ値に固定される。従って、スイッチ電圧ＳＷのハイレベル（≒ＰＶＤＤ）が情報合成部２２０に伝達されることはない。

[0033] なお、下側インダクタ電流ＩＬＬの検出手法については、同期整流トランジスタ１１２のドレイン・ソース間電圧を検出する手法のほかにも、任意の手法を採用することが可能である。例えば、同期整流トランジスタ１１２に直列接続されたセンス抵抗の両端間電圧を検出してもよいし、或いは、同期

整流トランジスタ１１２に並列接続された電流検出用トランジスタのドレイン・ソース間電圧を検出してもよい。

[0034] 情報合成部２２０は、情報合成部２２０は、エラーアンプ１４０で取得された電圧帰還情報Ｖｉｎｆｏと、下側電流検出部２１０で取得された電流帰還情報Ｉｉｎｆｏを合成して合成帰還情報ＶＩｉｎｆｏを生成する。本図に即して述べると、情報合成部２２０は、抵抗２２１及び２２２（いずれも抵抗値Ｒ）を含む。

[0035] 抵抗２２１の第１端は、エラーアンプ１４０の第１出力端（＝差動電流信号ＩＰの出力端）に接続されている。抵抗２２１の第２端は、下側電流検出部２１０の第１出力端（＝下側センス信号ＳＮＳＬの出力端）に接続されている。

[0036] 抵抗２２２の第１端は、エラーアンプ１４０の第２出力端（＝差動電流信号ＩＮの出力端）に接続されている。抵抗２２２の第２端は、下側電流検出部２１０の第２出力端（＝接地電圧ＰＶＳＳの印加端）に接続されている。

[0037] なお、抵抗２２１の第１端から出力される正側の差動誤差信号（電圧信号）は、ＥＲＲＰ＝ＩＰ×Ｒ＋ＳＷと表すことができる。また、抵抗２２２の第１端から出力される負側の差動誤差信号（電圧信号）は、ＥＲＲＮ＝ＩＮ×Ｒ＋ＰＶＳＳ（ただしＩＮ＝－ＩＰ）と表すことができる。

[0038] 従って、差動誤差信号ＥＲＲＰ及びＥＲＲＮの差分信号は、ＥＲＲＰ－ＥＲＲＮ＝２ＩＰ×Ｒ－ＩＬＬ×ＲｏｎＬと表される。ここで、右辺第１項（２ＩＰ×Ｒ）は、エラーアンプ１４０で取得された電圧帰還情報Ｖｉｎｆｏとして理解することができる。また、右辺第２項（－ＩＬＬ×ＲｏｎＬ）は、下側電流検出部２１０で取得された電流帰還情報Ｉｉｎｆｏとして理解することができる。従って、上記の差分信号（ＥＲＲＰ－ＥＲＲＮ）は、電圧帰還情報Ｖｉｎｆｏに電流帰還情報Ｉｉｎｆｏを合成した合成帰還情報ＶＩｉｎｆｏとして理解することができる。

[0039] 情報保持部２３０は、同期整流トランジスタ１１２のオン期間に合成帰還情報ＶＩｉｎｆｏをサンプリングし、出力トランジスタ１１１のオン期間に

差動保持信号ＨＬＤＰ及びＨＬＤＮとしてホールド出力する。なお、合成帰還情報Ｖｉｎｆｏには、電流帰還情報Ｉｉｎｆｏ（例えばインダクタ電流ＩＬの下側ピーク値に関する情報）が含まれる。

[0040] 本図に即して述べると、情報保持部２３０は、同期整流トランジスタ１１２のオン期間に差動誤差信号ＥＲＲＰ及びＥＲＲＮをそれぞれサンプリングする一方、出力トランジスタ１１１のオン期間に差動保持信号ＨＬＤＰ及びＨＬＤＮをそれぞれホールド出力する。

[0041] ランプ信号生成回路１５０は、出力トランジスタ１１１のオン期間Ｔｏｎに上昇する三角波状、鋸波状、又は、ｎ次スロープ波状（例えばｎ＝２）のランプ信号ＲＡＭＰを生成する。なお、ランプ信号ＲＡＭＰは、例えば、出力トランジスタ１１１のオンタイミングでゼロ値から上昇を開始し、出力トランジスタ１１１のオフタイミングでゼロ値にリセットされる。

[0042] オシレータ１６０は、所定のスイッチング周波数ｆｓｗ（＝１／Ｔｓｗ）でパルス駆動されるオン信号ＯＮ（＝クロック信号）を生成する。

[0043] ＰＷＭコンパレータ１７０は、出力トランジスタ１１１のオン期間において、反転入力端（－）に入力されるランプ信号ＲＡＭＰ（より正確には、ランプ信号ＲＡＭＰが足し合わされた差動保持信号ＨＬＤＮ）と、非反転入力端（＋）に入力される差動保持信号ＨＬＤＰとを比較してオフ信号ＯＦＦを生成する。このような比較処理により、出力トランジスタ１１１のオフタイミングが決定される。

[0044] 上記のオフ信号ＯＦＦは、ランプ信号ＲＡＭＰが誤差信号ＥＲＲ（＝ＥＲＲＰ－ＥＲＲＮ）よりも低いときにハイレベルとなり、ランプ信号ＲＡＭＰが誤差信号ＥＲＲよりも高いときにローレベルとなる。すなわち、オフ信号ＯＦＦのパルス生成タイミングは、誤差信号ＥＲＲが高いほど遅くなり、誤差信号ＥＲＲが低いほど早くなる。

[0045] 制御回路１８０は、オン信号ＯＮとオフ信号ＯＦＦに応じて上側ゲート信号Ｇ１と下側ゲート信号Ｇ２を生成する。具体的に述べると、制御回路１８０は、オン信号ＯＮにパルスが生成されたときに、上側ゲート信号Ｇ１と下

側ゲート信号Ｇ２をいずれもローレベル（＝スイッチ電圧ＳＷをハイレベルとするときの論理レベル）に立ち下げる。一方、制御回路１８０は、オフ信号ＯＦＦにパルスが生成されたときに、上側ゲート信号Ｇ１と下側ゲート信号Ｇ２をいずれもハイレベル（＝スイッチ電圧ＳＷをローレベルとするときの論理レベル）に立ち上げる。

[0046] 従って、出力トランジスタ１１１のオン期間Ｔｏｎ（＝スイッチ電圧ＳＷのハイレベル期間）は、オフ信号ＯＦＦのパルス生成タイミングが遅いほど長くなり、逆に、オフ信号ＯＦＦのパルス生成タイミングが早いほど短くなる。すなわち、出力トランジスタ１１１のオンデューティＤ（＝Ｔｏｎ／Ｔｓｗ）は、誤差信号ＥＲＲ（＝ＥＲＲＰ－ＥＲＲＮ）が高いほど大きくなり、誤差信号ＥＲＲが低いほど小さくなる。

[0047] 本実施形態のスイッチング電源１００であれば、電流モード制御方式の出力帰還制御を実現することができる。従って、電圧モード制御方式の出力帰還制御と比べて、出力電圧ＶＯＵＴの応答特性を高めることが可能となる。

[0048] 特に、本比較例のスイッチング電源１００では、出力トランジスタ１１１に流れるインダクタ電流ＩＬ（以下では上側インダクタ電流ＩＬＨと呼ぶ）ではなく、同期整流トランジスタ１１２に流れる下側インダクタ電流ＩＬＬを検出する構成が採用されている。本構成によれば、出力トランジスタ１１１のオン期間が短くなる場合（例えば高電圧入力時又は低電圧出力時）であっても、電流モード制御方式の出力帰還制御を支障なく実施することが可能となる。

[0049] なお、下側インダクタ電流ＩＬＬに応じた電流帰還情報Ｉｎｆｏを用いて電流モード制御方式の出力帰還制御を行うためには、同期整流トランジスタ１１２のオン期間（＝出力トランジスタ１１１のオフ期間）に取得された電流帰還情報Ｉｎｆｏを保持しておくための情報保持部２３０が必須となる。

[0050] ここで、情報保持部２３０は、情報合成部２２０とＰＷＭコンパレータ１７０との間に設けられており、電圧帰還情報Ｖｉｎｆｏに電流帰還情報Ｉｉ

ｎｆｏを合成して得られた合成帰還情報ＶｌｉｎｆｏをＰＷＭコンパレータ１７０での信号比較処理には、何ら影響が及ばない。従って、安定したデューティ制御を実現することが可能となる。

[0052] また、電圧帰還情報Ｖｉｎｆｏと電流帰還情報ｌｉｎｆｏを加算後にサンプル／ホールドすることにより、電圧帰還情報Ｖｉｎｆｏと電流帰還情報ｌｉｎｆｏとの間の時間的な齟齬を防止し、スイッチング電源１００の性能を向上することが可能となる。

[0053] ただし、本比較例のスイッチング電源１００では、電流帰還制御ループだけでなく電圧帰還制御ループにもサンプル／ホールド処理に伴う応答遅延が生じてしまう。そのため、応答特性の向上については、さらなる改善の余地があり得る。

[0054] 上記の考察に鑑み、以下では、応答特性の限界を追求することのできる新規な実施形態を提案する。

[0055] ＜第１実施形態＞

図２は、スイッチング電源の第１実施形態を示す図である。本実施形態のスイッチング電源１００は、先出の比較例（図１）を基本としつつ、加算部２５０をさらに備え、電圧帰還情報Ｖｉｎｆｏと電流帰還情報ｌｉｎｆｏの合成経路が変更されている。以下では、変更点を中心に説明する。

[0056] 電流帰還情報ｌｉｎｆｏを含む下側センス信号ＳＮＳＬは、情報合成部２２０（＝抵抗２２１及び２２２それぞれの第２端）に入力されるのではなく、情報保持部２３０に直接入力されている。抵抗２２１及び２２２それぞれの第２端は、いずれも接地端に接続されている。このように、情報合成部２２０は、もはや電圧帰還情報Ｖｉｎｆｏと電流帰還情報ｌｉｎｆｏを合成する機能部ではなく、単に差動電流信号ＩＰ及びＩＮに応じて差動誤差信号ＥＲＲＰ及びＥＲＲＮを生成する機能部（位相補償抵抗部）として理解され得る。

[0057] 情報保持部２３０は、同期整流トランジスタ１１２のオン期間に電流帰還情報Ｉｉｎｆｏ（例えばインダクタ電流ＩＬの下側ピーク値に関する情報）をサンプリングし、出力トランジスタ１１１のオン期間に電流帰還情報Ｉｉｎｆｏを含む差動保持信号ＨＬＤＰ及びＨＬＤＮとしてホールド出力する。

[0058] 加算部２５０は、差動誤差信号ＥＲＲＰ及びＥＲＲＮと差動保持信号ＨＬＤＰ及びＨＬＤＮとを足し合わせて合成帰還情報Ｖｉｎｆｏを含む差動加算信号ＡＰ及びＡＮを出力する。本図に即して述べると、加算部２５０は、加算器２５１及び２５２を含む。

[0059] 加算器２５１は、差動誤差信号ＥＲＲＰと差動保持信号ＨＬＤＰとを足し合わせて差動加算信号ＡＰを出力する。加算器２５２は、差動誤差信号ＥＲＲＮとランプ信号ＲＡＭＰが重畳される差動保持信号ＨＬＤＮとを足し合わせて差動加算信号ＡＮを出力する。

[0060] ＰＷＭコンパレータ１７０は、出力トランジスタ１１１のオン期間において、反転入力端（－）に入力される差動加算信号ＡＮと、非反転入力端（＋）に入力される差動加算信号ＡＰとを比較してオフ信号ＯＦＦを生成する。すなわち、ＰＷＭコンパレータ１７０では、ランプ信号ＲＡＭＰと加算信号ＡＤＤ（＝ＡＰ－ＡＮ）とが比較されることにより、出力トランジスタ１１１のオフタイミングが決定される。

[0061] なお、上記構成要素のうち、ランプ信号生成回路１５０、ＰＷＭコンパレータ１７０、及び、加算部２５０は、差動誤差信号ＥＲＲＰ及びＥＲＲＮ、並びに、差動保持信号ＨＬＤＰ及びＨＬＤＮそれぞれの入力を個別に受けて、出力トランジスタ１１１のオフタイミングを決定するオフタイミング制御部１９０として理解することができる。

[0062] 本実施形態のスイッチング電源１００であれば、電圧帰還情報Ｖｉｎｆｏが情報保持部２３０を介することなくＰＷＭコンパレータ１７０に直接入力される。従って、エラーアンプ１４０のゲイン調整により電圧帰還制御ループが自在に調整可能となる。その結果、情報保持部２３０でのサンプル／ホールド処理に伴う応答遅延が解消され得る。

[0063] 図３は、第１実施形態における応答特性（本図では負荷応答特性）の改善効果を示す図である。本図では、上から順に、負荷Ｚに供給される出力電圧ＶＯＵＴ及び出力電流ＩＯＵＴが描写されている。また、出力電圧ＶＯＵＴについて、実線は第１実施形態（図２）の挙動を示しており、破線は比較例（図１）の挙動を示している。

[0064] 本図で示したように、本実施形態のスイッチング電源１００であれば、比較例（図１）と比べて応答特性を大幅に向上することが可能となる。なお、安定性は多少犠牲になるものの、発振マージンは問題のないレベルに調整され得る。

[0065] ＜第２実施形態＞

図４は、スイッチング電源１００の第２実施形態を示す図である。本実施形態のスイッチング電源１００は、先出の第１実施形態（図２）を基本としつつ、積分要素を持たないエラーアンプ１４０の入力誤差Ｖｏｆｓ（＝ＦＢ－ＲＥＦ）を検出してエラーアンプ１４０の入力信号（＝帰還電圧ＦＢと基準電圧ＲＥＦの少なくとも一方）を補正する誤差補正部２４０をさらに備える。なお、誤差補正部２４０は、コンパレータ２４１とデジタル較正部２４２を含む。

[0066] コンパレータ２４１は、エラーアンプ１４０の入力誤差Ｖｏｆｓ（＝ＦＢ－ＲＥＦ）を検出する手段であり、非反転入力端（＋）に入力される帰還電圧ＦＢと反転入力端（－）に入力される基準電圧ＲＥＦとを比較して入力誤差検出信号Ｓ１１を生成する。なお、入力誤差検出信号Ｓ１１は、ＦＢ＞ＲＥＦ（すなわちＶｏｆｓ＞０）であるときにハイレベルとなり、ＦＢ＜ＲＥＦ（すなわちＶｏｆｓ＜０）であるときにローレベルとなる。

[0067] 制御回路１８０は、入力誤差検出信号Ｓ１１に基づいて、入力誤差Ｖｏｆｓが小さくなるように、デジタル較正信号Ｓ１２を生成する。例えば、入力誤差検出信号Ｓ１１がハイレベルであるときには、帰還電圧ＦＢを引き下げるか、基準電圧ＲＥＦを引き上げるか、又は、その両方を行うように、デジタル較正信号Ｓ１２を生成すればよい。逆に、入力誤差検出信号Ｓ１１がロ

ーレベルであるときには、帰還電圧ＦＢを引き上げるか、基準電圧ＲＥＦを引き下げるか、又は、その両方を行うように、デジタル較正信号Ｓ１２を生成すればよい。

[0068] デジタル較正部２４２は、デジタル較正信号Ｓ１２に応じて、帰還電圧ＦＢ及び基準電圧ＲＥＦの少なくとも一方を補正する。なお、デジタル較正部２４２としては、ＤＡＣなどが好適に用いられる。また、入力誤差検出信号Ｓ１１をデジタル較正部２４２に直接入力し、その内部でデジタル較正信号Ｓ１２を生成する構成としてもよい。その場合には、制御回路１８０を要することなく、誤差補正部２４０だけで入力誤差Ｖｏｆｓの補正処理を完結することができる。

[0069] 次に、誤差補正部２４０の導入意義について詳細に説明する。

[0070] 一般的なエラーアンプは、積分要素となる位相補償用のキャパシタ（例えば数十ｐＦ）を持ち、その充放電を行うことで誤差信号を生成する。そのため、発振を生じ難い反面、信号帯域に制限が掛かるので、電圧帰還制御ループの高速化には不向きである。一方、エラーアンプから積分要素を排除すると、電圧帰還制御ループの高速化を実現できるが、背反として、エラーアンプの入力誤差をキャンセルし難くなる。

[0071] そこで、本実施形態のスイッチング電源１００では、積分要素を持たないエラーアンプ１４０を用いて電圧帰還制御ループの高速化（数十ｋＨｚ→数ＭＨｚ）を図る一方、エラーアンプ１４０とは別に、エラーアンプ１４０の入力誤差Ｖｏｆｓを補正するための誤差補正部２４０が導入されている。

[0072] このように、高速電圧帰還と誤差補正を並列化することにより、それぞれの設計パラメータを分離することができるので、電圧帰還制御ループの高速化と高精度化を両立することが可能となる。また、一般的なエラーアンプと異なり、位相補償用のキャパシタを必要としないので、チップ面積の縮小及びピン数の削減を図ることも可能となる。

[0073] ＜第３実施形態＞

図５は、スイッチング電源１００の第３実施形態を示す図である。本実施

形態のスイッチング電源１００は、先出の第２実施形態（図４）と同じく、誤差補正部２４０を備えているが、その回路構成が異なっている。

[0074] より具体的に述べると、本実施形態の誤差補正部２４０は、先出のコンパレータ２４１と共に、デジタル較正部２４６と誤差補正アンプ２４７を含み、エラーアンプ１４０の入力誤差Ｖｏｆｓを検出してエラーアンプ１４０の出力信号（＝差動誤差信号ＥＲＲＰ及びＥＲＲＮ）を補正する。

[0075] デジタル較正部２４６は、デジタル較正信号Ｓ１２に応じて、基準電圧ＲＥＦから誤差補正アンプ２４７への差動入力信号を生成する。

[0076] 誤差補正アンプ２４７は、デジタル較正部２４６からの差動入力信号に応じた補正電流ＩａｄｊＰ及びＩａｄｊＮを生成し、これをエラーアンプ１４０の差動電流信号ＩＰ及びＩＮに足し合わせる。

[0077] このように、エラーアンプ１４０の入力信号を補正するのではなく、エラーアンプ１４０の出力信号を補正する構成であっても、電圧帰還制御ループの高速化と高精度化を両立することが可能である。

[0078] ＜第４実施形態＞

図６は、スイッチング電源１００の第４実施形態を示す図である。本実施形態のスイッチング電源１００は、先の第２実施形態（図４）及び第３実施形態（図５）と同じく、誤差補正部２４０を備えているが、その回路構成が異なっている。

[0079] より具体的に述べると、本実施形態の誤差補正部２４０は、誤差補正アンプ２４３と、キャパシタ２４４と、抵抗２４５とを含み、エラーアンプ１４０の入力誤差Ｖｏｆｓを検出してエラーアンプ１４０の出力信号（＝誤差信号ＥＲＲ）を補正する。

[0080] なお、本実施形態では、説明を簡単とするために、エラーアンプ１４０をシングル出力型としているが、先出の第１実施形態（図２）、第２実施形態（図４）及び第３実施形態（図５）に倣い、エラーアンプ１４０を差動出力型としても構わない。

[0081] 誤差補正アンプ２４３は、反転入力端（－）に印加される帰還電圧ＦＢと

、非反転入力端（＋）に印加される基準電圧ＲＥＦとの差分（＝入力誤差Ｖｏｆｓ）に応じた補正電流Ｉａｄｊを生成する。なお、ＦＢ＜ＲＥＦ（すなわちＶｏｆｓ＞０）であるときには、両者の差分が大きいほど補正電流Ｉａｄｊが正方向（＝誤差補正アンプ２４３の出力端から抵抗２４５を介してエラーアンプ１４０の出力端に向かう方向）に大きくなる。一方、ＦＢ＞ＲＥＦ（すなわちＶｏｆｓ＜０）であるときには、両者の差分が大きいほど補正電流Ｉａｄｊが負方向（＝エラーアンプ１４０の出力端から抵抗２４５を介して誤差補正アンプ２４３の出力端に向かう方向）に大きくなる。

[0082] ただし、誤差補正アンプ２４３は、あくまで、入力誤差Ｖｏｆｓの補正手段としてエラーアンプ１４０に並列接続されており、その電流能力は、エラーアンプ１４０の電流能力よりも十分に小さく抑えられている（例えば数μＡ）。また、誤差補正アンプ２４３の出力端には、小容量（例えば数ｐＦ）のキャパシタ２４４が接続されている。すなわち、誤差補正アンプ２４３は、積分要素を持ち、エラーアンプ１４０よりも低速な電流出力型アンプであると言える。

[0083] 抵抗２４５（抵抗値：Ｒａｄｊ）は、エラーアンプ１４０の出力端と誤差補正アンプ２４３の出力端との間に接続されており、その両端間電圧を補正電圧Ｖａｄｊ（＝Ｉａｄｊ×Ｒａｄｊ）として誤差信号ＥＲＲに足し合わせることにより、補正済みの誤差信号ＥＲＲ２（＝ＥＲＲ＋Ｖａｄｊ）を生成する。

[0084] 例えば、ＦＢ＜ＲＥＦであるときには、正方向の補正電流Ｉａｄｊが流れるので、誤差信号ＥＲＲが補正電圧Ｖａｄｊだけ引き上げられる。その結果、補正済みの誤差信号ＥＲＲ２が上昇した分だけ、出力トランジスタ１１１のオフタイミングが遅れるので、出力電圧ＶＯＵＴ（延いては帰還電圧ＦＢ）が上昇し、入力誤差Ｖｏｆｓが減少する。

[0085] 一方、ＦＢ＞ＲＥＦであるときには、負方向の補正電流Ｉａｄｊが流れるので、誤差信号ＥＲＲが補正電圧Ｖａｄｊだけ引き下げられる。その結果、補正済みの誤差信号ＥＲＲ２が低下した分だけ、出力トランジスタ１１１の

オフタイミングが早まるので、出力電圧ＶＯＵＴ（延いては帰還電圧ＦＢ）が低下し、入力誤差Ｖｏｆｓが減少する。

[0086] このように、エラーアンプ１４０に対して誤差補正アンプ２４３を並列に接続することにより、先の第２実施形態（図４）及び第３実施形態（図５）と同じく、電圧帰還制御ループの高速化と高精度化を両立することが可能となる。

[0087] ＜総括＞

以下では、上記で説明した種々の実施形態について総括的に述べる。

[0088] 例えば、本明細書中に開示されている電源制御装置は、スイッチング出力回路の上側スイッチと下側スイッチをオン／オフすることによりインダクタ電流を駆動して入力電圧から出力電圧を生成するように構成された制御回路と、前記出力電圧又はこれに応じた帰還電圧と所定の基準電圧とを比較して電圧帰還情報を含む誤差信号を出力するように構成されたエラーアンプと、前記下側スイッチに流れる前記インダクタ電流に応じた電流帰還情報を前記下側スイッチのオン期間にサンプリングし、前記上側スイッチのオン期間に前記電流帰還情報を含む保持信号としてホールド出力するように構成された情報保持部と、前記誤差信号及び前記保持信号それぞれの入力を個別に受けて前記上側スイッチのオフタイミングを決定するように構成されたオフタイミング制御部とを備える構成（第１の構成）とされている。

[0089] なお、上記第１の構成による電源制御装置において、前記オフタイミング制御部は、前記誤差信号と前記保持信号とを足し合わせて合成帰還情報を含む加算信号を出力するように構成された加算部と、ランプ信号を生成するように構成されたランプ信号生成回路と、前記上側スイッチのオン期間に前記ランプ信号と前記加算信号とを比較して前記上側スイッチのオフタイミングを決定するように構成されたＰＷＭコンパレータとを含む構成（第２の構成）としてもよい。

[0090] また、上記第１又は第２の構成による電源制御装置は、積分要素を持たない前記エラーアンプの入力誤差を検出して前記エラーアンプの入力信号又は

出力信号を補正するように構成された誤差補正部をさらに備える構成（第３の構成）としてもよい。

[0091] また、上記第３の構成による電源制御装置において、前記誤差補正部は、前記エラーアンプの入力誤差を検出するコンパレータと、前記コンパレータの検出結果に応じて前記エラーアンプの入力信号又は出力信号を補正するように構成されたデジタル較正部と、を含む構成（第４の構成）としてもよい。

[0092] また、上記第３の構成による電源制御装置において、前記誤差補正部は、前記エラーアンプに対して並列に前記エラーアンプよりも低速の誤差補正アンプを含む構成（第５の構成）としてもよい。

[0093] また、上記第１～第５いずれかの構成による電源制御装置は、半導体集積回路装置に集積化されている構成（第６の構成）としてもよい。

[0094] また、例えば、本明細書中に開示されているスイッチング電源は、前記スイッチング出力回路と、上記第１～第６いずれかの構成による電源制御装置と、を備える構成（第７の構成）とされている。

[0095] ＜その他の変形例＞

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきである。また、本開示の技術的範囲は、特許請求の範囲により規定されるものであって、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0096]

１００　スイッチング電源

１１０　スイッチング出力回路

１１１　出力トランジスタ（ＰＭＯＳＦＥＴ）

１１２　同期整流トランジスタ（ＮＭＯＳＦＥＴ）

１１３　インダクタ

１１４　　キャパシタ

１２０　　帰還電圧生成回路

１２１、１２２　　抵抗

１３０　　基準電圧生成回路

１４０　　エラーアンプ

１５０　　ランプ信号生成回路

１６０　　オシレータ

１７０　　ＰＷＭコンパレータ

１８０　　制御回路

１９０　　オフタイミング制御部

２００　　半導体集積回路装置（電源制御装置）

２１０　　下側電流検出部

２２０　　情報合成部

２２１、２２２　　抵抗

２３０　　情報保持部

２４０　　誤差補正部

２４１　　コンパレータ

２４２　　デジタル較正部

２４３　　誤差補正アンプ

２４４　　キャパシタ

２４５　　抵抗

２４６　　デジタル較正部

２４７　　誤差補正アンプ

２５０　　加算部

２５１、２５２　　加算器

ＤＣＲ　　抵抗成分

ＥＳＲ　　抵抗成分

Ｚ　　負荷

請求の範囲

[請求項1] スイッチング出力回路の上側スイッチと下側スイッチをオン／オフすることによりインダクタ電流を駆動して入力電圧から出力電圧を生成するように構成された制御回路と、

前記出力電圧又はこれに応じた帰還電圧と所定の基準電圧とを比較して電圧帰還情報を含む誤差信号を出力するように構成されたエラーアンプと、

前記下側スイッチに流れる前記インダクタ電流に応じた電流帰還情報を前記下側スイッチのオン期間にサンプリングし、前記上側スイッチのオン期間に前記電流帰還情報を含む保持信号としてホールド出力するように構成された情報保持部と、

前記誤差信号及び前記保持信号それぞれの入力を個別に受けて前記上側スイッチのオフタイミングを決定するように構成されたオフタイミング制御部と、

を備える、電源制御装置。

[請求項2] 前記オフタイミング制御部は、

前記誤差信号と前記保持信号とを足し合わせて合成帰還情報を含む加算信号を出力するように構成された加算部と、

ランプ信号を生成するように構成されたランプ信号生成回路と、

前記上側スイッチのオン期間に前記ランプ信号と前記加算信号とを比較して前記上側スイッチのオフタイミングを決定するように構成されたＰＷＭコンパレータと、

を含む、請求項１に記載の電源制御装置。

[請求項3] 積分要素を持たない前記エラーアンプの入力誤差を検出して前記エラーアンプの入力信号又は出力信号を補正するように構成された誤差補正部をさらに備える、請求項１又は２に記載の電源制御装置。

[請求項4] 前記誤差補正部は、

前記エラーアンプの入力誤差を検出するコンパレータと、

前記コンパレータの検出結果に応じて前記エラーアンプの入力信号又は出力信号を補正するように構成されたデジタル較正部と、

を含む、請求項３に記載の電源制御装置。

[請求項5] 前記誤差補正部は、前記エラーアンプに対して並列に前記エラーアンプよりも低速の誤差補正アンプを含む、請求項３に記載の電源制御装置。

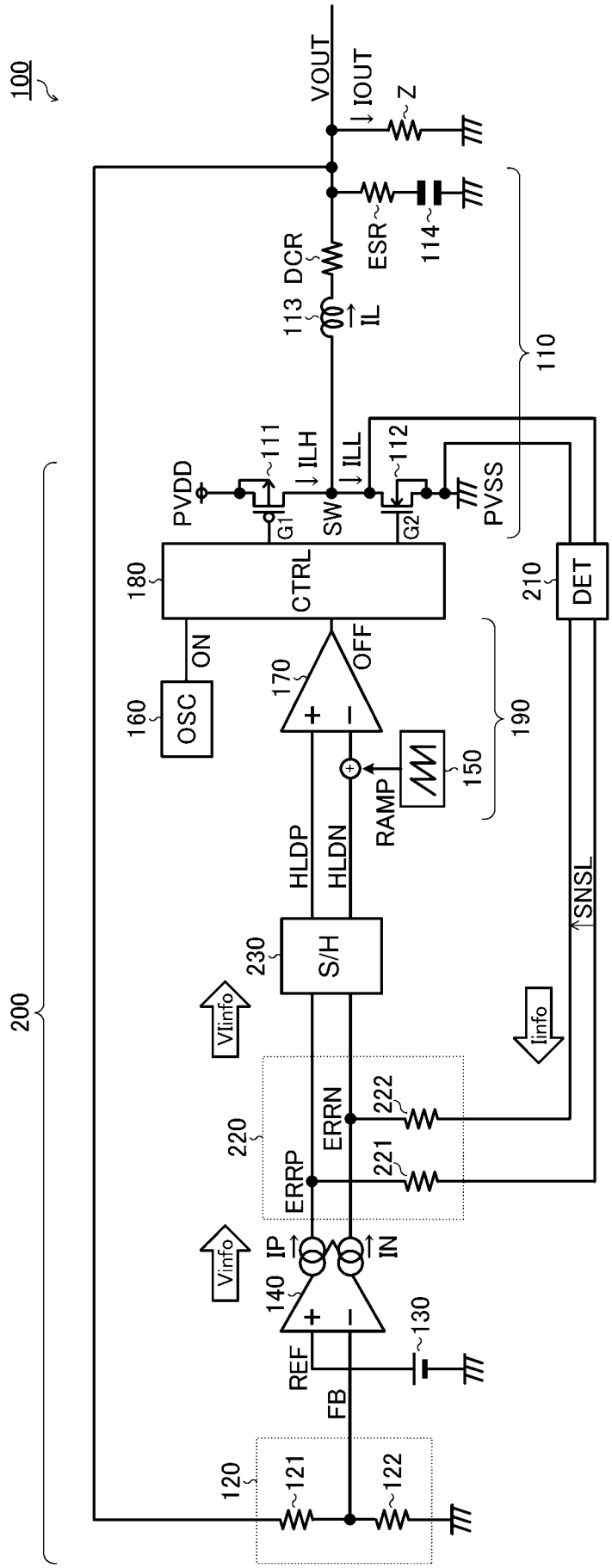
[請求項6] 半導体集積回路装置に集積化されている、請求項１～５のいずれか一項に記載の電源制御装置。

[請求項7] 前記スイッチング出力回路と、

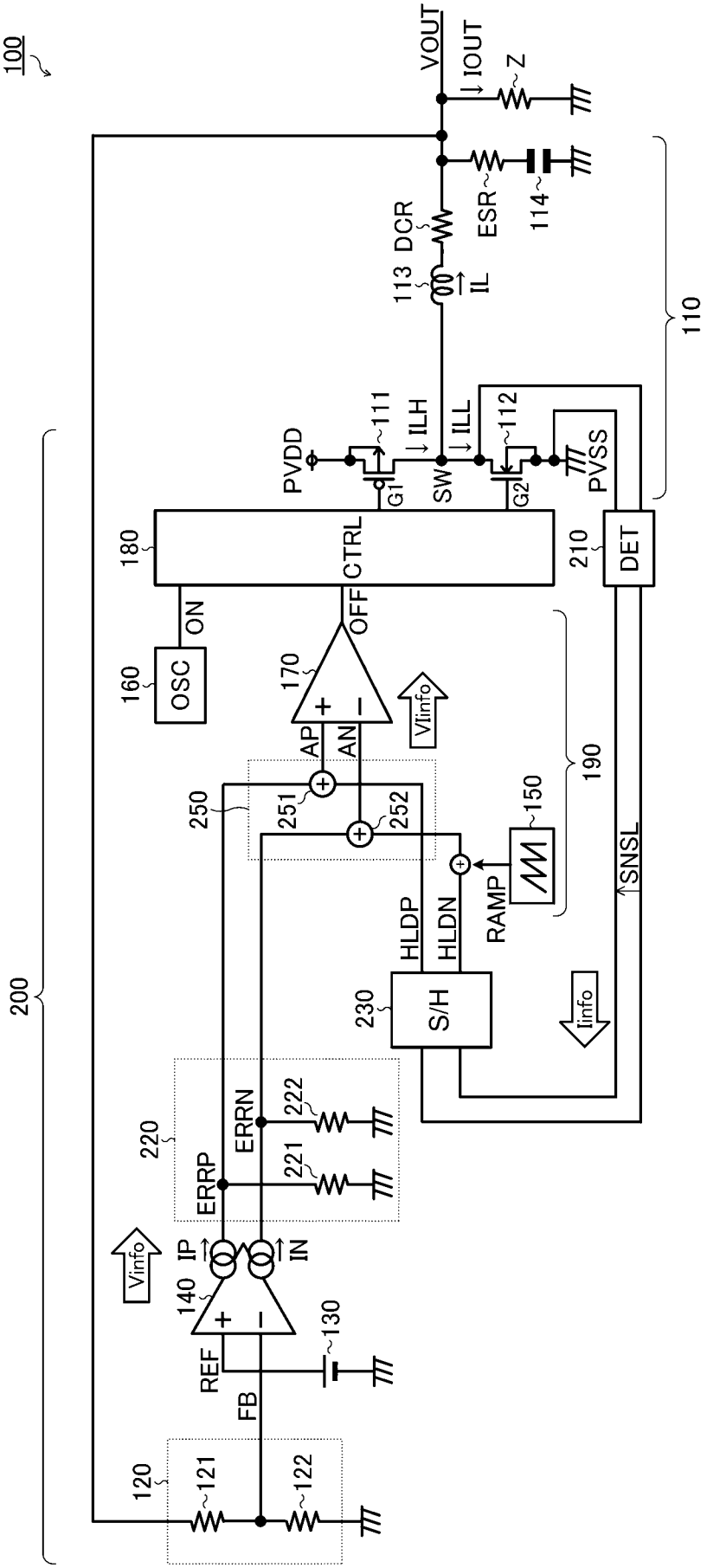
請求項１～６のいずれか一項に記載の電源制御装置と、

を備える、スイッチング電源。

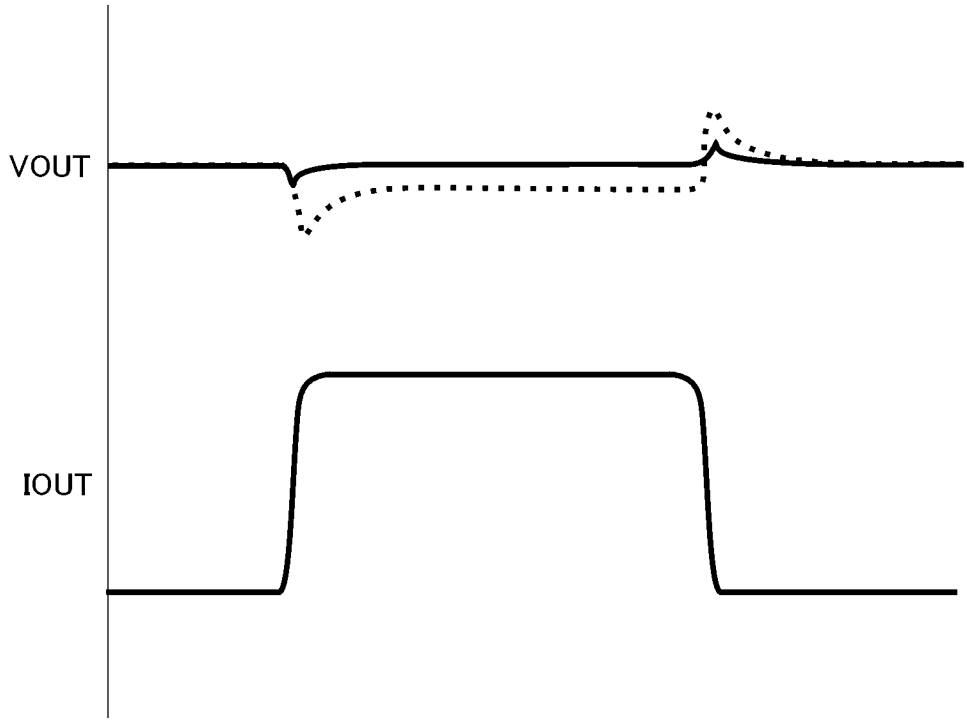
[図1]


100
VOUT
IOUT
Z
ESR
114
DCR
113
IL
110
PVDD
111
ILH
ILL
112
PVSS
SW
G1
G2
180
CTRL
210
DET
ON
OFF
160
OSC
170
190
150
RAMP
HLDP
HLDN
SNSL
230
S/H
Vlinfo
Iinfo
200
220
ERRN
222
ERRP
221
Vinfo
IP
IN
140
130
REF
FB
120
121
122

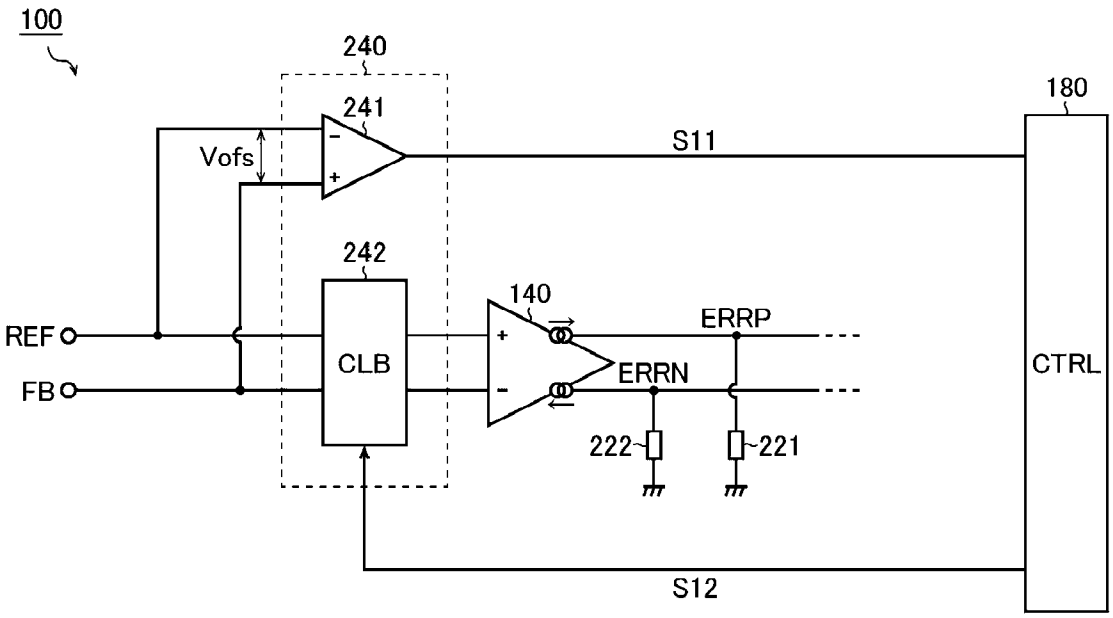
[図2]


100
VOUT
IOUT
Z
ESR
114
DCR
113
IL
110
PVDD
111
ILH
ILL
112
PVSS
SW
G1
G2
180
CTRL
210
DET
ON
OFF
160
OSC
170
AP
AN
Viinfo
250
251
252
190
150
RAMP
SNSL
HLDP
HLDN
230
S/H
Iinfo
200
220
ERRN
ERRP
222
221
Vinfo
IP
IN
140
130
REF
FB
120
121
122

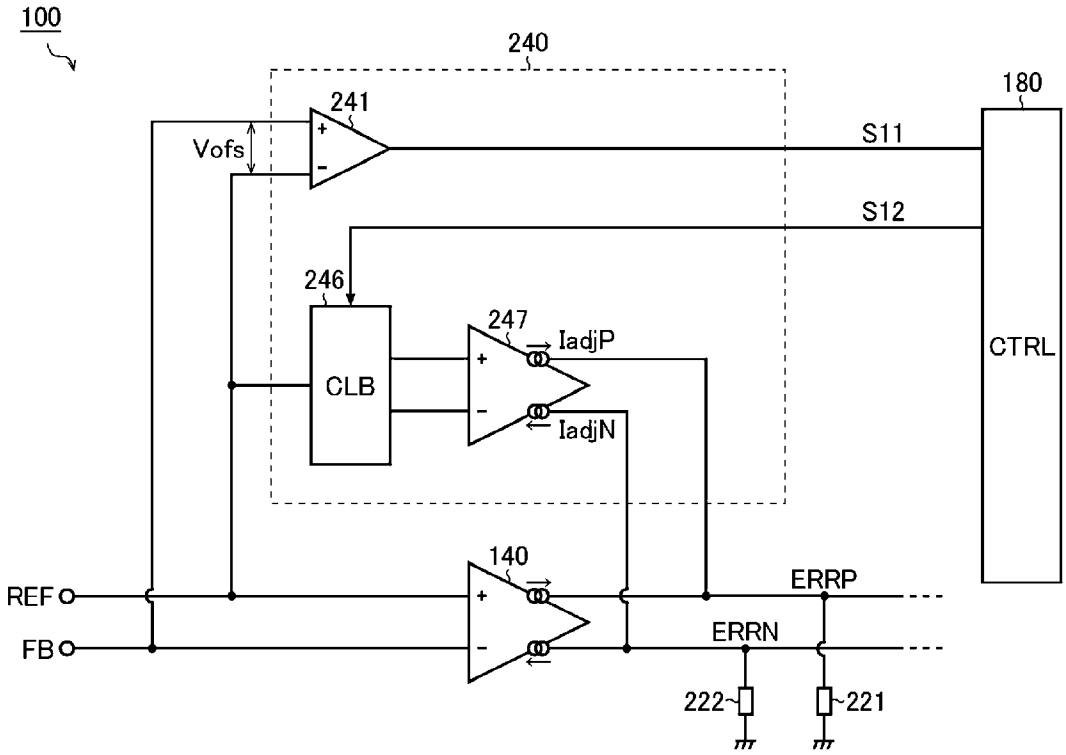
[図3]


VOUT
IOUT

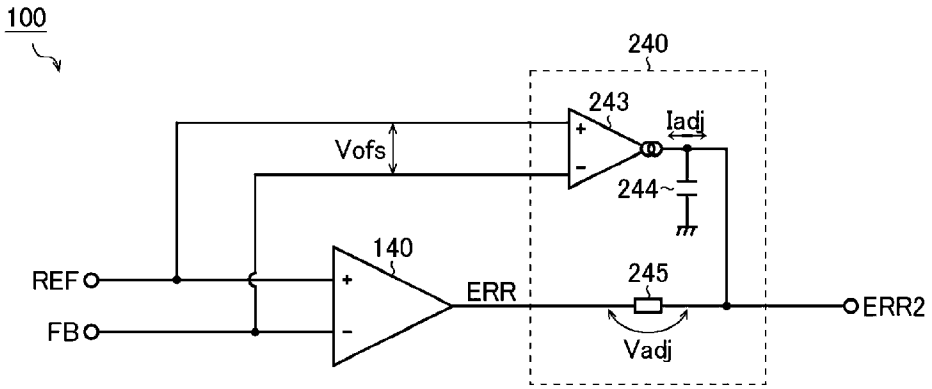
[図4]


100
240
241
180
Vofs
S11
242
140
REF
FB
CLB
ERRP
ERRN
CTRL
222
221
S12

[図5]


100
240
241
180
Vofs
S11
S12
246
247
IadjP
CLB
CTRL
IadjN
140
ERRP
REF
FB
ERRN
222
221

[図6]


100
240
243
Iadj
Vofs
244
140
REF
ERR
245
ERR2
FB
Vadj

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/028416

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155(2006.01)i
FI: H02M3/155 P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/0293211 A1 (ANPEC ELECTRONICS CORPORATION) 07 November 2013 (2013-11-07) paragraphs [0005]-[0008], fig. 1	1-7
A	JP 2016-67109 A (ROHM COMPANY, LIMITED) 28 April 2016 (2016-04-28) entire text, all drawings	1-7
A	WO 2021/054027 A1 (ROHM COMPANY, LIMITED) 25 March 2021 (2021-03-25) entire text, all drawings	1-7

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 September 2023	**03 October 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/028416

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2013/0293211 A1	07 November 2013	(Family: none)	
JP 2016-67109 A	28 April 2016	US 2016/0082846 A1 entire text, all drawings US 2019/0009678 A1 US 2021/0339634 A1 CN 105450016 A CN 109861536 A	
WO 2021/054027 A1	25 March 2021	US 2022/0302822 A1 entire text, all drawings	

国際調査報告

国際出願番号
PCT/JP2023/028416

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 3/155(2006.01)i
FI: H02M3/155 P

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2013/0293211 A1 (ANPEC ELECTRONICS CORPORATION) 07.11.2013 (2013-11-07) 段落5-8,図1	1-7
A	JP 2016-67109 A (ローム株式会社) 28.04.2016 (2016-04-28) 全文,全図	1-7
A	WO 2021/054027 A1 (ローム株式会社) 25.03.2021 (2021-03-25) 全文,全図	1-7

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
14.09.2023	03.10.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
柳下　勝幸 5G 9561

電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/028416

引用文献	公表日	パテントファミリー文献	公表日
US 2013/0293211 A1	07.11.2013	（ファミリーなし）	
JP 2016-67109 A	28.04.2016	US 2016/0082846 A1 全文,全図 US 2019/0009678 A1 US 2021/0339634 A1 CN 105450016 A CN 109861536 A	
WO 2021/054027 A1	25.03.2021	US 2022/0302822 A1 全文,全図	