

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年6月21日(21.06.2018)



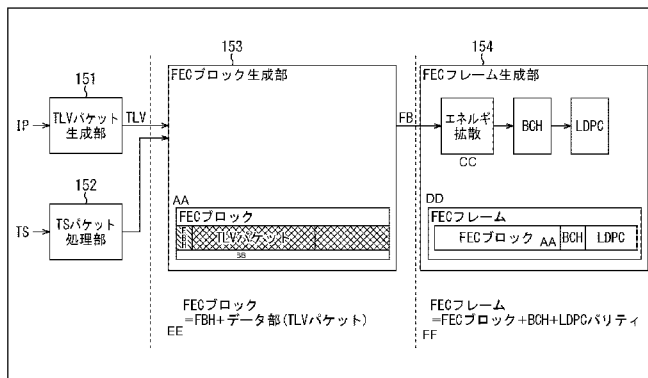
(10) 国際公開番号  
**WO 2018/110315 A1**

- (51) 国際特許分類:  
H04L 1/00 (2006.01) H04N 21/235 (2011.01)  
H04H 20/95 (2008.01) H04N 21/236 (2011.01)
- (21) 国際出願番号: PCT/JP2017/043236
- (22) 国際出願日: 2017年12月1日(01.12.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-244528 2016年12月16日(16.12.2016) JP  
特願 2017-015418 2017年1月31日(31.01.2017) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: マイケル ロックラン ブルース (MICHAEL Lachlan Bruce); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 高橋 和幸 (TAKAHASHI Kazuyuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) Title: TRANSMISSION DEVICE, TRANSMISSION METHOD, RECEPTION DEVICE, AND RECEPTION METHOD

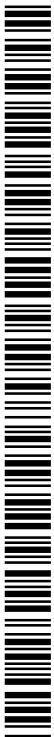
(54) 発明の名称: 送信装置、送信方法、受信装置、及び、受信方法

【図29】  
FIG. 29



- 151 TLV packet generation unit
- 152 TS packet processing unit
- 153 FEC block generation unit
- 154 FEC frame generation unit
- AA FEC block
- BB TLV packet
- CC Energy diffusion
- DD FEC frame
- EE FEC block = FBH + data portion (TLV packet)
- FF FEC frame = FEC block + BCH + LDPC parity

(57) Abstract: This technology relates to a transmission device, a transmission method, a reception device, and a reception method that make it possible to reliably issue a notification about the leading position of a transmission packet or a transmission stream when the transmission packet or the transmission stream is encapsulated in an error correction block. The transmission device generates an FEC block on the basis of an input packet or an input stream, and generates and transmits an FEC frame on the basis of the FEC block. The header of the FEC block includes a minimum fixed length header having type identification information for identifying the type of the input packet or the input stream, information for detecting an error in the header, and information related to the leading position of the input packet or the input stream to be stored in the payload of the FEC frame. This technology can be applied to data transmission, etc.



KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲及び説明書 (条約第19条(1))

---

(57) 要約：本技術は、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができるようにする送信装置、送信方法、受信装置、及び、受信方法に関する。送信装置は、入力パケット又は入力ストリームに基づいて、FECブロックを生成し、FECブロックに基づいて、FECフレームを生成して送信する。FECブロックのヘッダは、入力パケット又は入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、FECフレームのペイロードに格納される入力パケット又は入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む。本技術は、データの伝送等に適用することができる。

## 明 細 書

**発明の名称**：送信装置、送信方法、受信装置、及び、受信方法  
**技術分野**

[0001] 本技術は、送信装置、送信方法、受信装置、及び、受信方法に関し、特に、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができるようにした送信装置、送信方法、受信装置、及び、受信方法に関する。

### 背景技術

[0002] 例えば、地上デジタルテレビ放送の放送方式として、日本等が採用するISDB-T(Integrated Services Digital Broadcasting - Terrestrial)がある(例えば、非特許文献1参照)。

[0003] また、映像や音声のデータを伝送するための伝送パケットとして、可変長のパケットであるTLV(Type Length Value)パケットが知られている(例えば、非特許文献2参照)。

### 先行技術文献

#### 非特許文献

[0004] 非特許文献1：ARIB STD-B31 2.2版 一般社団法人 電波産業会  
非特許文献2：ARIB STD-B44 2.1版 一般社団法人 電波産業会

### 発明の概要

#### 発明が解決しようとする課題

[0005] ところで、地上デジタルテレビ放送の次世代化に向けた高度化の検討が行われている。次世代の地上デジタルテレビ放送においては、伝送パケットとして、TLVパケットを用いたデータの伝送が検討されている。

[0006] ここで、TLVパケット等の伝送パケットや、伝送ストリームは、FECブロック等の誤り訂正ブロックにカプセル化されて伝送されるが、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際の技術方式は確

立されていない。そのため、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知するための提案が要請されていた。

[0007] 本技術はこのような状況に鑑みてなされたものであり、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができるようにするものである。

### 課題を解決するための手段

[0008] 本技術の送信装置は、入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、前記FECフレームを送信する送信部とを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む送信装置である。

[0009] 本技術の送信方法は、入力パケット又は入力ストリームに基づいて、FECブロックを生成することと、前記FECブロックに基づいて、FECフレームを生成することと、前記FECフレームを送信することとを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダを含む送信方法である。

[0010] 本技術の送信装置及び送信方法においては、入力パケット又は入力ストリームに基づいて、FECブロックが生成され、前記FECブロックに基づいて、FECフレームが生成されて送信される。前記FECブロックのヘッダには、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記

入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダが含まれる。

[0011] 本技術の受信装置は、送信されてくるFECフレームからなる信号を受信する受信部と、受信された前記FECフレームに基づいて、FECブロックを生成する第1の生成部と、前記FECブロックに基づいて、入力パケット又は入力ストリームを生成する第2の生成部とを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む受信装置である。

[0012] 本技術の受信方法は、送信されてくるFECフレームからなる信号を受信することと、受信された前記FECフレームに基づいて、FECブロックを生成することと、前記FECブロックに基づいて、入力パケット又は入力ストリームを生成することとを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む受信方法である。

[0013] 本技術の受信装置及び受信方法においては、送信されてくるFECフレームからなる信号が受信され、受信された前記FECフレームに基づいて、FECブロックが生成される。そして、前記FECブロックに基づいて、入力パケット又は入力ストリームが生成される。前記FECブロックのヘッダには、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダが含まれる。

### 発明の効果

[0014] 本技術によれば、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができる。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示

中に記載されたいずれかの効果であってもよい。

### 図面の簡単な説明

- [0016] [図1]本技術を適用した伝送システムの一実施の形態の構成を示すブロック図である。
- [図2]データ処理装置と送信装置の構成例を示すブロック図である。
- [図3]受信装置の構成例を示すブロック図である。
- [図4]本技術に関する背景を説明する図である。
- [図5]本技術が解決する問題を説明する図である。
- [図6]問題を解決する方法の概要を説明する図である。
- [図7]FECブロックの生成の概要を説明する図である。
- [図8]FECブロックの例を示す図である。
- [図9]ベースバンドフレームのサイズの第1の例を示す図である。
- [図10]ベースバンドフレームのサイズの第2の例を示す図である。
- [図11]ベースバンドフレームのサイズの第3の例を示す図である。
- [図12]本技術で採用するデータの形式の概要を説明する図である。
- [図13]本技術で採用するデータの第1の形式の例を説明する図である。
- [図14]本技術で採用するデータの第1の形式の例を説明する図である。
- [図15]本技術で採用するデータの第1の形式の例を説明する図である。
- [図16]本技術で採用するデータの第1の形式の例を説明する図である。
- [図17]本技術で採用するデータの第1の形式の例を説明する図である。
- [図18]本技術で採用するデータの第1の形式の例を説明する図である。
- [図19]本技術で採用するデータの第2の形式の例を説明する図である。
- [図20]本技術で採用するデータの第2の形式の例を説明する図である。
- [図21]本技術で採用するデータの第3の形式の例を説明する図である。
- [図22]本技術で採用するデータの第3の形式の例を説明する図である。
- [図23]本技術で採用するデータの第3の形式の例を説明する図である。
- [図24]本技術で採用するデータの第3の形式の例を説明する図である。
- [図25]本技術で採用するデータの第3の形式の例を説明する図である。

- [図26]本技術で採用するデータの第3の形式の例を説明する図である。
- [図27]本技術で採用するデータの第4の形式の例を説明する図である。
- [図28]NTPの送出タイミングの例を示す図である。
- [図29]FECブロックの生成に関わるブロックの構成の例を示すブロック図である。
- [図30]FECブロックの生成の流れを説明する図である。
- [図31]ベースバンドフレームサイズが、ミドル符号の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。
- [図32]ベースバンドフレームサイズが、ロング符号の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。
- [図33]ベースバンドフレームサイズが、ショート符号の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。
- [図34]形式1のFECブロックヘッダのフォーマットの例を示す図である。
- [図35]形式1のEXTバイトのフォーマットの例を示す図である。
- [図36]形式1のパディング値の例を示す図である。
- [図37]FECブロックヘッダの図示の簡略化を説明する図である。
- [図38]形式1の詳細例1を示す図である。
- [図39]形式1の詳細例1を示す図である。
- [図40]形式1の詳細例2を示す図である。
- [図41]形式1の詳細例2を示す図である。
- [図42]形式1の詳細例3を示す図である。
- [図43]形式1の詳細例3を示す図である。
- [図44]形式2-1のFECブロックヘッダのフォーマットの例を示す図である。
- [図45]形式2-1のパディング値の例を示す図である。
- [図46]形式2-2のFECブロックヘッダのフォーマットの例を示す図である。
- [図47]形式2-2のパディング値の例を示す図である。
- [図48]形式3のFECブロックヘッダのフォーマットの例を示す図である。
- [図49]形式3のEXTバイトのフォーマットの例を示す図である。

[図50]形式3のpadding値の例を示す図である。

[図51]形式3-1のFECブロックヘッダのフォーマットの例を示す図である。

[図52]形式3-1のpadding値の例を示す図である。

[図53]形式3-1のEXTバイトのフォーマットの例を示す図である。

[図54]形式3-1の詳細例1を示す図である。

[図55]形式3-1の詳細例1を示す図である。

[図56]形式3-1の詳細例1を示す図である。

[図57]形式3-1の詳細例2を示す図である。

[図58]形式3-1の詳細例2を示す図である。

[図59]形式3-1の詳細例3を示す図である。

[図60]形式3-1の詳細例3を示す図である。

[図61]形式4のFECブロックヘッダのフォーマットの例を示す図である。

[図62]形式4のEXTバイトのフォーマットの例を示す図である。

[図63]形式4のpadding値の例を示す図である。

[図64]時刻情報の送出タイミングの例を示す図である。

[図65]送信側と受信側の動作を説明するフローチャートである。

[図66]コンピュータの構成例を示すブロック図である。

### 発明を実施するための形態

[0017] 以下、図面を参照しながら本技術の実施の形態について説明する。なお、説明は以下の順序で行うものとする。

- [0018] 1. システムの構成
2. 本技術の概要
  3. 本技術の詳細な内容
    - (3-1) 第1の形式
    - (3-2) 第2の形式
    - (3-3) 第3の形式
    - (3-4) 第4の形式
  4. 本技術の時刻情報の送出タイミング

5. 送信側と受信側の動作

6. 変形例

7. コンピュータの構成

[0019] <1. システムの構成>

[0020] (伝送システムの構成例)

図1は、本技術を適用した伝送システムの一実施の形態の構成を示すブロック図である。なお、システムとは、複数の装置が論理的に集合したものをいう。

[0021] 図1において、伝送システム1は、各放送局に関連する施設に設置されるデータ処理装置10-1乃至10-N (Nは1以上の整数) と、送信所に設置される送信装置20と、ユーザが所有する受信装置30-1乃至30-M (Mは1以上の整数) から構成される。

[0022] また、この伝送システム1において、データ処理装置10-1乃至10-Nと、送信装置20とは、通信回線40-1乃至40-Nを介して、接続されている。なお、通信回線40-1乃至40-Nは、例えば専用線とすることができる。

[0023] データ処理装置10-1は、放送局Aにより制作された放送番組等のコンテンツを処理し、その結果得られる伝送データを、通信回線40-1を介して送信装置20に送信する。

[0024] データ処理装置10-2乃至10-Nにおいては、データ処理装置10-1と同様に、放送局Bや放送局Z等の各放送局により制作された放送番組等のコンテンツが処理され、その結果得られる伝送データが、通信回線40-2乃至40-Nを介して、送信装置20に送信される。

[0025] 送信装置20は、通信回線40-1乃至40-Nを介して、放送局側のデータ処理装置10-1乃至10-Nから送信されてくる伝送データを受信する。送信装置20は、データ処理装置10-1乃至10-Nからの伝送データを処理し、その結果得られる放送信号を、送信所に設置された送信用アンテナから送信する。

- [0026] これにより、送信所側の送信装置 20 からの放送信号は、放送伝送路 50 を介して、受信装置 30-1 乃至 30-M に送信される。
- [0027] 受信装置 30-1 乃至 30-M は、テレビ受像機やセットトップボックス (STB : Set Top Box)、録画機、ゲーム機、ネットワークストレージなどの固定受信機、あるいはスマートフォンや携帯電話機、タブレット型コンピュータ等のモバイル受信機である。また、受信装置 30-1 乃至 30-M は、例えば車載テレビなどの車両に搭載される車載機器や、ヘッドマウントディスプレイ (HMD : Head Mounted Display) 等のウェアラブルコンピュータなどであってもよい。
- [0028] 受信装置 30-1 は、放送伝送路 50 を介して、送信装置 20 から送信されてくる放送信号を受信して処理することで、ユーザによる選局操作に応じた放送番組等のコンテンツを再生する。
- [0029] 受信装置 30-2 乃至 30-M においては、受信装置 30-1 と同様に、送信装置 20 からの放送信号が処理され、ユーザによる選局操作に応じたコンテンツが再生される。
- [0030] なお、伝送システム 1 において、放送伝送路 50 は、地上波 (地上波放送) であるとして説明するが、地上波に限らず、例えば、放送衛星 (BS : Broadcasting Satellite) や通信衛星 (CS : Communications Satellite) を利用した衛星放送、あるいは、ケーブルを用いた有線放送 (CATV : Common Antenna Television) などであってもよい。
- [0031] また、伝送システム 1 では、図示していないが、インターネット等の通信回線に対し、各種のサーバが接続されるようにして、通信機能を有する受信装置 30-1 乃至 30-M が、インターネット等の通信回線を介して、各種のサーバにアクセスして双方向の通信を行うことで、コンテンツやアプリケーション等の各種のデータを受信できるようにしてもよい。
- [0032] なお、以下の説明では、放送局側のデータ処理装置 10-1 乃至 10-N を、特に区別する必要がない場合には、データ処理装置 10 と称する。また、受信装置 30-1 乃至 30-M を、特に区別する必要がない場合には、受

信装置 30 と称する。

[0033] (送信側の装置の構成)

図 2 は、図 1 のデータ処理装置 10 と送信装置 20 の構成例を示すブロック図である。

[0034] 図 2 において、データ処理装置 10 は、コンポーネント処理部 111、シグナリング生成部 112、マルチプレクサ 113、及びデータ処理部 114 から構成される。

[0035] コンポーネント処理部 111 は、放送番組等のコンテンツを構成するコンポーネントのデータを処理し、その結果得られるコンポーネントのストリームを、マルチプレクサ 113 に供給する。ここで、コンポーネントのデータは、例えば、ビデオやオーディオ、字幕等のデータであり、これらのデータに対し、例えば、所定の符号化方式に準拠した符号化処理などの処理が行われる。

[0036] シグナリング生成部 112 は、コンテンツの選局や再生等の上位層の処理で用いられるシグナリングを生成し、マルチプレクサ 113 に供給する。また、シグナリング生成部 112 は、放送信号の変調や復調等の物理層の処理で用いられるシグナリングを生成し、データ処理部 114 に供給する。

[0037] なお、シグナリングは、制御情報とも称される。また、以下の説明では、シグナリングのうち、物理層の処理で用いられるシグナリングを、物理層シグナリング (L1シグナリング) と称する一方で、物理層 (Physical Layer) よりも上位の層である上位層 (Upper Layer) の処理で用いられるシグナリングを、上位層シグナリングと称して区別する。

[0038] マルチプレクサ 113 は、コンポーネント処理部 111 から供給されるコンポーネントのストリームと、シグナリング生成部 112 から供給される上位層シグナリングのストリームとを多重化し、その結果得られるストリームを、データ処理部 114 に供給する。なお、ここでは、アプリケーションや時刻情報などの他のストリームが多重化されるようにしてもよい。

[0039] データ処理部 114 は、マルチプレクサ 113 から供給されるストリーム

を処理して、所定の形式の packets (フレーム) を生成する。また、データ処理部 114 は、所定の形式の packets と、シグナリング生成部 112 からの物理層シグナリングを処理して、伝送データを生成し、通信回線 40 を介して送信装置 20 に送信する。

[0040] 図 2 において、送信装置 20 は、データ処理部 211 及び変調部 212 から構成される。

[0041] データ処理部 211 は、通信回線 40 を介して、データ処理装置 10 から送信されてくる伝送データを受信して処理し、その結果得られる所定の形式の packets (フレーム) と、物理層シグナリングの情報を抽出する。

[0042] データ処理部 211 は、所定の形式の packets (フレーム) と、物理層シグナリングの情報を処理することで、所定の放送方式 (例えば、次世代の地上デジタルテレビ放送) に準拠した物理層のフレーム (物理層フレーム) を生成し、変調部 212 に供給する。

[0043] なお、図 2 の構成においては、物理層シグナリングが、データ処理装置 10 側で生成され、送信装置 20 に送信されるとして説明したが、物理層シグナリングは、送信装置 20 側で生成されるようにしてもよい。

[0044] 変調部 212 は、データ処理部 211 から供給される物理層フレームに対し、必要な処理 (例えば変調処理等) を施して、その結果得られる放送信号 (RF 信号) を、送信所に設置された送信用アンテナから送信する。

[0045] データ処理装置 10 と送信装置 20 は、以上のように構成される。

[0046] (受信側の装置の構成)

図 3 は、図 1 の受信装置 30 の構成例を示すブロック図である。

[0047] 図 3 において、受信装置 30 は、チューナ 311、復調部 312、及びデータ処理部 313 から構成される。

[0048] チューナ 311 は、アンテナ 321 を介して受信した放送信号 (RF 信号) に対し、必要な処理を施し、その結果得られる信号を、復調部 312 に供給する。

[0049] 復調部 312 は、例えば、復調 LSI (Large Scale Integration) 等の復調器

として構成される。復調部 312 は、チューナ 311 から供給される信号に対し、復調処理を行う。この復調処理では、例えば、物理層シグナリングに従い、物理層フレームが処理され、所定の形式の packets が得られる。この復調の結果得られる packets は、データ処理部 313 に供給される。

[0050] データ処理部 313 は、例えば、システムオンチップ (SoC : System On Chip) 等として構成される。データ処理部 313 は、復調部 312 から供給される packets に対し、所定の処理を行う。ここでは、例えば、packets から得られる上位層シグナリングに基づいて、ストリームの復号処理や再生処理などが行われる。

[0051] データ処理部 313 の処理で得られるビデオやオーディオ、字幕等のデータは、後段の回路に出力される。これにより、受信装置 30 では、放送番組等のコンテンツが再生され、その映像や音声出力されることになる。

[0052] 受信装置 30 は、以上のように構成される。

[0053] <2. 本技術の概要>

[0054] 送信装置 20 及び受信装置 30 は、以下の機能を有する。

[0055] すなわち、送信装置 20 は、入力 packets 又は入力ストリームに基づいて、FEC (Forward Error Correction) ブロックを生成する第 1 の生成部と、FEC ブロックに基づいて、FEC フレームを生成する第 2 の生成部と、FEC フレームを送信する送信部とを含む。

[0056] FEC ブロックのヘッダは、入力 packets 又は入力ストリームの種別を識別する種別識別情報と、FEC フレームのペイロードに格納される入力 packets 又は入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む。

[0057] 種別識別情報が TLV (Type Length Value) packets である場合、最小固定長ヘッダは、種別識別情報に加えて、入力 packets の入力 packets 長が最小固定長であるか否かを識別する最小固定長識別情報、及び入力 packets 長の情報としての最小入力 packets 長を含む。

[0058] 最小固定長識別情報が、入力 packets 長が最小固定長ではないことを示す場合、ヘッダは、最小固定長ヘッダに加えて、さらに、可変長ヘッダを含む

。可変長ヘッダは、入力パケット長の下位ビットを、最小入力パケット長を表す最小入力パケット長情報とすると、入力パケット長の上位ビットからなる可変長パケット長情報を含む。

[0059] 以上の機能を有する送信装置 20 では、入力パケット又は入力ストリームに基づいて、FECブロックが生成され、FECブロックよりFECフレームが生成されて送信される。

[0060] なお、送信装置 20 は、FECフレームを配置したOFDM(Orthogonal Frequency Division Multiplexing)フレームを送信することができ、そのOFDMフレームの先頭に時刻情報を配置するためのダミーセルを生成する第3の生成部をさらに含むことができる。この場合、送信装置 20 では、必要に応じて、OFDMフレームに、ダミーセルを配置し、これにより、OFDMフレームの先頭に時刻情報が配置されるようにすることができる。

[0061] 受信装置 30 は、送信されてくるFECフレームからなる信号を受信する受信部と、受信されたFECフレームに基づいて、FECブロックを生成する第1の生成部と、FECブロックに基づいて、入力パケット又は入力ストリームを生成する第2の生成部とを含む。

[0062] 以上の機能を有する受信装置 30 では、送信されてくるFECフレームからなる信号が受信され、受信されたFECフレームに基づいて、FECブロックが生成される。さらに、FECブロックに基づいて、入力パケット又は入力ストリームが生成される。

[0063] 図4は、本技術に関する背景を説明する図である。

図5は、本技術が解決する問題を説明する図である。

図6は、問題を解決する方法の概要を説明する図である。

図7は、FECブロックの生成の概要を説明する図である。

図8は、FECブロックの例を示す図である。

図9は、ベースバンドフレームのサイズの第1の例を示す図である。

図10は、ベースバンドフレームのサイズの第2の例を示す図である。

図11は、ベースバンドフレームのサイズの第3の例を示す図である。

図12は、本技術で採用するデータの形式の概要を説明する図である。

図13、図14、図15、図16、図17、及び、図18は、本技術で採用するデータの第1の形式の例を説明する図である。

図19及び図20は、本技術で採用するデータの第2の形式の例を説明する図である。

図21、図22、図23、図24、図25、及び、図26は、本技術で採用するデータの第3の形式の例を説明する図である。

図27は、本技術で採用するデータの第4の形式の例を説明する図である。

図28は、NTPの送出タイミングの例を示す図である。

[0064] 図4乃至図28には、本技術の概要を図示しているが、以下、その詳細な内容について、図29乃至図64を参照しながら説明する。

[0065] <3. 本技術の詳細な内容>

[0066] (FECブロックの構成)

図29は、FECブロックの生成に関わるブロックの構成の例を示す図である。

[0067] 図29に示すように、送信側で、FECブロックの生成に関わるブロックとしては、TLVパケット生成部151、TSパケット処理部152、FECブロック生成部153、及びFECフレーム生成部154を含む。ただし、TLVパケット生成部151乃至FECフレーム生成部154の各ブロックは、データ処理装置10（のデータ処理部114（図2））と、送信装置20（のデータ処理部211（図2））のどちらか一方に含まれる。

[0068] TLVパケット生成部151は、そこに入力されるIP(Internet Protocol)ストリームを処理してTLVパケットを生成し、FECブロック生成部153に供給する。ここで、TLVパケットには、例えば、IPパケットや制御情報（上位層シグナリング）などが含まれる。また、IPパケットには、UDP(User Datagram Protocol)パケットが含まれる。

[0069] TSパケット処理部152は、そこに入力されるTSストリーム（MPEG2-TSス

トリーム) を処理してTSパケットを生成し、FECブロック生成部153に供給する。このTSストリームに対する処理としては、例えば、同期バイトの削除などの処理が行われる。

[0070] FECブロック生成部153には、TLVパケット生成部151からのTLVパケット、又はTSパケット処理部152からのTSパケットが供給される。FECブロック生成部153は、TLVパケット又はTSパケットを処理してFECブロックを生成し、FECフレーム生成部154に供給する。

[0071] ここで、FECブロックは、FECブロックヘッダ (FBH : FEC Block Header) と、データ部から構成される。データ部には、TLVパケット又はTSパケットが配置されるが、ここでは、1又は複数のTLVパケット (の一部又は全部) が配置される場合を説明する。また、TLVパケットは、可変長であり、あるFECブロックに配置されるTLVパケットが、次のFECブロックにまたがって配置される場合がある。

[0072] なお、FECブロックのデータ部に配置されるのは、TLVパケットやTSパケット等の入力パケット (伝送パケット) に限らず、例えば、IPストリームやTSストリーム等の入力ストリーム (伝送ストリーム) が配置されるようにしてもよい。

[0073] FECフレーム生成部154は、FECブロック生成部153から供給されるFECブロックに対し、エネルギー拡散、BCH(Bose-Chaudhuri-Hocquenghem)符号化やLDPC(Low Density Parity Check)符号化等の処理を施してFECフレームを生成し、後段に供給する。

[0074] ここで、FECフレームは、1つのFECブロックに対し、BCH符号とLDPC符号のパリティが付加されて構成される。すなわち、可変長のTLVパケットは、固定長のFECブロックにカプセル化された後に、さらに、BCH符号やLDPC符号のパリティが付加されて、固定長のFECフレームに格納される。

[0075] (FECブロックの生成の流れ)

図30は、FECブロックの生成の流れを説明する図である。なお、図30において、時間の方向は、図中の左側から右側に向かう方向とされる。

- [0076] FECブロック生成部153 (図29) においては、TLVパケット生成部151 (図29) により生成されたTLVパケットが入力されると (S1)、当該TLVパケットに対し、FECブロックヘッダ (FBH) が付加され、FECブロックが生成される (S2)。そして、このようにして得られるFECブロックに対して、エネルギー拡散が行われる (S3)。
- [0077] ここで、ステップS2のFECブロック生成処理で生成されたFECブロックのうち、先頭のFECブロックFB1に注目すれば、当該FECブロックFB1には、2つのTLVパケット (の全部のデータ) に続いて、1つのTLVパケットの一部のデータが配置される。また、その次のFECブロックFB2に注目すれば、当該FECブロックFB2には、FECブロックFB1に一部のデータが配置されたTLVパケットの残りのデータに続いて、1又は複数のTLVパケットのデータが配置される。
- [0078] すなわち、先頭のFECブロックFB1と、それに続くFECブロックFB2においては、あるTLVパケットがまたいで配置されている。このとき、FECブロックFB2においては、あるTLVパケット (FECブロックFB1とFECブロックFB2をまたいで配置されるTLVパケット) の残りのデータに続いて配置される最初のTLVパケットの位置 (先頭位置) を確実に通知して、FECブロック内のTLVパケットが、確実に抽出されるようにすることが望ましい。
- [0079] そこで、本技術では、FECブロックにおいて、先頭のTLVパケットの位置を示すポインタ (以下、先頭TLVパケット位置ポインタという) を、当該FECブロックのFECブロックヘッダ (FBH) に配置することで、この先頭TLVパケット位置ポインタによって、先頭のTLVパケットの位置 (図中の先頭位置P) を、確実に特定できるようにする。
- [0080] 例えば、本技術を適用せずに、FECブロックのFECブロックヘッダ (FBH) に、先頭TLVパケット位置ポインタを配置しない場合には、受信機側で、受信ミス等の何らかの原因により、同期情報を取得できないときに、TLVパケットを正常に抽出して処理することができなくなって、データが途切れてしまう可能性がある。
- [0081] 一方で、本技術を適用して、FECブロックのFECブロックヘッダ (FBH) に、

先頭TLVパケット位置ポインタを配置した場合には、受信機側で、FECブロックごとに、先頭TLVパケット位置ポインタによって、先頭のTLVパケットの位置を確実に特定して、常に、TLVパケットを正常に抽出して処理することができるため、データが途切れることを抑制することができる。

[0082] なお、先頭TLVパケット位置ポインタに割り当てられるビット数は、データの構成などに応じて任意の値に設定することができる。例えば、先頭TLVパケット位置ポインタの最大値は、ベースバンドフレームサイズに応じて決定されるため、それに応じて、先頭TLVパケット位置ポインタに割り当てるビット数を決定すればよい。

[0083] 以下、ベースバンドフレームサイズとして、符号長が69120ビットとなるミドル (Middle) 符号、符号長が276480ビットとなるロング (Long) 符号、及び符号長が17280ビットとなるショート (Short) 符号において、先頭TLVパケット位置ポインタに割り当てられるべきビット数について説明する。

[0084] (各符号長のポインタの最大値)

図31は、ベースバンドフレームサイズが、ミドル符号 (符号長: 69120ビット) の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。

[0085] 図31において、CR(Coding Rate)は、LDPC符号の符号化率を表し、 $N_{ldpc}$ は、LDPC符号ブロック (単位: ビット) を表し、 $N_{bch}$ は、BCH符号ブロック (単位: ビット) を表している。また、図31において、BCHは、 $N_{bch} - K_{bch}$  (単位: ビット) を表し、 $K_{bch}$ は、BCH情報ブロック (単位: ビット、バイト) を表し、Num Bitsは、 $K_{bch}$  (B: バイト) に応じて必要となるビット数を表している。

[0086] 図31に示すように、 $N_{ldpc} = 69120$ ビットとなるミドル符号の場合に、LDPC符号の符号化率 (CR) が、 $2/16$ ,  $3/16$ となるとき、ビット数 (Num Bits) は、11ビットとなり、LDPC符号の符号化率 (CR) が、 $4/16$ ,  $5/16$ ,  $6/16$ ,  $7/16$ となるとき、ビット数 (Num Bits) は、12ビットとなり、 $8/16$ ,  $9/16$ ,  $10/16$ ,  $11/16$ ,  $12/16$ ,  $13/16$ ,  $14/16$ となるとき、ビット数 (Num Bits) は、13ビットとなる。

- [0087] このように、符号長が69120ビットとなるミドル符号の場合においては、 $CR = 14/16$ である最大符号化率となるとき、ビット数 (Num Bits) は、13ビットとなるので、先頭TLVパケット位置ポインタの最大値は、13ビットとなる。
- [0088] 図32は、ベースバンドフレームサイズが、ロング符号 (符号長: 276480ビット) の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。なお、図32において、 $CR$ ,  $N_{ldpc}$ ,  $N_{bch}$ ,  $BCH$ ,  $K_{bch}$ , Num Bitsの意味は、図31と同様とされる。すなわち、ここでも、Num Bitsは、 $K_{bch}$  (B:バイト) に応じて必要となるビット数を表している。
- [0089] 図32に示すように、 $N_{ldpc} = 276480$ ビットとなるロング符号の場合に、LDPC符号の符号化率 ( $CR$ ) が、 $2/16$ ,  $3/16$ となるとき、ビット数 (Num Bits) は、13ビットとなり、LDPC符号の符号化率 ( $CR$ ) が、 $4/16$ ,  $5/16$ ,  $6/16$ ,  $7/16$ となるとき、ビット数 (Num Bits) は、14ビットとなり、 $8/16$ ,  $9/16$ ,  $10/16$ ,  $11/16$ ,  $12/16$ ,  $13/16$ ,  $14/16$ となるとき、ビット数 (Num Bits) は、15ビットとなる。
- [0090] このように、符号長が276480ビットとなるロング符号の場合においては、 $CR = 14/16$ である最大符号化率となるとき、ビット数 (Num Bits) は、15ビットとなるので、先頭TLVパケット位置ポインタの最大値は、15ビットとなる。
- [0091] 図33は、ベースバンドフレームサイズが、ショート符号 (符号長: 17280ビット) の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。なお、図33において、 $CR$ ,  $N_{ldpc}$ ,  $N_{bch}$ ,  $BCH$ ,  $K_{bch}$ , Num Bitsの意味は、図31と同様とされる。すなわち、ここでも、Num Bitsは、 $K_{bch}$  (B:バイト) に応じて必要となるビット数を表している。
- [0092] 図33に示すように、 $N_{ldpc} = 17280$ ビットとなるショート符号の場合に、LDPC符号の符号化率 ( $CR$ ) が、 $2/16$ となるとき、ビット数 (Num Bits) は、8ビットとなり、LDPC符号の符号化率 ( $CR$ ) が、 $3/16$ となるとき、ビット数 (Num Bits) は、9ビットとなり、LDPC符号の符号化率 ( $CR$ ) が、 $4/16$ ,  $5/16$ ,  $6/16$ ,  $7/16$ となるとき、ビット数 (Num Bits) は、10ビットとなり、 $8/16$ ,  $9/16$ ,  $10/16$ ,  $11/16$ ,  $12/16$ ,  $13/16$ ,  $14/16$ となるとき、ビット数 (Num Bi

ts) は、11ビットとなる。

[0093] このように、符号長が17280ビットとなるショート符号の場合においては、 $CR = 14/16$ である最大符号化率となるとき、ビット数 (Num Bits) は、11ビットとなるので、先頭TLVパケット位置ポインタの最大値は、11ビットとなる。

[0094] 以上のように、ミドル符号やロング符号、ショート符号等の各符号長や、最大符号化率 (CR) に応じて先頭TLVパケット位置ポインタの最大値が異なるため、FECブロックヘッダ (FBH) に配置される先頭TLVパケット位置ポインタの長さが異なることになる。そこで、本技術においては、先頭TLVパケット位置ポインタの長さに応じたFECブロックヘッダ (FBH) の形式として、第1の形式乃至第4の形式を提案するものとする。

[0095] (3-1) 第1の形式

まず、図34乃至図43を参照して、第1の形式 (以下、形式1とも記述する) のFECブロックヘッダ (FBH) の構成について説明する。

[0096] (FECブロックヘッダのフォーマット)

図34は、形式1のFECブロックヘッダのフォーマットの例を示す図である。

[0097] 図34において、2バイトのベースヘッダは、15ビットの先頭TLVパケット位置ポインタと、1ビットのEXTフラグから構成される。

[0098] 先頭TLVパケット位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパケットの位置を示すポインタである。形式1のベースヘッダにおいては、この先頭TLVパケット位置ポインタとして、15ビットが確保されているため、ロング符号、ミドル符号、及びショート符号の全ての符号長のポインタとして用いることができる。

[0099] EXTフラグは、拡張領域 (Extension) が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'0' が指定された場合、拡張がないことを示す。この場合、FECブロックヘッダとしては、2バイトのベースヘッダのみが配置されることになる。一方で、EXTフラグとして、'1' が指定された場合

には、拡張があることを示す。この場合、ベースヘッダの次の1バイトが、EXTバイトとなる。

[0100] なお、対象のFECブロックに、TLVパケットの先頭（先頭TLVバイト）が存在しない場合には、先頭TLVパケット位置ポインタの15ビットには、'0x7FFF'（111 1111 1111 1111）が割り当てられる。

[0101] （EXTバイトのフォーマット）

図35は、形式1のEXTバイトのフォーマットの例を示す図である。

[0102] このEXTバイトは、図34のEXTフラグとして、'1'が指定された場合に、図34のベースヘッダの次の1バイトとして配置される。

[0103] 図35において、1バイトのEXTバイトは、2ビットのパディング値と、1ビットのTSフラグと、1ビットのCRCフラグと、4ビットのリザーブド領域から構成される。

[0104] 形式1のパディング値としては、例えば、図36に示した内容に応じた値が指定される。

[0105] すなわち、パディング値として、'00'が指定された場合、パディングがないことを意味する。この場合、追加のパディングはない。また、パディング値として、'01'が指定された場合、ショートパディングを意味する。この場合には、1バイトの追加のパディングがなされる。

[0106] また、パディング値として、'10'が指定された場合、ロングパディングを意味する。この場合には、2バイトで、追加のパディングの長さを示すことになる。さらに、パディング値として、'11'が指定された場合には、将来に使用するリザーブド領域であることを意味する。なお、このリザーブド領域の他の意味として、例えば、すべてをパディングすることを意味する、全パディングを指定可能としてもよい。

[0107] 図35の説明に戻り、TSフラグは、FECブロックに配置されるパケットが、TSパケットであるかどうかを示すフラグである。例えば、TSフラグとして、'0'が指定された場合、当該パケットが、TSパケットではないことを示す。この場合、FECブロックには、TLVパケットが配置されていることになる。一方

で、TSフラグとして、'1'が指定された場合には、当該パケットが、TSパケットであることを示す。

[0108] CRCフラグは、誤り検出符号であるCRC(Cyclic Redundancy Check)が存在するかどうかを示すフラグである。例えば、CRCフラグとして、'0'が指定された場合、CRCがないことを示す。一方で、CRCフラグとして、'1'が指定された場合、CRCがあることを示す。この場合、CRCは、EXTバイトの直後に配置される。なお、CRCを付加する場合には、常に付加されるため、このときのFECブロックヘッダにおける、最初のヘッダサイズは、3バイトとされる。

[0109] リザーブド領域は、将来に使用される領域である。

[0110] 次に、形式1について、より具体的な詳細例について説明するが、以下の説明では、説明の簡略化のため、FECブロック内に配置されるFECブロックヘッダとTLVパケットにおいて、FECブロックとTLVパケットの図示を省略して、FECブロックヘッダのみを図示するものとする。

[0111] すなわち、図37に示すように、パディングがない場合に、EXTフラグとして、'0'が指定されたとき、実際には、図37のAに示すような構成からなるが、以下の説明では、簡略化して、図37のBに示すような構成を図示するものとする。

[0112] (形式1の詳細例1)

図38及び図39には、形式1の詳細例1を示している。この詳細例1では、ベースヘッダとEXTバイトからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。なお、この詳細例においては、パディングの長さを、「Padding」と記述している。

[0113] (3-1-1A) : Padding = 1, EXT = 1, TS = 0

図38のAは、パディングの長さが1バイト(1B)となる場合に、EXTフラグ = '1'と、TSフラグ = '0'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0114] 図38のAにおいては、ベースヘッダに、15ビットの先頭TLVパケット位置ポインタのほかに、1ビットのEXTフラグが配置されているが、当該EXTフラグ

として、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

[0115] このEXTバイトにおいて、先頭の2ビットには、パディング値として、'00'が指定され、それに続く、1ビットには、TSフラグとして、'0'が指定される。また、EXTバイトにおいて、残りの5ビットには、'0'であるCRCフラグとともに、将来に予約されたビットが配置される。

[0116] このように、図38のAのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトによって、1バイト(1B)のパディングが実現されている。

[0117] (3-1-1B) : Padding = 2, EXT = 1, TS = 0

図38のBは、パディングの長さが2バイト(2B)となる場合に、EXTフラグ = '1'と、TSフラグ = '0'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0118] 図38のBにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'01'が指定されているため、EXTバイトの次の1バイトが、追加の1Bパディングとなる。

[0119] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'0'が指定される。なお、EXTバイトの残りの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

[0120] このように、図38のBのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、1バイト(1B)の追加パディングによって、合計で2バイト(2B)のパディングが実現されている。

[0121] (3-1-C) : Padding = 3, EXT = 1, TS = 0

図38のCは、パディングの長さが3バイト(3B)となる場合に、EXTフラグ = '1'と、TSフラグ = '0'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0122] 図38のCにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先

頭の2ビットの-padding値として、'10'が指定されているため、EXTバイトの次の2バイトが、追加-paddingの長さを示している。

[0123] ここで、2バイトの追加-paddingの長さには、'0' ('00000000 00000000')が指定されているため、これ以上は、paddingが追加されないことを表している。

[0124] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'0'が指定される。なお、EXTバイトの残りの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

[0125] このように、図38のCのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加-paddingの長さによって、合計で3バイト(3B)のpaddingが実現されている。

[0126] (3-1-1D) : Padding = 4, EXT = 1, TS = 0

図39のDは、paddingの長さが4バイト(4B)となる場合に、EXTフラグ='1'と、TSフラグ='0'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0127] 図39のDにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットの-padding値として、'10'が指定されているため、EXTバイトの次の2バイトが、追加-paddingの長さを示している。

[0128] ここで、2バイトの追加-paddingの長さには、'1' ('00000000 00000001')が指定されているため、さらに、1バイト(1B)のpaddingが追加されている。

[0129] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'0'が指定される。なお、EXTバイトの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

[0130] このように、図39のDのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加-paddingの長さ、1バイト(1B)の追加-paddingによって、合計で4バイト(4B)のpaddingが実現さ

れている。

[0131] (3-1-1 E) : Padding = 12348, EXT = 1, TS = 0

図39のEは、パディングの長さが12348バイト (12348B) となる場合に、EXTフラグ = '1' と、TSフラグ = '0' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0132] 図39のEにおいては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10' が指定されているため、EXTバイトの次の2バイトが、追加パディングの長さを示している。

[0133] ここで、2バイトの追加パディングの長さには、'1' ('00110000 00111001') が指定されているため、さらに、12345バイト (12345B) のパディングが追加されている。

[0134] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'0' が指定される。なお、EXTバイトの5ビットには、'0' であるCRCフラグと、将来に予約されたビットが配置される。

[0135] このように、図39のEのFECブロックヘッダにおいては、1バイト (1バイト) のEXTバイトと、2バイトの追加パディングの長さ、12345バイト (12345B) の追加パディングによって、合計で12348バイト (12348B) のパディングが実現されている。

[0136] (形式1の詳細例2)

図40及び図41には、形式1の詳細例2を示している。この詳細例2においても、上述した詳細例1と同様に、ベースヘッダとEXTバイトからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

[0137] (3-1-2 A) : Padding = 1, EXT = 1, TS = 1

図40のAは、パディングの長さが1バイト (1B) となる場合に、EXTフラグ = '1' と、TSフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0138] 図40のAにおいては、ベースヘッダに、先頭TLVパケット位置ポインタと、EXTフラグが配置されるが、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

[0139] このEXTバイトにおいて、先頭の2ビットには、パディング値として、'00'が指定され、それに続く、1ビットには、TSフラグとして、'1'が指定される。この場合、FECブロックに配置されるパケットがTSパケットとなるので、先頭TLVパケット位置ポインタは、FECブロック内のTSパケットの位置（先頭位置）を示している。また、EXTバイトにおいて、残りの5ビットには、'0'であるCRCフラグとともに、将来に予約されたビットが配置される。

[0140] このように、図40のAのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトによって、1バイト（1B）のパディングが実現されている。

[0141] (3-1-2B) : Padding = 2, EXT = 1, TS = 1

図40のBは、パディングの長さが2バイト（2B）となる場合に、EXTフラグ = '1'と、TSフラグ = '1'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0142] 図40のBにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'01'が指定されているため、EXTバイトの次の1バイトが、追加の1Bパディングとなる。

[0143] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'1'が指定される。なお、EXTバイトの残りの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

[0144] このように、図40のBのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトと、1バイト（1B）の追加パディングによって、合計で2バイト（2B）のパディングが実現されている。

[0145] (3-1-2C) : Padding = 3, EXT = 1, TS = 1

図40のCは、パディングの長さが3バイト（3B）となる場合に、EXTフ

ラグ = '1' と、TSフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0146] 図40のCにおいては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10' が指定されているため、EXTバイトの次の2バイトが、追加パディングの長さを示している。

[0147] ここで、2バイトの追加パディングの長さには、'0' ('00000000 00000000') が指定されているため、これ以上は、パディングが追加されないことを表している。

[0148] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'1' が指定される。なお、EXTバイトの残りの5ビットには、'0' であるCRCフラグと、将来に予約されたビットが配置される。

[0149] このように、図40のCのFECブロックヘッダにおいては、1バイト (1B) のEXTバイトと、2バイト (2B) の追加パディングの長さによって、合計で3バイト (3B) のパディングが実現されている。

[0150] (3 - 1 - 2 D) : Padding = 4, EXT = 1, TS = 1

図41のDは、パディングの長さが4バイト (4B) となる場合に、EXTフラグ = '1' と、TSフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0151] 図41のDにおいては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10' が指定されているため、EXTバイトの次の2バイトが、追加パディングの長さを示している。

[0152] ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000001') が指定されているため、当該追加パディングの長さについて、さらに、1バイト (1B) のパディングが追加されている。

[0153] また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'1' が指定される。なお、EXTバイトの残りの5ビットには、'0' であ

るCRCフラグと、将来に予約されたビットが配置される。

[0154] このように、図4 1のDのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトと、2バイト（2B）の追加パディングの長さ、1バイト（1B）の追加パディングによって、合計で4バイト（4B）のパディングが実現されている。

[0155] （形式1の詳細例3）

図4 2及び図4 3には、形式1の詳細例3を示している。この詳細例3においては、ベースヘッダとEXTバイトとCRCからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

[0156] （3-1-3 A）：Padding = 1, EXT = 1, CRC = 1

図4 2のAは、パディングの長さが1バイト（1B）となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0157] 図4 2のAにおいては、ベースヘッダに、先頭TLVパケット位置ポインタと、EXTフラグが配置されるが、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

[0158] このEXTバイトにおいて、先頭の2ビットには、パディング値として、'00' が指定され、それに続く、1ビットには、TSフラグとして、'0' が指定される。そして、さらにそれに続く、1ビットには、CRCフラグとして、'1' が指定されているため、EXTバイトの次に、1バイト（8ビット）のCRCが付加されている。

[0159] このように、図4 2のAのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトによって、1バイト（1B）のパディングが実現されている。

[0160] （3-1-3 B）：Padding = 2, EXT = 1, CRC = 1

図4 2のBは、パディングの長さが2バイト（2B）となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0161] 図4 2のBにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットの-padding値として、'01'が指定され、それに続くビットのCRCフラグとして、'1'が指定されている。

[0162] そのため、EXTバイトの次に、1バイトのCRCが付加され、さらに、このCRCの次の1バイトが、追加の1B-paddingとなる。

[0163] このように、図4 2のBのFECブロックヘッダにおいては、1バイト (1B)のEXTバイトと、1バイト (1B)の追加-paddingによって、合計で2バイト (2B)の-paddingが実現されている。

[0164] (3-1-3C) : Padding = 3, EXT = 1, CRC = 1

図4 2のCは、paddingの長さが3バイト (3B)となる場合に、EXTフラグ = '1'と、CRCフラグ = '1'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0165] 図4 2のCにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットの-padding値として、'10'が指定され、それに続くビットのCRCフラグとして、'1'が指定されている。そのため、EXTバイトの次に、1バイトのCRCが付加され、さらに、このCRCの次の2バイトが、追加-paddingの長さを示している。

[0166] ここで、2バイトの追加-paddingの長さには、'0' ('00000000 00000000')が指定されているため、これ以上は、paddingが追加されないことを表している。

[0167] このように、図4 2のCのFECブロックヘッダにおいては、1バイト (1B)のEXTバイトと、2バイト (2B)の追加-paddingの長さによって、合計で3バイト (3B)の-paddingが実現されている。

[0168] (3-1-3D) : Padding = 4, EXT = 1, CRC = 1

図4 3のDは、paddingの長さが4バイト (4B)となる場合に、EXTフラグ = '1'と、CRCフラグ = '1'がそれぞれ指定された場合のFECブロックヘ

ッダの構成を示している。

[0169] 図43のDにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10'が指定され、それに続くビットのCRCフラグとして、'1'が指定されている。そのため、EXTバイトの次に、1バイトのCRCが付加され、さらに、このCRCの次の2バイトが、追加パディングの長さを示している。

[0170] ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000001')が指定されているため、さらに、1バイト(1B)のパディングが追加されている。

[0171] このように、図43のDのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さ、1バイト(1B)の追加パディングによって、合計で4バイト(4B)のパディングが実現されている。

[0172] 以上、第1の形式のFECブロックヘッダの構成について説明した。この第1の形式においては、先頭TLVパッケージ位置ポインタの最大値を考慮して、FECブロックヘッダのベースヘッダに、15ビットを確保しているため、ビット数(Num Bits)の最大値が、15ビットとなるロング符号、13ビットとなるミドル符号、及び11ビットとなるショート符号の全ての符号長に対応することができる。そのため、FECブロックヘッダの構成として、非常に簡略化された構成とすることができる。

[0173] (3-2) 第2の形式

次に、図44乃至図47を参照して、第2の形式(以下、形式2とも記述する)のFECブロックヘッダ(FBH)の構成について説明する。

[0174] なお、第2の形式においては、ロング符号が対象の規格に存在しないことを前提にして、FECブロックヘッダのベースヘッダに、先頭TLVパッケージ位置ポインタのビットとして、ショート符号に応じた11ビットと、ミドル符号に応じた13ビットと確保した場合について説明する。

[0175] (FECブロックヘッダのフォーマット)

図44は、形式2-1のFECブロックヘッダのフォーマットの例を示す図である。

[0176] 図44において、2バイトのベースヘッダは、11ビットの先頭TLVパッケージ位置ポインタと、その残りビット(5ビット)から構成される。

[0177] 先頭TLVパッケージ位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパッケージの位置を示すポインタである。形式2-1のベースヘッダにおいては、この先頭TLVパッケージ位置ポインタとして、11ビットが確保されているため、ショート符号のポインタとして用いることができる。

[0178] 5ビットの残りビットは、2ビットのパディング値と、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのリザーブド領域に割り当てられる。

[0179] パディング値には、例えば、図45に示した内容に応じた値が指定される。この形式2-1のパディング値は、上述した形式1のパディング値の内容(図36)と同様であるため、ここではその説明は省略する。

[0180] TSフラグは、TSパッケージを識別するフラグである。CRCフラグは、誤り検出符号であるCRCが存在するかどうかを示すフラグである。リザーブド領域は、将来に使用される領域である。

[0181] (FECブロックヘッダのフォーマット)

図46は、形式2-2のFECブロックヘッダのフォーマットの例を示す図である。

[0182] 図46において、2バイトのベースヘッダは、13ビットの先頭TLVパッケージ位置ポインタと、その残りビット(3ビット)から構成される。

[0183] 先頭TLVパッケージ位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパッケージの位置を示すポインタである。形式2-2のベースヘッダにおいては、この先頭TLVパッケージ位置ポインタとして、13ビットが確保されているため、ミドル符号、及びショート符号のポインタとして用いることができる。

- [0184] 3ビットの残りビットは、2ビットのパディング値と、1ビットのTSフラグ又は1ビットのCRCフラグに割り当てられる。すなわち、ベースヘッダにおいて、パディング値は、必須となるが、TSフラグとCRCフラグのうちのどちらのフラグを配置するかは、任意となる。
- [0185] パディング値には、例えば、図47に示した内容に応じた値が指定される。この形式2-2のパディング値は、上述した形式1のパディング値の内容(図36)と同様であるため、ここではその説明は省略する。
- [0186] TSフラグは、TSパケットを識別するフラグである。CRCフラグは、誤り検出符号であるCRCが存在するかどうかを示すフラグである。
- [0187] 以上、第2の形式のFECブロックヘッダの構成について説明した。この第2の形式では、ロング符号が対象の規格に存在しないことを前提にして、FECブロックヘッダのベースヘッダに、11ビット又は13ビットを確保しているため、ビット数(Num Bits)の最大値が、11ビットとなるショート符号、又は13ビットとなるミドル符号に対応することができる。そのため、ロング符号が対象の規格に存在しない場合には、FECブロックヘッダの構成として、非常に簡略化された構成とすることができる。
- [0188] (3-3) 第3の形式
- 次に、図48乃至図60を参照して、第3の形式(以下、形式3とも記述する)のFECブロックヘッダ(FBH)の構成について説明する。
- [0189] (FECブロックヘッダのフォーマット)
- 図48は、形式3のFECブロックヘッダのフォーマットの例を示す図である。
- [0190] 図48において、2バイトのベースヘッダは、13ビットの先頭TLVパケット位置ポインタと、その残りビット(3ビット)から構成される。
- [0191] 先頭TLVパケット位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパケットの位置を示すポインタである。形式3のベースヘッダにおいては、この先頭TLVパケット位置ポインタとして、13ビットが確保されている。

- [0192] 3ビットの残りビットは、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのEXTフラグに割り当てられる。TSフラグとCRCフラグの詳細は、先に述べた通りである。
- [0193] また、EXTフラグは、拡張領域 (Extension) が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'1' が指定された場合には、ベースヘッダの次の1バイトが、EXTバイトとなる。
- [0194] 図49には、EXTバイトのフォーマットの例を示している。図49において、1バイトのEXTバイトは、2ビットのLEN\_MSBと、2ビットのパディング値と、4ビットのリザーブド領域から構成される。
- [0195] LEN\_MSBの2ビットは、ロング符号の場合には、先頭TLVパケット位置ポインタの最大値が15ビットとなって、ベースヘッダに割り当てられた13ビットでは不足するため、その不足分の2ビットとして用いられる。なお、ショート符号やミドル符号の場合には、ベースヘッダに割り当てられた13ビットで足りるため、LEN\_MSBの2ビットは未使用とされる。
- [0196] すなわち、ショート符号やミドル符号の場合には、ベースヘッダに割り当てられた13ビットを用いれば、先頭TLVパケット位置ポインタの最大値 (11ビット又は13ビット) に対応することができる。一方で、ロング符号の場合には、ベースヘッダに割り当てられた13ビットでは、不足するため、さらにLEN\_MSBの2ビットを用いた合計15ビットで、先頭TLVパケット位置ポインタの最大値 (15ビット) に対応するようにしている。
- [0197] パディング値には、例えば、図50に示した内容に応じた値が指定される。この形式3のパディング値は、上述した形式1のパディング値の内容 (図36) と同様であるため、ここではその説明は省略する。リザーブド領域は、将来に使用される領域である。
- [0198] (FECブロックヘッダのフォーマット)
- 図51は、形式3-1のFECブロックヘッダのフォーマットの例を示す図である。
- [0199] 図51において、2バイトのベースヘッダは、13ビットの先頭TLVパケット

位置ポインタと、その残りビット（3ビット）から構成される。

- [0200] 形式3-1においては、上述した形式3と比べて、先頭TLVパケット位置ポインタのビット数が、13ビットとなる点で共通しているが、3ビットの残りビットを、2ビットのパディング値と、1ビットのEXTフラグに割り当てている点が異なっている。
- [0201] パディング値には、例えば、図5-2に示した内容に応じた値が指定される。この形式3-1のパディング値は、上述した形式1のパディング値の内容（図3-6）と同様であるため、ここではその説明は省略する。
- [0202] また、EXTフラグは、拡張領域（Extension）が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'1'が指定された場合には、ベースヘッダの次の1バイトが、EXTバイトとなる。
- [0203] 図5-3には、EXTバイトのフォーマットの例を示している。図5-3において、1バイトのEXTバイトは、2ビットのLEN\_MSBと、1ビットのTSフラグと、1ビットのCRCフラグと、4ビットのリザーブド領域から構成される。
- [0204] LEN\_MSBの2ビットは、ロング符号の場合には、先頭TLVパケット位置ポインタの最大値が15ビットとなって、ベースヘッダに割り当てられた13ビットでは不足するため、その不足分の2ビットとして用いられる。なお、ショート符号やミドル符号の場合には、LEN\_MSBの2ビットは未使用とされる。
- [0205] すなわち、ショート符号やミドル符号の場合には、ベースヘッダに割り当てられた13ビットを用いれば、先頭TLVパケット位置ポインタの最大値（11ビット又は13ビット）に対応することができる。一方で、ロング符号の場合には、ベースヘッダの13ビットと、LEN\_MSBの2ビットの合計15ビットで、先頭TLVパケット位置ポインタの最大値（15ビット）に対応するようにしている。
- [0206] TSフラグとCRCフラグの詳細は、先に述べた通りである。また、リザーブド領域は、将来に使用される領域である。
- [0207] 次に、形式3-1について、より具体的な詳細例について説明する。なお、以下の説明では、上述した形式1の詳細例と同様に、FECブロックとTLVパケットの図示を省略して、FECブロックヘッダのみを図示するものとする。

[0208] (形式3-1の詳細例1)

図54乃至図56には、形式3-1の詳細例1を示している。この詳細例1では、ベースヘッダからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

[0209] (3-3-1A) : Paddingなし, EXT = 0

図54のAは、パディングがない場合に、EXTフラグ = '0' が指定された場合のFECブロックヘッダの構成を示している。

[0210] 図54のAにおいては、ベースヘッダに、13ビットの先頭TLVパケット位置ポインタのほかに、2ビットのパディング値と、1ビットのEXTフラグが配置されているが、パディング値として、'00' が指定されているため、追加のパディングはない。さらに、EXTフラグとして、'0' が指定されているため、オプションヘッダとしてのEXTバイトの拡張もない。

[0211] このように、図54のAのFECブロックヘッダにおいては、パディングが行われない場合の構成となる。

[0212] (3-3-1B) : Padding = 1, EXT = 0

図54のBは、パディングの長さが1バイト (1B) となる場合に、EXTフラグ = '0' が指定された場合のFECブロックヘッダの構成を示している。

[0213] 図54のBにおいては、パディング値として、'01' が指定されているため、ベースヘッダの次の1バイトが、追加の1Bパディングとなる。なお、EXTフラグとして、'0' が指定されているため、EXTバイトの拡張はない。

[0214] このように、図54のBのFECブロックヘッダにおいては、1バイト (1B) の追加パディングによって、1バイト (1B) のパディングが実現されている。

[0215] (3-3-1C) : Padding = 2, EXT = 0

図54のCは、パディングの長さが2バイト (2B) となる場合に、EXTフラグ = '0' が指定された場合のFECブロックヘッダの構成を示している。

[0216] 図54のCにおいては、パディング値として、'10' が指定されているため、ベースヘッダの次の2バイトが、追加パディングの長さを示している。

ここで、2バイトの追加パディングの長さには、'0' ('00000000 00000000') が指定されているため、これ以上は、パディングが追加されないことを表している。

[0217] なお、EXTフラグとして、'0' が指定されているため、EXTバイトの拡張はない。

[0218] このように、図54のCのFECブロックヘッダにおいては、2バイト(2B)の追加パディングの長さによって、2バイト(2B)のパディングが実現されている。

[0219] (3-3-1D) : Padding = 3, EXT = 0

図55のDは、パディングの長さが3バイト(3B)となる場合に、EXTフラグ = '0' が指定された場合のFECブロックヘッダの構成を示している。

[0220] 図55のDにおいては、パディング値として、'10' が指定されているため、ベースヘッダの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000001') が指定されているため、当該追加パディングの長さについて、さらに、1バイト(1B)のパディングが追加されている。

[0221] なお、EXTフラグとして、'0' が指定されているため、EXTバイトの拡張はない。

[0222] このように、図55のDのFECブロックヘッダにおいては、2バイト(2B)の追加パディングの長さとして、1バイト(1B)の追加パディングによって、合計で3バイト(3B)のパディングが実現されている。

[0223] (3-3-1E) : Padding = 4, EXT = 0

図55のEは、パディングの長さが4バイト(4B)となる場合に、EXTフラグ = '0' が指定された場合のFECブロックヘッダの構成を示している。

[0224] 図55のEにおいては、パディング値として、'10' が指定されているため、ベースヘッダの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'2' ('00000000 00000010') が指定されているため、当該追加パディングの長さについて、2バイト(

2B) のパディングが追加されている。

[0225] なお、EXTフラグとして、'0' が指定されているため、EXTバイトの拡張はない。

[0226] このように、図55のEのFECブロックにおいては、2バイト(2B)の追加パディングの長さ、2バイト(2B)の追加パディングによって、合計で4バイト(4B)のパディングが実現されている。

[0227] (3-3-1F) : Padding = 12348, EXT = 0

図56のFは、パディングの長さが12348バイト(12348B)となる場合に、EXTフラグ='1'が指定された場合のFECブロックヘッダの構成を示している。

[0228] 図56のFにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'10'が指定されているため、EXTバイトの次の2バイトが、追加パディングの長さを示している。

[0229] ここで、2バイトの追加パディングの長さには、'12345'('00110000 00111001')が指定されているため、さらに、12345バイト(12345B)のパディングが追加されている。

[0230] なお、EXTバイトにおいては、2ビットのLEN\_MSBを利用することで、先頭TLVパケット位置ポインタとして、ショート符号とミドル符号に対応するだけでなく、ロング符号にも対応することができる。

[0231] このように、図56のFのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さ、12345バイト(12345B)の追加パディングによって、合計で12348バイト(12348B)のパディングが実現されている。

[0232] (形式3-1の詳細例2)

図57及び図58には、形式3-1の詳細例2を示している。この詳細例2では、ベースヘッダとEXTバイトからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

[0233] (3-3-2 A) : Padding = 1, EXT = 1, TS = 1

図57のAは、パディングの長さが1バイト(1B)となる場合に、EXTフラグ = '1'が指定された場合のFECブロックヘッダの構成を示している。

[0234] 図57のAにおいては、ベースヘッダに、13ビットの先頭TLVパケット位置ポインタのほかに、2ビットのパディング値と、1ビットのEXTフラグが配置されているが、パディング値として、'00'が指定されているため、追加のパディングはない。一方で、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

[0235] なお、EXTバイトにおいて、TSフラグには'1'が指定され、FECブロックに配置されるパケットがTSパケットとなるので、先頭TLVパケット位置ポインタは、FECブロック内のTSパケットの位置(先頭位置)を示している。

[0236] このように、図57のAのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトによって、1バイト(1B)のパディングが実現されている。

[0237] (3-3-2 B) : Padding = 2, EXT = 1, TS = 1

図57のBは、パディングの長さが2バイト(2B)となる場合に、EXTフラグ = '1'が指定された場合のFECブロックヘッダの構成を示している。

[0238] 図57のBにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'01'が指定されているため、EXTバイトの次の1バイトが、追加の1Bパディングとなる。

[0239] このように、図57のBのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、1バイト(1B)の追加パディングによって、合計で2バイト(2B)のパディングが実現されている。

[0240] (3-3-2 C) : Padding = 3, EXT = 1, TS = 1

図57のCは、パディングの長さが3バイト(3B)となる場合に、EXTフラグ = '1'が指定された場合のFECブロックヘッダの構成を示している。

[0241] 図57のCにおいては、EXTフラグとして、'1'が指定されているため、ベ

ースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'10'が指定されているため、EXTバイトの次の1バイトが、追加パディングの長さを示している。

[0242] ここで、2バイトの追加パディングの長さには、'0' ('00000000 00000000')が指定されているため、これ以上は、パディングが追加されないことを表している。

[0243] このように、図57のCのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さによって、合計で3バイト(3B)のパディングが実現されている。

[0244] (3-3-2D) : Padding = 4, EXT = 1, TS = 1

図58のDは、パディングの長さが4バイト(4B)となる場合に、EXTフラグ='1'が指定された場合のFECブロックヘッダの構成を示している。

[0245] 図58のDにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'10'が指定されているため、EXTバイトの次の1バイトが、追加パディングの長さを示している。

[0246] ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000000 1')が指定されているため、当該追加パディングの長さについて、さらに、1バイト(1B)のパディングが追加されている。

[0247] このように、図58のDのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さ、1バイト(1B)の追加パディングによって、合計で4バイト(4B)のパディングが実現されている。

[0248] (形式3-1の詳細例3)

図59及び図60には、形式3-1の詳細例3を示している。この詳細例3では、ベースヘッダとEXTバイトとCRCからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

[0249] (3-3-3A) : Padding = 1, EXT = 1, CRC = 1

図59のAは、パディングの長さが1バイト（1B）となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0250] 図59のAにおいては、ベースヘッダに、13ビットの先頭TLVパケット位置ポインタのほかに、2ビットのパディング値と、1ビットのEXTフラグが配置されているが、パディング値として、'00' が指定されているため、追加のパディングはない。一方で、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

[0251] このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1' が指定されているため、EXTバイトの次に、1バイト（8ビット）のCRCが付加されている。

[0252] このように、図59のAのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトによって、1バイト（1B）のパディングが実現されている。

[0253] (3-3-3 B) : Padding = 2, EXT = 1, CRC = 1

図59のBは、パディングの長さが2バイト（2B）となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0254] 図59のBにおいては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1' が指定されているため、EXTバイトの次に、1バイト（8ビット）のCRCが付加されている。

[0255] また、ベースヘッダにおいては、パディング値として、'01' が指定されているため、CRCの次の1バイトが、追加の1Bパディングとなる。

[0256] このように、図59のBのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトと、1バイト（1B）の追加パディングによって、合計で2バイト（2B）のパディングが実現されている。

[0257] (3-3-3 C) : Padding = 3, EXT = 1, CRC = 1

図59のCは、パディングの長さが3バイト（3B）となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0258] 図59のCにおいては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1' が指定されているため、EXTバイトの次に、1バイト（8ビット）のCRCが付加されている。

[0259] また、ベースヘッダにおいては、パディング値として、'10' が指定されているため、CRCの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'0'（'00000000 00000000'）が指定されているため、これ以上は、パディングが追加されないことを表している。

[0260] このように、図59のCのFECブロックヘッダにおいては、1バイト（1B）のEXTバイトと、2バイト（2B）の追加パディングの長さによって、合計で3バイト（3B）のパディングが実現されている。

[0261] (3 - 3 - 3 D) : Padding = 4, EXT = 1, CRC = 1

図60のDは、パディングの長さが4バイト（4B）となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

[0262] 図60のDにおいては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1' が指定されているため、EXTバイトの次に、1バイト（8ビット）のCRCが付加されている。

[0263] また、ベースヘッダにおいては、パディング値として、'10' が指定されているため、CRCの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'1'（'00000000 00000001'）が指定されているため、1バイト（1B）のパディングが追加されている。

[0264] このように、図60のDのFECブロックヘッダにおいては、1バイト（1B）

のEXTバイトと、2バイト（2B）の追加パディングの長さ、1バイト（1B）の追加パディングによって、合計で4バイト（4B）のパディングが実現されている。

[0265] 以上、第3の形式のFECブロックヘッダの構成について説明した。この第3の形式では、ロング符号が対象の規格に存在する場合に、FECブロックヘッダのベースヘッダに、13ビットを確保して、ビット数（Num Bits）の最大値が、11ビットとなるショート符号、又は13ビットとなるミドル符号に対応するとともに、ビット数（Num Bits）の最大値が、15ビットとなるロング符号の場合には、EXTバイトのLEN\_MSBの2ビットを用いることで、15ビットとなるロング符号に対応することができるようにしている。そのため、ロング符号が規格に存在する場合に、ミドル符号又はショート符号のときには、EXTバイトのLEN\_MSBを利用する必要がなく、FECブロックヘッダを、効率良く構成することができる。

[0266] （3-4）第4の形式

最後に、図61乃至図63を参照して、第4の形式（以下、形式4とも記述する）のFECブロックヘッダ（FBH）の構成について説明する。

[0267] （FECブロックヘッダのフォーマット）

図61は、形式4のFECブロックヘッダのフォーマットの例を示す図である。

[0268] 図61において、2バイトのベースヘッダは、13ビットの先頭TLVパケット位置ポインタと、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのEXTフラグから構成される。

[0269] 先頭TLVパケット位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパケットの位置を示すポインタである。

[0270] 3ビットの残りビットは、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのEXTフラグに割り当てられる。TSフラグとCRCフラグの詳細は、先に述べた通りである。

- [0271] また、EXTフラグは、拡張領域 (Extension) が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'1' が指定された場合、ベースヘッダの次の1バイトが、EXTバイトとなる。
- [0272] 図62には、EXTバイトのフォーマットの例を示している。図62において、1バイトのEXTバイトは、5ビットのLEN\_MSBと、2ビットのパディング値と、1ビットのリザーブド領域から構成される。
- [0273] ここで、上述した図31乃至図33においては、ビット数 (Num Bits) を、 $K\_bch$  (B : バイト) に応じて必要となるビット数としたが、 $K\_bch$  (bits : ビット) とした場合のビット数 (Num Bits) は、次のようになる。
- [0274] すなわち、符号長が69120ビットとなるミドル符号の場合においては、 $CR = 14/16$ である最大符号化率となるとき、ビット数 (Num Bits) は、16ビットとなるので、先頭TLVパケット位置ポインタの最大値は、16ビットとなる。
- [0275] また、符号長が276480ビットとなるロング符号の場合においては、 $CR = 14/16$ である最大符号化率となるとき、ビット数 (Num Bits) は、18ビットとなるので、先頭TLVパケット位置ポインタの最大値は、18ビットとなる。
- [0276] また、符号長が17280ビットとなるショート符号の場合においては、 $CR = 14/16$ である最大符号化率となるとき、ビット数 (Num Bits) は、14ビットとなるので、先頭TLVパケット位置ポインタの最大値は、14ビットとなる。
- [0277] 以上のように、ビット数 (Num Bits) として、バイト表現 ( $K\_bch$  (B : バイト)) ではなく、ビット表現 ( $K\_bch$  (bits : ビット)) を用いた場合には、先頭TLVパケット位置ポインタの最大値が、ロング符号、ミドル符号、ショート符号で、それぞれ、18ビット、16ビット、14ビットとなる。そのため、ベースヘッダで、先頭TLVパケット位置ポインタに割り当てられた13ビットでは不足するため、その不足分のビットとして、LEN\_MSBの5ビットを用いる。
- [0278] すなわち、ベースヘッダに割り当てられた13ビットと、LEN\_MSBの5ビットとを合わせた合計18ビットが、先頭TLVパケット位置ポインタとして用いられる。このようにビットを割り当てることで、先頭TLVパケット位置ポインタをビット表現することができる。

- [0279] 具体的には、ロング符号の場合には、LEN\_MSBの5ビットのすべてが用いられ、先頭TLVパケット位置ポインタのビットとして、合計18ビットが利用可能となる。また、ミドル符号の場合には、LEN\_MSBの5ビットのうち、3ビットが利用されて、合計16ビットが利用可能となる。また、ショート符号の場合には、LEN\_MSBの5ビットのうち、1ビットが利用されて、合計14ビットが利用可能となる。
- [0280] すなわち、バイト表現の場合、ロング符号、ミドル符号、及びショート符号のすべてで、ベースヘッダに割り当てられた13ビットでは、不足するため、LEN\_MSBの5ビットを用いて、先頭TLVパケット位置ポインタの最大値（18ビット、16ビット、又は14ビット）に対応できるようにしている。
- [0281] パディング値には、例えば、図63に示した内容に応じた値が指定される。この形式4のパディング値は、上述した形式1のパディング値の内容（図36）と同様であるため、ここではその説明は省略する。リザーブ領域は、将来に使用される領域である。
- [0282] 以上、第4の形式のFECブロックヘッダの構成について説明した。この第4の形式では、ロング符号が対象の規格に存在する場合に、FECブロックヘッダのベースヘッダ（13ビット）と、EXTバイトのLEN\_MSB（5ビット）によって、18ビットを確保して、ビット数（Num Bits）の最大値が、14ビットとなるショート符号、16ビットとなるミドル符号、及び18ビットとなるロング符号に対応することができるようにしている。そのため、ロング符号が規格に存在する場合に、先頭TLVパケット位置ポインタをビット表現することができる。
- [0283] <4. 本技術の時刻情報の送出タイミング>
- [0284] ところで、現行のISDB-Tにおいては、放送信号の多重化の方式として、周波数分割多重化方式（FDM：Frequency Division Multiplexing）が採用されている。次世代の地上デジタルテレビ放送においても同様に、周波数分割多重化方式（FDM）が採用されることが想定される。
- [0285] この周波数分割多重化方式（FDM）を採用した場合には、所定の周波数帯域（例えば6MHz）が、複数のセグメントに周波数分割され、1又は複数のセグ

メントごとの帯域を利用した階層伝送が行われる。この場合に、周波数分割で得られる、1又は複数のセグメントの周波数帯域からなる階層ごとに、例えば、異なるサービスのデータを伝送することができる。

[0286] すなわち、各階層は、1又は複数のセグメントをまとめた単位である。なお、ISDB-Tにおいては、OFDMセグメントが用いられている。ここで、OFDM (Orthogonal Frequency Division Multiplexing) (直交周波数分割多重) では、伝送帯域内に多数の直交するサブキャリア (副搬送波) が設けられ、デジタル変調が行われる。なお、階層 (FDM階層) は、概念的にはPLP (Physical Layer Pipe) として捉えることも可能である。この場合、複数階層は、M-PLP (Multiple-PLP) であるとも言える。

[0287] また、地上デジタルテレビ放送においては、送信側と受信側とで同期をとるための時刻情報が伝送され、送信側の送信装置20と、受信側の受信装置30とで同期がとられる。

[0288] 図64は、時刻情報の送出タイミングの例を示す図である。

[0289] 図64においては、上側に、送信装置20で処理されるデータが模式的に表され、下側に、受信装置30で処理されるデータが模式的に表されている。また、図64において、横方向が時間を表しており、その方向は、図中の左側から右側に向かう方向とされる。

[0290] まず、送信装置20で処理されるデータについて説明する。

[0291] 送信装置20では、TLVパケットに対し、必要な処理を施すことで、BCH符号とLDPC符号が付加されたFECブロックを含むFECフレームが得られる。また、送信装置20では、FECフレームに対し、必要な処理を施すことで、物理層フレーム (以下、ISDB-T2フレームという) が得られる。

[0292] TLVパケットは、可変長パケットであり、例えば、4~65536バイトのサイズとされる。TLVパケットを、図中の「Data」で表している。また、NTP (Network Time Protocol) 形式の時刻情報であるNTP時刻情報が、図中の「NTP」で表されている。

[0293] FECフレームは、BCH符号とLDPC符号が付加されたFECブロックを含む。FEC

フレーム#0乃至FECフレーム#kのk+1個のFECフレームで、1つのISDB-T2フレームが構成される。各FECフレームの先頭には、FECブロックヘッダ (FBH) が付加され、パディングが挿入される場合には、FECブロックヘッダ (FBH) に続いて、所定のバイトの追加のパディングがなされる。

[0294] 上述したように、FECブロックヘッダ (FBH) には、先頭TLVパケット位置ポインタが含まれる。ここで、例えば、TLVパケットとして、Data#1に注目すれば、Data#1-1とData#1-2が、FECフレーム#0とFECフレーム#1にまたいで配置されている。そして、FECフレーム#1の先頭に付加されるFECブロックヘッダ (FBH) に含まれる先頭TLVパケット位置ポインタは、当該FECフレーム#1内のData#1-2に続いて配置されるData#2の先頭位置を表している。

[0295] OFDMシンボルを、図中の「Symbol」で表している。Symbol#0乃至Symbol#nのn+1個のOFDMシンボルで、1つのISDB-T2フレームが構成される。すなわち、このISDB-T2フレームが、データを伝送する単位となるOFDMフレームであると言える。

[0296] ただし、放送信号の多重化の方式として、周波数分割多重化方式 (FDM) を採用した場合、OFDMシンボルは、さらにセグメント単位に分割される。セグメントを、図中の「Seg」で表している。Seg#0乃至Seg#mのm+1個のセグメントで、1つのOFDMシンボルが構成される。

[0297] ここで、本技術においては、NTP時刻情報が、ISDB-T2フレームの先頭になるように挿入される（厳密には、NTP時刻情報が、先頭のFECフレーム#0に付加されるFECブロックヘッダ (FBH) に続いて挿入される）。このNTP時刻情報には、NTPで規定される時刻の情報として、ISDB-T2フレームの先頭の時刻が含まれる。

[0298] ただし、1つのISDB-T2フレームを、k+1個のFECフレームにより構成する際に、NTP時刻情報が、ISDB-T2フレームの先頭に配置されとは限らない。そのような場合には、あるISDB-T2フレームを構成する最後のFECフレーム#kに続いて、ダミーセルDを挿入することで、次のISDB-T2フレームの先頭 (FECフレーム#0の先頭) に、NTP時刻情報が挿入されるようにすることができる。

- [0299] すなわち、OFDMフレームとしてのISDB-T2フレームの先頭に、NTP時刻情報を配置するため、送信装置20では、必要に応じて、ダミーセル生成部161によりダミーセルDが生成され、FECフレームが配置されたOFDMフレームに配置される。これにより、NTP時刻情報が、OFDMフレームとしてのISDB-T2フレームのフレーム長に紐付けられる。
- [0300] このように、図64の枠A内に注目すれば、送信装置20では、ISDB-T2フレームの先頭に、ISDB-T2フレームの先頭の時刻を示すNTP時刻情報が挿入されるが、ISDB-T2フレームとFECフレームで境界が一致している場合と、境界が一致していない場合がある。そして、それらの境界が一致していない場合には、NTP時刻情報の挿入位置が、ISDB-T2フレームの先頭からずれた位置となるので、ダミーセルDを挿入して、NTP時刻情報が、ISDB-T2フレームの先頭に挿入されるようにする。
- [0301] 次に、受信装置30で処理されるデータについて説明する。
- [0302] 受信装置30では、ISDB-T2フレームに対し、必要な処理を施すことで、TLVパケットが得られる。ここでは、1つのISDB-T2フレームからは、複数のTLVパケットとともに、その先頭に配置されたNTP時刻情報が得られる。このNTP時刻情報は、当該ISDB-T2フレームの先頭の時刻を示している。
- [0303] そして、受信装置30では、ISDB-T2フレームとTLVパケットとで境界が一致しているので、ISDB-T2フレームの先頭に挿入されたNTP時刻情報が示すISDB-T2フレームの先頭の時刻を参照して、クロックリカバリを行うことができる。
- [0304] これにより、送信側の送信装置20と、受信側の受信装置30との間では、NTP時刻情報によるクロック同期が実現され、受信装置30では、ISDB-T2フレームの先頭に含まれるNTP時刻情報ごとに、複数のTLVパケット(Data#0乃至Data#z)を処理することが可能となる。
- [0305] 以上のように、ISDB-T2フレームの先頭に、その先頭の時刻を示すNTP時刻情報が含まれるようにすることで、時刻情報の伝送が高精度で効率的に行われ、受信装置30では、そのNTP時刻情報を用い、クロック同期(クロックリ

カバリ)を行うことができる。

[0306] <5. 送信側と受信側の動作>

[0307] 次に、図65のフローチャートを参照して、送信側の送信装置20と、受信側の受信装置30の動作について説明する。

[0308] なお、図65のステップS11乃至S13の処理は、例えば、送信装置20(図2)のデータ処理部211や変調部212により実行される。また、図65のステップS31乃至S33の処理は、例えば、受信装置30(図3)の復調部312やデータ処理部313により実行される。

[0309] ステップS11において、FECブロック生成部153は、そこに入力されるTLVパケットを処理し、FECブロックを生成する。このFECブロックの先頭には、TLVパケット位置ポインタやTSフラグ、CRCフラグを含むFECブロックヘッダ(FBH)が挿入される。

[0310] ステップS12において、FECフレーム生成部154は、ステップS11の処理で生成されるFECブロックを処理し、FECフレームを生成する。

[0311] ステップS13において、変調部212は、ステップS12の処理で生成されるFECフレームを処理し、FECフレームから得られる信号を送信する。このようにして、送信側の送信装置20から送信される信号は、受信側の受信装置30により受信される。

[0312] ステップS31において、チューナ311は、FECフレームから得られる信号を受信する。

[0313] ステップS32において、復調部312は、ステップS31の処理で受信される信号を処理し、FECブロックを生成する。

[0314] ステップS33において、データ処理部313は、ステップS32の処理で生成されたFECブロックを処理し、TLVパケットを生成する。このFECブロックの先頭には、TLVパケット位置ポインタやTSフラグ、CRCフラグを含むFECブロックヘッダ(FBH)が挿入されている。

[0315] ここでは、このTLVパケット位置ポインタによって、FECブロックにおける先頭のTLVパケットの位置を確実に特定して、当該FECブロックから、TLVパケ

ットを抽出することができる。このようにして得られるTLVパケットは、受信側の受信装置30（のデータ処理部313や後段の処理部）によって、さらに処理され、放送番組等のコンテンツが再生される。

[0316] 以上、送信側と受信側の動作について説明した。

[0317] <6. 変形例>

[0318] （他の放送方式への適用）

上述した説明では、デジタルテレビ放送の規格として、日本等で採用されている方式であるISDB(Integrated Services Digital Broadcasting)を中心に説明したが、本技術は、米国等が採用する方式であるATSC(Advanced Television Systems Committee)や、欧州の各国等が採用する方式であるDVB(Digital Video Broadcasting)などに適用するようにしてもよい。

[0319] また、デジタルテレビ放送の規格としては、地上波放送のほか、放送衛星(BS)や通信衛星(CS)等を利用した衛星放送や、ケーブルテレビ(CATV)等の有線放送などの規格にも適用することができる。

[0320] （パケットやシグナリングの他の例）

また、上述したパケットやフレーム、シグナリング（制御情報）などの名称は、一例であって、他の名称が用いられる場合がある。ただし、これらの名称の違いは、形式的な違いであって、対象のパケットやフレーム、シグナリングなどの実質的な内容が異なるものではない。

[0321] 例えば、TLVパケットは、伝送パケットの一例であって、伝送パケットには、例えば、可変長のパケットであるALP(ATSC Link-Layer Protocol)パケットやGSE(Generic Stream Encapsulation)パケットなどが含まれる。なお、フレームとパケットは同一の意味で用いられる場合がある。

[0322] （時刻情報の他の例）

上述した説明では、時刻情報として、NTPで規定される時刻の情報が用いられる場合を説明したが、それに限らず、例えば、PTP(Precision Time Protocol)や3GPP(Third Generation Partnership Project)で規定されている時刻の情報や、GPS(Global Positioning System)情報に含まれる時刻の情報、その

他独自に決定された形式の時刻の情報等の任意の時刻の情報を用いることができる。

[0323] (伝送路の他の例)

また、本技術は、伝送路として、放送網以外の伝送路、すなわち、例えば、インターネットや電話網等の通信回線（通信網）などを利用することを想定して規定されている所定の規格（デジタル放送の規格以外の規格）などにも適用することができる。その場合には、伝送システム 1（図 1）の伝送路として、インターネット等の通信回線が利用され、データ処理装置 10 や送信装置 20 の機能は、インターネット上に設けられた通信サーバにより提供される。そして、当該通信サーバと、受信装置 30 とが、通信回線を介して双方向の通信を行うことになる。

[0324] <7. コンピュータの構成>

[0325] 上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。図 66 は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示す図である。

[0326] コンピュータ 1000 において、CPU(Central Processing Unit) 1001、ROM(Read Only Memory) 1002、RAM(Random Access Memory) 1003 は、バス 1004 により相互に接続されている。バス 1004 には、さらに、入出力インターフェース 1005 が接続されている。入出力インターフェース 1005 には、入力部 1006、出力部 1007、記録部 1008、通信部 1009、及び、ドライブ 1010 が接続されている。

[0327] 入力部 1006 は、キーボード、マウス、マイクロフォンなどよりなる。出力部 1007 は、ディスプレイ、スピーカなどよりなる。記録部 1008 は、ハードディスクや不揮発性のメモリなどよりなる。通信部 1009 は、ネットワークインターフェースなどよりなる。ドライブ 1010 は、磁気ディスク、光ディスク、光磁気ディスク、又は半導体メモリなどのリムーバブル

ル記録媒体1011を駆動する。

- [0328] 以上のように構成されるコンピュータ1000では、CPU1001が、ROM1002や記録部1008に記録されているプログラムを、入出力インターフェース1005及びバス1004を介して、RAM1003にロードして実行することにより、上述した一連の処理が行われる。
- [0329] コンピュータ1000（CPU1001）が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブル記録媒体1011に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線又は無線の伝送媒体を介して提供することができる。
- [0330] コンピュータ1000では、プログラムは、リムーバブル記録媒体1011をドライブ1010に装着することにより、入出力インターフェース1005を介して、記録部1008にインストールすることができる。また、プログラムは、有線又は無線の伝送媒体を介して、通信部1009で受信し、記録部1008にインストールすることができる。その他、プログラムは、ROM1002や記録部1008に、あらかじめインストールしておくことができる。
- [0331] ここで、本明細書において、コンピュータがプログラムに従って行う処理は、必ずしもフローチャートとして記載された順序に沿って時系列に行われる必要はない。すなわち、コンピュータがプログラムに従って行う処理は、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含む。また、プログラムは、1のコンピュータ（プロセッサ）により処理されるものであってもよいし、複数のコンピュータによって分散処理されるものであってもよい。
- [0332] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。
- [0333] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0334] さらに、本技術は、以下のような構成をとることができる。

[0335] (1)

入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、

前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、

前記FECフレームを送信する送信部と

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む

送信装置。

(2)

前記種別識別情報がTLV(Type Length Value)パケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む

前記(1)に記載の送信装置。

(3)

前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、

前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とすると、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む

前記(2)に記載の送信装置。

(4)

前記FECフレームが配置されるOFDM(Orthogonal Frequency Division Multi

plexing)フレームの先頭に時刻情報を配置するためのダミーセルを生成する  
第3の生成部をさらに含む

前記(1)乃至(3)のいずれかに記載の送信装置。

(5)

入力パケット又は入力ストリームに基づいて、FECブロックを生成すること  
と、

前記FECブロックに基づいて、FECフレームを生成することと、

前記FECフレームを送信することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの  
種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FEC  
フレームのペイロードに格納される前記入力パケット又は前記入力ストリー  
ムのパケット先頭の位置情報を有する最小固定長ヘッダを含む

送信方法。

(6)

送信されてくるFECフレームからなる信号を受信する受信部と、

受信された前記FECフレームに基づいて、FECブロックを生成する第1の生  
成部と、

前記FECブロックに基づいて、入力パケット又は入力ストリームを生成する  
第2の生成部と

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの  
種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される  
前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固  
定長ヘッダを含む

受信装置。

(7)

前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前

記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む

前記（６）に記載の受信装置。

（８）

前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、

前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とすると、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む

前記（７）に記載の受信装置

（９）

前記FECフレームが配置されるOFDMフレームでは、ダミーセルを挿入することで、その先頭に時刻情報が配置される

前記（６）乃至（８）のいずれかに記載の受信装置。

（１０）

送信されてくるFECフレームからなる信号を受信することと、  
受信された前記FECフレームに基づいて、FECブロックを生成することと、  
前記FECブロックに基づいて、入力パケット又は入力ストリームを生成することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む

受信方法。

**符号の説明**

[0336] 1 伝送システム, 10, 10-1乃至10-N データ処理装置,  
20 送信装置, 30, 30-1乃至30-M 受信装置, 40, 40-1乃至40-N 通信回線, 50 放送伝送路, 111 コンポーネント処理部, 112 シグナリング生成部, 113 マルチプレクサ, 114 データ処理部, 151 TLVパケット生成部, 152 TSパケット処理部, 153 FECブロック生成部, 154 FECフレーム生成部, 161 ダミーセル生成部, 211 データ処理部, 212 変調部, 311 チューナ, 312 復調部, 313 データ処理部

## 請求の範囲

- [請求項1]           入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、  
                  前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、  
                  前記FECフレームを送信する送信部と  
                  を含み、  
                  前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む  
                  送信装置。
- [請求項2]           前記種別識別情報がTLV(Type Length Value)パケットである場合、  
                  前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む  
                  請求項1に記載の送信装置。
- [請求項3]           前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、  
                  前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とするととき、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む  
                  請求項2に記載の送信装置。
- [請求項4]           前記FECフレームが配置されるOFDM(Orthogonal Frequency Division Multiplexing)フレームの先頭に時刻情報を配置するためのダミー

セルを生成する第3の生成部をさらに含む

請求項1に記載の送信装置。

[請求項5]

入力パケット又は入力ストリームに基づいて、FECブロックを生成することと、

前記FECブロックに基づいて、FECフレームを生成することと、

前記FECフレームを送信することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダを含む

送信方法。

[請求項6]

送信されてくるFECフレームからなる信号を受信する受信部と、

受信された前記FECフレームに基づいて、FECブロックを生成する第1の生成部と、

前記FECブロックに基づいて、入力パケット又は入力ストリームを生成する第2の生成部と

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む

受信装置。

[請求項7]

前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む

請求項6に記載の受信装置。

[請求項8] 前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、

前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とすると、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む

請求項7に記載の受信装置

[請求項9] 前記FECフレームが配置されるOFDMフレームでは、ダミーセルを挿入することで、その先頭に時刻情報が配置される

請求項6に記載の受信装置。

[請求項10] 送信されてくるFECフレームからなる信号を受信することと、  
受信された前記FECフレームに基づいて、FECブロックを生成することと、

前記FECブロックに基づいて、入力パケット又は入力ストリームを生成することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む

受信方法。

補正された請求の範囲  
[2018年4月3日(03.04.2018) 国際事務局受理]

- [請求項 1] (補正後) 入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、  
前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、  
前記FECフレームを送信する送信部と  
を含み、  
前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含み、  
前記種別識別情報がTLV(Type Length Value)パケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む  
送信装置。
- [請求項 2] (削除)
- [請求項 3] (補正後) 前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、  
前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とするととき、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む  
請求項 1 に記載の送信装置。
- [請求項 4] 前記FECフレームが配置されるOFDM(Orthogonal Frequency Division Multiplexing)フレームの先頭に時刻情報を配置するためのダミーセルを

生成する第3の生成部をさらに含む

請求項1に記載の送信装置。

[請求項5] (補正後)

入力パケット又は入力ストリームに基づいて、FECブロックを生成することと、

前記FECブロックに基づいて、FECフレームを生成することと、

前記FECフレームを送信することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダを含み、

前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む

送信方法。

[請求項6] (補正後)

送信されてくるFECフレームからなる信号を受信する受信部と、

受信された前記FECフレームに基づいて、FECブロックを生成する第1の生成部と、

前記FECブロックに基づいて、入力パケット又は入力ストリームを生成する第2の生成部と

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含み、

前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッ

ダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む受信装置。

[請求項 7] (削除)

[請求項 8] (補正後)

前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、

前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とすると、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む

請求項 6 に記載の受信装置

[請求項 9]

前記FECフレームが配置されるOFDMフレームでは、ダミーセルを挿入することで、その先頭に時刻情報が配置される

請求項 6 に記載の受信装置。

[請求項 10] (補正後)

送信されてくるFECフレームからなる信号を受信することと、  
受信された前記FECフレームに基づいて、FECブロックを生成することと、

前記FECブロックに基づいて、入力パケット又は入力ストリームを生成することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含み、

前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前

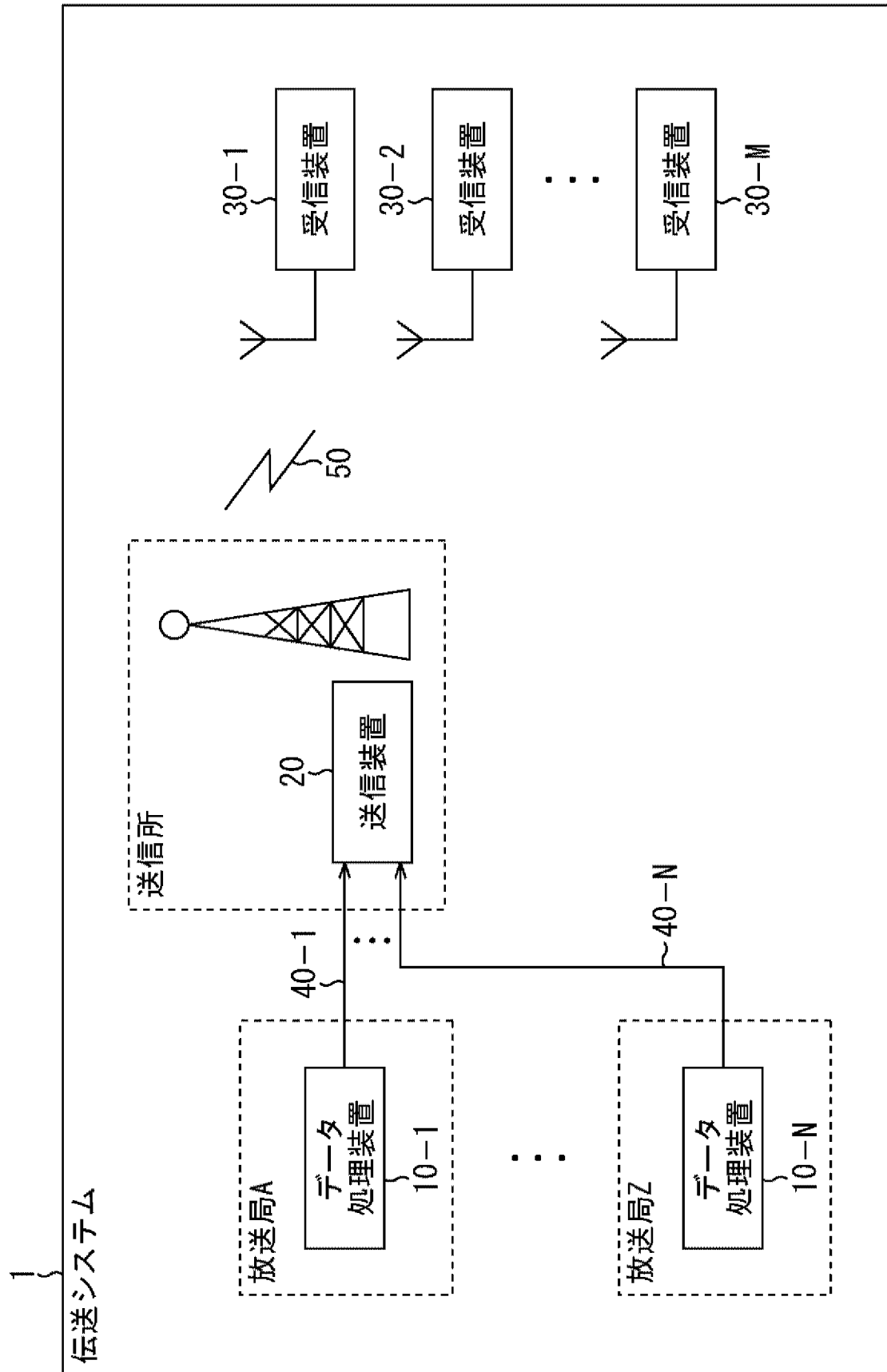
記入カパケット長の情報としての最小入力パケット長を含む  
受信方法。

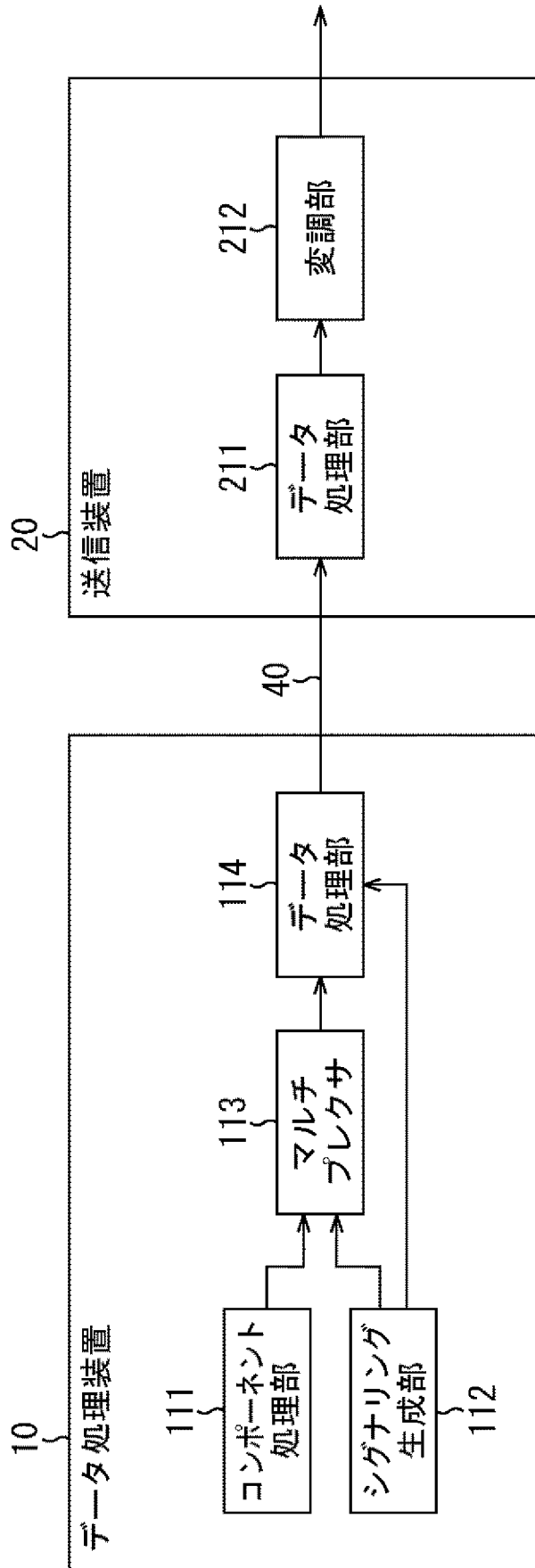
## 条約第19条（1）に基づく説明書

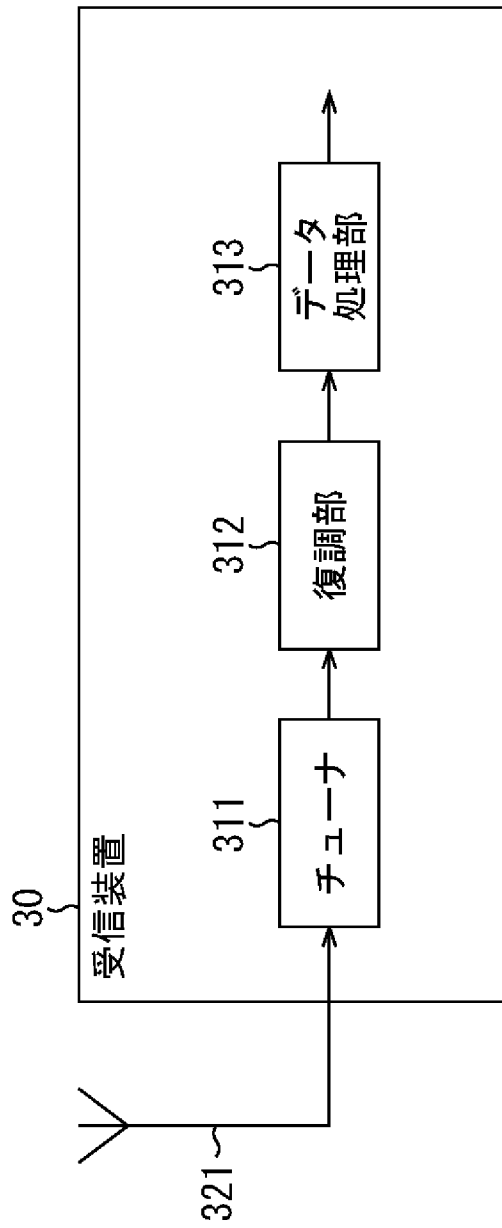
請求項 1、5 は、送信側の装置で、TLV パケットである場合に、最小固定長識別情報と最小入力パケット長がさらに含まれることを明確にした。

請求項 6、10 は、受信側の装置で、TLV パケットである場合に、最小固定長識別情報と最小入力パケット長がさらに含まれることを明確にした。

本技術は、例えば、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知するものである。

[図1]  
FIG. 1

[図2]  
FIG. 2

[図3]  
FIG. 3

[図4]  
FIG. 4

- ◆ 国内の地デジ高度化技術に関する総務省の研究開発が進められている
  - ✓ 独自の符号、独自の変調方式(FDM)が予想されている
- ◆ 入力はTLVパケット
  - ✓ 可変長であり、中身はIPパケット
- ◆ 入力TLVパケットがどのようにFECブロックへ配置することが提案されていらない

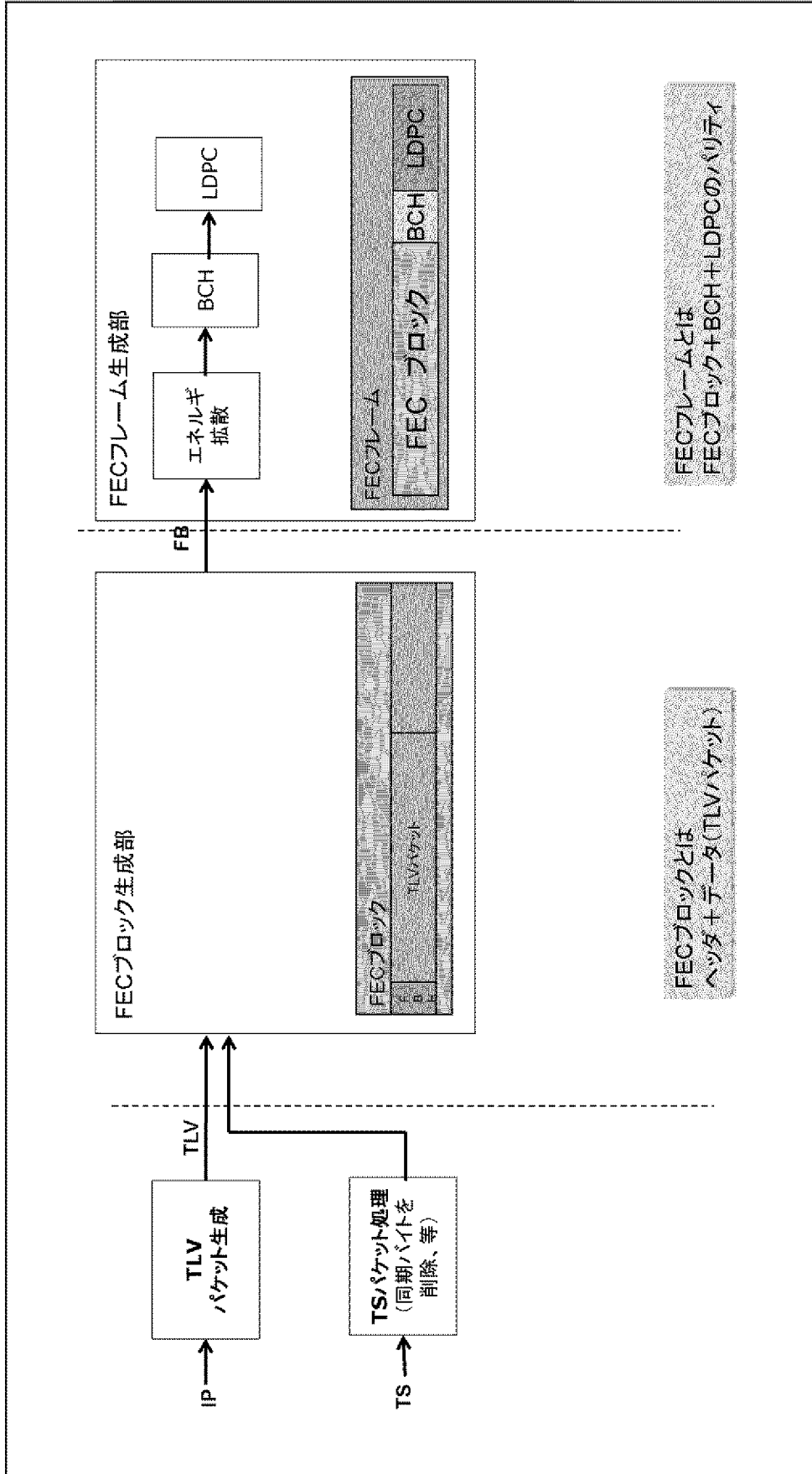
[図5]  
FIG. 5

- ◆ ① 可変長のTLVパケットを固定長のFECブロックにカプセル化するとき、TLVパケットを分割して複数のFECブロックに配置することがある。そのため、TLVパケットの先頭位置を示さなければならない。
- ◆ ② 入力データがない時でも、FECブロックを構成する方式が必要である。
- ◆ ③ TLVパケットのほかに、TSパケットを伝送したい
- ◆ ④ FECブロックヘッダのロバストネスを高めたい
- ◆ ⑤ NTPが入っているTLVパケットをOFDMフレームの先頭に置きたい

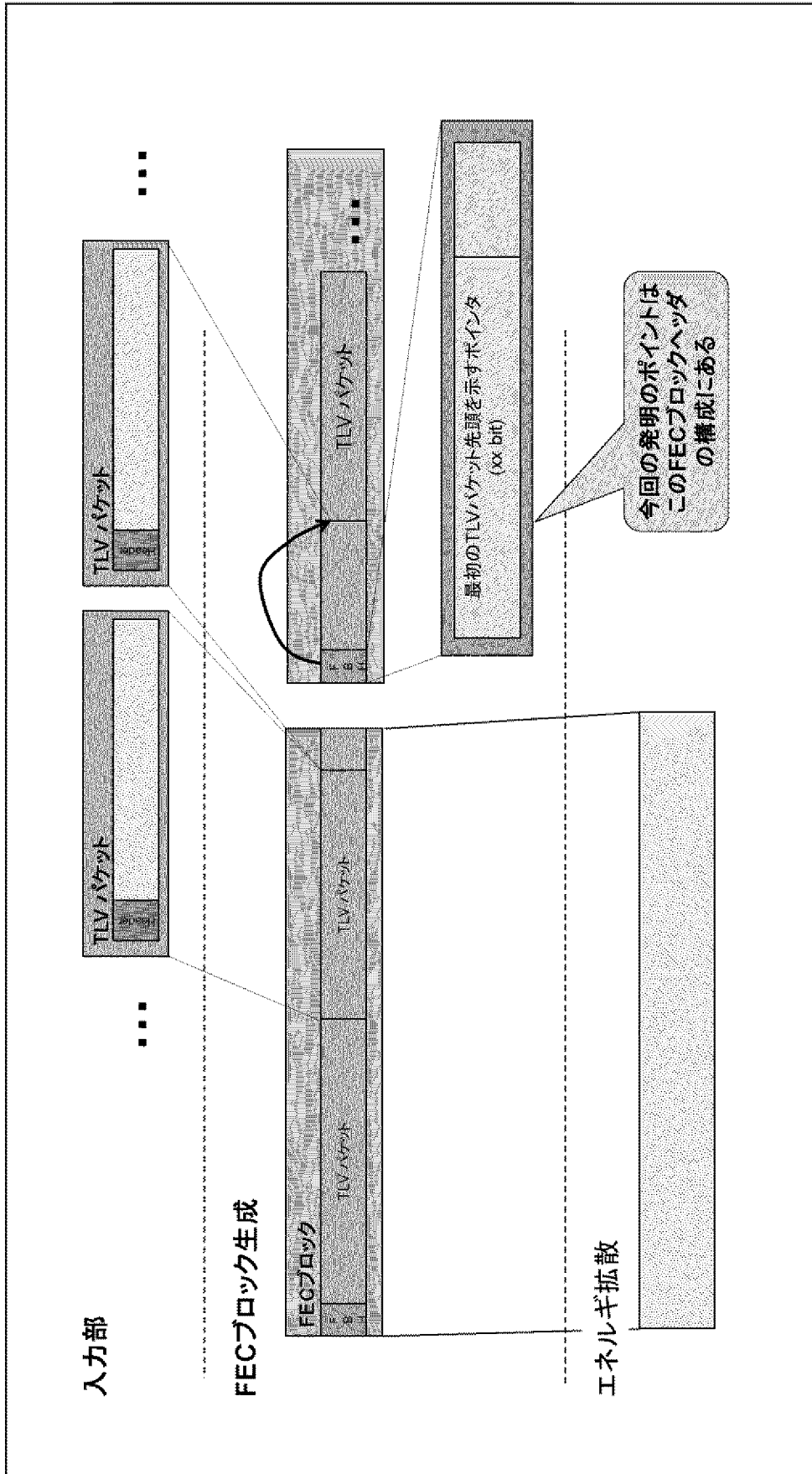
[図6]  
FIG. 6

- ◆ ① TLVパケットの先頭位置を示すために
  - FECブロックヘッダに、FECブロック内の最初のTLVパケット先頭を指すポインタを導入
- ◆ ② 入力データがない時に
  - FECブロックに1BからのFECブロックすべてをパディングする仕組み
- ◆ ③ TSパケットを送りたい時に
  - パケットタイプを示すフラグを導入する
- ◆ ④ FECブロックヘッダをよりロバストにしたい時に
  - FECブロックヘッダにCRCの有無を示すFlagを入れる
  - ヘッダ後にCRCを入れる
- ◆ ⑤ Dummy cellsをOFDMフレームの最後に入れる
  - NTPのTLVパケットを先頭に置ける

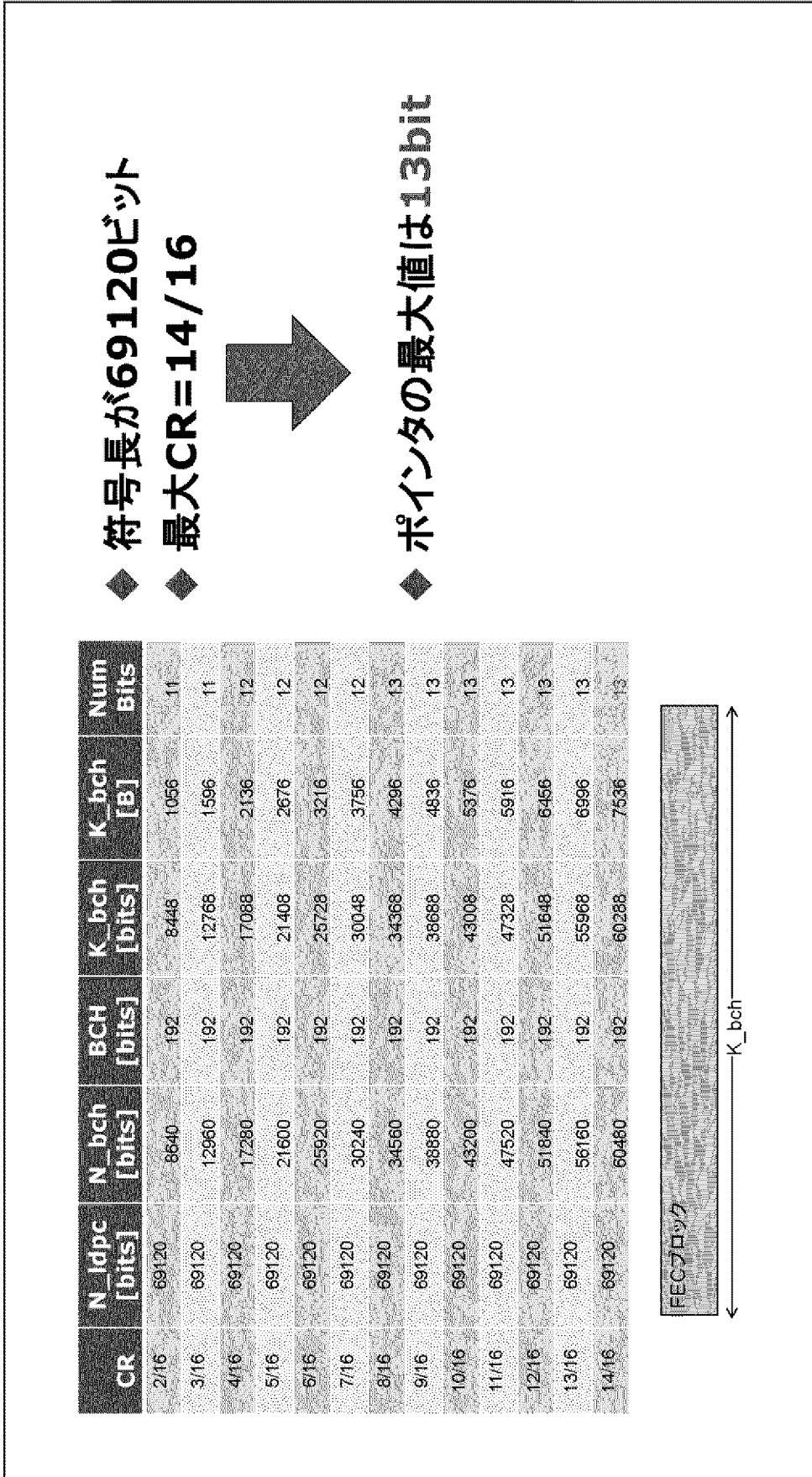
[図7]  
FIG. 7



[図8]  
FIG. 8

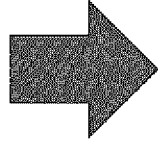


[図9]  
FIG. 9



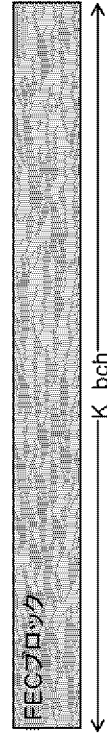
[図10]  
FIG. 10

◆ 符号長が276480ビット  
◆ 最大CR=14/16

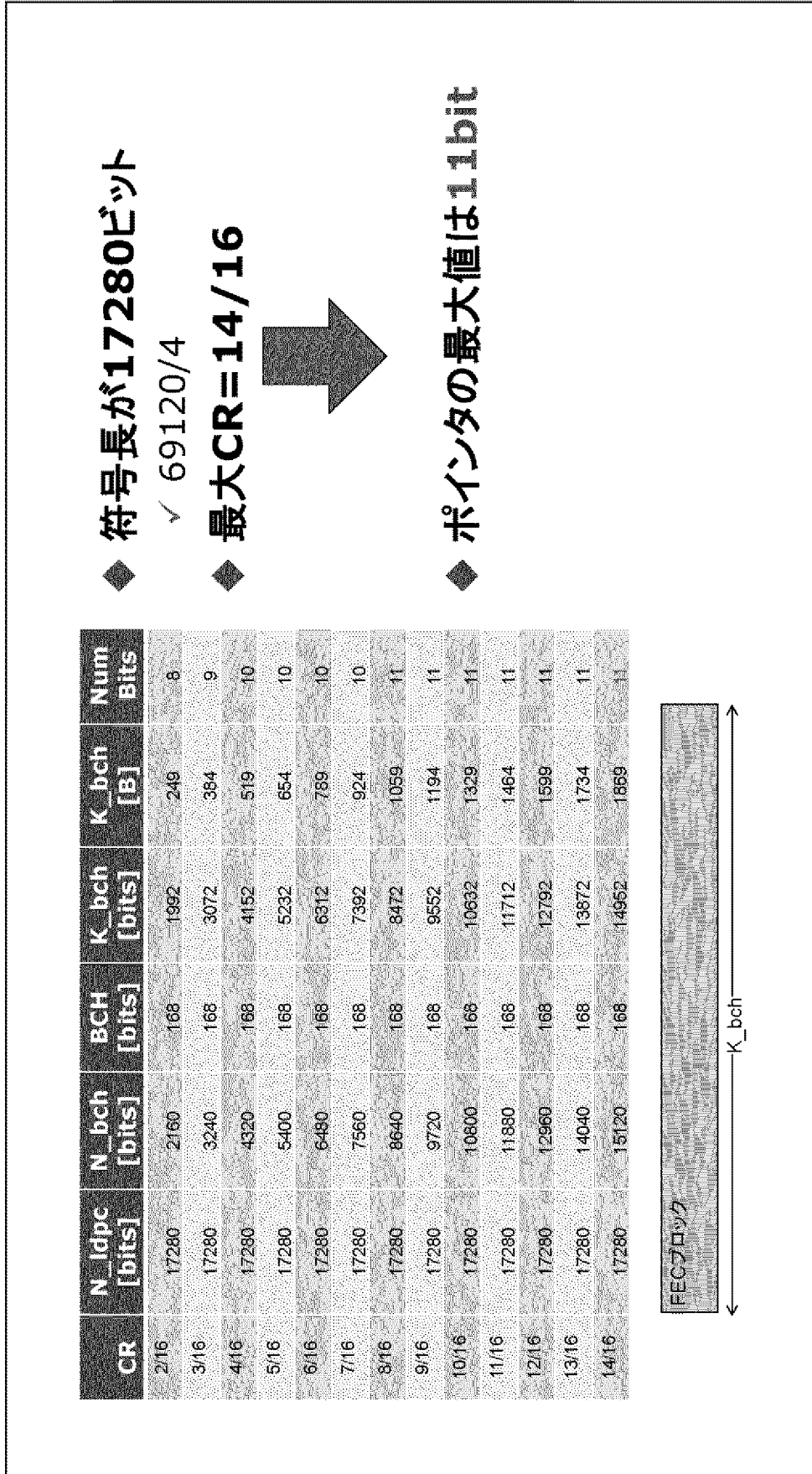


◆ ポインタの最大値は15bit

CR	N_ldpc [bits]	N_bch [bits]	BCH [bits]	K_bch [bits]	K_bch [B]	Num Bits
2/16	276480	34560	768	33792	4224	13
3/16	276480	51840	768	51072	6384	13
4/16	276480	69120	768	68352	8544	14
5/16	276480	86400	768	85632	10704	14
6/16	276480	103680	768	102912	12864	14
7/16	276480	120960	768	120192	15024	14
8/16	276480	138240	768	137472	17184	15
9/16	276480	155520	768	154752	19344	15
10/16	276480	172800	768	172032	21504	15
11/16	276480	190080	768	189312	23664	15
12/16	276480	207360	768	206592	25824	15
13/16	276480	224640	768	223872	27984	15
14/16	276480	241920	768	241152	30144	15



[図11]  
FIG. 11



[図12]  
FIG. 12

## ◆ 複数の形式が考えられる

- ✓ 形式1 (シンプル)
  - 最大を考慮して15ビットで全部
- ✓ 形式2 (Long符号が規格にない前提)
  - 2-1:各長さの最大:11ビット
  - 2-2:各長さの最大:13ビット
- ✓ 形式3 (Long符号が規格に存在するけど、効率重視)
- ✓ 形式4 (Long符号が規格に存在し、ポインタをビット表現)
- ✓ その他に入れたい機能
  - パッケージ(他のレイヤーの場合)
    - TLVパッケージは最少に4Bのため、1Bから3Bのパッケージが出来ない
    - レイヤー違反になる(TLVレーヤはBBFの長さを知らなければならない)
  - ヘッダのCRC
    - BCHが正しく符号化できないときにも、あるものをより確実に救える

[図13]  
FIG. 13



先頭TLVバイトが存在しない場合は  
15ビットは 0x7FFF (111 1111 1111 1111) である

- ◆ 15ビットがポインタで使用する
- ◆ 残り1ビットでEXT

- ✓ EXT:extension (拡張)をシグナリングする
  - 0: 拡張なし(2Bのヘッダのみ)
  - 1: 拡張あり(次の1BがEXTバイトである)

### EXTバイトのフォーマット



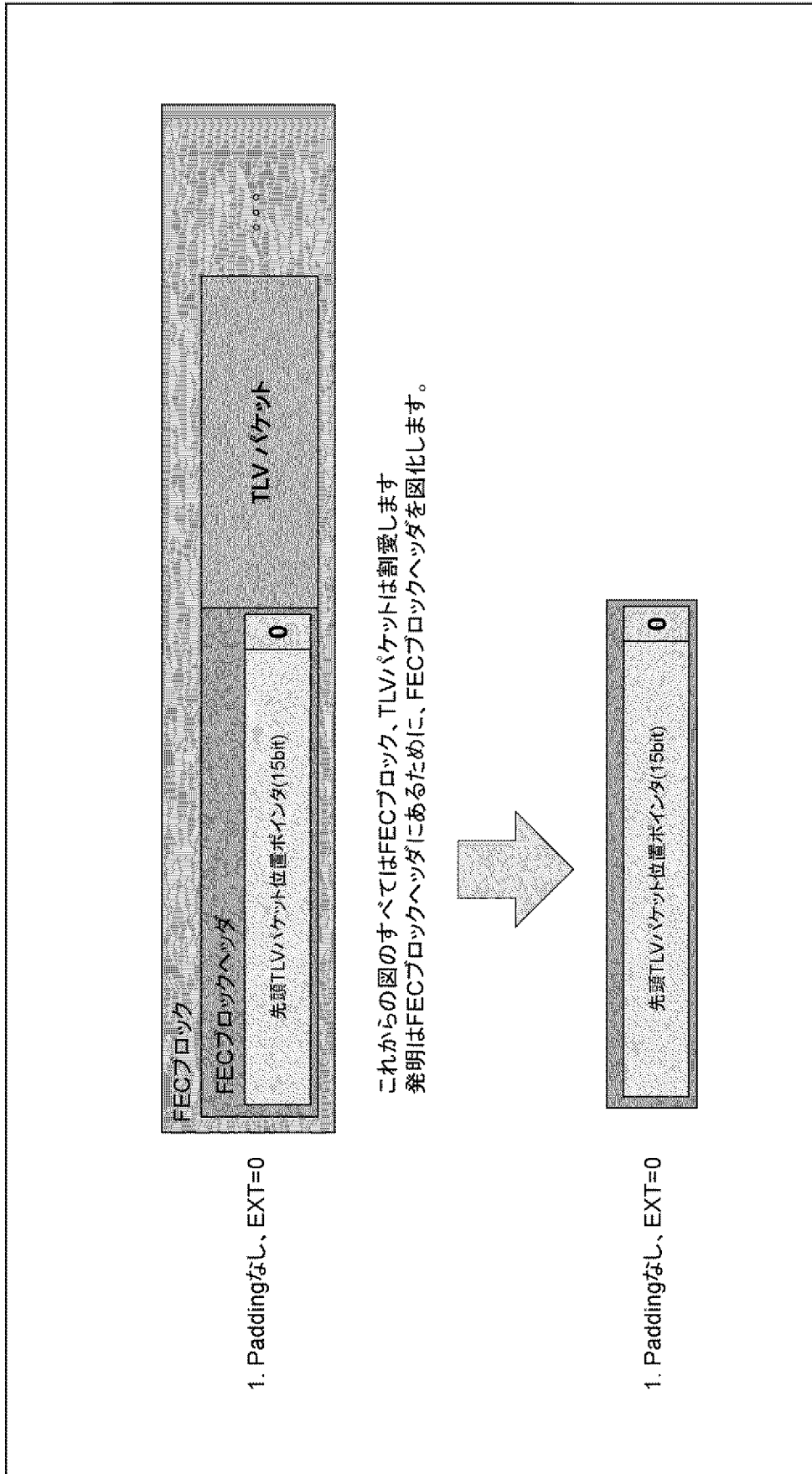
CRCはEXTバイトの直後

CRCをつける場合は常に付けて、  
最初ヘッダサイズは3Bとなる

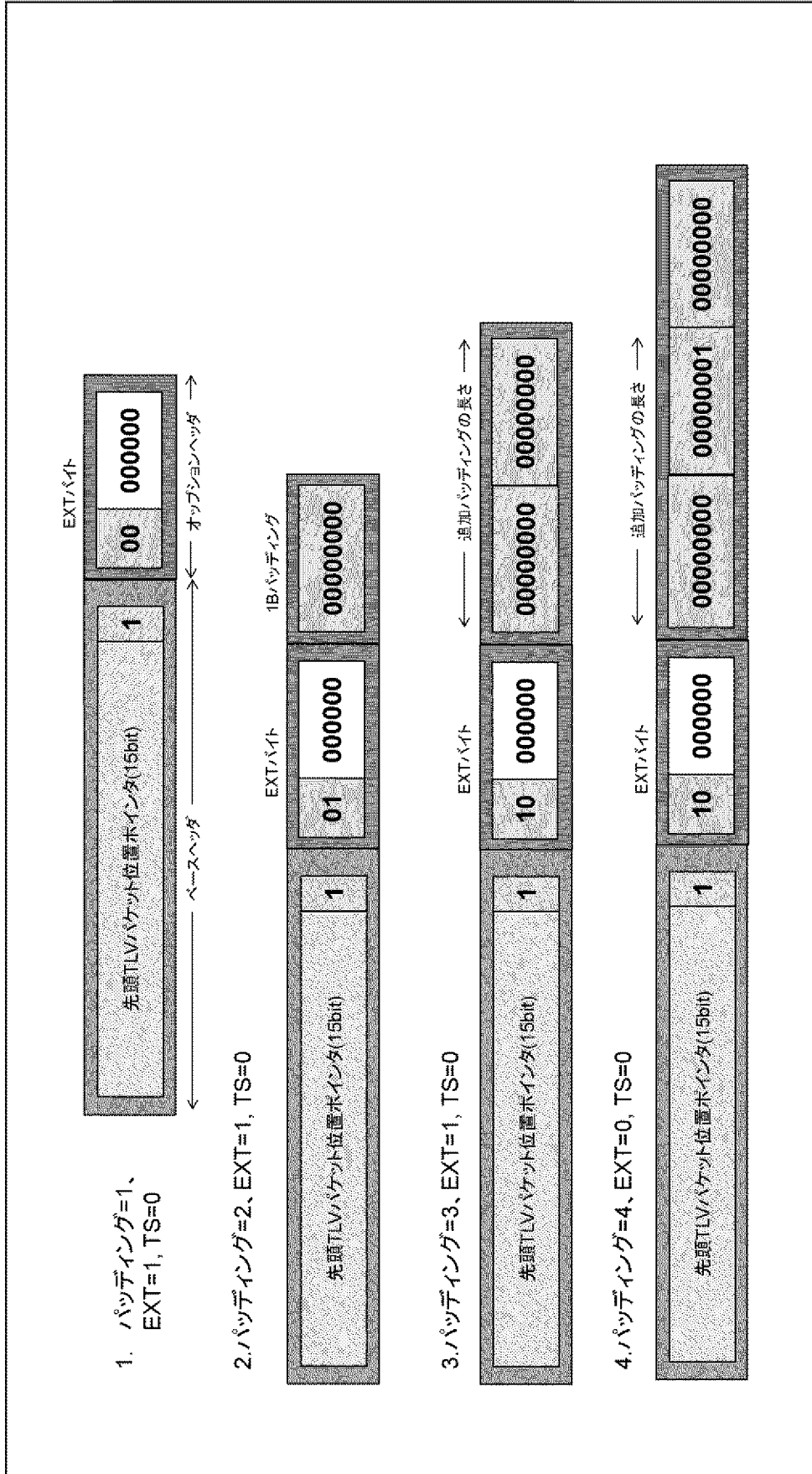
Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

Reservedの他の意味として、たとえば「全パディングも可能」

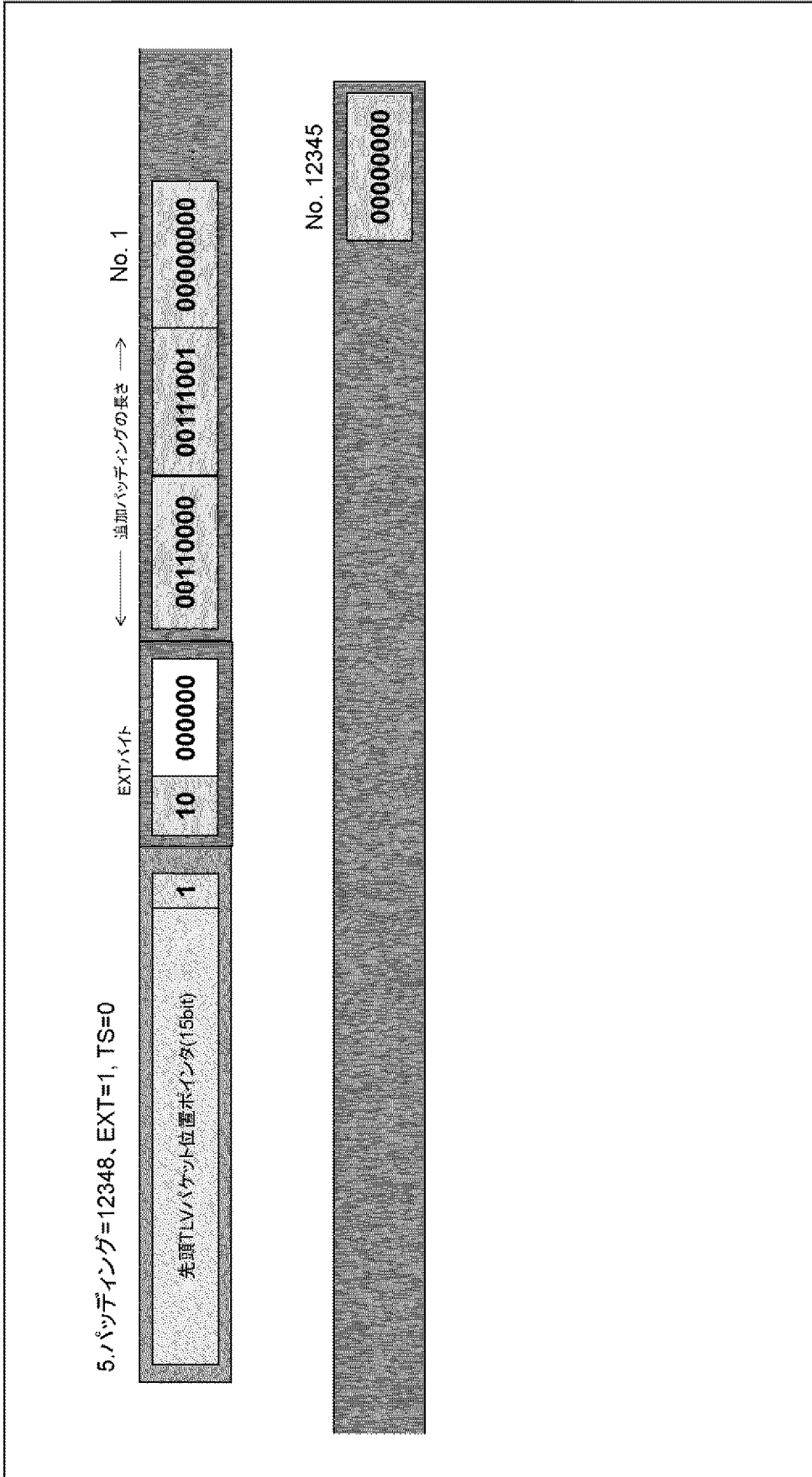
[図14]  
FIG. 14



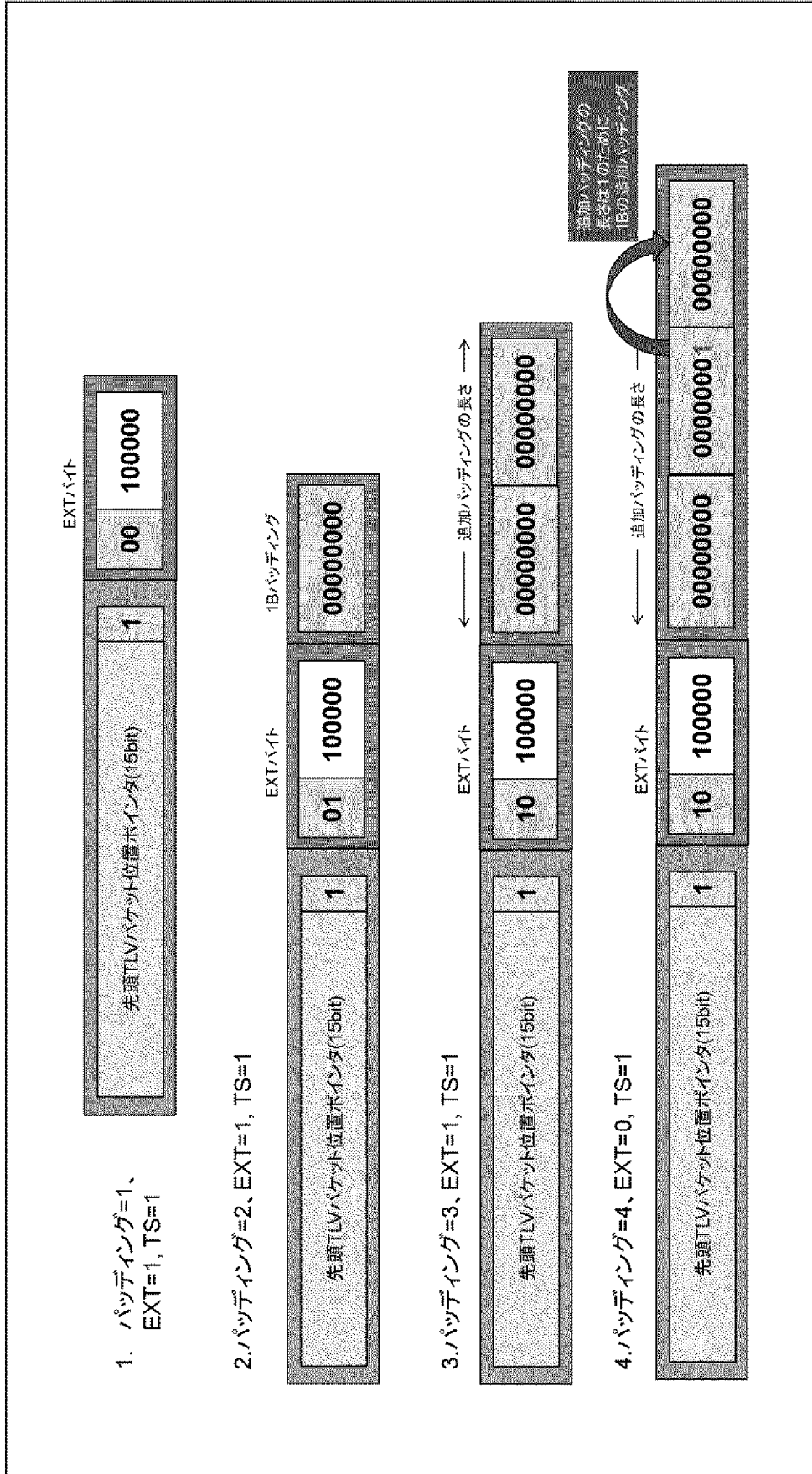
[図15]  
FIG. 15



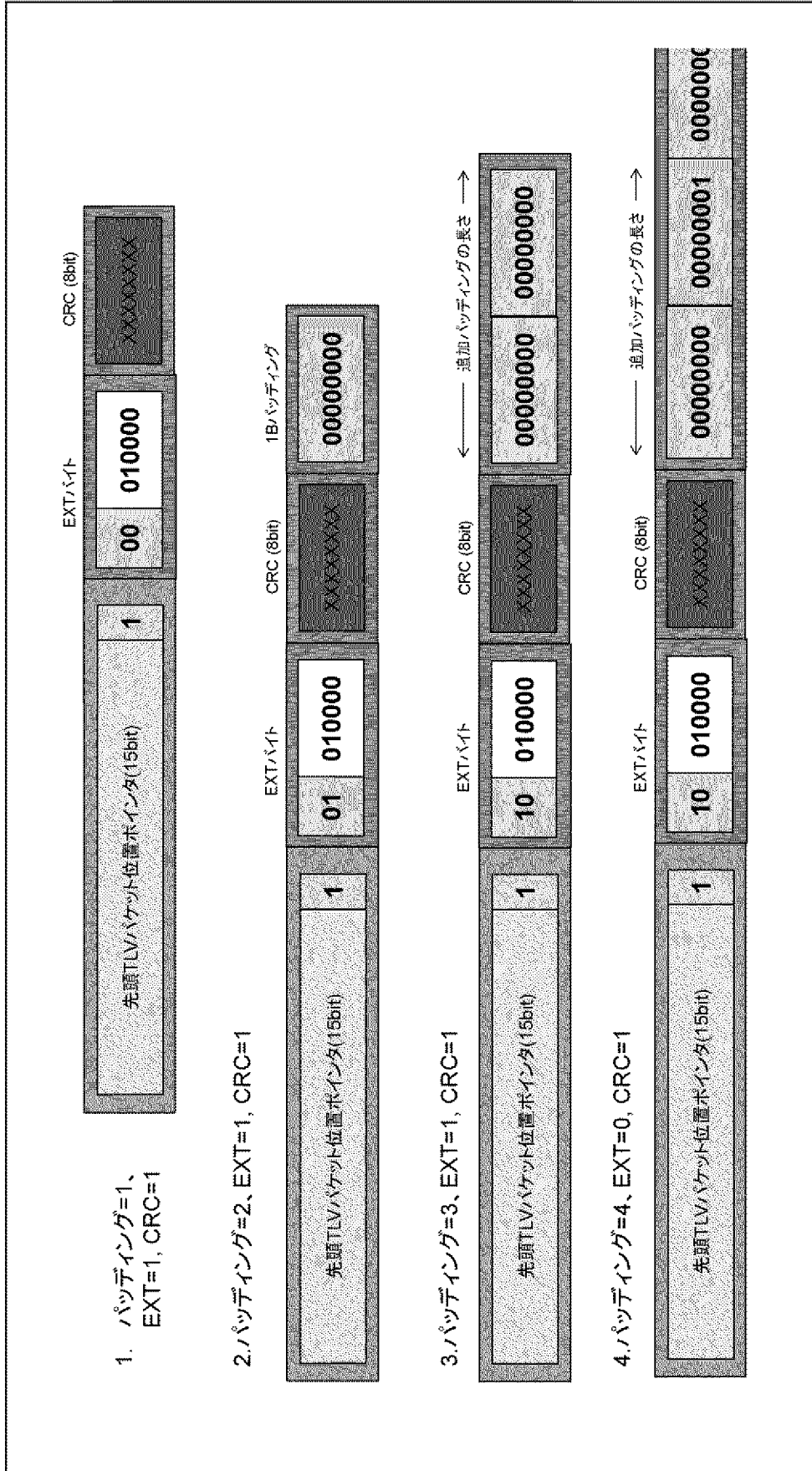
[図16]  
FIG. 16



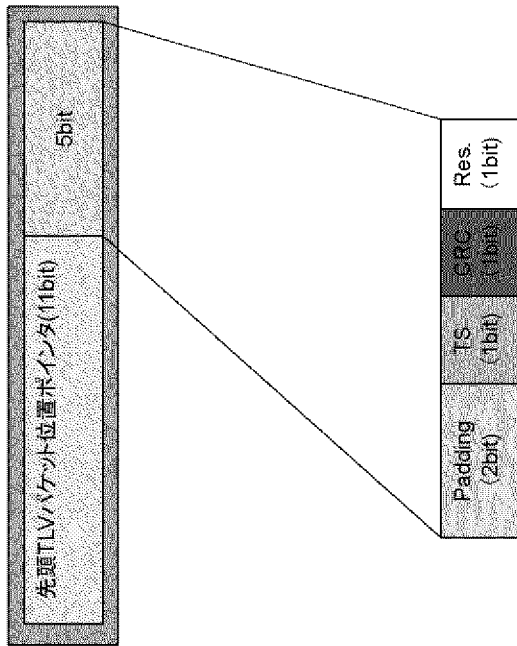
[図17]  
FIG. 17



[図18]  
FIG. 18



[図19]  
FIG. 19



◆ 11ビットがポインタで使用する

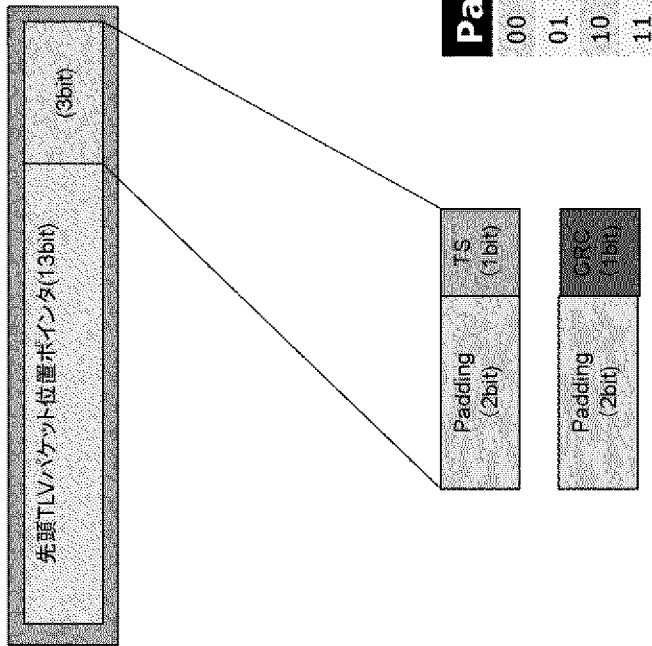
◆ 残り5ビットで

- ✓ 2ビット: Padding
  - 下記の表を参照
- ✓ 1ビット: TSフラグ
  - 0: TLVパケット
  - 1: TSパケット
- ✓ 1ビット: CRC
  - 0: CRCなし
  - 1: CRCあり

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

CRCはベースヘッダの直後

[図20]  
FIG. 20

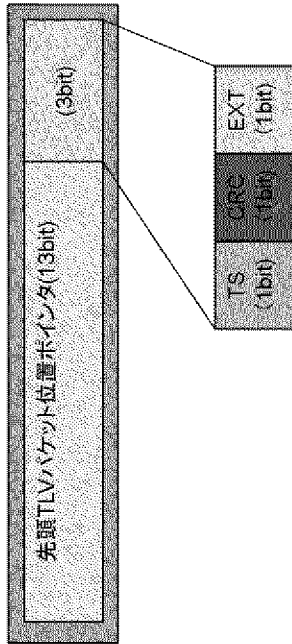


- ◆ 13ビットがポインタで使用する
- ◆ 残り3ビットで
  - ✓ 2ビット: Padding
    - 下記の表を参照
  - ✓ 1ビット: TSフラグ
    - 0: TLVパケット
    - 1: TSパケット

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

TS or CRC  
但し、両方は同じ規格に不可

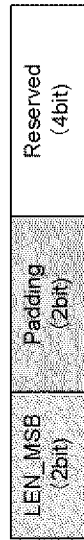
[図21]  
FIG. 21



- ◆ 13ビットがポインタで使用する
- ◆ 残り3ビットで

- ✓ 1ビット:TSフラグ
- ✓ 1ビット:CRC
- ✓ 1ビット:EXT
  - 0:EXTなし
  - 1:EXTあり

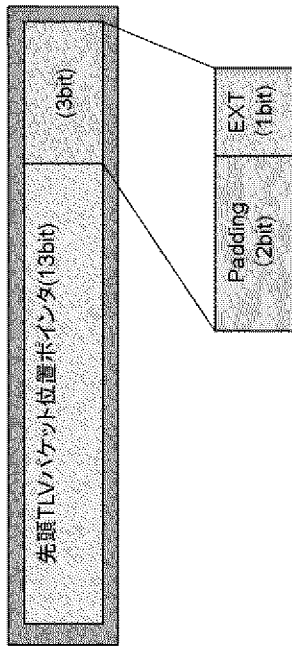
**EXTバイトのフォーマット**



CRCはEXTバイトの直後

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

[図22]  
FIG. 22



- ◆ 13ビットがポインタで使用する
- ◆ 残り3ビットで

- ✓ 2ビット: Padding
- ✓ 1ビット: EXT
  - 0: EXTなし
  - 1: EXTあり

Paddingは絶対必要  
のために、TSやCRCの  
必要性がない場合に  
備えての発明実施例

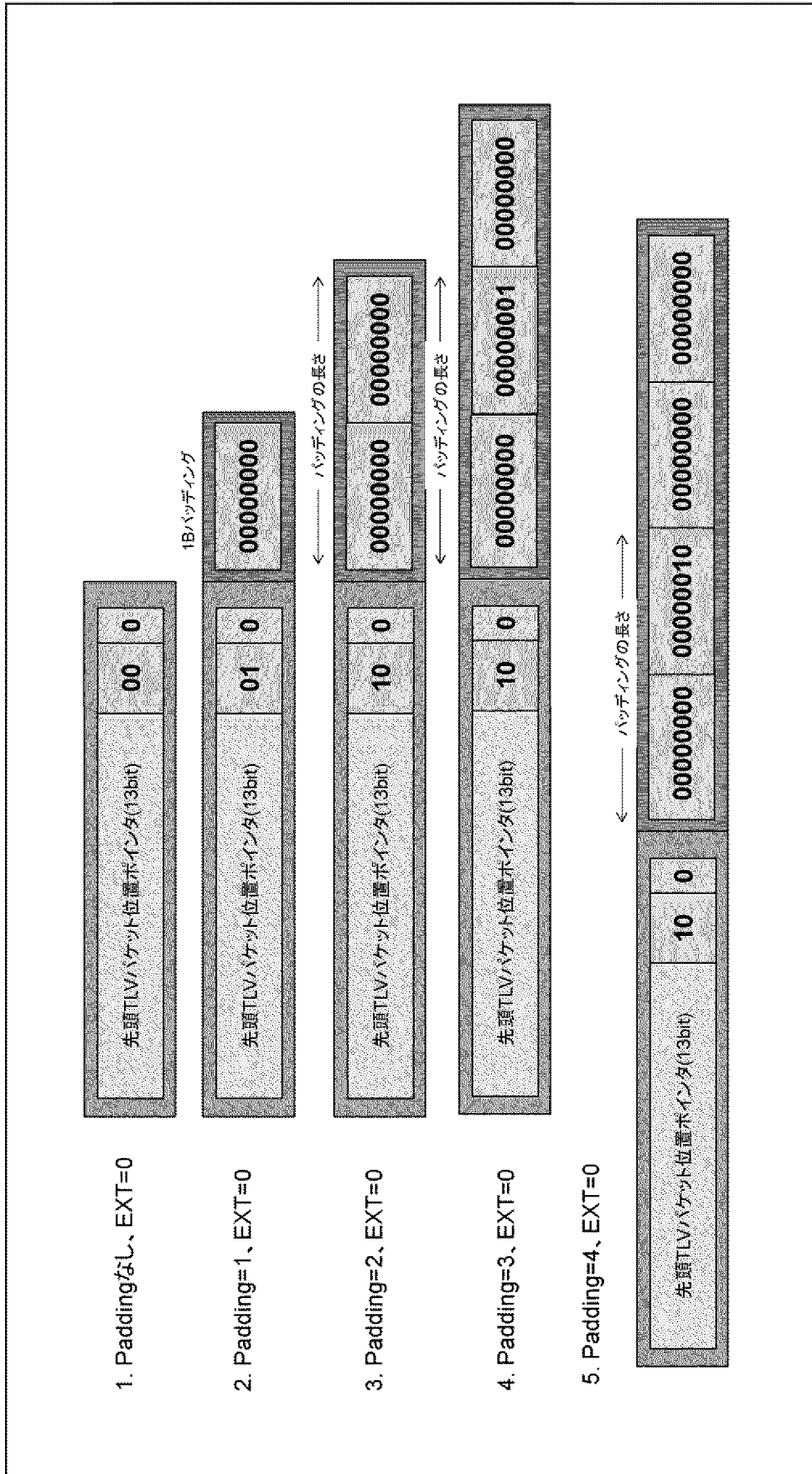
### EXTバイトのフォーマット



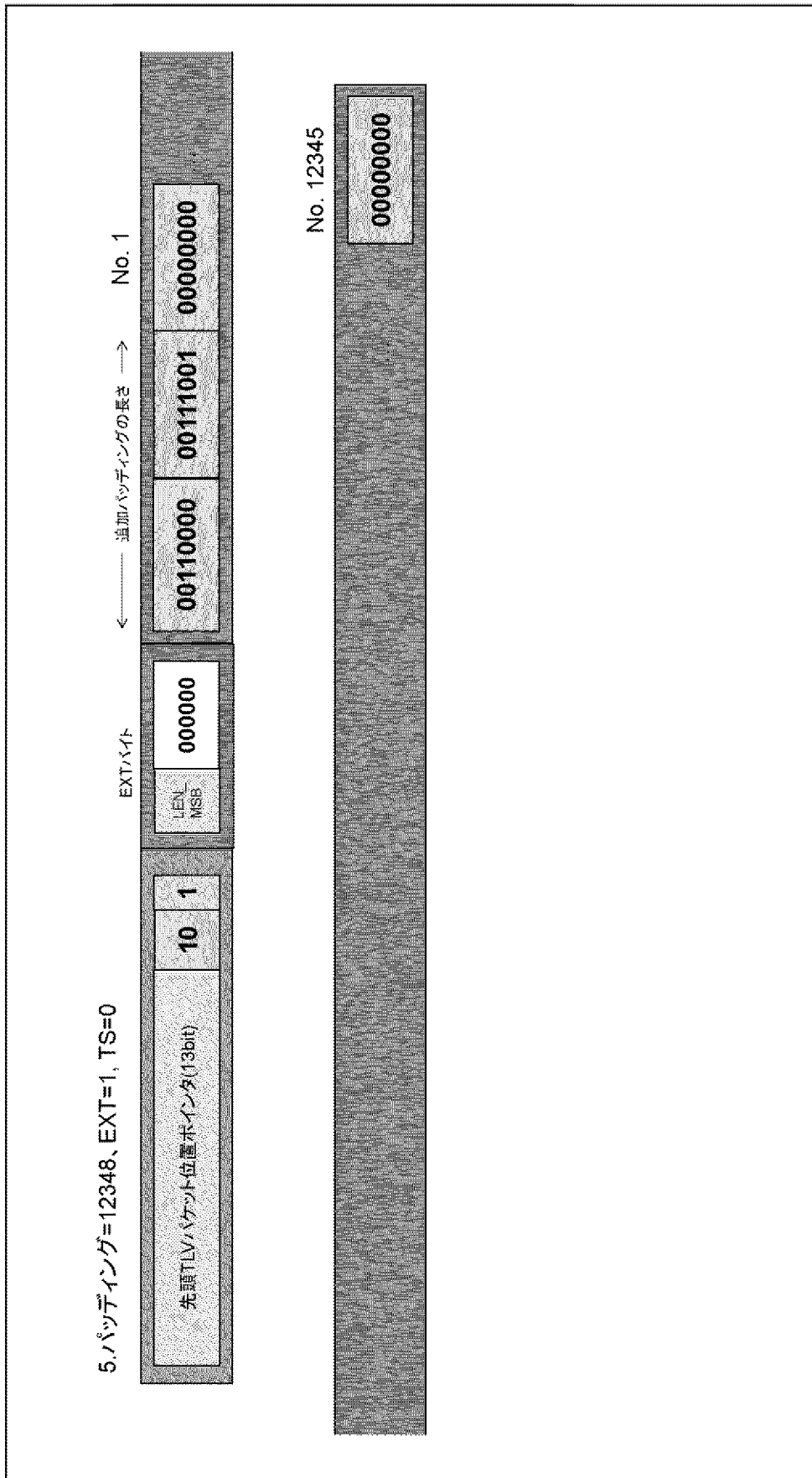
CRCはEXTバイトの直後

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

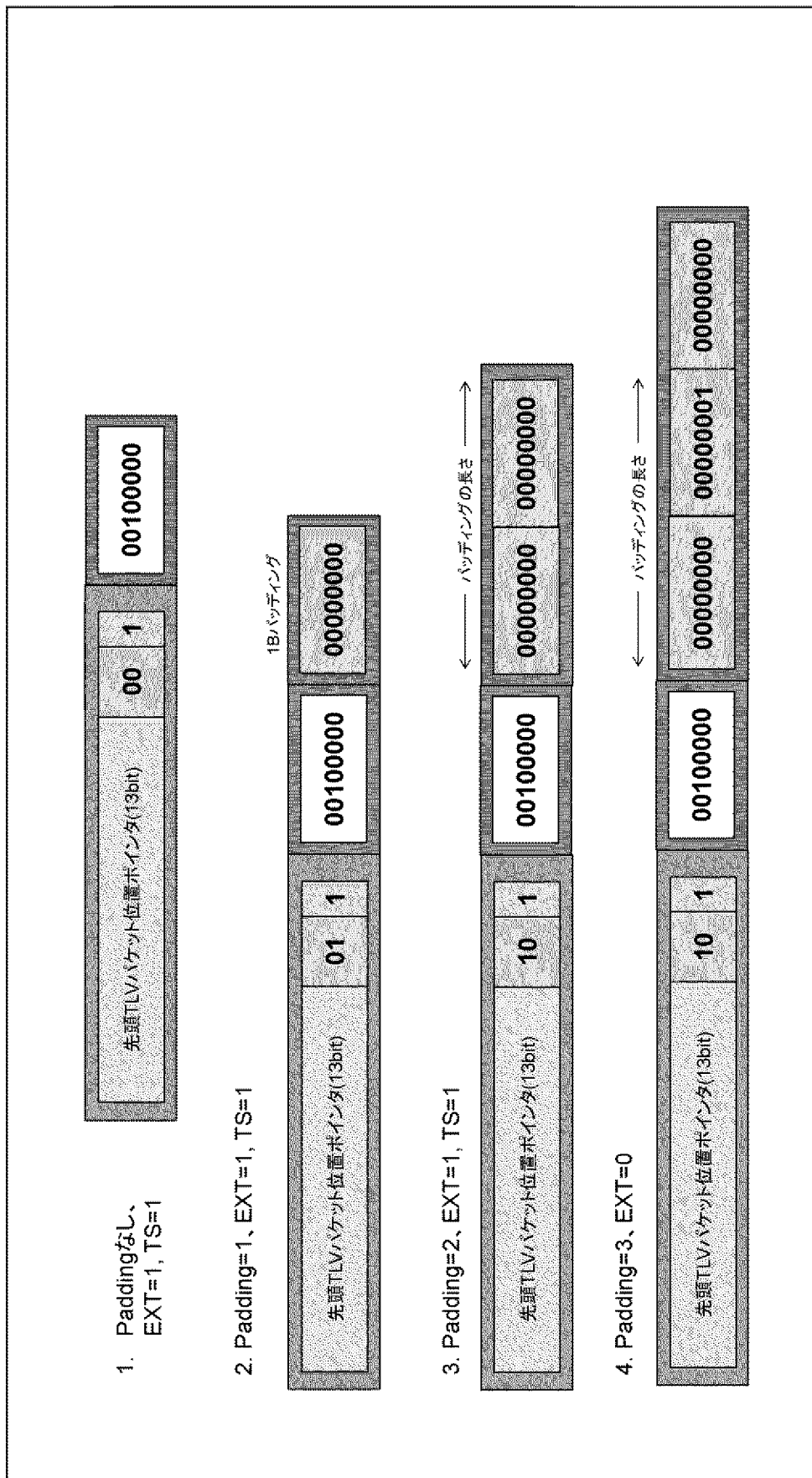
[図23]  
FIG. 23



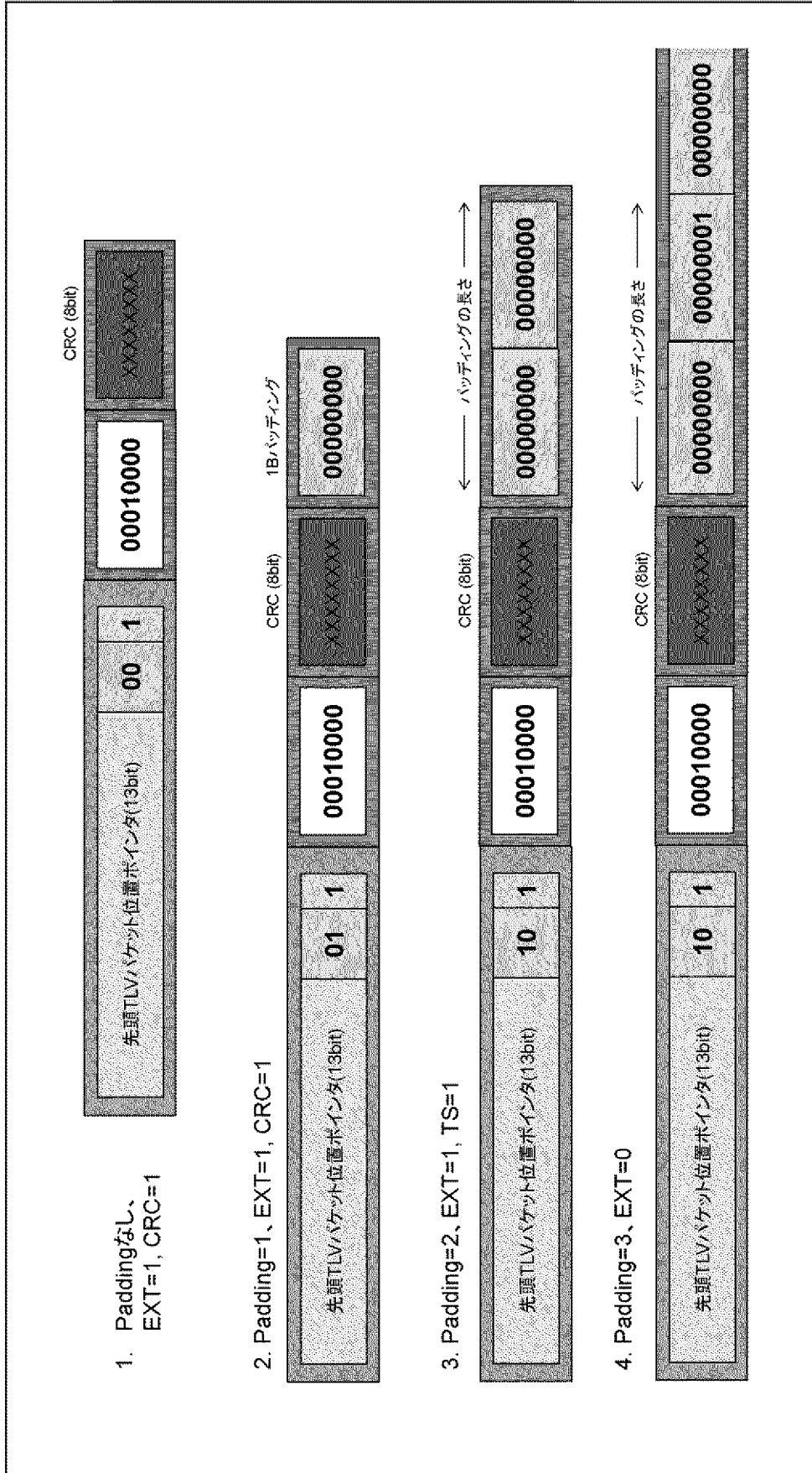
[図24]  
FIG. 24



[図25]  
FIG. 25



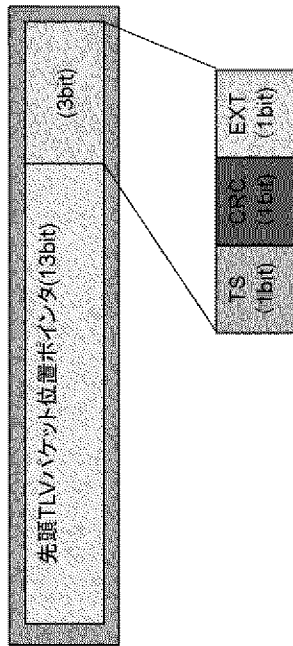
[図26]  
FIG. 26



[図27]  
FIG. 27

- ◆ 13ビットがポインタで使用する
- ◆ 残り3ビットで

- ✓ 1ビット: TSフラグ
- ✓ 1ビット: CRC
- ✓ 1ビット: EXT
  - 0: EXTなし
  - 1: EXTあり



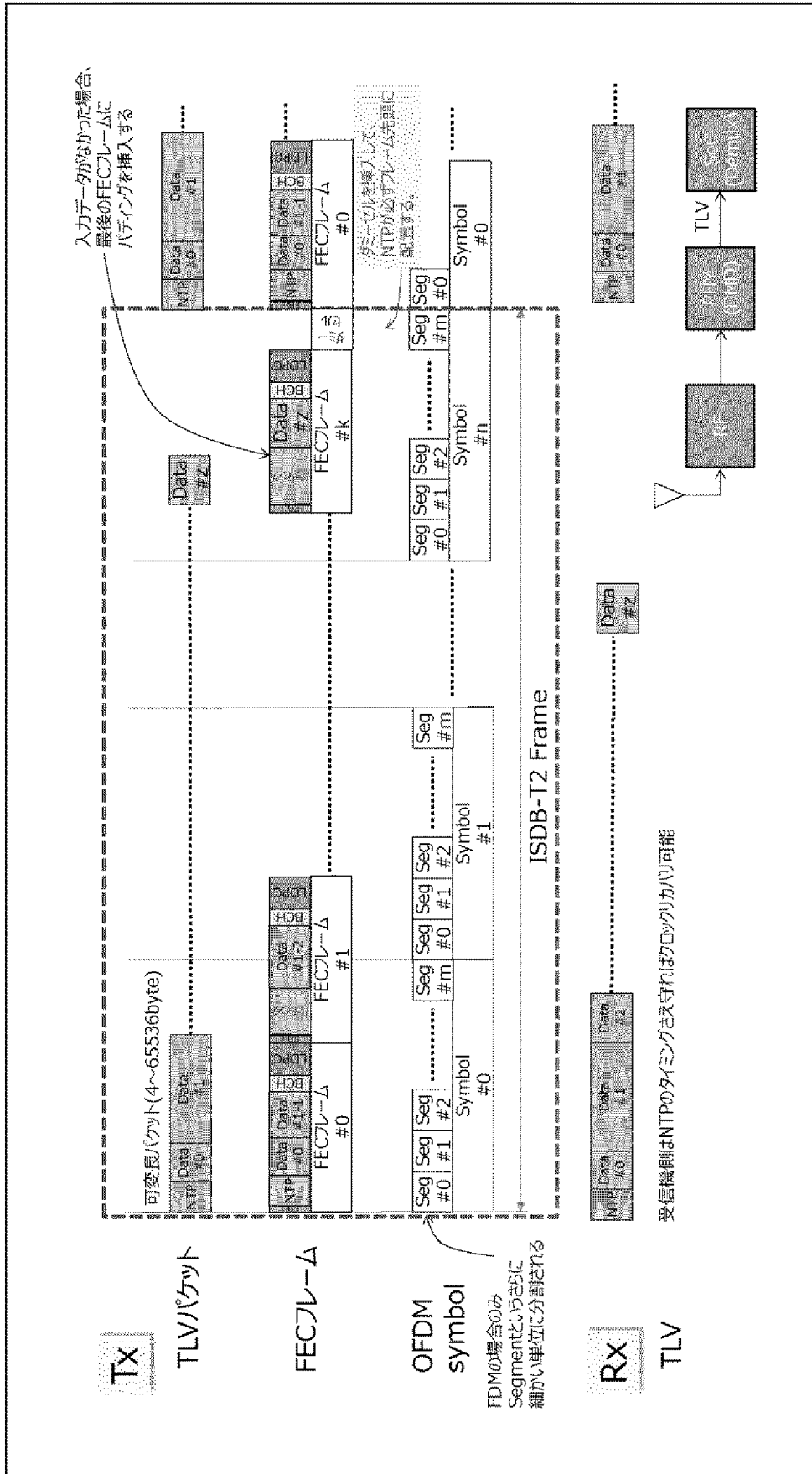
**EXTバイトのフォーマット**



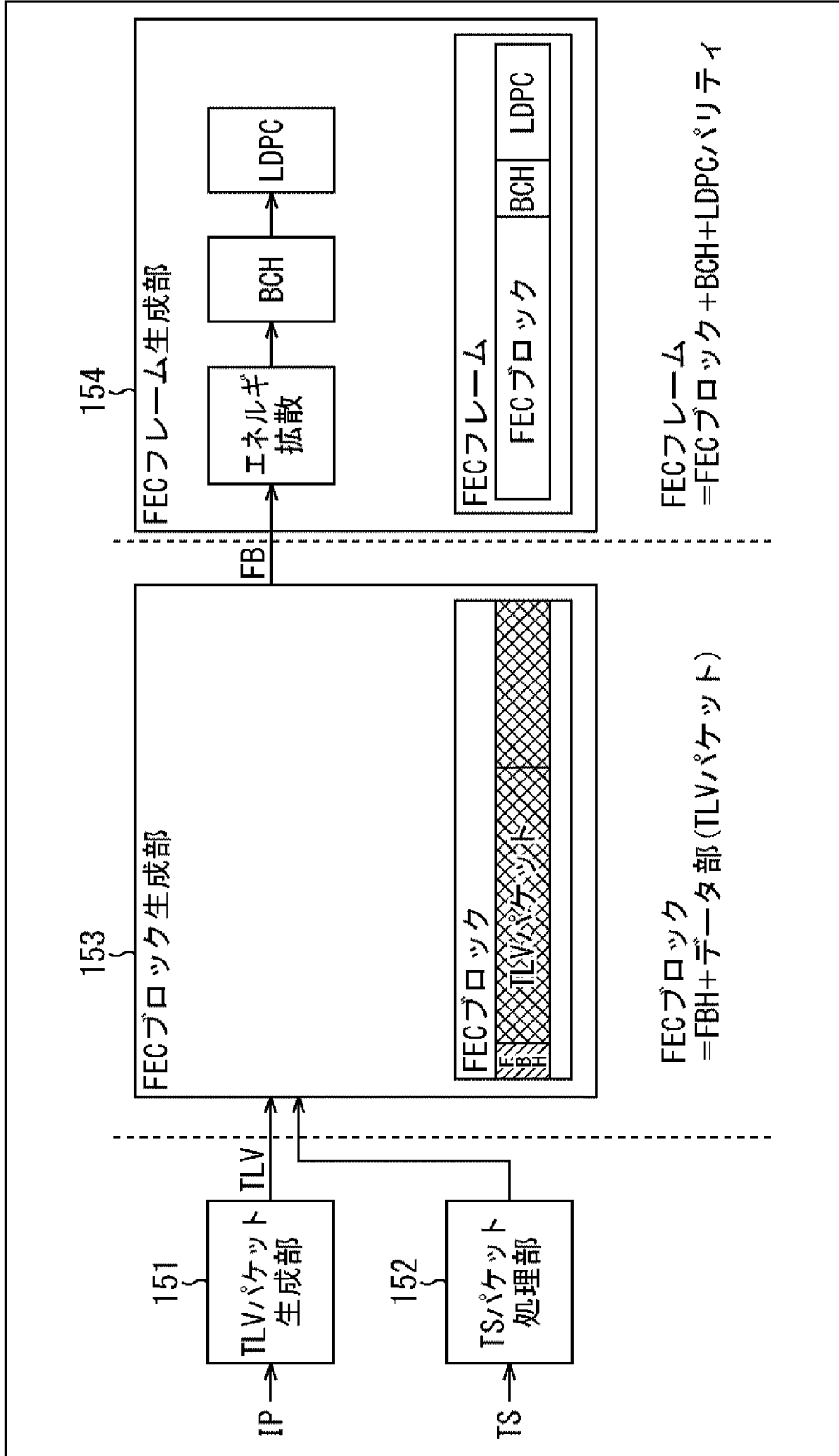
CRCはEXTバイトの直後

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

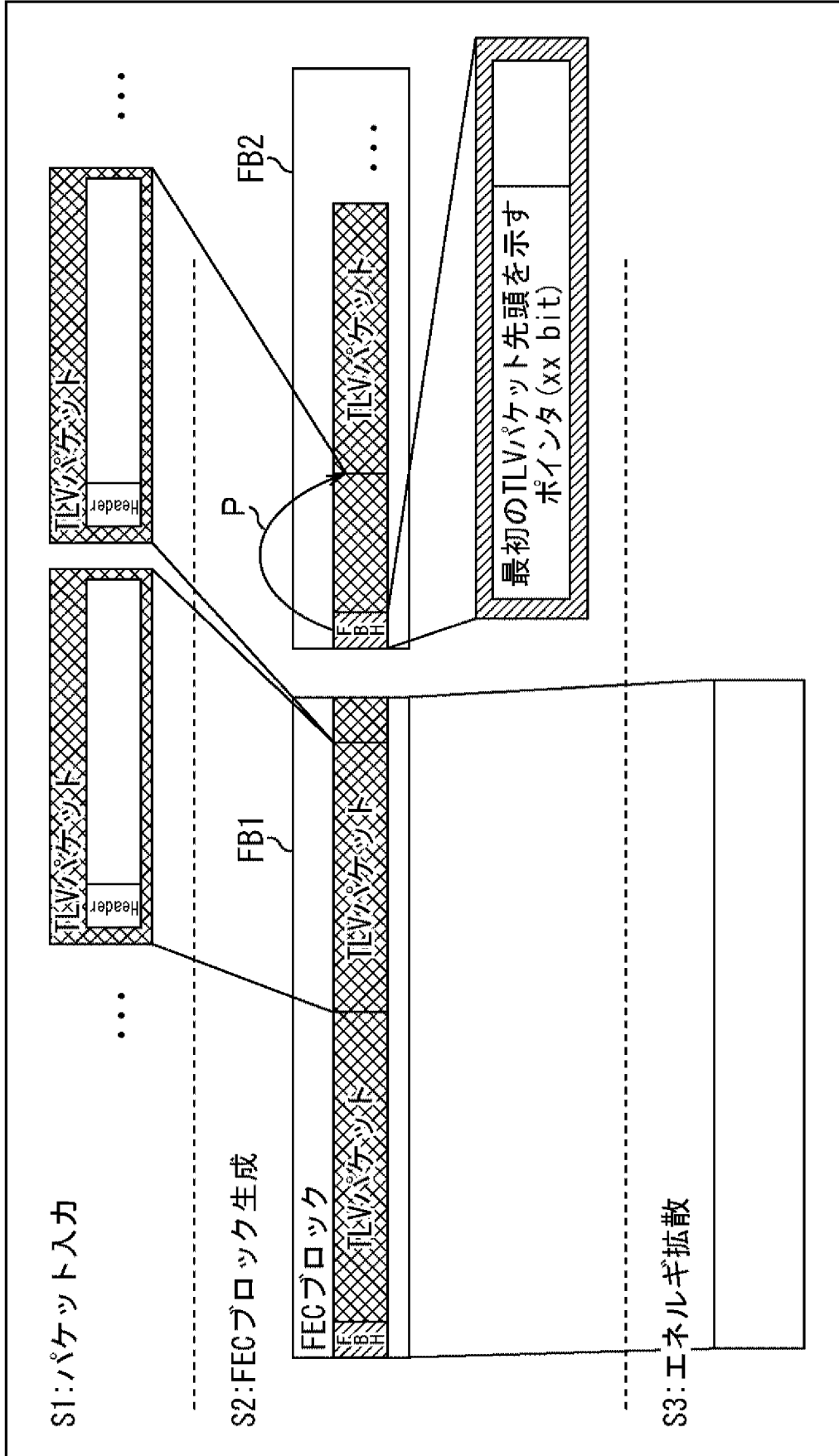
[図28]  
FIG. 28



[図29]  
FIG. 29



[図30]  
FIG. 30



[図31]  
FIG. 31

ベースバンドフレームサイズ(Middle)

CR	N <sub>ldpc</sub> [bits]	N <sub>bch</sub> [bits]	BCH [bits]	K <sub>bch</sub> [bits]	K <sub>bch</sub> [B]	Num Bits
2/16	69120	8640	192	8448	1056	11
3/16	69120	12960	192	12768	1596	11
4/16	69120	17280	192	17088	2136	12
5/16	69120	21600	192	21408	2676	12
6/16	69120	25920	192	25728	3216	12
7/16	69120	30240	192	30048	3756	12
8/16	69120	34560	192	34368	4296	13
9/16	69120	38880	192	38688	4836	13
10/16	69120	43200	192	43008	5376	13
11/16	69120	47520	192	47328	5916	13
12/16	69120	51840	192	51648	6456	13
13/16	69120	56160	192	55968	6996	13
14/16	69120	60480	192	60288	7536	<b>13</b>

[図32]  
FIG. 32

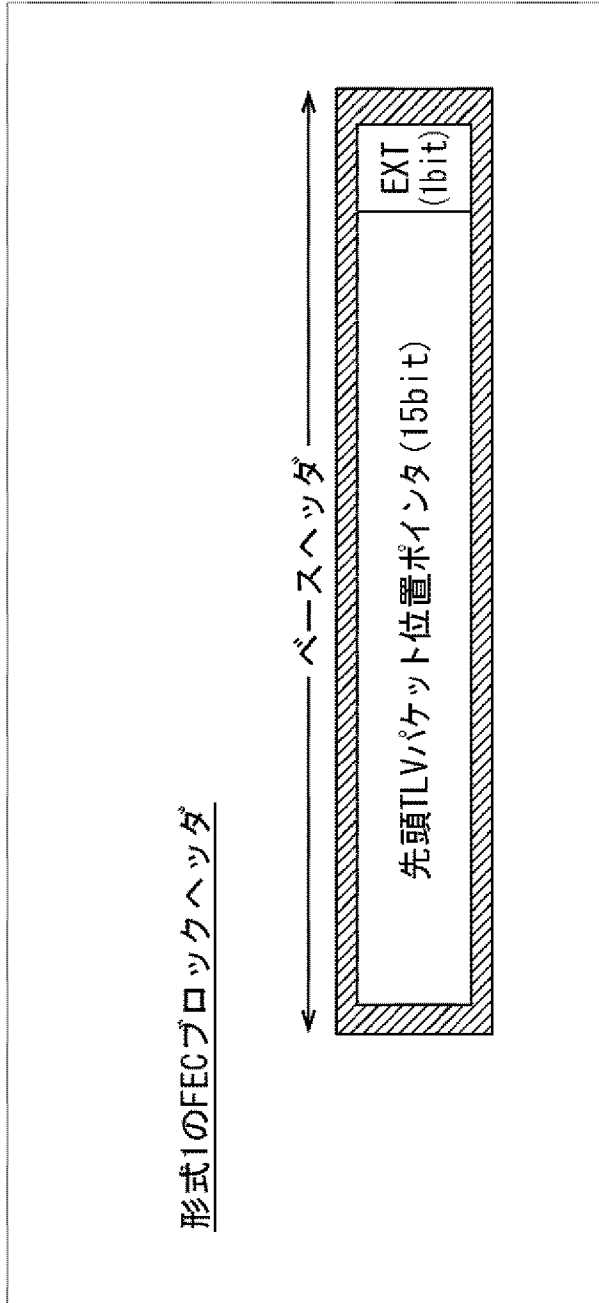
ベースバンドフレームサイズ(Long)							
CR	N <sub>ldpc</sub> [bits]	N <sub>bch</sub> [bits]	BCH [bits]	K <sub>bch</sub> [bits]	K <sub>bch</sub> [B]	Num Bits	
2/16	276480	24560	768	33792	4224	13	
3/16	276480	51840	768	51072	6384	13	
4/16	276480	69120	768	68352	8544	14	
5/16	276480	86400	768	85632	10704	14	
6/16	276480	103680	768	102912	12864	14	
7/16	276480	120960	768	120192	15024	14	
8/16	276480	138240	768	137472	17184	15	
9/16	276480	155520	768	154752	19344	15	
10/16	276480	172800	768	172032	21504	15	
11/16	276480	190080	768	189312	23664	15	
12/16	276480	207360	768	206592	25824	15	
13/16	276480	224640	768	223872	27984	15	
14/16	276480	241920	768	241152	30144	<b>15</b>	

[図33]  
FIG. 33

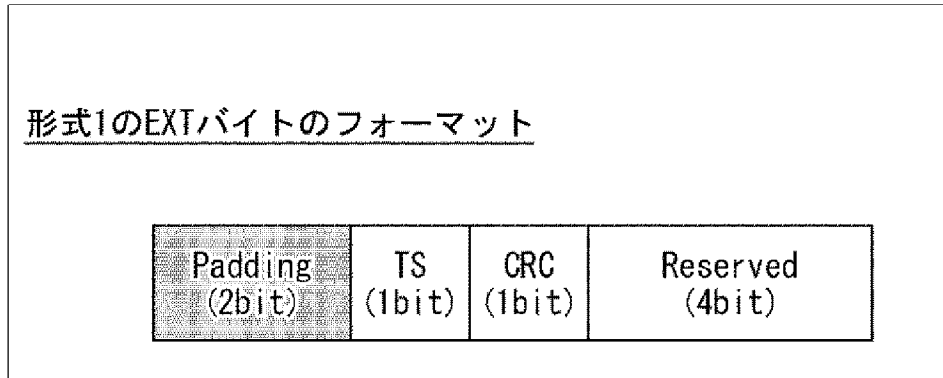
ベースバンドフレームサイズ (Short)

CR	N <sub>ldpc</sub> [bits]	N <sub>bch</sub> [bits]	BCH [bits]	K <sub>bch</sub> [bits]	K <sub>bch</sub> [B]	Num Bits
2/16	17280	2160	168	1992	249	8
3/16	17280	3240	168	3072	384	9
4/16	17280	4320	168	4152	519	10
5/16	17280	5400	168	5232	654	10
6/16	17280	6480	168	6312	789	10
7/16	17280	7560	168	7392	924	10
8/16	17280	8640	168	8472	1059	11
9/16	17280	9720	168	9552	1194	11
10/16	17280	10800	186	10632	1329	11
11/16	17280	11880	168	11712	1464	11
12/16	17280	12960	168	12792	1599	11
13/16	17280	14040	168	13872	1734	11
14/16	17280	15120	168	14952	1869	<b>11</b>

[図34]  
FIG. 34



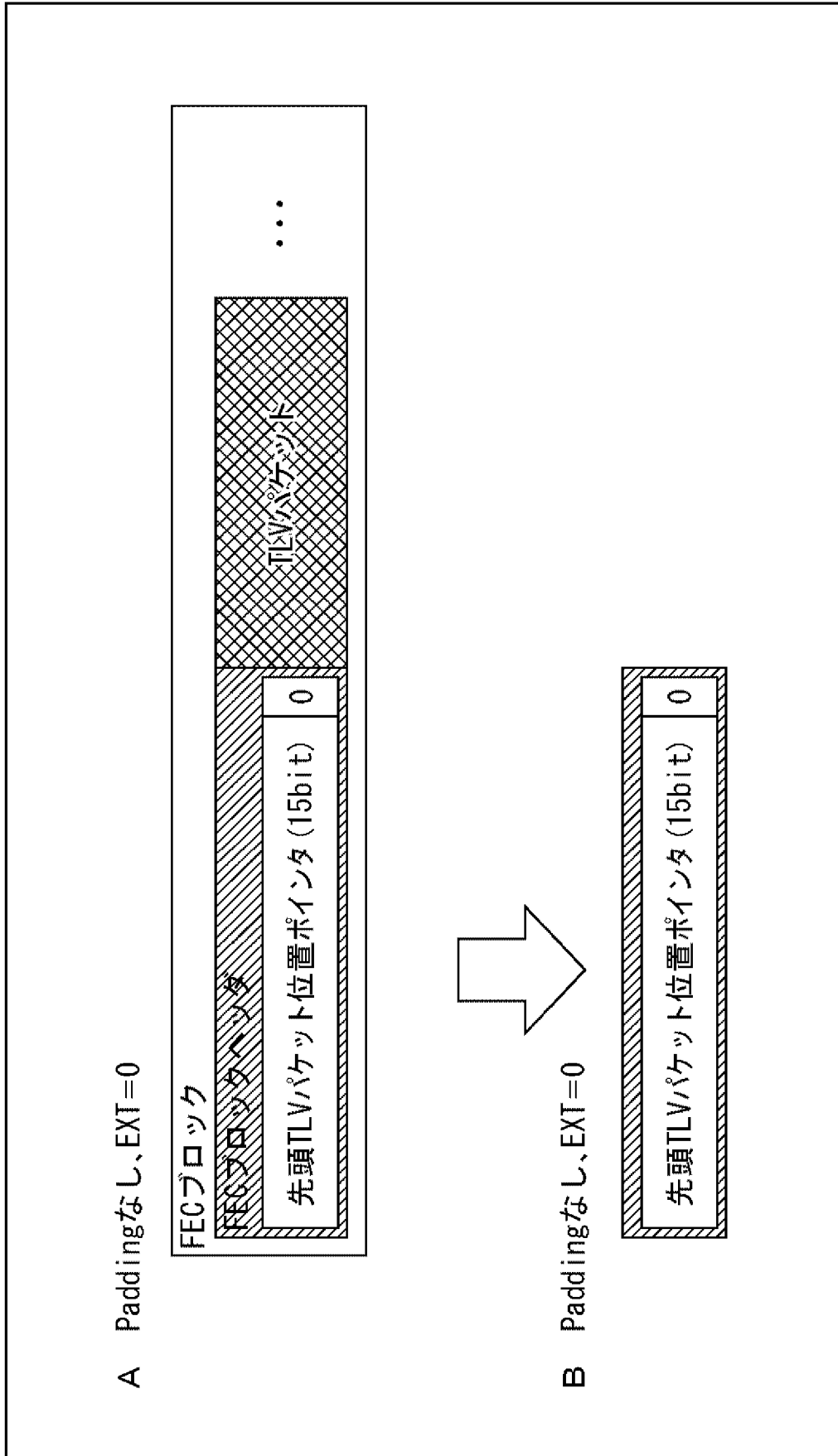
[図35]  
FIG. 35



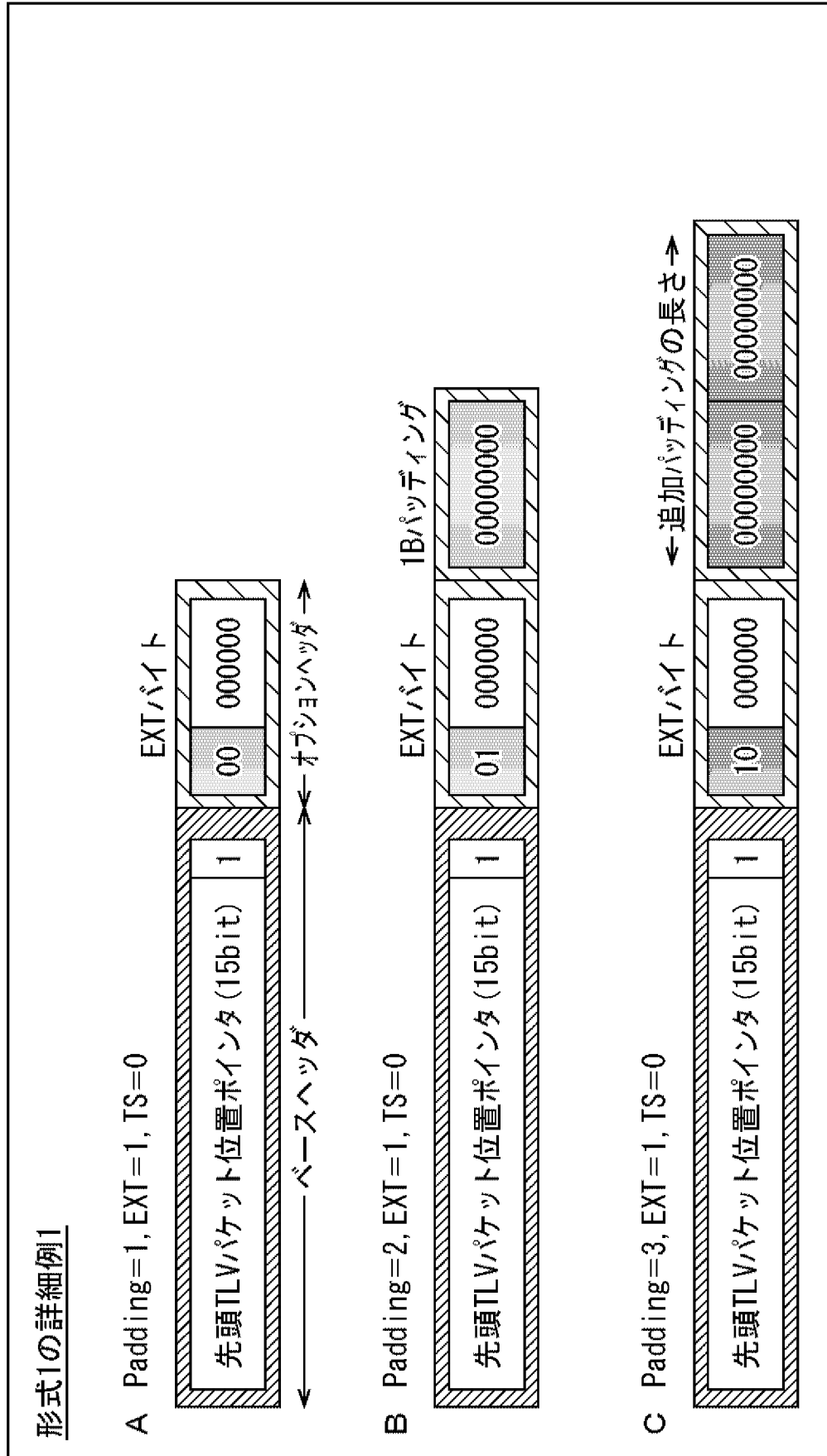
[図36]  
FIG. 36

形式1のPadding値

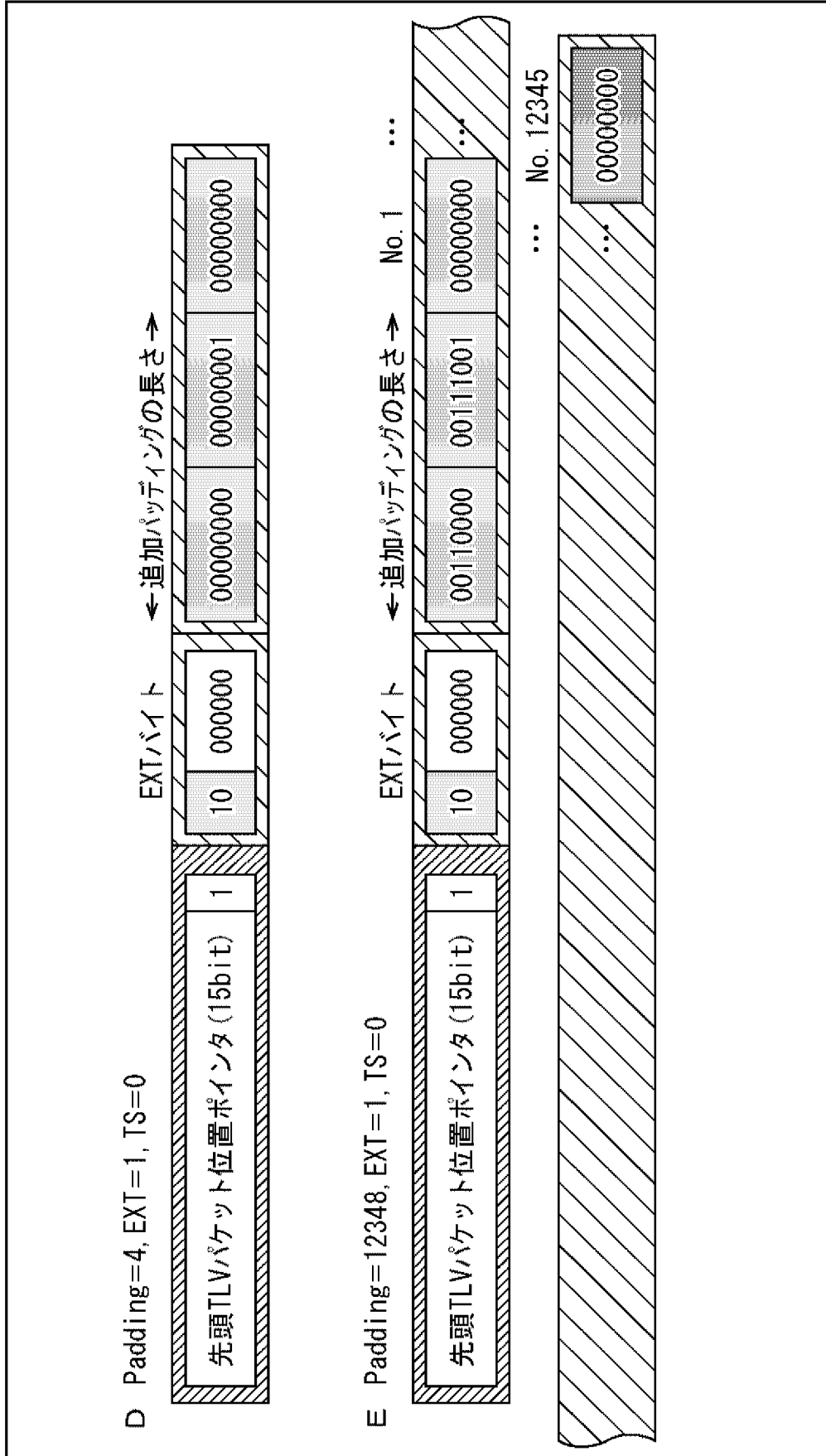
Padding値	意味	解釈
00	Paddingなし	追加Paddingなし
01	ショートPadding	1Bの追加Padding
10	ロングPadding	2Bで追加Paddingの長さを示す
11	Reserved	将来に使用

[図37]  
FIG. 37

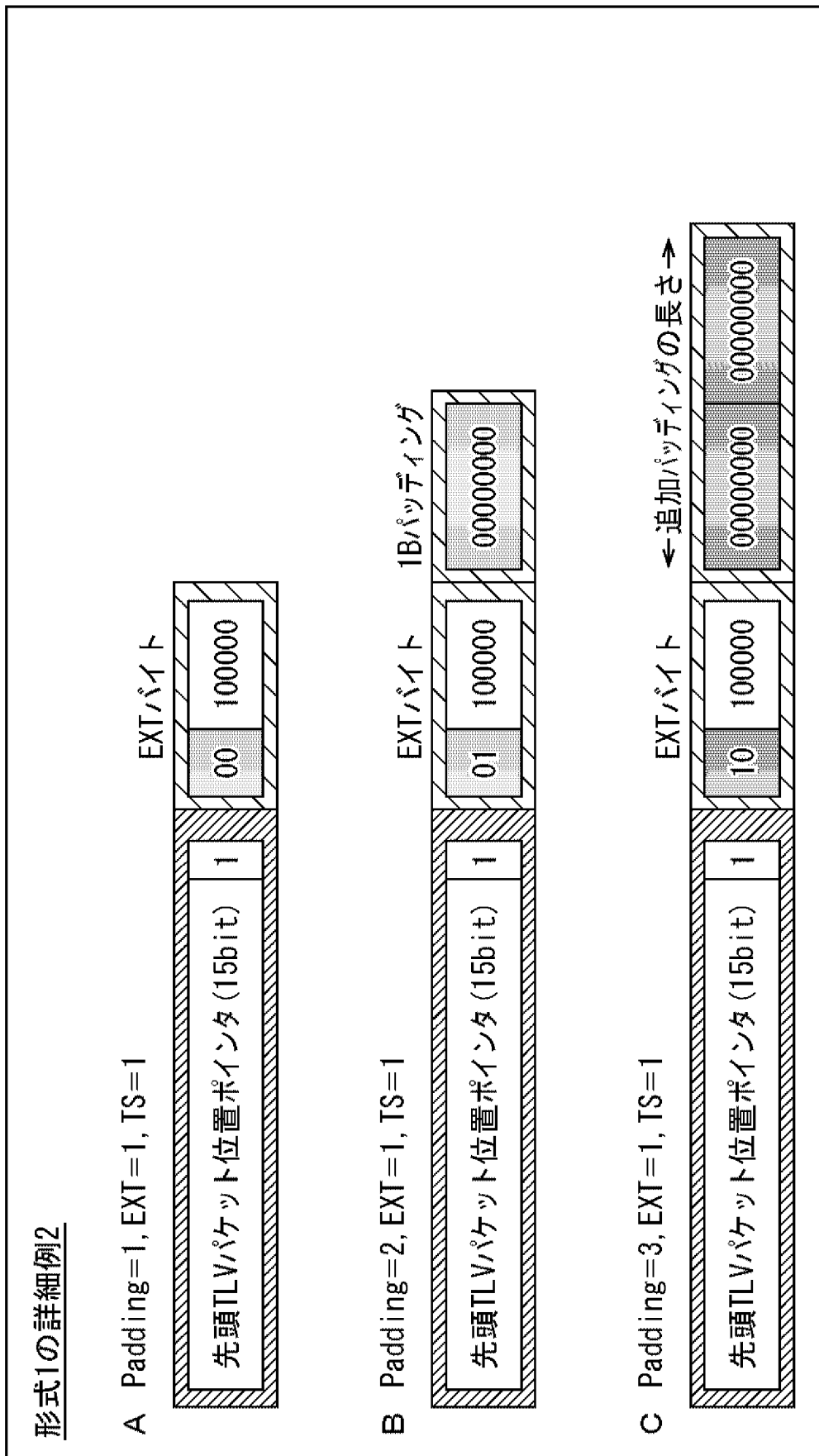
[図38]  
FIG. 38



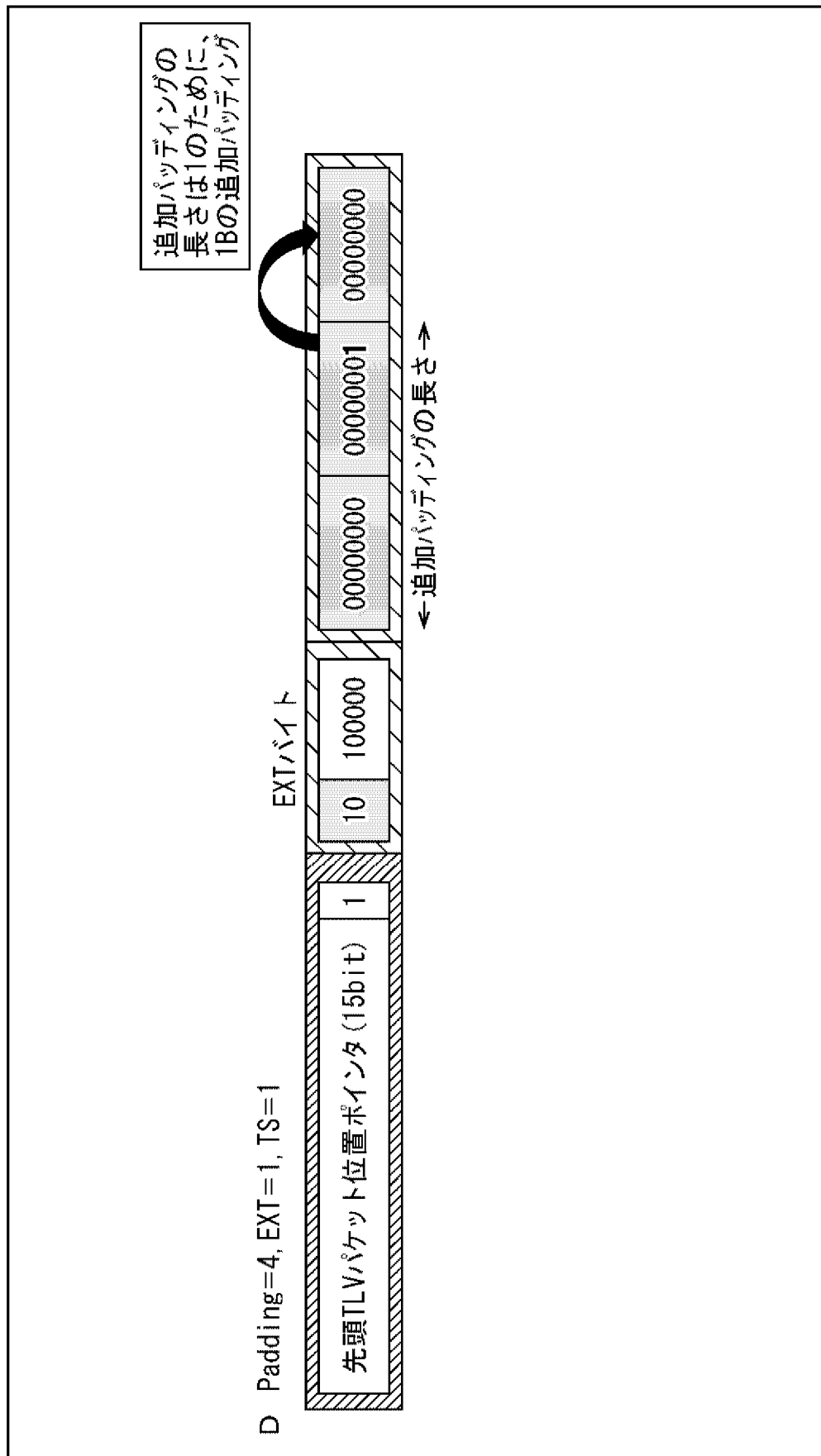
[図39]  
FIG. 39



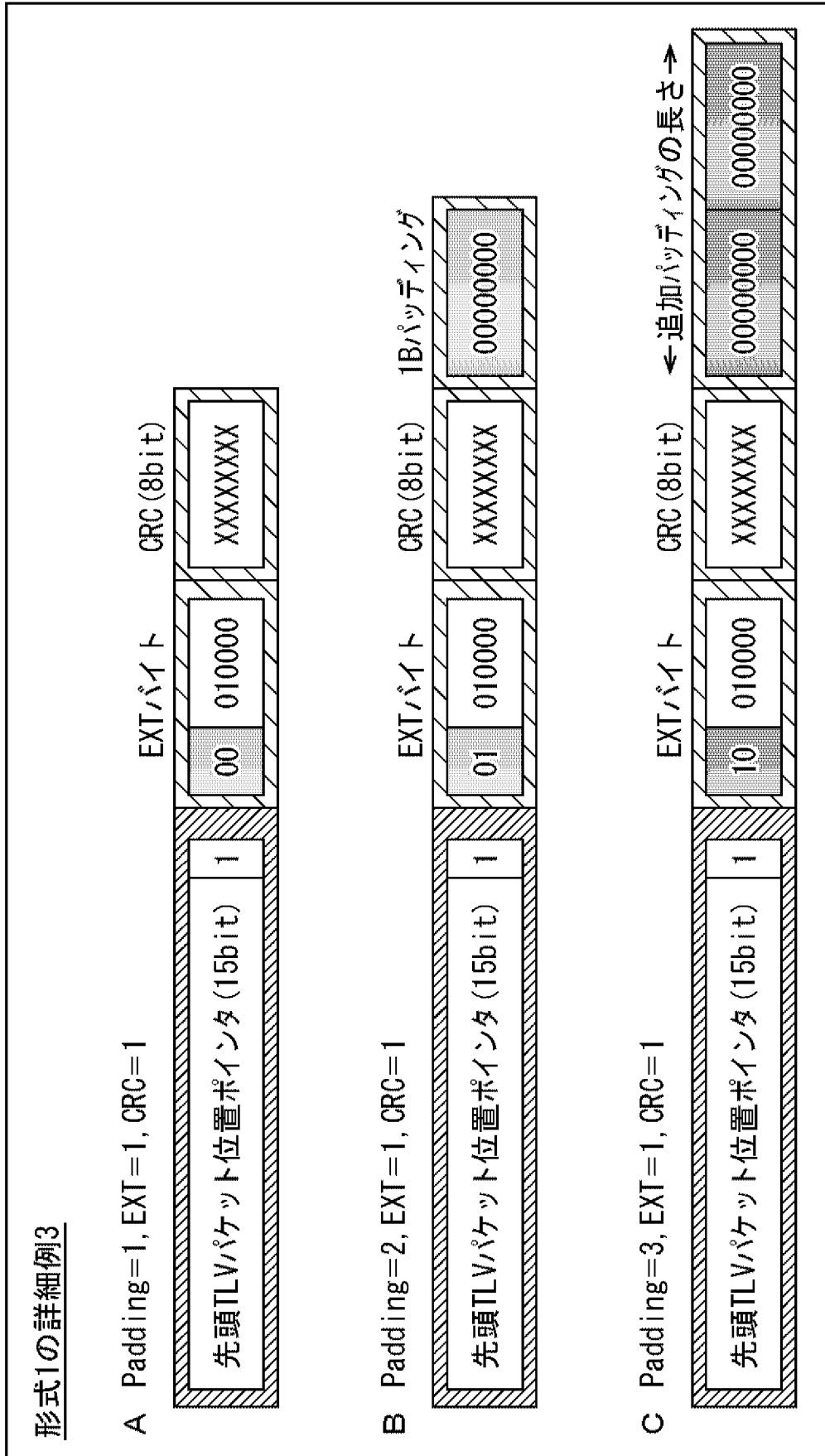
[図40]  
FIG. 40



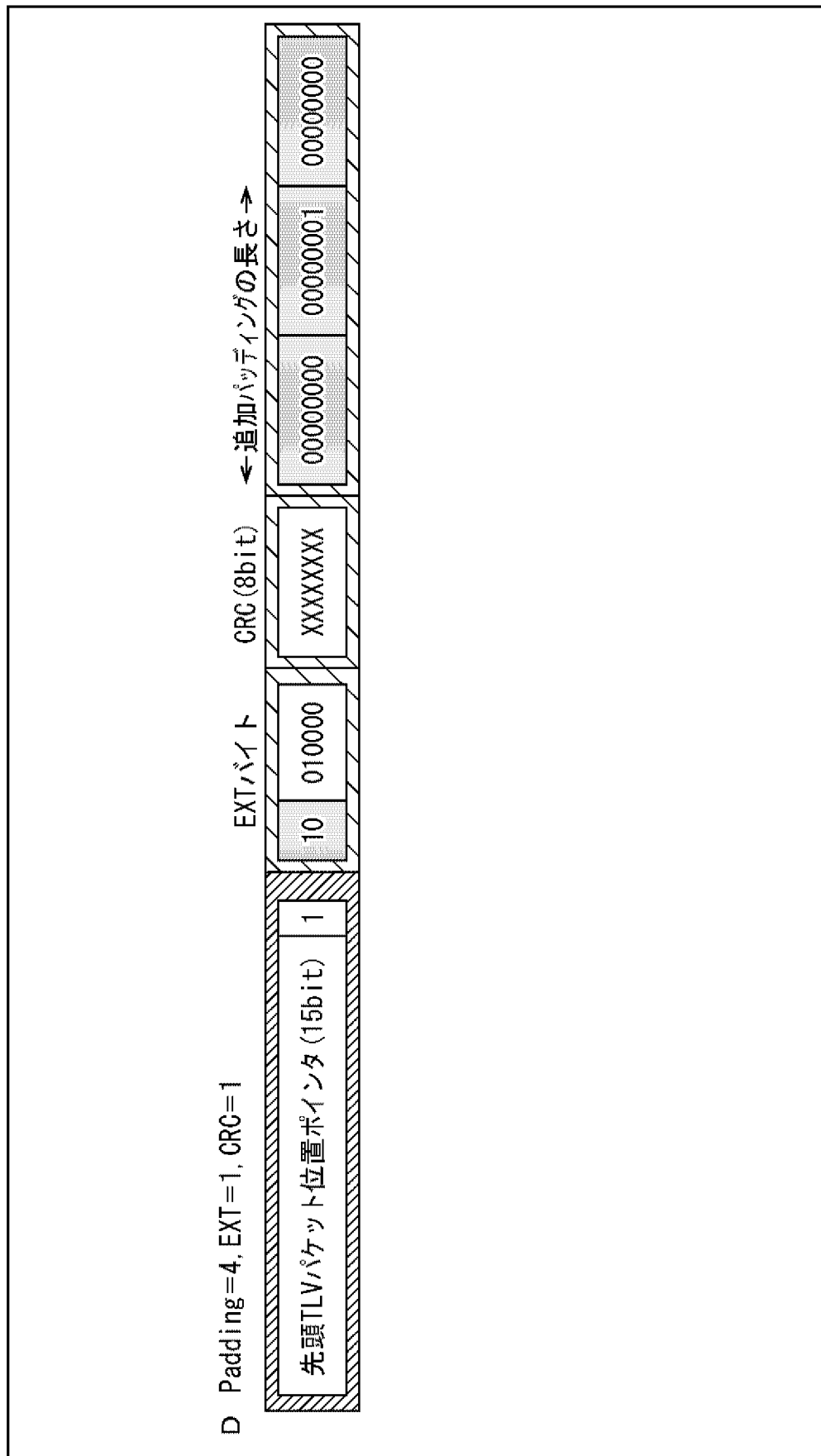
[図41]  
FIG. 41

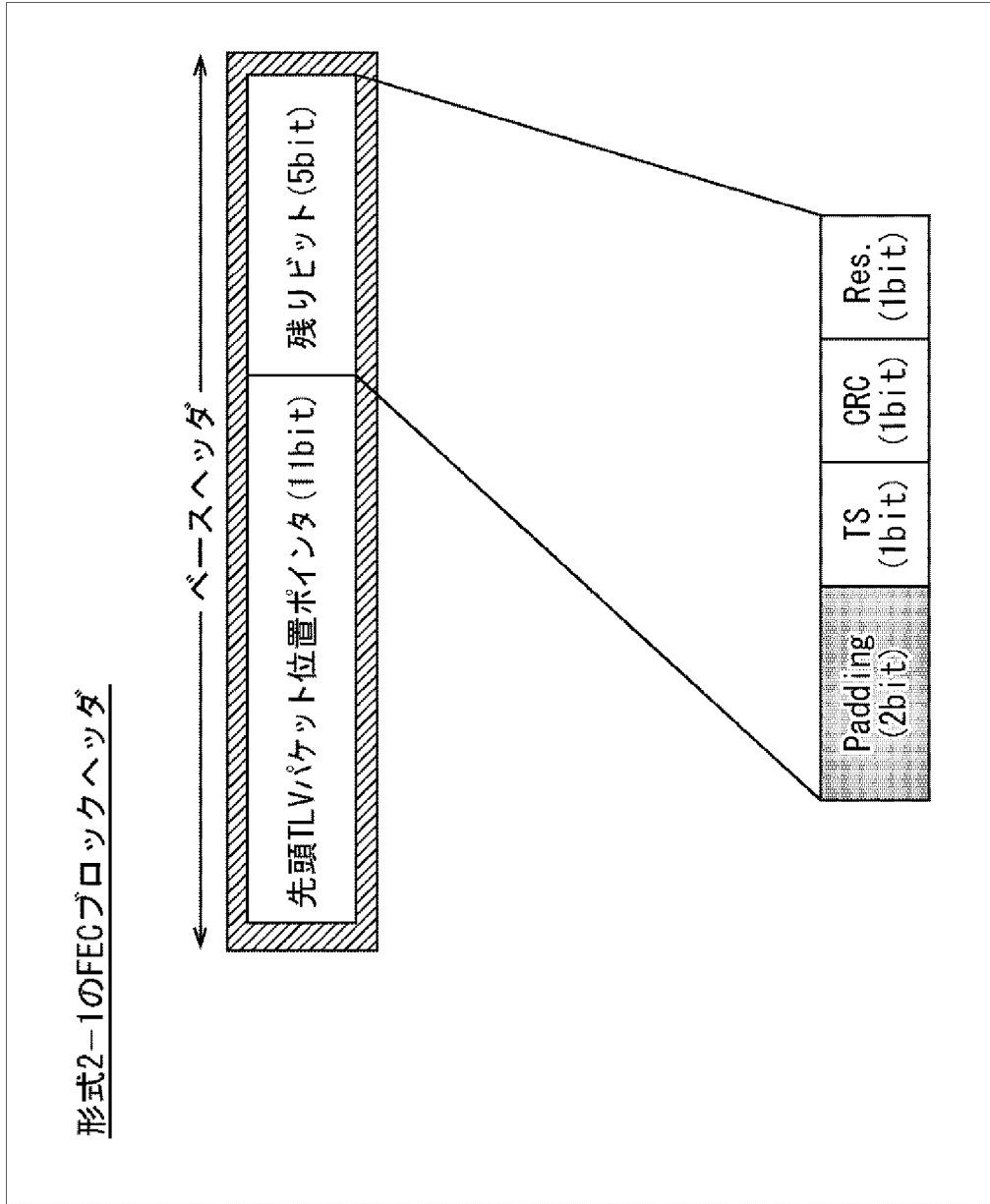


[図42]  
FIG. 42



[図43]  
FIG. 43

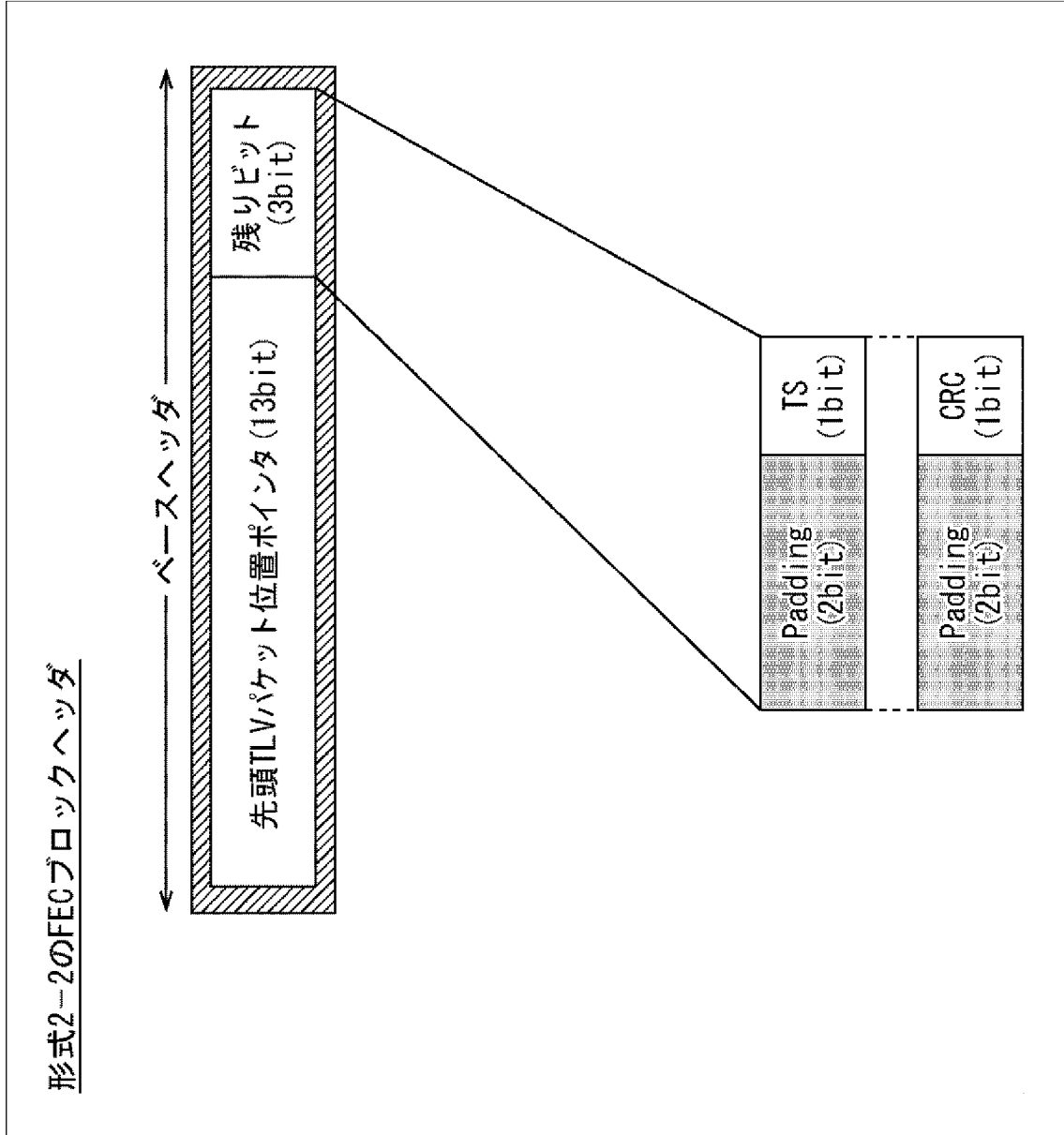


[図44]  
FIG. 44

[図45]  
FIG. 45

形式2-1のPadding値

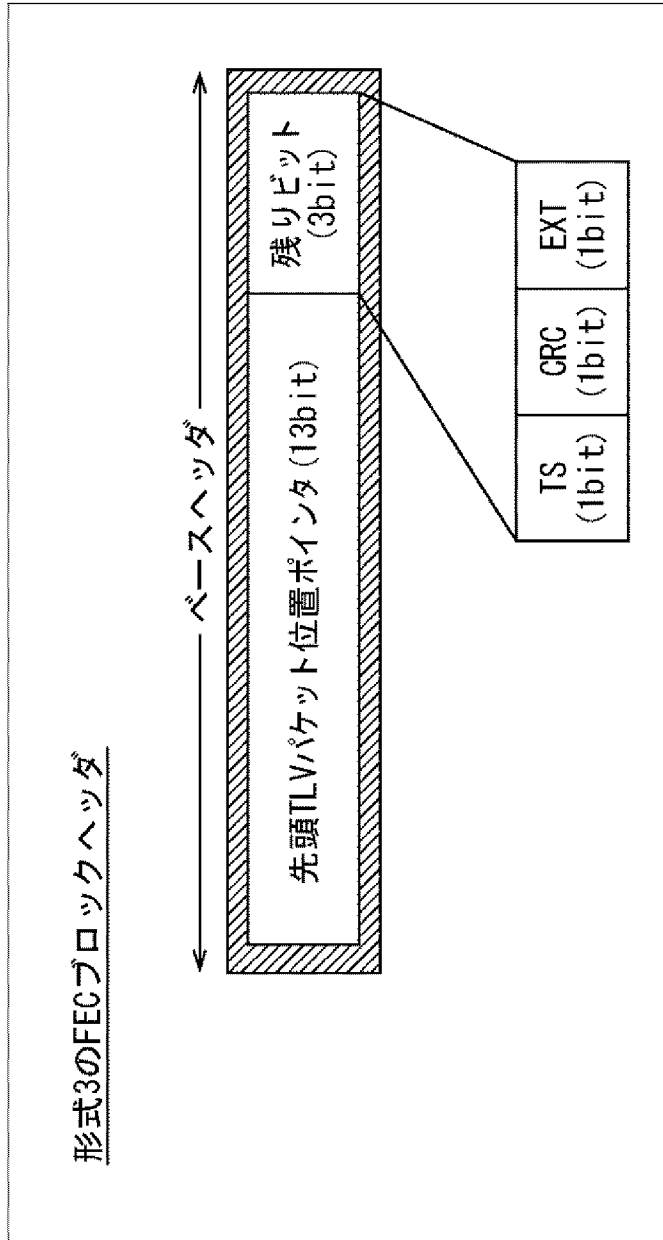
Padding値	意味	解釈
00	Paddingなし	追加Paddingなし
01	ショートPadding	1Bの追加Padding
10	ロングPadding	2Bで追加Paddingの長さを示す
11	Reserved	将来に使用

[図46]  
FIG. 46

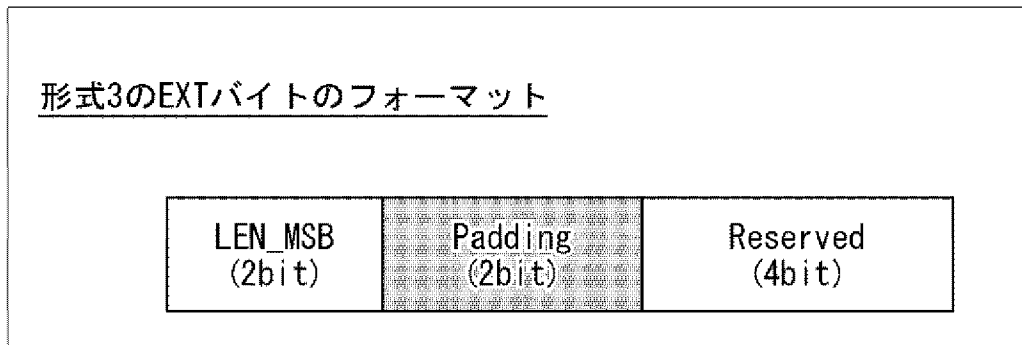
[図47]  
FIG. 47

形式2-2のPadding値

Padding値	意味	解釈
00	Paddingなし	追加Paddingなし
01	ショートPadding	1Bの追加Padding
10	ロングPadding	2Bで追加Paddingの長さを示す
11	Reserved	将来に使用

[図48]  
FIG. 48

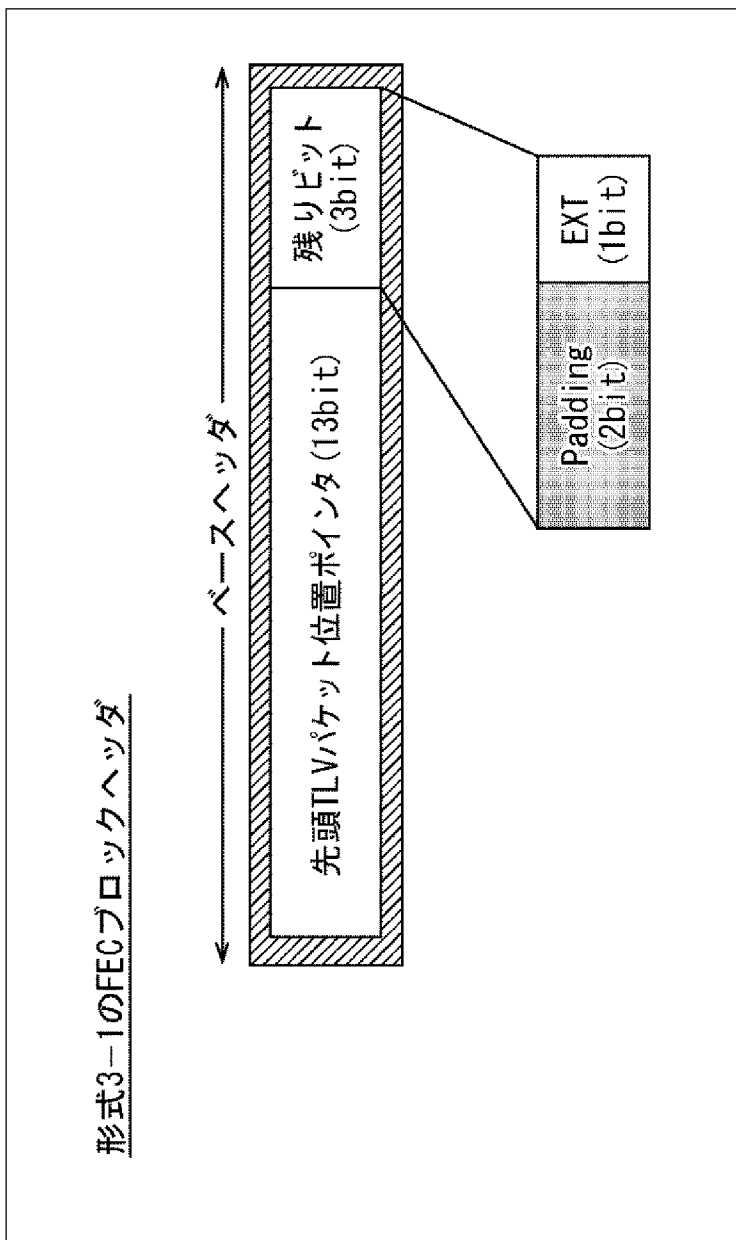
[図49]  
FIG. 49



[図50]  
FIG. 50

形式3のPadding値

Padding値	意味	解釈
00	Paddingなし	追加Paddingなし
01	ショートPadding	1Bの追加Padding
10	ロングPadding	2Bで追加Paddingの長さを示す
11	Reserved	将来に使用

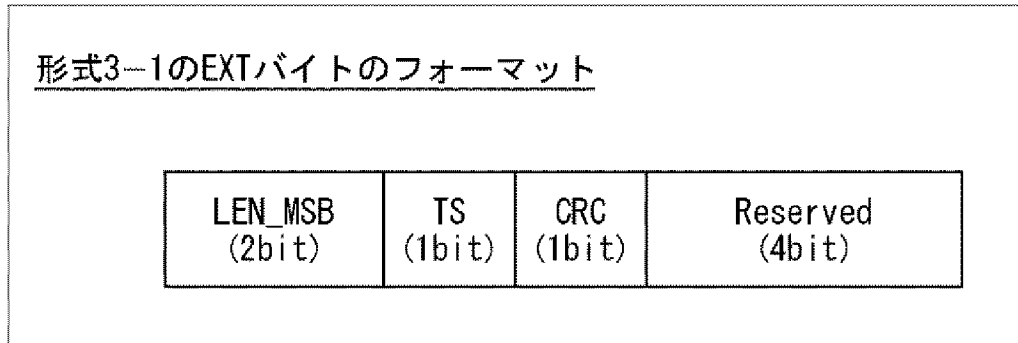
[図51]  
FIG. 51

[図52]  
FIG. 52

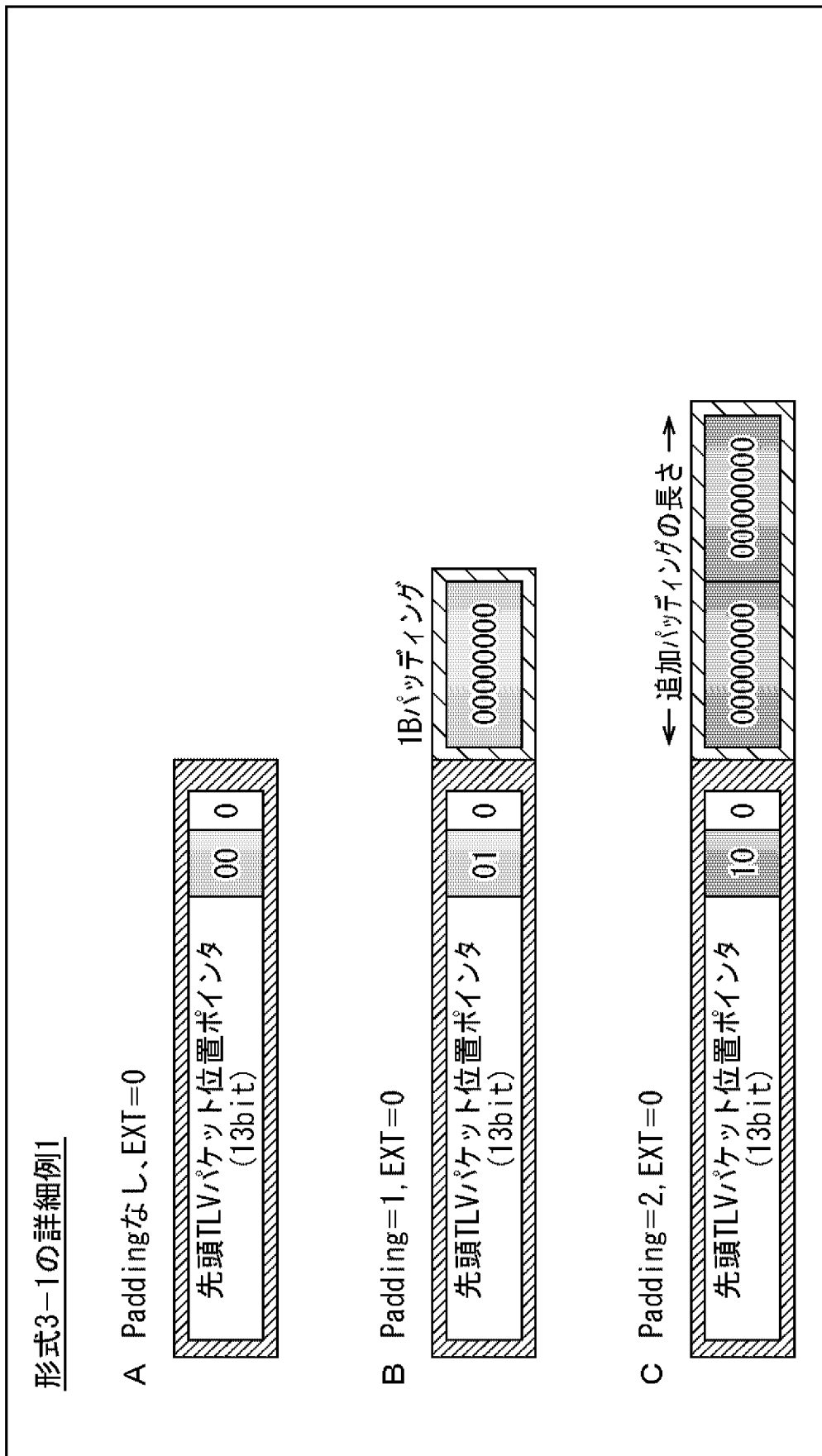
形式3-1のPadding値

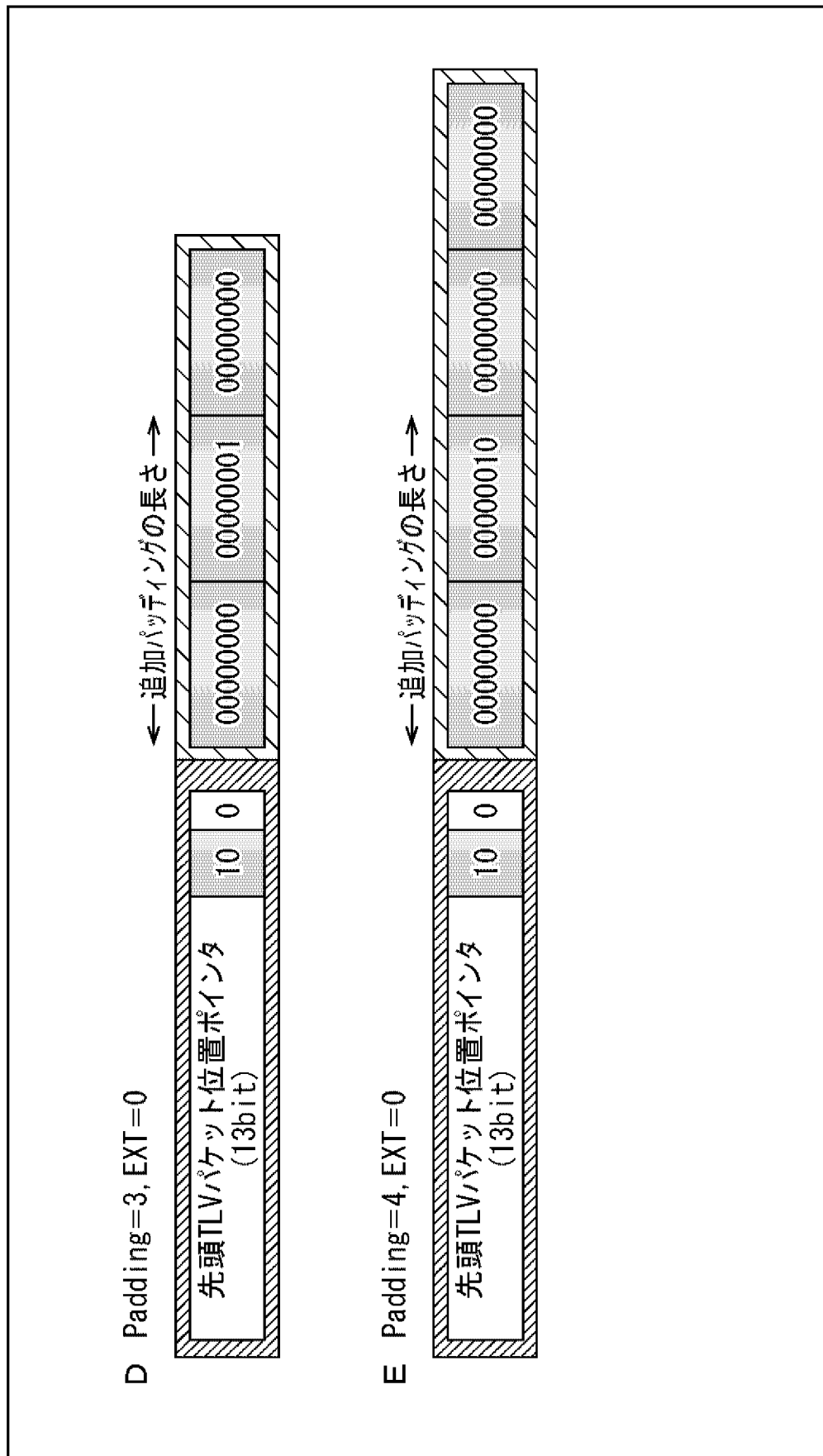
Padding値	意味	解釈
00	Paddingなし	追加Paddingなし
01	ショートPadding	1Bの追加Padding
10	ロングPadding	2Bで追加Paddingの長さを示す
11	Reserved	将来に使用

[図53]  
FIG. 53

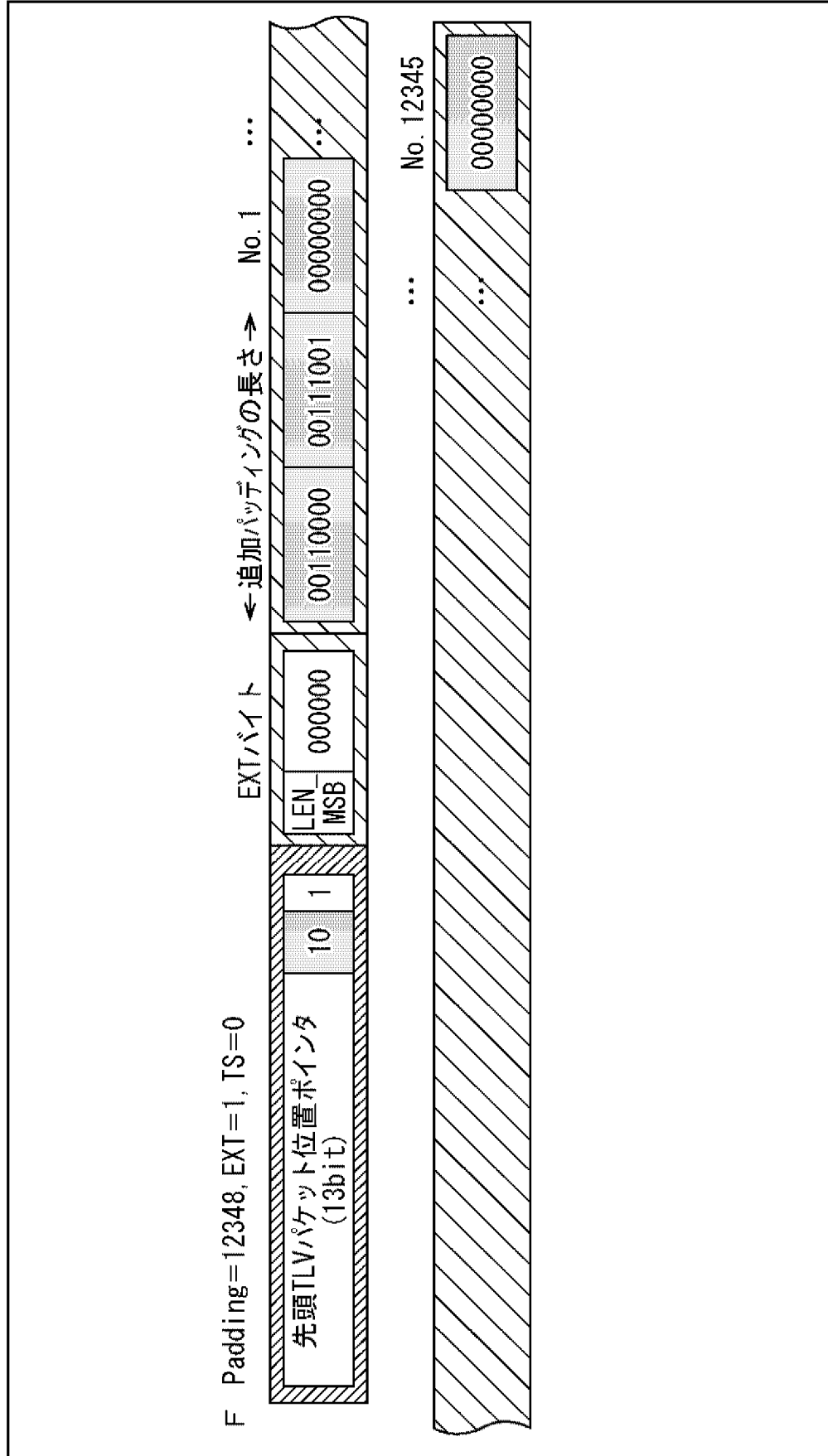


[図54]  
FIG. 54

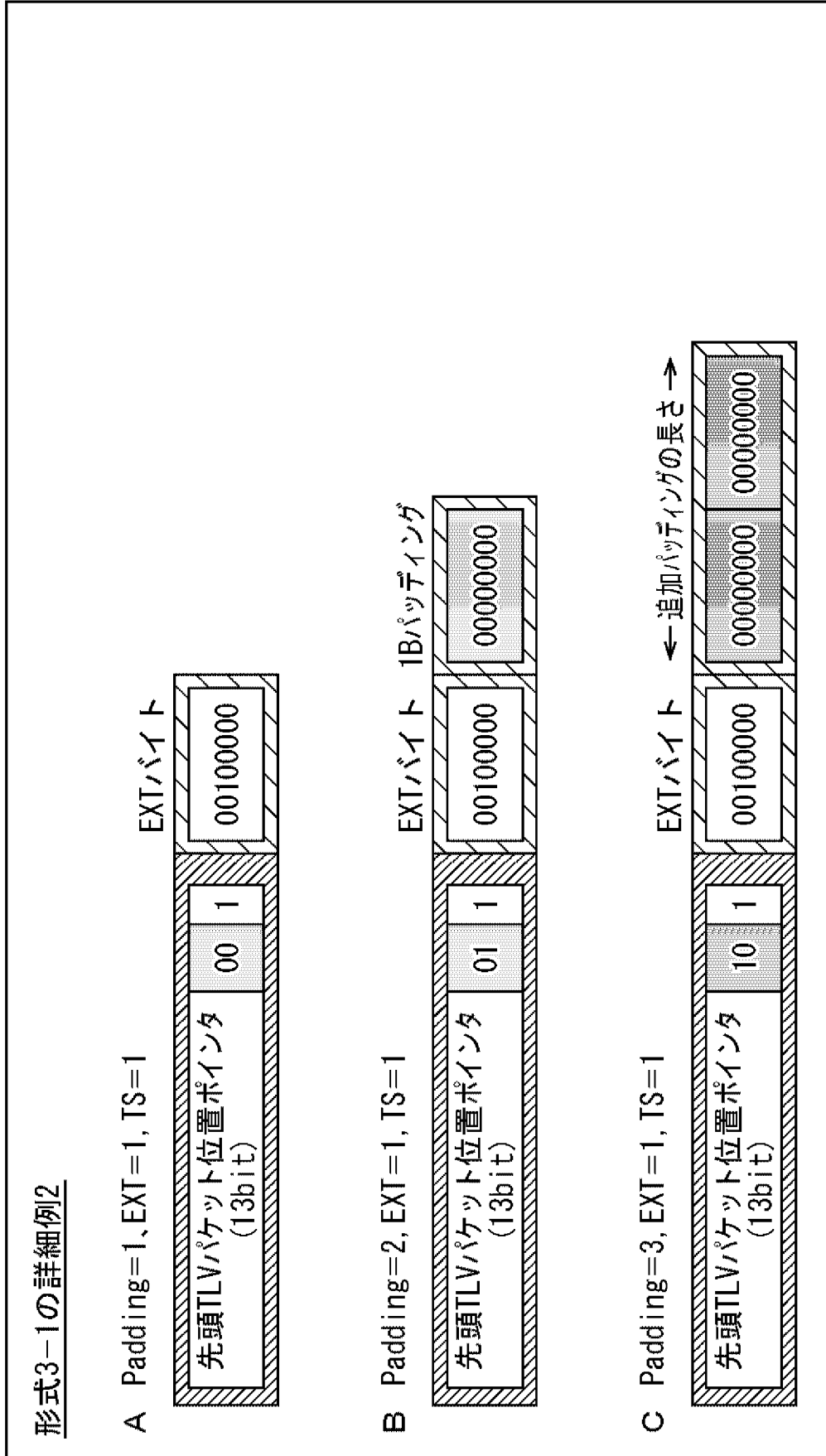


[図55]  
FIG. 55

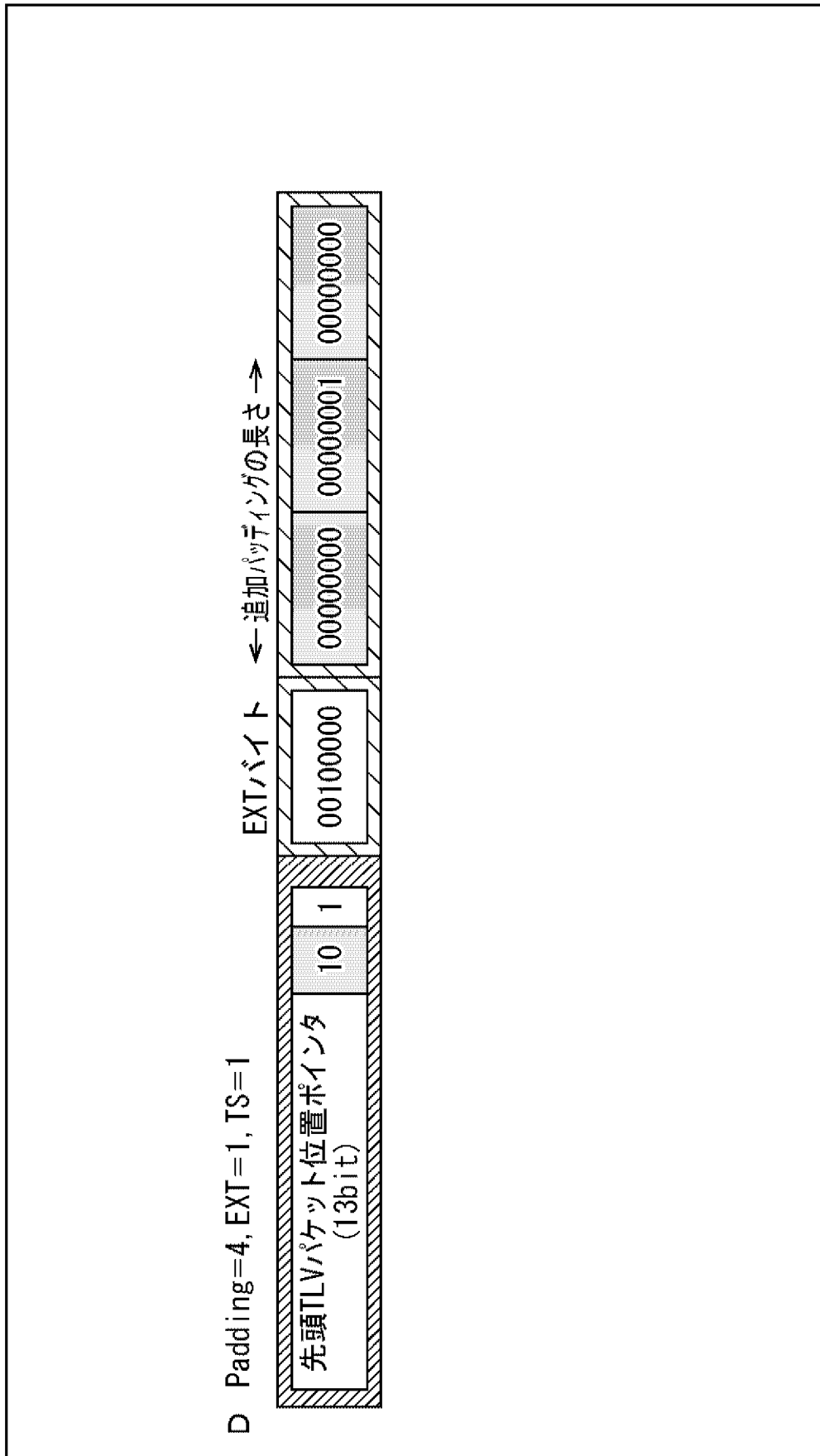
[図56]  
FIG. 56



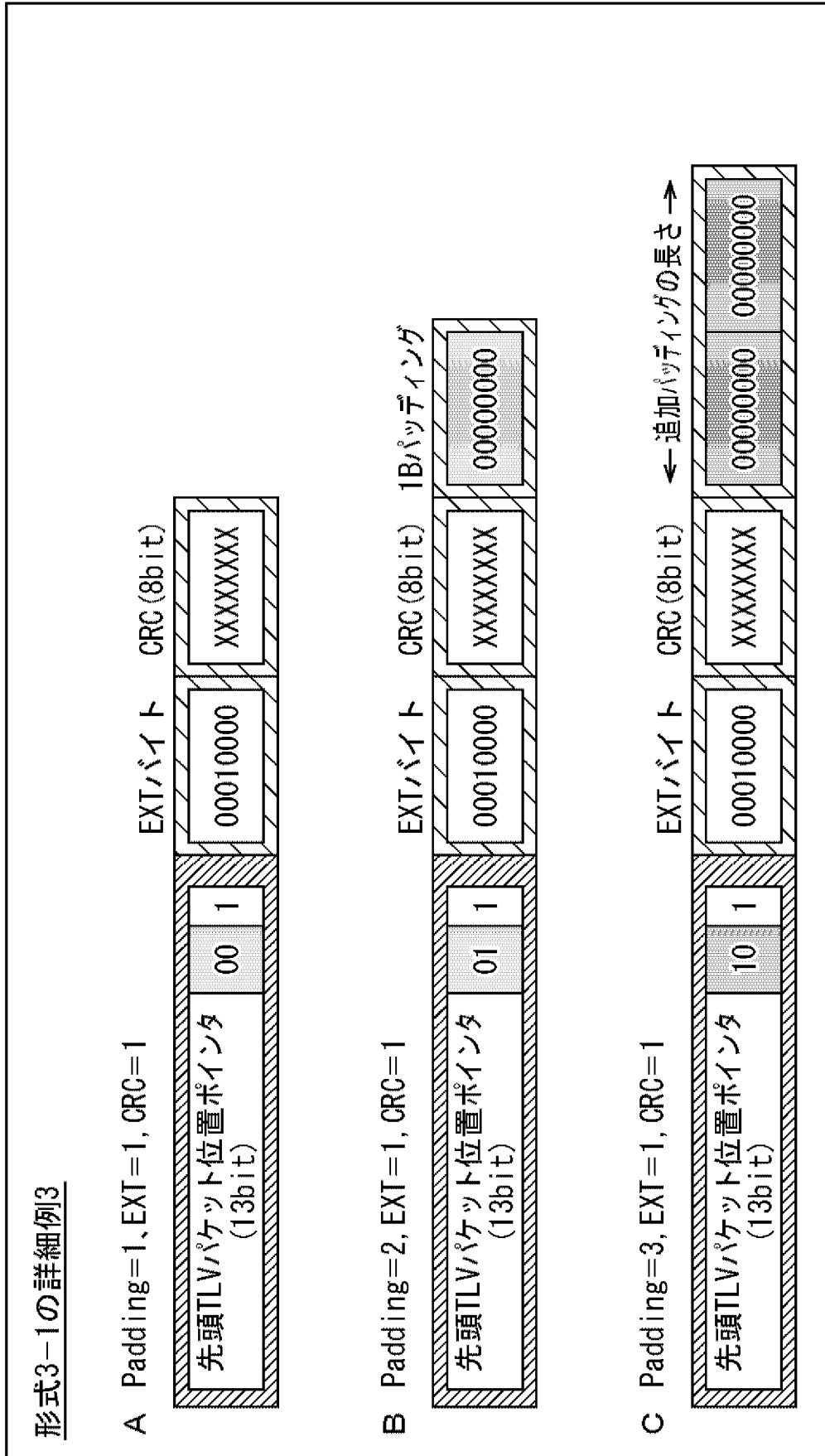
[図57]  
FIG. 57



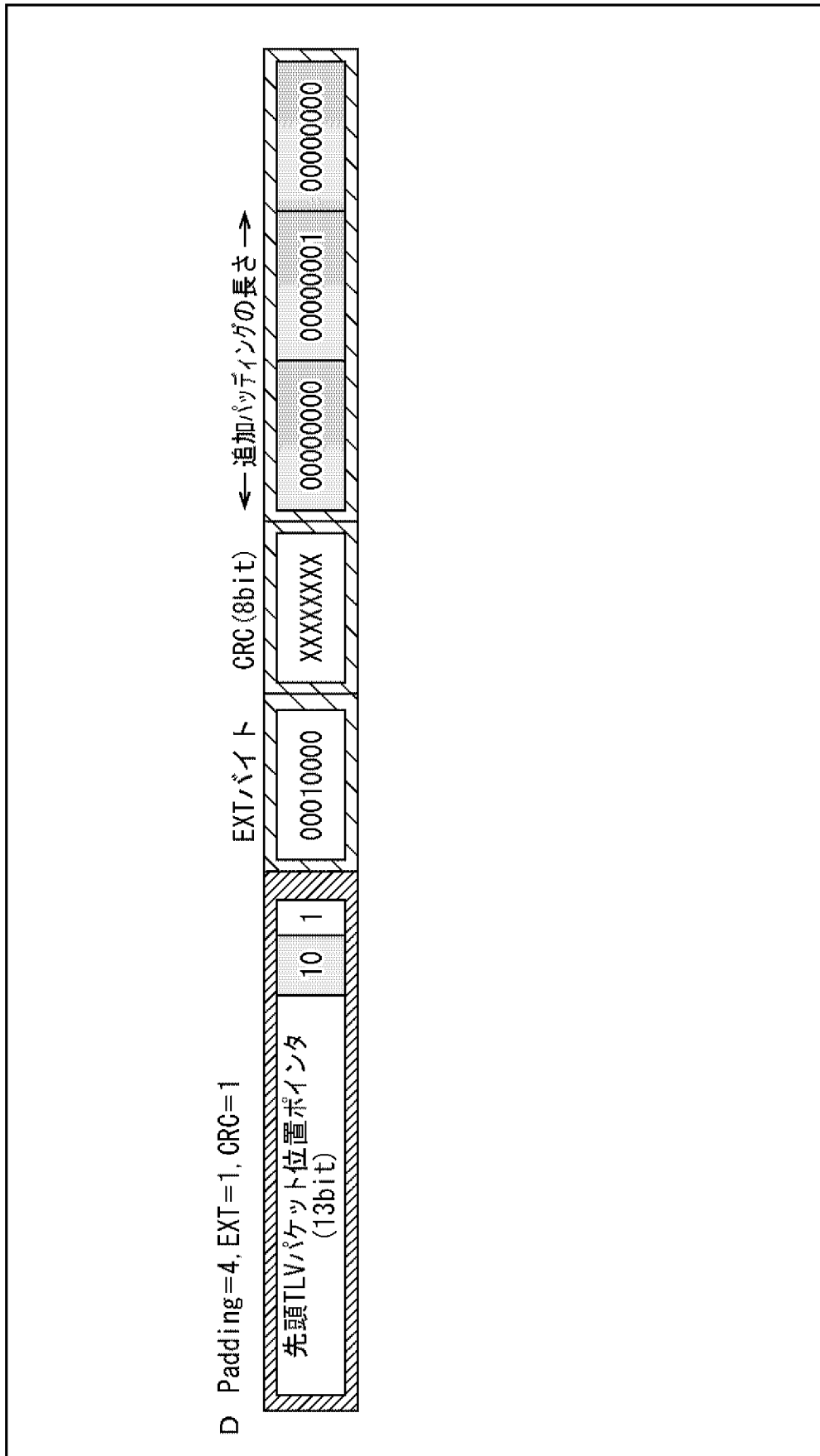
[図58]  
FIG. 58

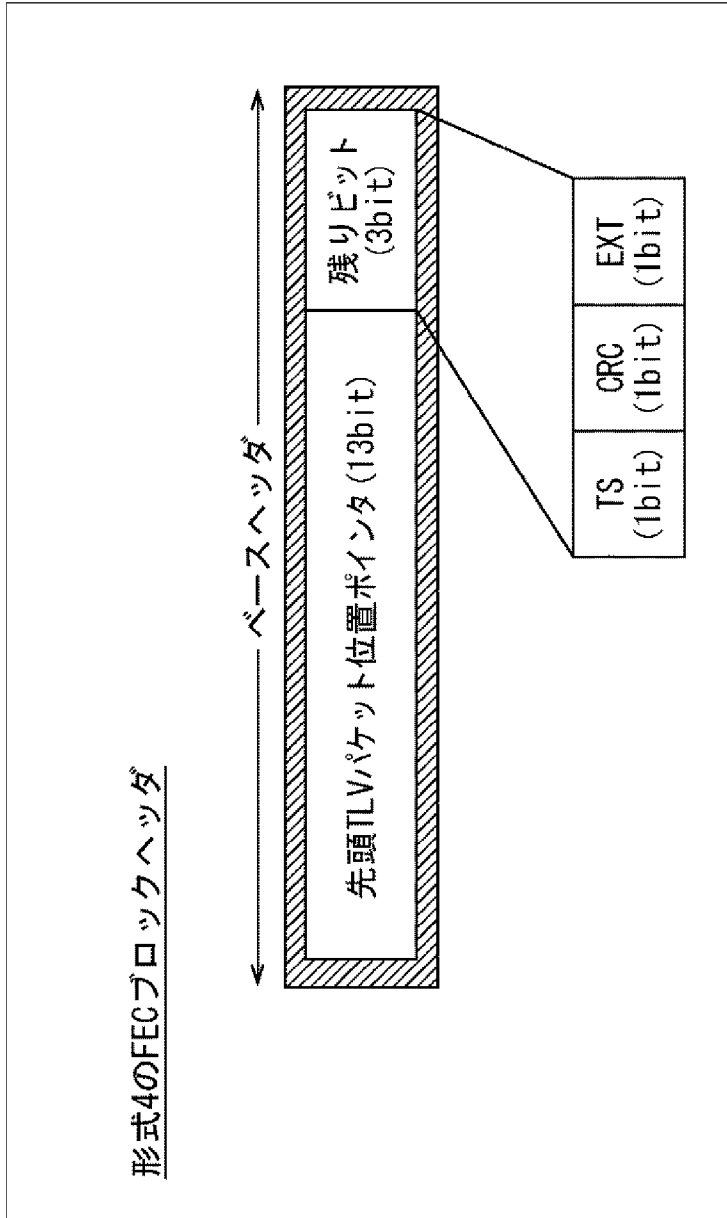


[図59]  
FIG. 59

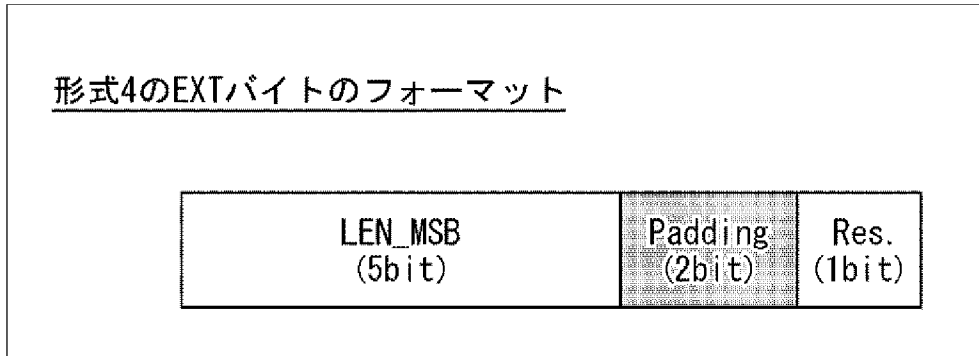


[図60]  
FIG. 60



[図61]  
FIG. 61

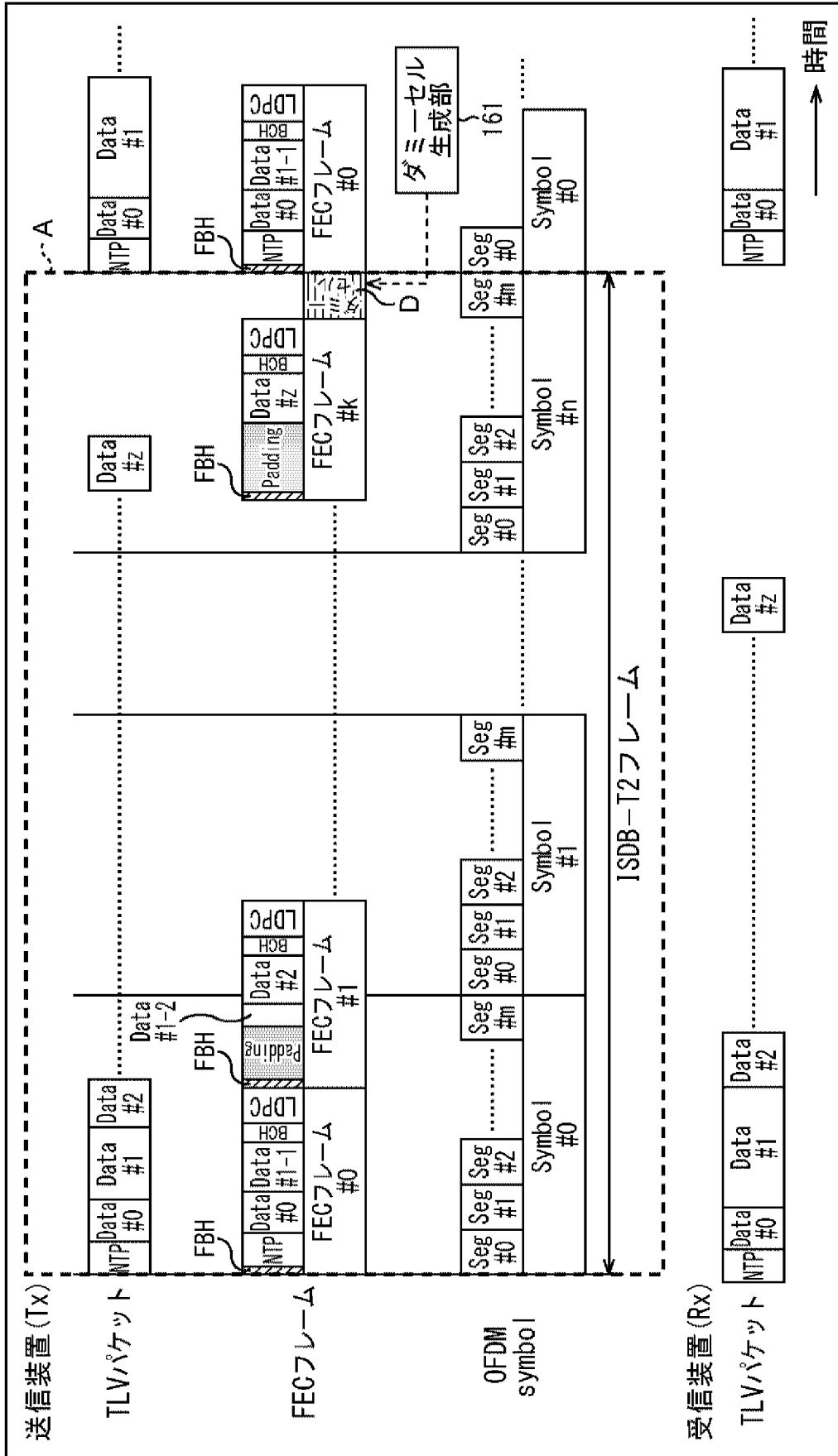
[図62]  
FIG. 62

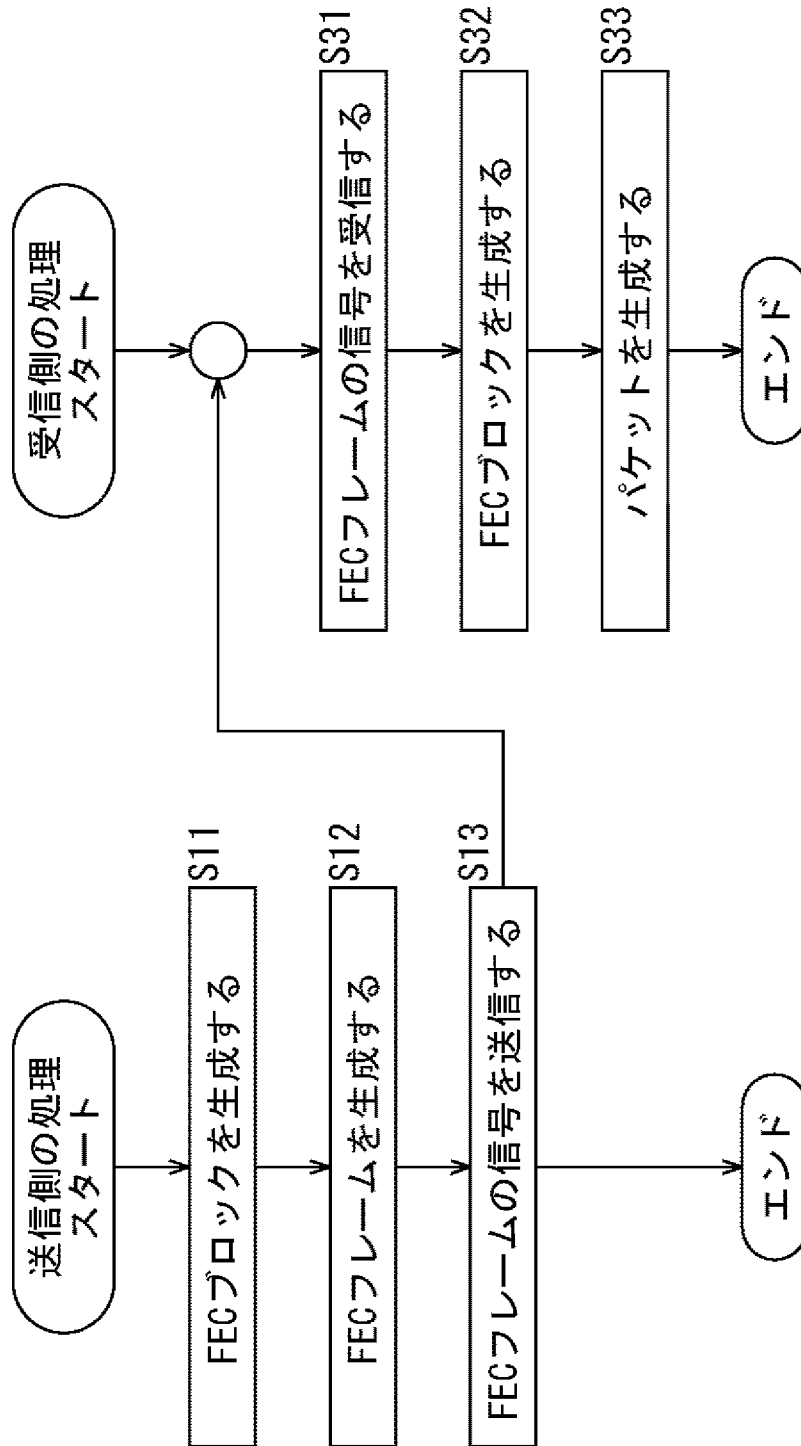


[図63]  
FIG. 63形式4のPadding値

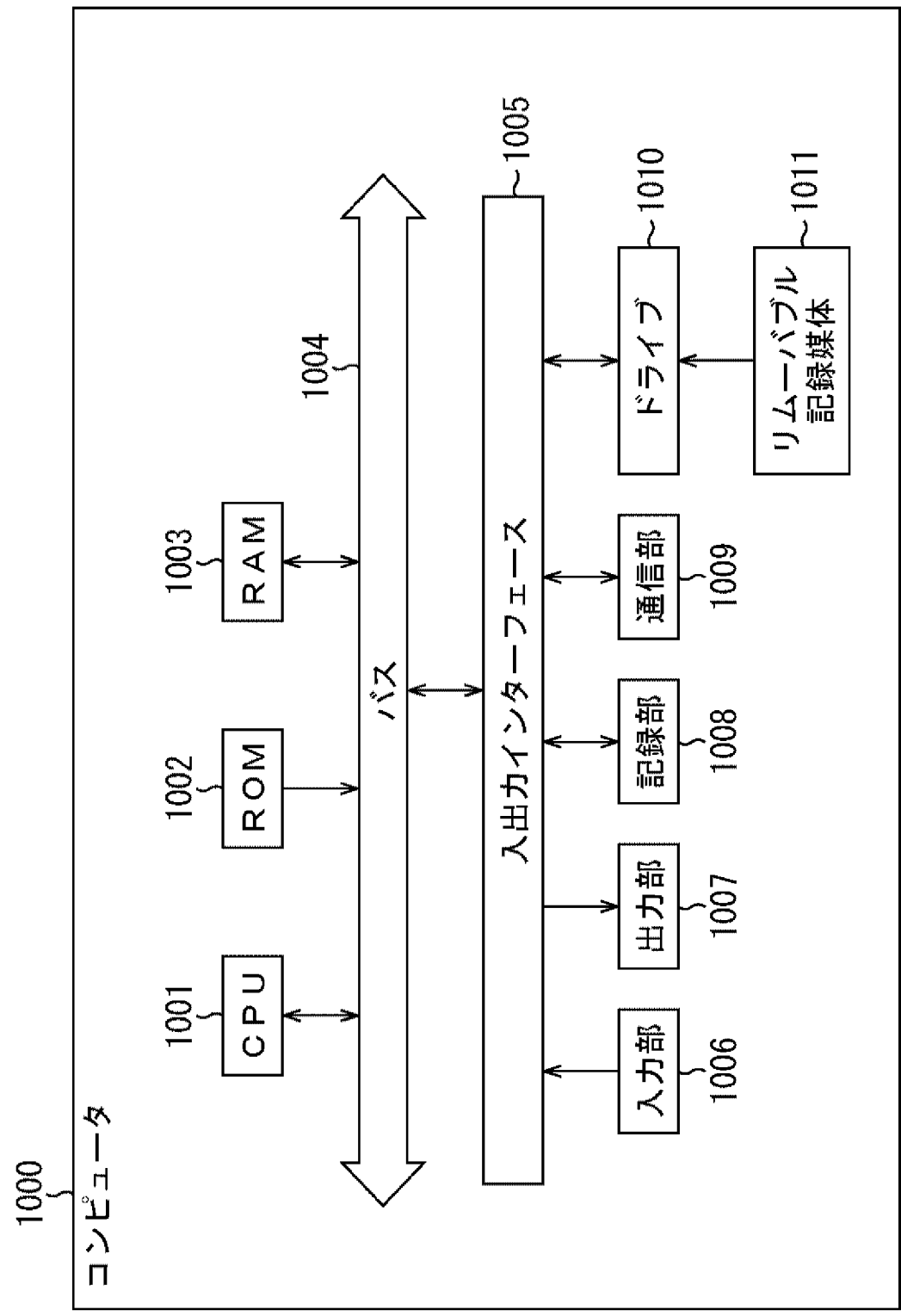
Padding値	意味	解釈
00	Paddingなし	追加Paddingなし
01	ショートPadding	1Bの追加Padding
10	ロングPadding	2Bで追加Paddingの長さを示す
11	Reserved	将来に使用

[図64]  
FIG. 64



[図65]  
FIG. 65

[図66]  
FIG. 66



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2017/043236

**A. CLASSIFICATION OF SUBJECT MATTER**  
 Int.Cl. H04L1/00 (2006.01) i, H04H20/95 (2008.01) i, H04N21/235 (2011.01) i,  
 H04N21/236 (2011.01) i  
 According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**  
 Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl. H04L1/00, H04H20/95, H04N21/235, H04N21/236

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2014-96814 A (PANASONIC CORP.) 22 May 2014, paragraphs [0001]-[0025], fig. 1A-1B & WO 2011/105096 A1, paragraphs [0001]-[0013], fig. 1A-1B & US 2012/0327955 A1 & EP 2362650 A1	1, 5-6, 10 2-4, 7-9
Y	WO 2015/194395 A1 (SONY CORP.) 23 December 2015, paragraphs [0031]-[0114], fig. 3-9 & US 2017/0188063 A1, paragraphs [0057]-[0140], fig. 3-9 & EP 3160146 A1	2-3, 7-8
Y	JP 2015-80029 A (JAPAN BROADCASTING CORPORATION) 23 April 2015, paragraphs [0001]-[0006], [0027]-[0063], [0076]-[0078], fig. 4, 6 (Family: none)	2-3, 7-8
Y	JP 2016-174299 A (TOSHIBA CORP.) 29 September 2016, paragraphs [0001]-[0003], [0012]-[0092], [0113], fig. 7 & WO 2016/147516 A1	2-4, 7-9
Y	JP 2016-116213 A (PANASONIC IP MANAGEMENT CO., LTD.) 23 June 2016, paragraphs [0011]-[0016], [0039]-[0052], [0342]-[0378], fig. 46 & WO 2016/092769 A1 & US 2017/0279865 A1, paragraphs [0068]-[0073], [0097]-[0110], [0401]-[0437], fig. 46 & EP 3232671 A1	2-4, 7-9

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 February 2018 (13.02.2018)	Date of mailing of the international search report 20 February 2018 (20.02.2018)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/043236

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-61195 A (SONY CORP.) 30 March 2015, paragraphs [0002], [0064]-[0067], fig. 5 & WO 2015/040913 A1 & US 2016/0192033 A1, paragraphs [0002], [0076]-[0079], fig. 5 & EP 3048795 A1	2-3, 7-8
Y	WO 2016/098601 A1 (SONY CORP.) 23 June 2016, paragraphs [0002]-[0006], [0018]-[0029], [0043]-[0049] & US 2017/0223769 A1, paragraphs [0002]-[0006], [0047]-[0057], [0072]-[0079] & EP 3236661 A1	4, 9
A	WO 2015/072768 A1 (LG ELECTRONICS INC.) 21 May 2015 & JP 2017-501650 A	1-3, 5-8, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04L1/00(2006.01)i, H04H20/95(2008.01)i, H04N21/235(2011.01)i, H04N21/236(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04L1/00, H04H20/95, H04N21/235, H04N21/236

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2014-96814 A (パナソニック株式会社) 2014.05.22, 段落 [0001]-[0025], 図 1A-1B & WO 2011/105096 A1, 段落[0001]-[0013], 図 1A-1B & US 2012/0327955 A1 & EP 2362650 A1	1, 5-6, 10 2-4, 7-9
Y	WO 2015/194395 A1 (ソニー株式会社) 2015.12.23, 段落 [0031]-[0114], 図 3-9 & US 2017/0188063 A1, 段落[0057]-[0140], 図 3-9 & EP 3160146 A1	2-3, 7-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 13.02.2018	国際調査報告の発送日 20.02.2018
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 谷岡 佳彦 電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-80029 A (日本放送協会) 2015. 04. 23, 段落 [0001]-[0006], [0027]-[0063], [0076]-[0078], 図 4, 6 (ファミリー なし)	2-3, 7-8
Y	JP 2016-174299 A (株式会社東芝) 2016. 09. 29, 段落 [0001]-[0003], [0012]-[0092], [0113], 図 7 & WO 2016/147516 A1	2-4, 7-9
Y	JP 2016-116213 A (パナソニック I P マネジメント株式会社) 2016. 06. 23, 段落 [0011]-[0016], [0039]-[0052], [0342]-[0378], 図 46 & WO 2016/092769 A1 & US 2017/0279865 A1, 段落 [0068]-[0073], [0097]-[0110], [0401]-[0437], 図 46 & EP 3232671 A1	2-4, 7-9
Y	JP 2015-61195 A (ソニー株式会社) 2015. 03. 30, 段落 [0002], [0064]-[0067], 図 5 & WO 2015/040913 A1 & US 2016/0192033 A1, 段落 [0002], [0076]-[0079], 図 5 & EP 3048795 A1	2-3, 7-8
Y	WO 2016/098601 A1 (ソニー株式会社) 2016. 06. 23, 段落 [0002]-[0006], [0018]-[0029], [0043]-[0049] & US 2017/0223769 A1, 段落 [0002]-[0006], [0047]-[0057], [0072]-[0079] & EP 3236661 A1	4, 9
A	WO 2015/072768 A1 (LG ELECTRONICS INC.) 2015. 05. 21, & JP 2017-501650 A	1-3, 5-8, 10