

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-282702

(P2010-282702A)

(43) 公開日 平成22年12月16日(2010.12.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 5/00 (2006.01)	G 1 1 C 5/00 3 0 3 Z	5 B 0 3 5
G 0 6 K 19/077 (2006.01)	G 0 6 K 19/00 K	5 B 0 6 0
H 0 1 L 25/04 (2006.01)	H 0 1 L 25/04 Z	5 F 0 8 3
H 0 1 L 25/18 (2006.01)	H 0 1 L 27/10 4 9 5	5 M 0 2 4
H 0 1 L 27/10 (2006.01)	G 0 6 K 19/00 N	
審査請求 未請求 請求項の数 21 O L (全 38 頁) 最終頁に続く		

(21) 出願番号 特願2009-136647 (P2009-136647)
 (22) 出願日 平成21年6月5日 (2009.6.5)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也
 (72) 発明者 長内 文由紀
 東京都中央区八重洲二丁目2番1号エルピー
 ーダメモリ株式会社内

最終頁に続く

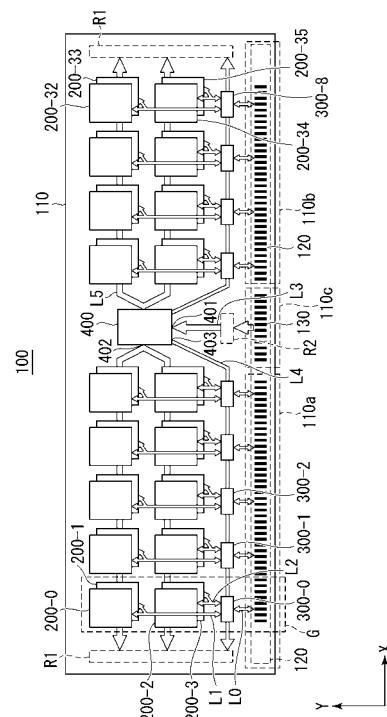
(54) 【発明の名称】 メモリモジュール

(57) 【要約】

【課題】 高いデータ転送レートを実現可能なLoad Reduced型のメモリモジュールを提供する。

【解決手段】 モジュール基板110の長辺に沿って設けられた複数のデータコネクタ120と、モジュール基板110に搭載されたメモリチップ200及びデータレジスタバッファ300と、データコネクタ120とデータレジスタバッファ300とを接続するデータ配線L0と、データレジスタバッファ300とメモリチップ200とを接続するデータ配線L1、L2とを備える。各データレジスタバッファ300と、これに対応するデータコネクタ120及びメモリチップ200は、モジュール基板110の短辺方向に並べて配置されている。本発明によれば、データ配線の配線距離が非常になくなることから、非常に高いデータ転送レートを実現することが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

モジュール基板と、
前記モジュール基板の長辺に沿って設けられた複数のデータコネクタと、
前記モジュール基板に搭載された複数のメモリチップと、
前記モジュール基板に搭載され、それぞれ 2 個以上の前記メモリチップが割り当てられた複数のデータレジスタバッファと、
前記モジュール基板に形成され、前記複数のデータコネクタと前記複数のデータレジスタバッファとを接続する複数の第 1 のデータ配線と、
前記モジュール基板に形成され、前記複数のデータレジスタバッファと前記複数のメモリチップとを接続する複数の第 2 のデータ配線と、を備え、
各データレジスタバッファと、これに対応する複数の前記データコネクタ及び複数の前記メモリチップは、前記モジュール基板の短辺方向に並べて配置されていることを特徴とするメモリモジュール。

10

【請求項 2】

前記データレジスタバッファは、前記データコネクタを介して転送されるライトデータをバッファリングして対応する前記メモリチップへ出力するとともに、前記メモリチップから転送されるリードデータをバッファリングして対応する前記データコネクタに出力することを特徴とする請求項 1 に記載のメモリモジュール。

20

【請求項 3】

前記データコネクタを介して転送される前記ライトデータ及び前記リードデータの転送レートと、前記メモリチップに供給される前記ライトデータ及び前記メモリチップから出力される前記リードデータの転送レートとが互いに等しいことを特徴とする請求項 2 に記載のメモリモジュール。

【請求項 4】

前記データレジスタバッファは、前記ライトデータ及び前記リードデータの 1 バイトごとに設けられていることを特徴とする請求項 2 又は 3 に記載のメモリモジュール。

【請求項 5】

所定のデータレジスタバッファとこれに対応する複数の前記メモリチップとの相対的な位置関係は、全てのデータレジスタバッファについて一定であることを特徴とする請求項 1 乃至 4 のいずれか一項に記載のメモリモジュール。

30

【請求項 6】

異なる前記データレジスタバッファに接続された前記複数の第 1 のデータ配線は、配線長が互いに等しいことを特徴とする請求項 1 乃至 5 のいずれか一項に記載のメモリモジュール。

【請求項 7】

異なる前記データレジスタバッファに接続された前記複数の第 2 のデータ配線は、配線長が互いに等しいことを特徴とする請求項 1 乃至 6 のいずれか一項に記載のメモリモジュール。

【請求項 8】

前記モジュール基板の長辺に沿って設けられた複数のコマンド／アドレスコネクタと、
前記モジュール基板に搭載されたコマンド／アドレスレジスタバッファと、をさらに備え、

40

前記コマンド／アドレスレジスタバッファの入力端子は、前記複数のコマンド／アドレスコネクタに接続され、前記コマンド／アドレスレジスタバッファの第 1 の出力端子は、前記複数のメモリチップに接続され、前記コマンド／アドレスレジスタバッファの第 2 の出力端子は、前記複数のデータレジスタバッファに接続されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載のメモリモジュール。

【請求項 9】

前記コマンド／アドレスレジスタバッファは、前記入力端子を介して供給されるコマン

50

ド／アドレス信号をバッファリングするレジスタ回路と、前記入力端子を介して供給されるコマンド／アドレス信号に基づいてコントロール信号を生成するコントロール信号生成回路とを有しており、

前記レジスタ回路によってバッファリングされた前記コマンド／アドレス信号が前記第 1 の出力端子に供給され、

前記コントロール信号生成回路によって生成された前記コントロール信号が前記第 2 の出力端子に供給されることを特徴とする請求項 8 に記載のメモリモジュール。

【請求項 10】

前記コマンド／アドレスレジスタバッファの前記第 1 の出力端子は、前記複数のメモリチップに対して共通接続されており、

前記コマンド／アドレスレジスタバッファの前記第 2 の出力端子は、前記複数のデータレジスタバッファに対して共通接続されていることを特徴とする請求項 9 に記載のメモリモジュール。

【請求項 11】

各データレジスタバッファとこれに対応する複数の前記メモリチップとが、それぞれ 1 つのサブモジュール基板に搭載されており、

複数の前記サブモジュール基板が前記モジュール基板に実装されていることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のメモリモジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリモジュールに関し、特に、Load Reduced型のメモリモジュールに関する。

【背景技術】

【0002】

D I M M (Dual Inline Memory Module) などのメモリモジュールは、モジュール基板上に D R A M (Dynamic Random Access Memory) などのメモリチップが多数搭載された構成を有している。このようなメモリモジュールは、マザーボード上に設けられたメモリスロットに装着され、これによってメモリコントローラとの間でデータの転送が行われる。近年においては、システムが要求するメモリ容量が非常に大きいため、1 枚のメモリモジュールによって必要なメモリ容量を確保することは困難である。このため、通常は、マザーボード上に複数のメモリスロットが設けられており、これにより複数のメモリモジュールを装着可能であることがほとんどである。

【0003】

しかしながら、複数のメモリモジュールを装着すると、マザーボード上におけるデータ配線の負荷容量が大きくなり、信号品質が劣化する。このような問題は、メモリコントローラとメモリモジュール間のデータ転送レートがある程度低い場合には大きな問題とはならないが、メモリコントローラとメモリモジュール間のデータ転送レートが高くなると、信号品質の劣化によって正しくデータ転送を行うことができないという問題が生じる。近年においては、1. 6 ～ 3. 2 G b p s 程度のデータ転送レートが要求されており、このような高速転送を実現するためには、マザーボード上におけるデータ配線の負荷容量を十分に低減する必要がある。

【0004】

データ配線の負荷容量を低減することが可能なメモリモジュールとしては、いわゆる Fully Buffered型のメモリモジュールが知られている（特許文献 1）。Fully Buffered型のメモリモジュールにおいては、メモリコントローラから供給されるライトデータを一旦全て Advanced Memory Buffer (A M B) と呼ばれる専用チップで受け、これを所定のメモリチップに供給する。リード動作はこの逆であり、メモリチップから出力されたリードデータが一旦全て A M B に供給され、A M B からメモリコントローラへ供給される。したがって、メモリコントローラからは各メモリチップの負荷容量が見えないことから、データ配

10

20

30

40

50

線の負荷容量が大幅に低減する。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-135597号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、Fully Buffered型のメモリモジュールに用いられるAMBは高機能なチップであり、比較的高価であることから、メモリモジュールの価格が大幅に高くなるという問題がある。また、Fully Buffered型のメモリモジュールでは、メモリコントローラとAMBとの間におけるインターフェースが、メモリコントローラとメモリチップ間における通常のインターフェースとは異なることから、従来のメモリコントローラをそのまま使用することができないという問題もある。

【0007】

このような背景から、近年、Load Reduced型と呼ばれるメモリモジュールが提案されている。Load Reduced型のメモリモジュールは、AMBの代わりにレジスタバッファを用いるタイプのメモリモジュールである。レジスタバッファは、データやコマンド／アドレスなどの信号をバッファリングするだけのチップであることから、安価に提供することができる。しかも、メモリコントローラとレジスタバッファとの間におけるインターフェースは、メモリコントローラとメモリチップとの間における通常のインターフェースとは変わらないことから、従来のメモリコントローラをそのまま使用することができる。

【0008】

しかしながら、本発明者らは、Load Reduced型のメモリモジュールについて鋭意研究を重ねた結果、データ転送レートが非常に高くなると、単に1個のレジスタバッファを用いるのみではモジュール基板上における信号品質が不十分となることが明らかとなった。このため、本発明者らは、非常に高いデータ転送レートを実現可能なLoad Reduced型のメモリモジュールについてさらなる研究を行った。本発明は、このような研究の結果なされたものである。

【課題を解決するための手段】

【0009】

本発明によるメモリモジュールは、モジュール基板と、前記モジュール基板の長辺に沿って設けられた複数のデータコネクタと、前記モジュール基板に搭載された複数のメモリチップと、前記モジュール基板に搭載され、それぞれ2個以上の前記メモリチップが割り当てられた複数のデータレジスタバッファと、前記モジュール基板に形成され、前記複数のデータコネクタと前記複数のデータレジスタバッファとを接続する複数の第1のデータ配線と、前記モジュール基板に形成され、前記複数のデータレジスタバッファと前記複数のメモリチップとを接続する複数の第2のデータ配線と、を備え、各データレジスタバッファと、これに対応する複数の前記データコネクタ及び複数の前記メモリチップは、前記モジュール基板の短辺方向に並べて配置されていることを特徴とする。

【発明の効果】

【0010】

本発明によれば、モジュール基板上に複数のデータレジスタバッファを搭載するとともに、各データレジスタバッファとこれに対応するデータコネクタ及びメモリチップを短辺方向に並べて配置していることから、データコネクタからメモリチップまでの配線距離が非常に短くなる。これにより、モジュール基板上における信号品質が高められ、その結果、非常に高いデータ転送レートを実現することが可能となる。

【図面の簡単な説明】

【0011】

【図1】本発明の好ましい実施形態によるメモリモジュール100の構成を示す模式図で

10

20

30

40

50

ある。

【図 2】メモリモジュール 100 を備える情報処理システム 10 の構成を示すブロック図である。

【図 3】メモリシステム 20 が形成された部分におけるマザーボードの構造を模式的に示す斜視図である。

【図 4】メモリチップ 200 の構成を示すブロック図である。

【図 5】データレジスタバッファ 300 の構成を示すブロック図である。

【図 6】コマンド／アドレス／コントロールレジスタバッファ 400 の構成を示すブロック図である。

【図 7】メモリモジュール 100 の配線図である。

10

【図 8】メモリモジュール 100 の 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 9】データ配線 L1, L2 を 1 本に纏めた場合における 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 10】2 本のデータ配線 L1, L2 を用いたインターリーブ動作を説明するためのタイミング図である。

【図 11】メモリモジュール 100 のリード動作を説明するためのタイミング図である。

【図 12】メモリモジュール 100 のライト動作を説明するためのタイミング図である。

【図 13】メモリモジュール 100 の起動時における初期化動作を説明するためのフローチャートである。

20

【図 14】データレジスタバッファ 300 とメモリチップ 200 との間のライトレベリング動作を説明するためのタイミング図であり、(a) はレベリング開始時におけるタイミング図、(b) レベリング終了時におけるタイミング図である。

【図 15】データレジスタバッファ 300 とメモリチップ 200 との間のリードレベリング動作を説明するためのタイミング図である。

【図 16】メモリコントローラ 12 とデータレジスタバッファ 300 との間のライトレベリング動作を説明するためのタイミング図であり、(a) はレベリング開始時におけるタイミング図、(b) レベリング終了時におけるタイミング図である。

【図 17】メモリコントローラ 12 とデータレジスタバッファ 300 との間のリードレベリング動作を説明するためのタイミング図である。

30

【図 18】DLL 回路を使用せずに ODT 動作を行う場合の問題点を説明するためのタイミング図である。

【図 19】ODT 機能及び DLL 回路ともオン状態とした場合のリード t_oリード動作を説明するためのタイミング図である。

【図 20】ODT 機能及び DLL 回路ともオフ状態とした場合のリード t_oリード動作を説明するためのタイミング図である。

【図 21】ODT 機能及び DLL 回路ともオン状態とした場合のライト t_oライト動作を説明するためのタイミング図である。

【図 22】ODT 機能及び DLL 回路ともオフ状態とした場合のライト t_oライト動作を説明するためのタイミング図である。

40

【図 23】変形例によるメモリモジュールの 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 24】他の変形例によるメモリモジュールの 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【図 25】さらに他の変形例によるメモリモジュールの構成を示す模式図である。

【図 26】サブモジュール 500 の構成を示す平面図である。

【図 27】図 26 に示す Y1-Y1' 線に沿った断面図である。

【図 28】サブモジュール 500 の別の構成を示す平面図である。

【図 29】図 28 に示す Y2-Y2' 線に沿った断面図である。

【発明を実施するための形態】

50

【0012】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0013】

図1は、本発明の好ましい実施形態によるメモリモジュール100の構成を示す模式図である。

【0014】

図1に示すように、本実施形態によるメモリモジュール100は、モジュール基板110と、モジュール基板110に搭載された複数のメモリチップ200、複数のデータレジスタバッファ300及び1個のコマンド／アドレス／コントロールレジスタバッファ400とを備えている。

【0015】

本実施形態では、メモリチップ200の搭載数は36個であり、各メモリチップを特に区別する必要があるときは、それぞれメモリチップ200-0～200-35と表記する。また、本実施形態では、データレジスタバッファ300の搭載数は9個であり、各データレジスタバッファを特に区別する必要があるときは、それぞれデータレジスタバッファ300-0～300-8と表記する。これに対し、コマンド／アドレス／コントロールレジスタバッファ400の搭載数は1個である。但し、本発明においてコマンド／アドレス／コントロールレジスタバッファ400の搭載数を1個とすることは必須でなく、2個以上のコマンド／アドレス／コントロールレジスタバッファ400を搭載しても構わない。

【0016】

モジュール基板110は多層配線が施されたプリント基板であり、その平面形状は、図1に示すX方向を長辺とし、Y方向を短辺とする略長方形である。モジュール基板110の一辺には、長辺であるX方向に沿って複数のデータコネクタ120及び複数のコマンド／アドレス／コントロールコネクタ130が設けられている。データコネクタ120及びコマンド／アドレス／コントロールコネクタ130は、後述するメモリスロットを介して、メモリコントローラとの電氣的な接続を取るための端子である。

【0017】

データコネクタ120は、メモリチップ200に書き込むべきライトデータ及びメモリチップ200から読み出されたリードデータを授受するためのコネクタである。特に限定されるものではないが、本実施形態ではデータコネクタ120のピン数は72個である。図1に示すように、これら72個のデータコネクタ120のうち、メモリチップ200-0～200-19に対応するデータコネクタは、これらメモリチップ200-0～200-19のほぼ真下に位置する領域110aに配置され、メモリチップ200-20～200-35に対応するデータコネクタは、これらメモリチップ200-20～200-35のほぼ真下に位置する領域110bに配置されている。

【0018】

コマンド／アドレス／コントロールコネクタ130は、コマンド／アドレス／コントロールレジスタバッファ400に供給するコマンド信号、アドレス信号、コントロール信号及びクロック信号が供給されるコネクタである。図1に示すように、これらコマンド／アドレス／コントロールコネクタ130は、領域110aと領域110bとの間に位置する領域110cに配置されている。

【0019】

メモリチップ200は例えばDRAMであり、枝番号が偶数であるメモリチップ200-0, 200-2・・・はモジュール基板110の一方の表面に搭載され、枝番号が奇数であるメモリチップ200-1, 200-3・・・はモジュール基板110の他方の表面に搭載されている。そして、対応する2個のメモリチップ、例えばメモリチップ200-0と200-1は、モジュール基板110を介して互いに対向する位置に搭載されている。

【0020】

本実施形態によるメモリモジュール100は、いわゆる4Rank構成である。Rank数とは、排他的に選択されるメモリ空間の数を指す。各Rank間には同じアドレスが割り当てられるものの、チップセレクト(CS)信号を排他的に活性化させたり、クロックイネーブル(CKE)信号を排他的に活性化させたりすることによって、いずれか1つのRankが選択される。

【0021】

本実施形態では、4個のメモリチップ200が一つの組を構成しており、これら4個のメモリチップ200が互いに異なるRankに属している。例えば、メモリチップ200-0~200-3が一つの組を構成しており、これらメモリチップ200-0~200-3が互いに異なるRankに属している。

10

【0022】

図1に示すように、このような組を構成する4個のメモリチップ200は、1つのデータレジスタバッファ300に接続されている。例えば、メモリチップ200-0~200-3からなる組は、データレジスタバッファ300-0に接続されている。このうち、上側に搭載されたメモリチップ200-0, 200-1は、データ配線L1を介してデータレジスタバッファ300-0に接続され、下側に搭載されたメモリチップ200-2, 200-3は、データ配線L2を介してデータレジスタバッファ300-0に接続されている。尚、図1に示すデータ配線L1, L2の矢印は、いずれも1バイト(8ビット)分の配線を示している。データ配線L1, L2は、いずれもモジュール基板110の内部に形成された配線である。

20

【0023】

メモリチップ200の動作は、コマンド/アドレス/コントロールレジスタバッファ400より供給されるコマンド信号、アドレス信号、コントロール信号及びクロック信号に基づいて制御される。メモリチップ200の詳細については後述する。

【0024】

データレジスタバッファ300は、上述の通り、4個のメモリチップ200に対して1個ずつ割り当てられており、9個のデータレジスタバッファ300が長辺であるX方向に配列されている。データレジスタバッファ300は、データ配線L0を介して転送されるライトデータをバッファリングしてデータ配線L1, L2のいずれかへ出力するとともに、いずれかのデータ配線L1, L2を介して転送されるリードデータをバッファリングしてデータ配線L0に出力するためのチップである。データ配線L0も、モジュール基板110の内部に形成された配線である。

30

【0025】

かかる構成により、1個のデータレジスタバッファ300と、これに対応するデータコネクタ120及び4個のメモリチップ200は、一つのグループGを構成している。同じグループに含まれるメモリチップ200、データレジスタバッファ300及びデータコネクタ120は、モジュール基板110の短辺であるY方向に並べて配置されており、このようなグループGが長辺であるX方向に並べて配置されている。したがって、各データレジスタバッファ300とこれに対応する4個のメモリチップ200との相対的な位置関係は、全てのグループGについて一定となる。

40

【0026】

これにより、データ配線L0の配線長を短くすることができるとともに、グループ間におけるデータ配線L0の配線長をほぼ等しくすることが可能となる。同様に、データ配線L1, L2の配線長を短くすることができるとともに、グループ間におけるデータ配線L1, L2の配線長をほぼ等しくすることが可能となる。

【0027】

データレジスタバッファ300の動作は、コマンド/アドレス/コントロールレジスタバッファ400より供給されるコントロール信号に基づいて制御される。データレジスタバッファ300の詳細については後述する。

【0028】

50

コマンド／アドレス／コントロールレジスタバッファ４００は、モジュール基板１１０に１個だけ搭載されている。図１に示すように、コマンド／アドレス／コントロールレジスタバッファ４００は、モジュール基板１１０の長辺であるＸ方向における略中央部に配置されている。

【００２９】

コマンド／アドレス／コントロールレジスタバッファ４００は、コマンド／アドレス／コントロールコネクタ１３０をから供給されるコマンド信号、アドレス信号、コントロール信号及びクロック信号（これらを纏めてコマンド／アドレス／コントロール信号と呼ぶことがある）を入力端子４０１で受け、これらをバッファリングしてメモリチップ２００に供給するとともに、コントロール信号を生成する。メモリチップ２００へ供給するコマンド／アドレス信号は、出力端子４０２を介して出力され、データバッファ３００へ供給するコントロール信号は出力端子４０３を介して出力される。

【００３０】

出力端子４０２はコマンド／アドレス／コントロールレジスタバッファ４００の左側用と右側用にそれぞれ１セット用意され、例えば左側の出力端子４０２は、Ｒａｎｋの選択などに必要なコントロール信号を除き、メモリチップ２００－０～２００－１９に対して共通接続されている。すなわち、コマンド信号、アドレス信号及びクロック信号は、メモリチップ２００－０～２００－１９に対して共通に供給される。また、出力端子４０３においても、コマンド／アドレス／コントロールレジスタバッファ４００の左側用と右側用にそれぞれ１セット用意され、例えば左側の出力端子４０２は、データレジスタバッファ３００－０～３００－４に対して共通接続されている。これにより、生成されたコントロール信号は、データレジスタバッファ３００－０～３００－４に対して共通に供給される。

【００３１】

また、モジュール基板１１０には、コマンド／アドレス／コントロールレジスタバッファ４００から出力されたコマンド／アドレス信号やコントロール信号の反射を防止すべく、Ｘ方向における端部に終端抵抗Ｒ１が設けられている。さらに、コマンド／アドレス／コントロールレジスタバッファ４００に入力されるコマンド／アドレス／コントロール信号の反射波を吸収すべく、コマンド／アドレス／コントロールコネクタ１３０とコマンド／アドレス／コントロールレジスタバッファ４００とを接続するコマンド／アドレス／コントロール配線Ｌ３の経路上には、スタブ抵抗Ｒ２が挿入されている。コマンド／アドレス／コントロールレジスタバッファ４００の詳細については後述する。

【００３２】

図２は、本実施形態によるメモリモジュール１００を備える情報処理システム１０の構成を示すブロック図である。

【００３３】

図２に示す情報処理システム１０は、ＣＰＵ１１と、メモリコントロールハブ（ＭＣＨ）１２及びインターフェースコントロールハブ（ＩＣＨ）１３を介してＣＰＵ１１に接続された各種デバイスとを備えている。

【００３４】

ＭＣＨ１２には、図１に示したメモリモジュール１００及びグラフィックコントローラ１５が接続されている。図２に示すように、メモリモジュール１００とＭＣＨ１２はメモリシステム２０を構成し、ＭＣＨ１２はメモリモジュール１００に対するコントローラ機能を有している。すなわち、メモリコントローラとして機能する。

【００３５】

ＩＣＨ１３には、ストレージデバイス１６、Ｉ／Ｏデバイス１７、及びＢＩＯＳ（Basic Input/Output System）１８が接続されている。ストレージデバイス１６は、ハードディスクドライブなどの磁気ドライブや、ＣＤ－ＲＯＭドライブなどの光学ドライブなどが含まれる。また、Ｉ／Ｏデバイス１７は、キーボード、マウスなどの入力デバイスや、スピーカなどの出力デバイス、さらには、モデム、ＬＡＮなどのネットワークデバイスが含

まれる。B I O S 1 8 は、当該情報処理システム 1 0 に関する基本的な各種情報を記憶する一種のファームウェアであり、フラッシュメモリなどの不揮発性メモリによって構成される。

【0036】

図 3 は、メモリシステム 2 0 が形成された部分におけるマザーボードの構造を模式的に示す斜視図である。

【0037】

図 3 に示すように、マザーボード 2 1 にはメモリスロット 2 2 が設けられており、メモリスロット 2 2 にメモリモジュール 1 0 0 が挿入されている。一方、メモリコントローラ 1 2 は、マザーボード 2 1 に直接実装されている。既に説明したように、メモリモジュール 1 0 0 には複数のメモリチップ 2 0 0 が搭載されている。

10

【0038】

ここで、メモリコントローラ 1 2 とメモリチップ 2 0 0 との間の信号経路には、マザーボード 2 1 に形成された配線 2 3 と、モジュール基板 1 1 0 に形成されたデータ配線 L 0 及びコマンド／アドレス／コントロール配線 L 3 が存在する。しかしながら、図 1 を用いて説明したように、本実施形態によるメモリモジュール 1 0 0 では、データ配線 L 0 にデータレジスタバッファ 3 0 0 が接続されているため、その先の信号経路に存在するメモリチップ 2 0 0 の負荷容量はメモリコントローラ 1 2 からは見えない。同様に、コマンド／アドレス／コントロール配線 L 3 にはコマンド／アドレス／コントロールレジスタバッファ 4 0 0 が接続されているため、その先の信号経路に存在するメモリチップ 2 0 0 の負荷容量はメモリコントローラ 1 2 からは見えない。これにより、メモリコントローラ 1 2 とメモリモジュール 1 0 0 とを接続する信号経路の負荷容量が低減されるため、データ転送レートが高い場合であっても良好な信号品質を確保することが可能となる。

20

【0039】

尚、図 3 に示したメモリシステム 2 0 では、マザーボード 2 1 にメモリスロット 2 2 が 1 個だけ設けられているが、実際のメモリシステムでは、複数（例えば 4 個）のメモリスロットが設けられ、これらメモリスロットにそれぞれメモリモジュール 1 0 0 が装着される。複数のメモリモジュール 1 0 0 を装着すると信号経路の負荷容量はその分増大するが、本実施形態では、メモリモジュール 1 枚当たりの負荷容量が従来に比べて非常に小さいことから、複数のメモリモジュールを装着した場合であっても、高速なデータ転送を行うことが可能となる。

30

【0040】

次に、メモリチップ 2 0 0 の構成について説明する。

【0041】

図 4 は、メモリチップ 2 0 0 の構成を示すブロック図である。

【0042】

メモリチップ 2 0 0 は D R A M であり、図 4 に示すように、外部端子として、クロック端子 2 0 1、コマンド端子 2 0 2、コントロール端子 2 0 6、アドレス端子 2 0 3、データ入出力端子 2 0 4 及びデータストローブ端子 2 0 5 を備えている。このうち、クロック端子 2 0 1、コマンド端子 2 0 2 及び、コントロール端子 2 0 6、アドレス端子 2 0 3 については、図 1 に示したコマンド／アドレス／コントロール配線 L 5 を介してコマンド／アドレスレジスタバッファ 4 0 0 に接続されている。また、データ入出力端子 2 0 4 及びデータストローブ端子 2 0 5 については、図 1 に示したデータ配線 L 1 又は L 2 を介して、データレジスタバッファ 3 0 0 に接続されている。その他、電源端子なども備えられているが、これらについては図示を省略してある。

40

【0043】

クロック端子 2 0 1 はクロック信号 C K が供給される端子であり、供給されたクロック信号 C K は、内部クロック生成回路 2 1 1 に供給される。内部クロック生成回路 2 1 1 の出力である内部クロック I C L K は、各種内部回路に供給される。クロック信号 C K は D L L 回路 2 1 2 にも供給される。D L L 回路 2 1 2 は、内部クロック L C L K を生成し、

50

これをデータ入出力回路 2 1 3 及びデータストローブ信号入出力回路 2 1 4 に供給する役割を果たす。ここで、内部クロック L C L K は、クロック信号 C K に対して位相制御された信号であり、リードデータ D Q 及びデータストローブ信号 D Q S の位相がクロック信号 C K の位相と一致するよう、クロック信号 C K に対してやや位相が進められている。

【0044】

D L L 回路 2 1 2 は、モードレジスタ 2 1 5 へのセット内容に応じて使用の可否が選択される。つまり、モードレジスタ 2 1 5 に「D L L オンモード」がセットされている場合には、D L L 回路 2 1 2 は使用状態とされ、内部クロック L C L K はクロック信号 C K に対して位相制御される。一方、モードレジスタ 2 1 5 に「D L L オフモード」がセットされている場合には、D L L 回路 2 1 2 は不使用状態（クロック信号 C K はショートカット）とされ、内部クロック L C L K はクロック信号 C K に対して位相制御されなくなる。

【0045】

コマンド端子 2 0 2 は、ロウアドレスストローブ（R A S）信号、カラムアドレスストローブ（C A S）信号、ライトイネーブル（W E）信号などからなるコマンド信号 C M D が供給される端子である。コントロール端子 2 0 6 は、チップセレクト（C S）信号、クロックイネーブル（C K E）信号、オンダイターミネーション（O D T）信号などの、R a n k ごとのコントロール信号 C T R L が供給される端子である。チップセレクト（C S）信号により、コマンド発行対象となる D R A M が切り換えられ、D R A M 内のクロック系の活性化や、オンダイターミネーション制御がなされる。コマンド信号 C M D は、コマンドデコーダ 2 1 6 に供給される。コマンドデコーダ 2 1 6 は、内部クロック I C L K に同期して、コマンド信号の保持、デコード及びカウントなどを行うことによって、各種内部コマンド I C M D を生成する回路である。生成された内部コマンドは、モードレジスタ 2 1 5 を含む各種制御回路（図示せず）に供給される。また、コントロール信号 C T R L は、コントロール回路 2 1 8 に供給される。コントロール回路 2 1 8 は、コントロール信号 C T R L に基づいて O D T 信号などの内部コントロール信号を生成する回路である。

【0046】

アドレス端子 2 0 3 は、アドレス信号 A D D が供給される端子であり、供給されたアドレス信号 A D D はアドレスラッチ回路 2 1 7 に供給される。アドレスラッチ回路 2 1 7 は、内部クロック I C L K に同期してアドレス信号 A D D をラッチする回路である。アドレスラッチ回路 2 1 7 にラッチされたアドレス信号 A D D のうち、ロウアドレスについてはロウデコーダ 2 2 1 に供給され、カラムアドレスについてはカラムデコーダ 2 2 2 に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号 A D D はモードレジスタ 2 1 5 に供給され、これによってモードレジスタ 2 1 5 の内容が更新される。

【0047】

ロウデコーダ 2 2 1 は、メモリセルアレイ 2 3 0 に含まれるいずれかのワード線 W L を選択する回路である。メモリセルアレイ 2 3 0 内においては、複数のワード線 W L と複数のビット線 B L が交差しており、その交点にはメモリセル M C が配置されている（図 4 では、1 本のワード線 W L、1 本のビット線 B L 及び 1 個のメモリセル M C のみを示している）。ビット線 B L は、センスアンプ列 2 3 1 に含まれるいずれかのセンスアンプ S A に接続されている。センスアンプ S A の選択は、カラムデコーダ 2 2 2 によって行われる。

【0048】

選択されたセンスアンプ S A は、データ入出力回路 2 1 3 に接続される。データ入出力回路 2 1 3 には、内部クロック L C L K 及び内部データストローブ信号 P D Q S が供給されており、リード動作時には内部クロック L C L K に同期してリードデータを出力し、ライト動作時には内部データストローブ信号 P D Q S に同期してライトデータを取り込む。これにより、リード動作時には、メモリセルアレイ 2 3 0 から読み出されたリードデータがデータ入出力端子 2 0 4 から出力され、ライト動作時には、データ入出力端子 2 0 4 から受信したライトデータがメモリセルアレイ 2 3 0 に供給される。

10

20

30

40

50

【0049】

データストロブ端子205は、データストロブ信号DQSの入出力を行うための端子であり、データストロブ信号入出力回路214に接続されている。データストロブ信号入出力回路214は、上述した内部データストロブ信号PDQSを生成し、これをデータ入出力回路213に供給する。

【0050】

また、データ入出力回路213及びデータストロブ信号入出力回路214には、コントロール回路218の出力であるODT信号も供給されている。ODT信号が活性化すると、データ入出力回路213及びデータストロブ信号入出力回路214は、いずれも終端抵抗として機能する。

10

【0051】

以上がメモリチップ200の全体構成である。次に、データレジスタバッファ300の構成について説明する。

【0052】

図5は、データレジスタバッファ300の構成を示すブロック図である。

【0053】

図5に示すように、データレジスタバッファ300は、入出力端子340を介して供給されるデータDQを、入出力端子350を介して供給されるデータストロブ信号DQSでバッファリングするFIFO(Write)回路301と、入出力端子341又は342を介して供給されるデータDQを、入出力端子351又は352を介して供給されるデータストロブ信号DQSでバッファリングするFIFO(Read)回路302とを備えている。ストロブ生成回路376は、DLL回路310によって生成される内部クロックLCLKRに同期して、データコネクタ120へ供給すべきデータストロブ信号DQSを生成する。ストロブ生成回路374は、DLL回路310によって生成される内部クロックLCLKWに同期して、メモリチップ200へ供給すべきデータストロブ信号DQSを生成する。

20

【0054】

尚、図5に示すFIFO回路301、302は、1ビット分のデータの入出力を行う回路であり、実際には、入出力データ幅分のFIFO回路301、302を用意しておく。本実施形態では、1個のデータレジスタバッファ300が1バイト分のデータを入出力することから、8組のFIFO回路301、302が必要となる。

30

【0055】

入出力端子340、350はデータ配線L0を介してデータコネクタ120に接続される端子である。一方、入出力端子341、351はデータ配線L1を介してメモリチップ200に接続される端子であり、入出力端子342、352はデータ配線L2を介してメモリチップ200に接続される端子である。このように、データレジスタバッファ300は、メモリコントローラ12に接続される入出力端子の数(M個)と、メモリチップ200に接続される入出力端子の数(N個)の数が相違しており、本実施形態では、 $N=2M$ である。換言すれば、データ配線L1、L2の数がデータ配線L0の数の N/M 倍(本実施形態では2倍)とされている。

40

【0056】

FIFO(Write)回路301の出力動作タイミングは、DLL回路310によって生成される内部クロックLCLKWによって規定される。FIFO(Read)回路302の出力動作タイミングは、DLL回路310によって生成される内部クロックLCLKRによって規定される。DLL回路310は、コマンド/アドレス/コントロールレジスタバッファ400より供給されるクロック信号CKに基づいて内部クロックLCLKWやLCLKRを生成する回路であり、メモリチップ200に設けられたDLL回路212と同様の回路構成及び機能を有している。DLL回路310の使用の可否については、データレジスタコントロール回路320の設定内容によって選択される。また、DLL回路310の代わりにPLL回路を用いても構わない。

50

【0057】

データレジスタコントロール回路320は、コマンド／アドレス／コントロールレジスタバッファ400より供給されるコントロール信号DRCに基づいて、データレジスタバッファ300の動作を制御する回路である。具体的には、バッファ制御信号BCを生成することにより、入力バッファINB及び出力バッファOUTBの動作を制御するとともに、選択信号SELを生成することにより、セクタ331～334の動作を制御する。出力バッファOUTBの制御内容としては、例えば出力インピーダンスの調整やODT動作のオンオフ制御が挙げられる。ODT機能の使用の可否は、モードレジスタ321の設定内容によって選択される。

【0058】

また、データレジスタコントロール回路320は、フィードバック信号DRFを生成し、これをコマンド／アドレス／コントロールレジスタバッファ400に供給する。フィードバック信号DRFは、データレジスタバッファ300の現在のステータスを示す信号である。

【0059】

さらに、データレジスタコントロール回路320には、ライトレベリング回路322及びリードレベリング回路323が含まれている。ライトレベリング回路322はライトレベリング動作を行うための回路であり、リードレベリング回路323はリードレベリング動作を行うための回路である。ライトレベリング動作及びリードレベリング動作については後述する。

【0060】

セクタ333は、FIFO (Write) 回路301の出力であるデータDQを入出力端子341, 342のいずれか一方に供給する回路である。また、セクタ334は、入出力端子341, 342から入力されたデータDQを選択し、選択したデータDQをFIFO (Read) 回路302に供給する回路である。セクタ331, 332についても、それぞれセクタ333, 334と同様の機能を果たす。より具体的には、セクタ332は、入出力端子351, 352から入力されるデータストローブ信号DQSを選択する。選択されたデータストローブ信号DQSは、遅延回路372によりおおよそ90°位相を遅らせて、FIFO (Read) 回路302に入力トリガ信号として供給される。セクタ331は、ストローブ生成回路374から供給されるデータストローブ信号DQSを入出力端子351, 352のいずれかに供給する。ストローブ生成回路374により生成されるデータストローブ信号DQSは、遅延回路370により内部クロックCLKWよりもおおよそ90°位相が遅れる。これらセクタ331～334による上記の選択は、データレジスタコントロール回路320の出力である選択信号SELによって指定される。

【0061】

このように、データレジスタバッファ300は、データ配線L0を介して転送されるライトデータをバッファリングしてデータ配線L1, L2のいずれかへ出力するとともに、いずれかのデータ配線L1, L2を介して転送されるリードデータをバッファリングしてデータ配線L0に出力する役割を果たす。ここで、データレジスタバッファ300はデータのバッファリングを行っているだけであることから、データ配線L0を介して転送されるライトデータ及びリードデータの転送レートと、データ配線L1, L2を介して転送されるライトデータ及びリードデータの転送レートとは互いに等しい。

【0062】

このため、データレジスタバッファ300は、Fully Buffered型のメモリモジュールに用いられるAMBのような高価なチップではなく、比較的安価に提供されるチップを用いることが可能となる。

【0063】

以上がデータレジスタバッファ300の全体構成である。次に、コマンド／アドレス／コントロールレジスタバッファ400の構成について説明する。

【0064】

図6は、コマンド／アドレス／コントロールレジスタバッファ400の構成を示すブロック図である。

【0065】

図6に示すように、コマンド／アドレス／コントロールレジスタバッファ400は、コマンド／アドレス／コントロールコネクタ130に接続される入力端子401と、メモリチップ200に接続される出力端子402と、データレジスタバッファ300に接続される出力端子403及び入力端子404とを備えている。

【0066】

入力端子401からは、メモリコントローラ12より供給されるコマンド／アドレス／コントロール信号が入力される。入力されたコマンド／アドレス／コントロール信号のうち、コマンド信号CMD、アドレス信号ADD及びコントロール信号CTRLについてはレジスタ回路410に供給され、クロック信号CKについてはPLL回路420に供給される。レジスタ回路410は、コマンド信号CMD、アドレス信号ADD及びコントロール信号CTRLをバッファリングする回路であり、バッファリングされたコマンド信号CMD、アドレス信号ADD及びコントロール信号CTRLは、出力端子402を介してメモリチップ200に供給される。

【0067】

レジスタ回路410の動作タイミングは、PLL回路420によって生成される内部クロックLCLKCAによって規定される。PLL回路420は、メモリコントローラ12より供給されるクロック信号CKに基づいて内部クロックLCLKCAを生成する回路であり、メモリチップ200に設けられた回路212と同様の回路構成及び機能を有している。PLL回路420の使用の可否については、コントロール信号生成回路430に含まれるモードレジスタ431の設定内容によって選択される。また、PLL回路420の代わりにDLL回路を用いても構わない。

【0068】

コントロール信号生成回路430は、入力端子401を介して供給されるコマンド／アドレス／コントロール信号に基づいて、データレジスタ300に供給するコントロール信号DRCを生成する回路であり、その動作は内部クロックLCLKCAに同期して行われる。データレジスタ300用のコントロール信号DRCは、出力端子403を介してデータレジスタバッファ300に供給される。また、データレジスタ300用のコントロール信号生成回路430には、入力端子404を介してデータレジスタバッファ300よりフィードバック信号DRFが供給される。

【0069】

コントロール信号DRCには、データの送受信方向を示す信号、データレジスタバッファ300のL0側のODTタイミングを制御する信号、L1、L2側のODTタイミングを制御する信号、DLL回路のオン／オフ制御をする信号、データレジスタバッファ300のイネーブル／ディセーブル制御をする信号、データレジスタバッファ300のモード切り替えおよびモードレジスタセットを行う信号などが含まれている。これらの信号には、それぞれ別個の配線を割り当てても構わないし、複数の信号に1本の配線を割り当てても構わない。また、これらの信号をコマンドとしてデータレジスタバッファ300に送信しても構わない。

【0070】

以上がコマンド／アドレス／コントロールレジスタバッファ400の全体構成である。

【0071】

図7は、本実施形態によるメモリモジュール100の配線図である。

【0072】

図7に示すように、本実施形態では、データコネクタ120とメモリチップ200との間にデータレジスタバッファ300が介在している。データコネクタ120とデータレジスタバッファ300はデータ配線L0によって接続され、データレジスタバッファ300

とメモリチップ200はデータ配線L1又はL2によって接続されている。図7では、データ配線L0によって転送される複数のデータをDQ-Preと表記し、データ配線L1, L2によって転送されるデータをDQ-Postと表記している。同様に、データ配線L0によって転送されるデータストローブ信号をDQS-Preと表記し、データ配線L1, L2によって転送されるデータストローブ信号をDQS-Postと表記している。

【0073】

データDQ-PreとデータDQ-Postの内容は同一であるが、データレジスタバッファ300によってバッファリングされる分、両者のタイミングにはずれが生じる。データストローブ信号DQS-Preとデータストローブ信号DQS-Postとの関係についても同様である。このため、本実施形態では、メモリチップ200とデータレジスタバッファ300との間のタイミング調整と、データレジスタバッファ300とメモリコントローラとの間のタイミング調整とは、それぞれ別個に行う必要がある。これらタイミング調整の具体的な方法については後述する。

【0074】

既に説明したとおり、本実施形態では、1個のデータレジスタバッファ300に4個のメモリチップ200が割り当てられている。これら4個のメモリチップ200は、互いに異なるRankを構成するメモリチップであり、コントロール信号CTRLに含まれるチップセレクト(CS)信号やクロックイネーブル(CKE)信号によって排他的に活性化される。アドレス/コマンド信号ADD, CMDについては、これら4個のメモリチップ200に対して共通に供給される。

【0075】

メモリチップ200に供給されるアドレス信号ADD、コマンド信号CMD、コントロール信号CTRL及びクロック信号CKは、コマンド/アドレス/コントロールレジスタバッファ400より供給される。また、データレジスタバッファ300に供給されるコントロール信号DRCについても、コマンド/アドレス/コントロールレジスタバッファ400より供給される。

【0076】

図7に示すように、コマンド/アドレス/コントロールコネクタ130とコマンド/アドレス/コントロールレジスタバッファ400はコマンド/アドレス/コントロール配線L3によって接続され、コマンド/アドレス/コントロールレジスタバッファ400とデータレジスタバッファ300はコントロール配線L4によって接続され、コマンド/アドレス/コントロールレジスタバッファ400とメモリチップ200はコマンド/アドレス/コントロール配線L5によって接続されている。図7では、コマンド/アドレス/コントロール配線L3によって転送されるコマンド/アドレス信号をADD/CMD-Preと表記し、コマンド/アドレス/コントロール配線L5によって転送されるコマンド/アドレス信号をADD/CMD-Postと表記している。同様に、コマンド/アドレス/コントロール配線L3によって転送されるコントロール信号をCTRL-Preと表記し、コマンド/アドレス/コントロール配線L5によって転送されるコントロール信号をCTRL-Postと表記している。

【0077】

また、メモリチップ200及びデータレジスタバッファ300に供給されるクロック信号CKは、全てコマンド/アドレス/コントロールレジスタバッファ400より供給される。図7では、コマンド/アドレス/コントロール配線L3によって転送されるクロック信号をCK-Preと表記し、コントロール配線L4及びコマンド/アドレス/コントロール配線L5によって転送されるクロック信号をCK-Postと表記している。

【0078】

図8は、本実施形態によるメモリモジュールの1ビット分のデータ伝送経路を説明するための模式図であり、(a)はレイアウト図、(b)は配線図である。

【0079】

図8(a), (b)に示すように、1ビットのデータはデータコネクタ120の所定の

10

20

30

40

50

コネクタ 1 2 1 を介して授受される。コネクタ 1 2 1 は、1 本のデータ配線 L 0 を介してデータレジスタバッファ 3 0 0 に接続される。図 5 を用いて説明したように、本実施形態では、1 本のデータ配線 L 0 に対して 2 系統のデータ配線 L 1, L 2 が割り当てられている。具体的には、データ配線 L 1 については 2 個のメモリチップ 2 0 0-0, 2 0 0-1 に共通接続され、データ配線 L 2 については 2 個のメモリチップ 2 0 0-2, 2 0 0-3 に共通接続される。

【0080】

かかる構成により、1 本のデータ配線 L 1 又は L 2 の負荷容量が小さくなるとともに、分岐点の数が少なくなり、さらに、分岐点からの配線長も短くなることから、データ配線 L 1, L 2 上を伝送されるデータの信号品質が高められる。具体的には、1 本のデータ配線 L 1 に接続される端子は、メモリチップ 2 0 0-0, 2 0 0-1 のデータ入出力端子と、データレジスタバッファ 3 0 0 のデータ出力端子の合計 3 端子だけである。しかも、図 8 (a) に示すように、メモリチップ 2 0 0-0 と 2 0 0-1 はモジュール基板 1 1 0 を介して互いに対向する搭載に配置されていることから、分岐点 P をメモリチップ 2 0 0-0 と 2 0 0-1 によって挟まれた領域に配置すれば、分岐点からメモリチップ 2 0 0-0, 2 0 0-1 までの配線長が非常に短くなる。さらに、これらメモリチップ 2 0 0-0 ~ 2 0 0-3 は互いに近接した位置に搭載されており、これによりメモリチップ間における遠近端差についても最小限に抑えられている。

【0081】

図 9 は、データ配線 L 1, L 2 を 1 本に纏めた場合における 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【0082】

図 9 (a), (b) に示すように、データ配線 L 1, L 2 を 1 本に纏めた場合、データレジスタバッファ 3 0 0 と 4 個のメモリチップ 2 0 0-0 ~ 2 0 0-3 が 1 本のデータ配線 L 1 によって共通接続されることになる。このため、図 8 に示す構成と比べると、1 本のデータ配線 L 1 の負荷容量が大きくなるとともに、分岐点の数が多くなり、さらに、分岐点からの配線長も長くなる。具体的には、1 本のデータ配線 L 1 に接続される端子は、メモリチップ 2 0 0-0 ~ 2 0 0-3 のデータ入出力端子と、データレジスタバッファ 3 0 0 のデータ出力端子の合計 5 端子となる。しかも、分岐点 P 1 で 2 分岐し、分岐点 P 2 にてさらに 2 分岐する構成となることから、分岐点 P 1 からメモリチップ 2 0 0-0 ~ 2 0 0-3 までの配線長が長くなる。

【0083】

これに対し、本実施形態においては、図 8 (a), (b) に示したように 2 系統のデータ配線 L 1, L 2 を用いていることから、モジュール基板内におけるデータの信号品質を高めることが可能となる。但し、2 系統のデータ配線 L 1, L 2 を用いると、メモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 とを接続する配線の本数が 2 倍に増加する。しかしながら、本実施形態では、図 1 を用いて説明したように、同じグループ G を構成するメモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 がモジュール基板 1 1 0 の短辺方向に並べて配置されていることから、配線スペースには十分な余裕がある。このため、短辺方向に延びる配線の本数が 2 倍に増えても問題なく配線を施すことが可能である。

【0084】

一方、Fully Buffered型のメモリモジュールのように、モジュール基板の中央にデータを集中させるようなレイアウトである場合、モジュール基板の長辺方向に長いデータ配線を多数形成する必要がある。このようなレイアウトにおいては、本実施形態のレイアウトと比べてデータ配線の総延長が大幅に長くなるため、データ配線の本数を 2 倍とするためには、モジュール基板を構成する絶縁層の積層数を大幅に増やすなどの対策が必要となる。これに対し、本実施形態では上記の問題が生じないことから、モジュール基板 1 1 0 を構成する絶縁層の積層数を増やすことなく、メモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 とを接続する配線本数を 2 倍とすることが可能となる。

【0085】

図10は、2本のデータ配線L1, L2を用いたインターリーブ動作を説明するためのタイミング図である。

【0086】

図10はRank0~Rank3からの連続したリード動作を示しており、バースト長が4ビット(BL=4)であるケース(或いは、バーストチョップによってバースト動作を4ビットで停止させたケース)を示している。図10に示す例では、クロック信号CKに同期した時刻T0, T2, T4, T6にてRank0, 2, 1, 3の順にリードコマンドが発行されている。これらリードコマンドに応答して、所定のCASレイテンシ(本例ではCL=12)が経過した後、4ビットのリードデータDQがバースト出力される。

【0087】

その結果、時刻T12~T14の期間は、Rank0のメモリチップ200からデータ配線L1を用いたデータ転送が行われ、時刻T14~T16の期間は、Rank2のメモリチップ200からデータ配線L2を用いたデータ転送が行われ、時刻T16~T18の期間は、Rank1のメモリチップ200からデータ配線L1を用いたデータ転送が行われ、時刻T18~T20の期間は、Rank3のメモリチップ200からデータ配線L2を用いたデータ転送が行われる。つまり、データ配線L1, L2が交互に使用される。

【0088】

このようにして次々と転送されるリードデータは、データレジスタバッファ300に供給され、データレジスタバッファ300に含まれるFIFO回路によってバッファリングされた後、データ配線L0へ出力される。図10に示す例では、データレジスタバッファ300にリードデータが入力されてから、1クロックサイクル遅れてリードデータが出力されている。

【0089】

このように、本実施形態では、2本のデータ配線L1, L2を用いたインターリーブ動作が可能であることから、複数のメモリチップに対するリード動作を途切れることなく連続的に実行することが可能となる。これにより、データレジスタバッファ300から出力されるリードデータも途切れることなくメモリコントローラへ供給することができ、バスの利用効率を高めることが可能となる。尚、本実施形態においてデータ配線L1とL2が同時に使用されることはないが、これらデータ配線L1, L2を1本に纏めると、異なるメモリチップから出力されるリードデータ間に1クロックサイクル以上の時間を空ける必要が生じる。これに対し、本実施形態では、2本のデータ配線L1, L2を交互に使用していることから、異なるメモリチップから出力されるリードデータ間に隙間を設ける必要が無い。

【0090】

尚、図10においてはリード動作を例に説明したが、ライト動作についても同様のインターリーブ動作が可能である。

【0091】

以下、本実施形態によるメモリモジュール100の動作について、より詳細に説明する。

【0092】

図11は、本実施形態によるメモリモジュール100のリード動作を説明するためのタイミング図である。

【0093】

リード動作においては、メモリコントローラ12からアクティブコマンドACT及びリードコマンドreadがこの順に発行される。図11に示す例では、クロック信号CKに同期した時刻T-5にてアクティブコマンドACTがコマンド/アドレス/コントロールコネクタ130に到達し、時刻T0にてリードコマンドreadがコマンド/アドレス/コントロールコネクタ130に到達している。

【0094】

コマンド/アドレス/コントロールコネクタ130に到達したこれらコマンドACT,

10

20

30

40

50

read は、コマンド／アドレス／コントロールレジスタバッファ 400 に入力される。ここで、これらコマンド ACT, read がコマンド／アドレス／コントロールコネクタ 130 に到達するタイミングと、これらコマンド ACT, read がコマンド／アドレス／コントロールレジスタバッファ 400 に入力されるタイミングとの間には所定の時間差 (Flight Time) が生じる。

【0095】

コマンド／アドレス／コントロールレジスタバッファ 400 は、受信したコマンド ACT, read を図 6 に示したレジスタ回路 410 にて、入力クロック信号によってレジスタリングした後、メモリチップ 200 に出力する。この時、クロック信号 CK 出力については追加の 1/2 クロックサイクル相当量の遅延を持たせることにより、コマンド ACT, read 出力との同期を図る。また、コマンド／アドレス／コントロールレジスタバッファ 400 は、リードコマンド Read をコントロール信号 DRC の一部としてデータレジスタバッファ 300 にも供給する。

10

【0096】

そして、メモリチップ 200 はコマンド ACT, read を受け、実際にリード動作を開始する。ここで、コマンド ACT, read がコマンド／アドレス／コントロールレジスタバッファ 400 から出力されるタイミングと、コマンド ACT, read がメモリチップ 200 に入力されるタイミングとの間には所定の時間差 (Flight Time) が生じる。

【0097】

図 11 に示す例では CL = 5 に設定されていることから、メモリチップ 200 はリードコマンド read を受けてから 5 クロックサイクル後である時刻 T5 からリードデータ DQ のバースト出力を開始する。図 11 に示す例では、バースト長は 8 ビット (BL = 8) である。メモリチップ 200 からバースト出力されるリードデータ DQ 及びデータストロープ信号 DQS は、データレジスタバッファ 300 に供給される。

20

【0098】

データレジスタバッファ 300 は、メモリチップ 200 から出力されるリードデータ DQ を、一定位相量 (たとえば、おおむね、90° の位相差分) だけ遅延させたデータストロープ信号 DQS で FIFO 回路 302 に取り込む。ここで、リードデータ DQ 及びデータストロープ信号 DQS がメモリチップ 200 から出力されるタイミングと、リードデータ DQ 及びデータストロープ信号 DQS がデータレジスタバッファ 300 に入力されるタイミングとの間には所定の時間差 (Flight Time) が生じる。

30

【0099】

そして、データレジスタバッファ 300 は、FIFO 回路 302 を用いて内部クロック LCLKR に同期したリタイミングを行い、CL = 6 に変換して出力する。これにより、メモリコントローラは、正しくリードデータを受信することが可能となる。

【0100】

以上が本実施形態によるメモリモジュール 100 のリード動作である。次に、ライト動作について説明する。

【0101】

図 12 は、本実施形態によるメモリモジュール 100 のライト動作を説明するためのタイミング図である。

40

【0102】

ライト動作においては、メモリコントローラからアクティブコマンド ACT 及びライトコマンド Write がこの順に発行されるとともに、ライトコマンド Write を発行してからライトレイテンシ (WL) が経過した後、ライトデータをバースト出力する。図 12 に示す例では、クロック信号 CK に同期した時刻 T-5 にてアクティブコマンド ACT がコマンド／アドレス／コントロールコネクタ 130 に到達し、時刻 T0 にてライトコマンド Write がコマンド／アドレス／コントロールコネクタ 130 に到達している。また、本例では WL = 4 に設定されており、データコネクタ 120 には時刻 T4 からライトデータが入力される。

50

【0103】

コマンドの流れは図11に示したリード動作と同様であることから、重複する説明は省略する。一方、データコネクタ120に到達したこれらライトデータDQは、データレジスタバッファ300に入力される。ここで、ライトコマンドがコマンド／アドレス／コントロールコネクタ130に到達するタイミングと、ライトコマンド（Direction Control）がデータレジスタバッファ300に入力されるタイミングとの間には所定の時間差（Flight Time）が生じる。これを考慮して、メモリコントローラは、このFlight Time分だけ遅れてライトデータDQを出力する。

【0104】

データレジスタバッファ300は、受け付けたライトデータDQを、一定位相量（たとえば、おおむね、90°の位相差分）だけ遅延させたデータストロブ信号DQSでFIFO回路301に取り込む。そして、データレジスタバッファ300は、FIFO回路301を用いて内部クロックLCLKWに同期したリタイミングを行い、WL=5に変換して出力する。既に説明したとおり、データレジスタバッファ300からメモリチップ200へのライトデータの送信は、2本のデータ配線L1、L2のいずれか一方を用いて行われる。いずれのデータ配線を用いるかは、指定されたRankによって決まる。

【0105】

そして、メモリチップ200は、データレジスタバッファ300からバースト出力されるライトデータDQを受信し、これをメモリセルアレイに書き込む。ここで、ライトデータDQ及びデータストロブ信号DQSがデータレジスタバッファ300から出力されるタイミングと、ライトデータDQ及びデータストロブ信号DQSがメモリチップ200に入力されるタイミングとの間には所定の時間差（Flight Time）が生じる。これを考慮して、データレジスタバッファ300は、このFlight Time分だけ早くライトデータDQを出力する。これにより、メモリチップ200は正しくライトデータDQを受信することが可能となる。

【0106】

次に、本実施形態によるメモリモジュール100の起動時における初期化動作について説明する。

【0107】

図13は、メモリモジュール100の起動時における初期化動作を説明するためのフローチャートである。

【0108】

まず、電源が投入されると（ステップS1）、メモリチップ200、データレジスタバッファ300及びコマンド／アドレス／コントロールレジスタバッファ400は、それぞれ内部でリセット信号を活性化し、内部回路をリセットする（ステップS2）。これにより、メモリチップ200、データレジスタバッファ300及びコマンド／アドレス／コントロールレジスタバッファ400は、それぞれ初期化動作を実行する。初期化動作にはモードレジスタの設定動作が含まれており、これにより、メモリチップ200、データレジスタバッファ300及びコマンド／アドレス／コントロールレジスタバッファ400にそれぞれ含まれるモードレジスタ215、321、431に所定のモード情報が設定される（ステップS3）。

【0109】

モードレジスタに対する設定動作が完了すると、次に、データレジスタバッファ300とメモリチップ200との間のレベリング動作が行われる（ステップS4）。レベリング動作とは、信号の伝搬時間を考慮してライトタイミングやリードのタイミングを調整する動作である。ライトタイミングの調整はライトレベリング動作によって行われ、リードタイミングの調整はリードレベリング動作によって行われる。

【0110】

データレジスタバッファ300とメモリチップ200との間のレベリング動作が完了すると、次に、メモリコントローラとデータレジスタバッファ300との間のレベリング動

10

20

30

40

50

作が行われる（ステップ S 5）。

【0111】

図 1 4 は、データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のライトレベリング動作を説明するためのタイミング図であり、（a）はレベリング開始時におけるタイミング図、（b）レベリング終了時におけるタイミング図である。この動作は、図 5 に示したライトレベリング回路 3 2 2 によって行われる。

【0112】

データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のライトレベリング動作においては、まず、図 1 4 （a）に示すように、データレジスタバッファ 3 0 0 からクロック信号 C K に同期したデータストローブ信号 D Q S を出力する。クロック信号 C K はコマンド／アドレス／コントロールレジスタバッファ 4 0 0 から供給される信号であり、既に説明したとおり、メモリチップ 2 0 0 にも供給される。ここで、データストローブ信号 D Q S がメモリチップ 2 0 0 に伝達されるまでにはある程度の伝搬時間が必要であることから、メモリチップ 2 0 0 側においては、クロック信号 C K とデータストローブ信号 D Q S の入力タイミングは必ずしも一致しない。

【0113】

図 1 4 （a）に示す例では、メモリチップ 2 0 0 側において、データストローブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ハイレベル」であるケースを示している。これに応答して、メモリチップ 2 0 0 はデータ入出力端子 2 0 4 から「ハイレベル」の信号 D Q を出力する。かかる信号 D Q は、データレジスタバッファ 3 0 0 に入力され、これにより、データレジスタバッファ 3 0 0 は、クロック信号 C K とデータストローブ信号 D Q S の位相がどの方向にずれているのかを知ることができる。

【0114】

データレジスタバッファ 3 0 0 のライトレベリング回路 3 2 2 は、位相のズレ方向に基づいて L C L K W を変位させ、データストローブ信号 D Q S の出力タイミングを変化させる。図 1 4 （a）に示す例では、メモリチップ 2 0 0 に到達するクロック信号 C K の立ち上がりエッジに比べて、データストローブ信号 D Q S の到達が遅れていることから、データレジスタバッファ 3 0 0 は、データストローブ信号 D Q S の出力タイミングを早める。

【0115】

そして、上記の動作を繰り返すと、図 1 4 （b）に示すように、メモリチップ 2 0 0 側において、データストローブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ローレベル」に変化する。これによりライトレベリング動作が終了し、データレジスタバッファ 3 0 0 は、入力されるクロック信号 C K を基準として、データストローブ信号 D Q S の出力すべきタイミングを知ることができる。ライトレベリング動作の結果は、データレジスタバッファ 3 0 0 内のデータレジスタコントロール回路 3 2 0 に記憶される。このようにしてライトレベリング動作が完了すると、メモリチップ 2 0 0 に入力されるクロック信号 C K とデータストローブ信号 D Q S の位相は実質的に一致することになる。

【0116】

図 1 5 は、データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のリードレベリング動作を説明するためのタイミング図である。この動作は、図 5 に示したリードレベリング回路 3 2 3 によって行われる。

【0117】

データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 との間のリードレベリング動作においては、図 1 5 に示すように、コマンド／アドレス／コントロールレジスタバッファ 4 0 0 からクロック信号 C K を出力するとともに、アクティブコマンド A C T 及びリードコマンド R e a d を発行する。クロック信号 C K はメモリチップ 2 0 0 及びデータレジスタバッファ 3 0 0 に供給され、コマンド A C T, r e a d はメモリチップ 2 0 0 に供給される。また、リードコマンド R e a d については、コントロール信号 D R C の一部としてデータレジスタバッファ 3 0 0 にも供給される。

【0118】

図15に示す例では、クロック信号CKに同期した時刻T-5にてアクティブコマンドACTが発行され、時刻T0にてリードコマンドReadが発行されている。つまり、RAS-CASディレイ (tRCD) は5クロックサイクルである。

【0119】

メモリチップ200は、リードコマンドReadを受けて実際にリード動作を実行する。図15に示す例では、CASレイテンシが5クロックサイクル (CL=5) に設定されており、したがって、時刻T5からリードデータDQの出力が開始される。リードレベリング時におけるリードデータDQは、たとえば、ハイレベルとローレベルが交互に繰り返される信号などである。

10

【0120】

メモリチップ200から出力されたリードデータDQは、データレジスタバッファ300に到達し、これにより、データレジスタバッファ300は、コントロール信号DRCの一部として入力されたリードコマンドReadの入力タイミングから、リードデータDQが入力されるまでの時間Aを知ることができる。かかる時間はメモリチップ200ごとに測定され、データレジスタバッファ300内のデータレジスタコントロール回路320に記憶され、入力バッファ回路INBの活性化タイミングの調整等に使われる。図15には、リードコマンドReadの入力からリードデータDQの入力までの時間Aが短いケース (メモリチップ200-0とデータレジスタバッファ300-0との間) と、長いケース (メモリチップ200-19とデータレジスタバッファ300-4との間) の2つを示している。

20

【0121】

図16は、メモリコントローラ12とデータレジスタバッファ300との間のライトレベリング動作を説明するためのタイミング図であり、(a)はレベリング開始時におけるタイミング図、(b)レベリング終了時におけるタイミング図である。この動作は、図2に示したライトレベリング回路12aによって行われる。

【0122】

メモリコントローラ12とデータレジスタバッファ300との間のライトレベリング動作においては、まず、図16(a)に示すように、メモリコントローラ12からクロック信号CKとデータストローブ信号DQSを出力する。このうち、クロック信号CKについてはコマンド/アドレス/コントロールレジスタバッファ400を介してデータレジスタバッファ300に供給され、データストローブ信号DQSについてはデータレジスタバッファ300に直接供給される。したがって、データレジスタバッファ300側においては、クロック信号CKとデータストローブ信号DQSの入力タイミングは必ずしも一致しない。

30

【0123】

図16(a)に示す例では、データレジスタバッファ300側において、データストローブ信号DQSの立ち上がりエッジにおけるクロック信号CKの論理レベルが「ローレベル」であるケースを示している。これに応答して、データレジスタバッファ300は入出力端子340から「ローレベル」の信号DQを出力する。かかる信号DQは、メモリコントローラ12に供給され、これにより、メモリコントローラ12はクロック信号CKとデータストローブ信号DQSの位相がどの方向にずれているのかを知ることができる。

40

【0124】

メモリコントローラ12は、位相のズレ方向に基づいてデータストローブ信号DQSの出力タイミングを変化させる。図16(a)に示す例では、データレジスタバッファ300に到達するクロック信号CKの立ち上がりエッジに比べて、データストローブ信号DQSの到達が進んでいることから、メモリコントローラ12は、データストローブ信号DQSの出力タイミングを遅らせる。

【0125】

そして、上記の動作を繰り返すと、図16(b)に示すように、データレジスタバッファ

50

ァ 3 0 0 側において、データストローブ信号 D Q S の立ち上がりエッジにおけるクロック信号 C K の論理レベルが「ハイレベル」に変化する。これによりライトレベリング動作が終了し、メモリコントローラ 1 2 は、自ら出力するクロック信号 C K を基準として、データストローブ信号 D Q S の出力すべきタイミングを知ることができる。ライトレベリング動作の結果は、メモリコントローラ 1 2 の内部回路に記憶される。このようにしてライトレベリング動作が完了すると、データレジスタバッファ 3 0 0 に入力されるクロック信号 C K とデータストローブ信号 D Q S の位相は実質的に一致することになる。

【 0 1 2 6 】

図 1 7 は、メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 との間のリードレベリング動作を説明するためのタイミング図である。この動作は、図 2 に示したリードレベリング回路 1 2 b によって行われる。

10

【 0 1 2 7 】

メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 との間のリードレベリング動作においては、図 1 7 に示すように、メモリコントローラ 1 2 からクロック信号 C K を出力するとともに、アクティブコマンド A C T 及びリードコマンド R e a d を発行する。クロック信号 C K はデータレジスタバッファ 3 0 0 に供給され、コマンド A C T , r e a d は、コマンド／アドレス／コントロールレジスタバッファ 4 0 0 を介し、コントロール信号 D R C の一部としてデータレジスタバッファ 3 0 0 に供給される。

【 0 1 2 8 】

図 1 7 に示す例では、クロック信号 C K に同期した時刻 T - 5 にてアクティブコマンド A C T が発行され、時刻 T 0 にてリードコマンド R e a d が発行されている。つまり、R A S - C A S デレイ (t R C D) は 5 クロックサイクルである。

20

【 0 1 2 9 】

データレジスタバッファ 3 0 0 は、リードコマンド R e a d を受けて、あらかじめ定められた C A S レイテンシが経過した後、ダミーデータ D Q を出力する。ダミーデータ D Q は、メモリチップ 2 0 0 から読み出されたリードデータではなく、データレジスタバッファ 3 0 0 内のデータレジスタコントロール回路 3 2 0 によって自動生成されたデータである。図 1 7 に示す例では、C A S レイテンシが 6 クロックサイクル (C L = 6) に設定されており、したがって、時刻 T 6 からダミーデータ D Q の出力が開始される。ダミーデータ D Q は、たとえば、ハイレベルとローレベルが交互に繰り返される信号などである。

30

【 0 1 3 0 】

データレジスタバッファ 3 0 0 から出力されたダミーデータ D Q は、メモリコントローラ 1 2 に到達し、これにより、メモリコントローラ 1 2 はリードコマンド R e a d の発行タイミングから、リードデータ D Q が入力されるまでの時間 B を知ることができる。かかる時間はデータレジスタバッファ 3 0 0 ごとに測定され、メモリコントローラ 1 2 の内部回路に記憶され、入力バッファ回路 (図示せず) の活性化タイミングの調整等に使われる。図 1 7 には、リードコマンド R e a d の発行からリードデータ D Q の入力までの時間 B が短いケース (メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 - 0 との間) と、長いケース (メモリコントローラ 1 2 とデータレジスタバッファ 3 0 0 - 4 との間) の 2 つを示している。

40

【 0 1 3 1 】

以上が本実施形態によるメモリモジュール 1 0 0 の起動時における初期化動作である。次に、本発明によるメモリモジュール 1 0 0 と D L L 回路及び O D T 機能との関係について説明する。

【 0 1 3 2 】

既に説明したように、D L L 回路とは、外部クロック信号に対して位相制御された内部クロック信号を生成する回路であり、リードデータ D Q 及びデータストローブ信号 D Q S の位相をクロック信号 C K の位相と一致させるために用いられる。D D R 3 型の D R A M のような近年の高速メモリにおいては、D L L 回路の使用はほぼ必須であり、D L L 回路を使用しなければ正常なデータ転送を行うことが困難となる。その一方で、D L L 回路は

50

消費電力が比較的大きいという問題を有している。

【0133】

一方、ODT機能とは、終端抵抗をメモリチップの内部に持たせる機能であり、反射による信号品質の劣化を防止するために用いられる。通常のメモリモジュールは、1本のデータ配線に多数のメモリチップが共通接続されることから、近年の高速メモリにおいては、ODT機能の使用はほぼ必須であり、ODT機能をオフにすると信号波形が著しく劣化する。その一方で、ODT機能をオンにすると、消費電力が増大するという問題を有している。また、ODT動作は、データの入出力動作と同期している必要があるため、基本的に、DLL回路の使用が前提となる。

【0134】

図18は、DLL回路を使用せずにODT動作を行う場合の問題点を説明するためのタイミング図である。

【0135】

図18に示す例では、時刻T0の直前にODT信号をアクティブに変化させている。これに応答して、メモリチップ200の内部回路は、時刻T0のクロック信号CKに同期してODT機能をオンさせる。しかしながら、ODTインピーダンス（データ入出力端子204, 205のインピーダンス）は直ちに所望の値とはならず、 $t_{AONDFmin}$ が経過しないとハイインピーダンス状態（ RTT_OFF ）から変化しない。本例では、 $t_{AONDFmin}$ は約3クロックサイクルである。

【0136】

$t_{AONDFmin}$ が経過した後は、電源電圧やチップ温度の条件次第でハイインピーダンス状態ではなくなるが、条件によってはまだ所望のインピーダンス RTT_ON にはならない。最悪の条件下では、所望のインピーダンス RTT_ON が得られるのは、時刻T0から $t_{AONDFmax}$ が経過した後であり、本例では $t_{AONDFmax}$ は約8クロックサイクルである。

【0137】

したがって、ODTインピーダンスが不定状態となる時刻T3から、ODTインピーダンスが所望の値 RTT となる次のサイクルである時刻T9までの期間は、インピーダンスが不定な期間である。このため、この期間は他のメモリチップにアクセスできないロスサイクルとなる。このように、DLL回路を使用せずにODT動作を行うと、ODT機能のオン／オフの切り替えが非同期となることから、インピーダンスの不定期間が長くなり、その間のリードライト動作が妨げられる。

【0138】

このようなロスサイクルの問題を考慮すれば、DLL回路を使用しない場合にはODT機能も使用しないことが望ましいが、上述の通り、通常のメモリモジュールにおいてODT機能はほぼ必須であり、これをオフにすることは困難である。

【0139】

しかしながら、本実施形態によるメモリモジュール100では、メモリチップ200に接続されたデータ配線L1, L2の負荷容量が非常に小さいことから、DDR3型のDRAMのような高速メモリを用いた場合であっても、ODT動作をオフ状態で使用することができる。しかも、メモリチップ200とデータレジスタバッファ300との距離が非常に短いことから、DLL回路を用いた同期制御を行わなくても、正しくデータ転送を行うことができる。すなわち、ODT機能及びDLL回路ともオフ状態とすることができるので、消費電力を大幅に低減することが可能となる。さらには、メモリチップ200からODT回路及びDLL回路を排除することもでき、この場合には、チップ面積を縮小することも可能となる。

【0140】

次に、ODT機能及びDLL回路の使用の有無による動作タイミングの違いについて説明する。

【0141】

10

20

30

40

50

図19は、ODT機能及びDLL回路ともオン状態とした場合のリードtoリード動作を説明するためのタイミング図である。

【0142】

図19に示すように、ODT機能及びDLL回路ともオン状態でのリード動作タイミングは、図11に示した動作タイミングと基本的に同じである。図19に示す例では、時刻T0においてRank0に対してリードコマンドReadが発行され、時刻T6においてRank1に対してリードコマンドReadが発行されている。Rank0のメモリチップ200とRank1のメモリチップ200は、データ配線L1に共通接続されているため、相互に影響を及ぼし合う。

【0143】

このため、Rank0のメモリチップ200からリードデータDQがバースト出力される時刻T5～T9の期間においては、Rank1のメモリチップ200のデータ入出力端子204は、ODT機能によってインピーダンスがRtt_Nomに設定される。同様に、Rank1のメモリチップ200からリードデータDQがバースト出力される時刻T11～T15の期間においては、Rank0のメモリチップ200のデータ入出力端子204は、ODT機能によってインピーダンスがRtt_Nomに設定される。

【0144】

このように、一方のメモリチップ200がリードデータDQを出力している間は、他方のメモリチップ200がODT動作を行うため、信号の反射が防止される。但し、上述の通り、DLL回路及びODT機能の使用による消費電流が発生する。

【0145】

図20は、ODT機能及びDLL回路ともオフ状態とした場合のリードtoリード動作を説明するためのタイミング図である。

【0146】

図20に示すように、DLL回路をオフ状態とすると、リードデータDQの出力タイミングはクロック信号CKに対して非同期となる。しかしながら、本実施形態では、メモリチップ200とデータレジスタバッファ300との距離が非常に近いことから、データレジスタバッファ300は非同期に出力されたリードデータDQを正しく受信することが可能である。また、Rank0のメモリチップとRank1のメモリチップは、データ配線L1のほぼ末端に配置されていることから、非動作側のメモリチップ200による信号の反射の影響も非常に少ない。このようにして非同期に出力されたリードデータDQは、データレジスタバッファ300においてリタイミングされ、メモリコントローラ12へ出力される。

【0147】

このように、本実施形態においては、メモリチップ200のODT機能及びDLL回路をいずれもオフ状態にした場合であっても、これらをオン状態とした場合と同様のリード動作を行うことが可能となる。むしろ、DLL回路によるタイミング調整が行われない分、リードデータDQの出力タイミングが早くなるため、より高速なアクセスが実現できる可能性がある。

【0148】

図21は、ODT機能及びDLL回路ともオン状態とした場合のライトtoライト動作を説明するためのタイミング図である。

【0149】

図21に示すように、ODT機能及びDLL回路ともオン状態でのライト動作タイミングは、図12に示した動作タイミングと基本的に同じである。図21に示す例では、時刻T0においてRank0に対してライトコマンドWriteが発行され、時刻T6においてRank1に対してライトコマンドWriteが発行されている。上述の通り、Rank0のメモリチップ200とRank1のメモリチップ200は、データ配線L1に共通接続されているため、相互に影響を及ぼし合う。

【0150】

このため、R a n k 0 のメモリチップ 2 0 0 へライトデータ D Q がバースト入力される時刻 T 5 ~ T 9 の期間においては、R a n k 1 のメモリチップ 2 0 0 のデータ入出力端子 2 0 4 は、O D T 機能によってインピーダンスが R t t _ N o m に設定される。同様に、R a n k 1 のメモリチップ 2 0 0 へライトデータ D Q がバースト入力される時刻 T 1 1 ~ T 1 5 の期間においては、R a n k 0 のメモリチップ 2 0 0 のデータ入出力端子 2 0 4 は、O D T 機能によってインピーダンスが R t t _ N o m に設定される。

【0151】

このように、一方のメモリチップ 2 0 0 がライトデータ D Q を受け付けている間は、他方のメモリチップ 2 0 0 が O D T 動作を行うため、信号の反射が防止される。但し、上述の通り、D L L 回路及び O D T 機能の使用による消費電流が発生する。

10

【0152】

図 2 2 は、O D T 機能及び D L L 回路ともオフ状態とした場合のライト t o ライト動作を説明するためのタイミング図である。

【0153】

図 2 2 に示すように、O D T 機能をオフにすると、非動作側のメモリチップ 2 0 0 のデータ入出力端子 2 0 4 はハイインピーダンス状態となり、ここで信号の反射が生じる。しかしながら、本実施形態では、メモリチップ 2 0 0 とデータレジスタバッファ 3 0 0 との距離が非常に近く、且つ、R a n k 0 のメモリチップと R a n k 1 のメモリチップは、データ配線 L 1 のほぼ末端に配置されていることから、非動作側のメモリチップ 2 0 0 による信号の反射の影響は非常に少ない。したがって、各メモリチップ 2 0 0 は、ライトデータ D Q を正しく受信することが可能となる。

20

【0154】

このように、本実施形態においては、メモリチップ 2 0 0 の O D T 機能及び D L L 回路をいずれもオフ状態、つまり、D L L 回路及び O D T 機能による消費電流をゼロにした場合であっても、これらをオン状態とした場合と同様のライト動作を行うことが可能となる。むしろ、O D T インピーダンスの切り替え動作が不要であることから、ライトデータ D Q の入力タイミングを早めることも可能となる。実際、図 2 2 に示す動作タイミングでは、図 2 1 に示す動作タイミングよりも、ライト t o ライト動作が 1 クロックサイクルだけ高速化されている。

【0155】

30

以下、本発明のいくつかの変形例について説明する。

【0156】

図 2 3 は、変形例によるメモリモジュールの 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【0157】

図 2 3 (a) , (b) に示す例は、上述した実施形態とは異なり、データ配線 L 1 , L 2 にそれぞれメモリチップ 2 0 0 が 1 個だけ接続されている。具体的には、データ配線 L 1 にはメモリチップ 2 0 0 - 0 だけが接続され、データ配線 L 2 にはメモリチップ 2 0 0 - 1 だけが接続されている。本発明はこのような態様も包含する。すなわち、データレジスタバッファ 3 0 0 とメモリチップ 2 0 0 とを接続する 1 本のデータ配線 (L 1 又は L 2) に割り当てられたメモリチップ 2 0 0 の数については特に限定されない。但し、データ配線 L 1 , L 2 の負荷容量低減、分岐点の削減、配線長の短縮などを行うためには、1 本のデータ配線に接続されるメモリチップ 2 0 0 の数は 2 個以下とすることが好ましい。

40

【0158】

図 2 4 は、他の変形例によるメモリモジュールの 1 ビット分のデータ伝送経路を説明するための模式図であり、(a) はレイアウト図、(b) は配線図である。

【0159】

図 2 4 (a) , (b) に示す例は、上述した実施形態とは異なり、1 本のデータ配線 L 0 に対して 4 系統のデータ配線 L 1 a , L 1 b , L 2 a , L 2 b が割り当てられている。具体的には、データ配線 L 1 a にはメモリチップ 2 0 0 - 0 だけが接続され、データ配線

50

L 1 bにはメモリチップ200-1だけが接続され、データ配線L 2 aにはメモリチップ200-2だけが接続され、データ配線L 2 bにはメモリチップ200-3だけが接続されている。本発明はこのような態様も包含する。すなわち、1個のデータレジスタバッファ300に割り当てられるメモリチップ200の数は、2個以上であれば特に限定されない。

【0160】

図25は、さらに他の変形例によるメモリモジュールの構成を示す模式図である。

【0161】

図25に示すメモリモジュールは、同じグループを構成する複数のメモリチップ200と1個のデータレジスタバッファ300がサブモジュール500に集積された構成を有している。このようなサブモジュール500を用いることにより、データ配線L 1, L 2をサブモジュール基板上に形成することができるため、モジュール基板110の配線密度が緩和される。また、モジュール基板110への部品搭載点数が大幅に少なくなることから、モジュール基板110への実装工程が簡素化される。

【0162】

図26は、サブモジュール500の構成を示す平面図である。また、図27は、図26に示すY 1-Y 1'線に沿った断面図である。尚、図26においては、裏面に形成された外部端子を透過的に示している。

【0163】

図26及び図27に示すサブモジュール500は、サブモジュール基板510と、サブモジュール基板510に搭載された2個のメモリチップ200と、1個のデータレジスタバッファ300と、サブモジュール基板510の裏面に形成された外部端子（ソルダボール）520によって構成されている。メモリチップ200とデータレジスタバッファ300は、封止材530によって封止されている。

【0164】

外部端子520は、データの授受を行うDQボール521と、データレジスタ300に供給すべきコントロール信号の受信を行うControlボール522と、コマンド/アドレス信号の受信を行うCAボール523からなる。DQボール521とControlボール522は、データレジスタバッファ300の搭載領域近傍における裏面に配置されている。一方、CAボール523は、メモリチップ200搭載領域近傍における裏面に配置されている。

【0165】

DQボール521及びControlボール522は、それぞれサブモジュール基板510に形成された内部配線511, 512を介してデータレジスタバッファ300に接続される。また、CAボール523は、サブモジュール基板510に形成された内部配線513を介してメモリチップ200に接続される。

【0166】

このようなサブモジュール500を用いれば、メモリチップ200とデータレジスタバッファ300を接続するデータ配線L 1, L 2をモジュール基板110に形成する必要がなくなる。このため、モジュール基板110の配線自由度が向上する。

【0167】

図28は、サブモジュール500の別の構成を示す平面図である。また、図29は、図28に示すY 2-Y 2'線に沿った断面図である。尚、図28においては、裏面に形成された外部端子を透過的に示している。

【0168】

図28及び図29に示すサブモジュール500は、図26及び図27に示したサブモジュール500と基本的に同じ構成を有しているが、サブモジュール基板510に8個のメモリチップ200が搭載されている点において相違する。これら8個のメモリチップ200は2個ずつ積層されており、これら4つの積層体がサブモジュール基板510上に平面的に搭載されている。このようなサブモジュール500を用いれば、メモリモジュールの

記憶容量を高めることが可能となる。

【0169】

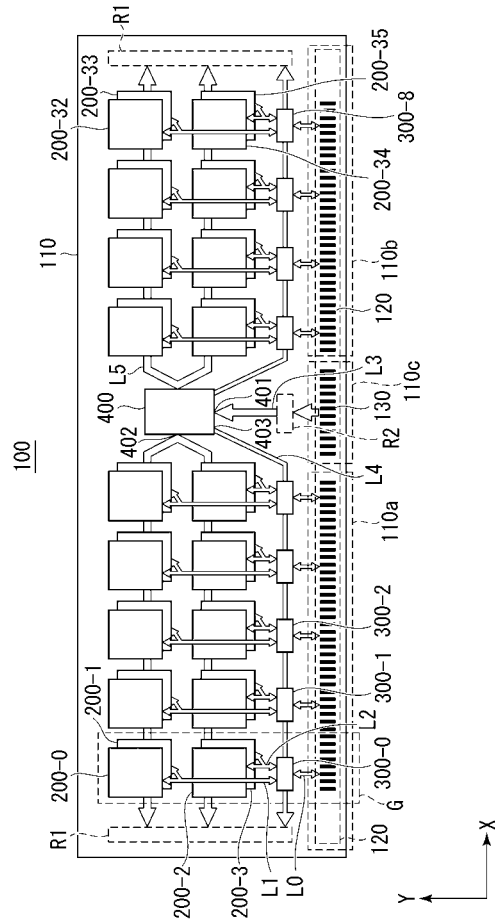
以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。例えば、上記の実施例では、メモリチップ200として内部にDLL回路を有するものについて説明したが、内部にDLL回路を備えていないメモリチップを用いることができる。この場合、データレジスタバッファ300が有するDLL回路を用いて、入出力のタイミング調整を行なう。

【符号の説明】

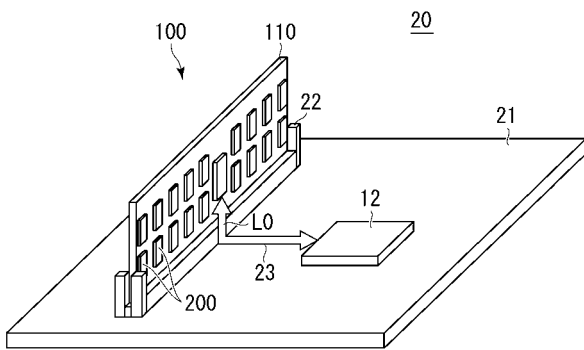
【0170】

10	情報処理システム	
12	メモリコントローラ	
12a	ライトレベリング回路	
12b	リードレベリング回路	
20	メモリシステム	
21	マザーボード	
22	メモリスロット	
100	メモリモジュール	
110	モジュール基板	
120	データコネクタ	20
130	コマンド／アドレス／コントロールコネクタ	
200	メモリチップ	
300	データレジスタバッファ	
301～304	FIFO回路	
320	データレジスタコントロール回路	
322	ライトレベリング回路	
323	リードレベリング回路	
331～334	セレクタ	
340～342, 350～352	入出力端子	
400	コマンド／アドレス／コントロールレジスタバッファ	30
401, 404	入力端子	
402, 403	出力端子	
430	コントロール信号生成回路	
500	サブモジュール	
L0	データ配線（第1のデータ配線）	
L1, L2	データ配線（第2のデータ配線）	
L3, L5	コマンド／アドレス／コントロール配線	
L4	コントロール配線	

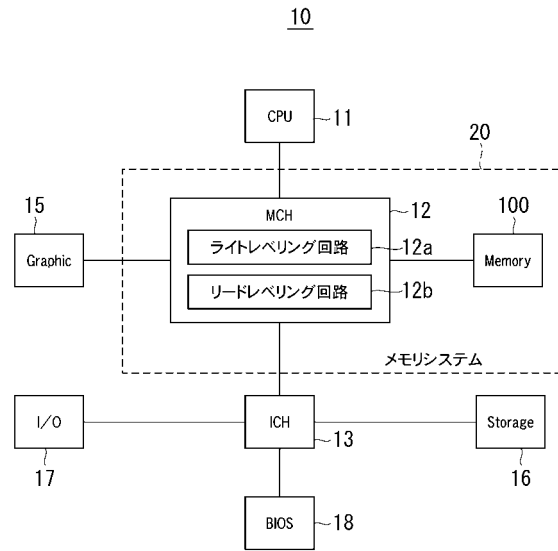
【図 1】



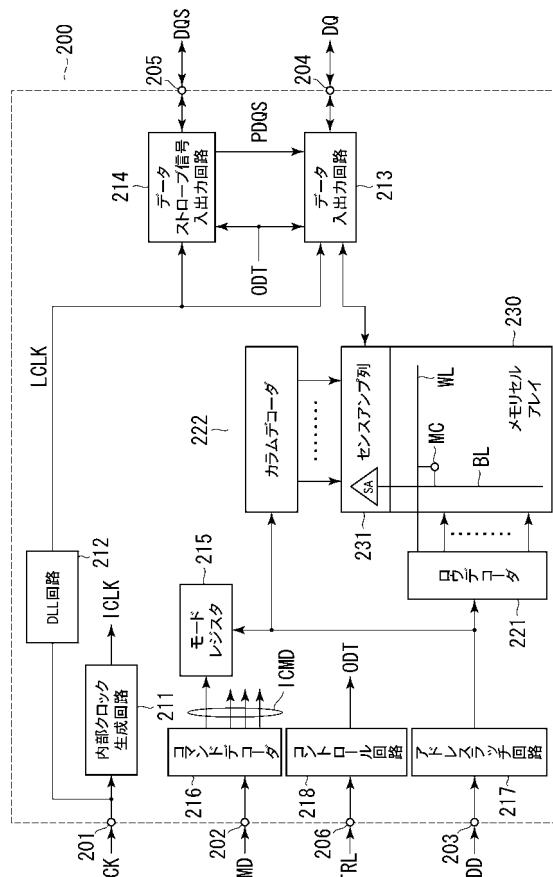
【図 3】



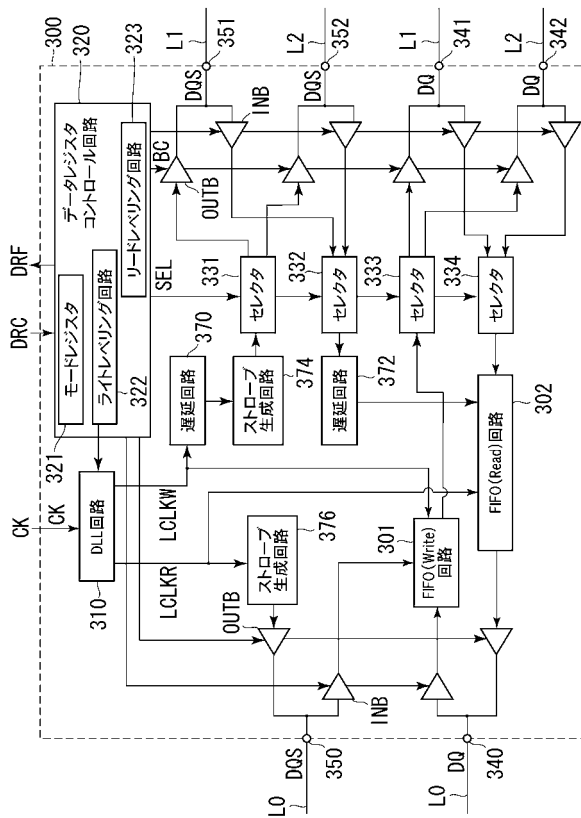
【図 2】



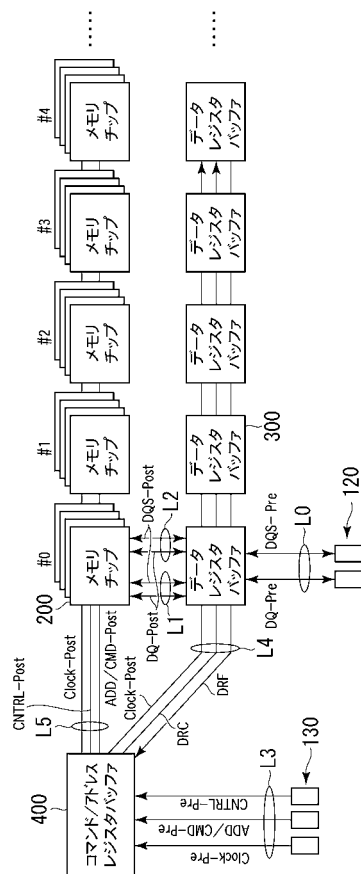
【図 4】



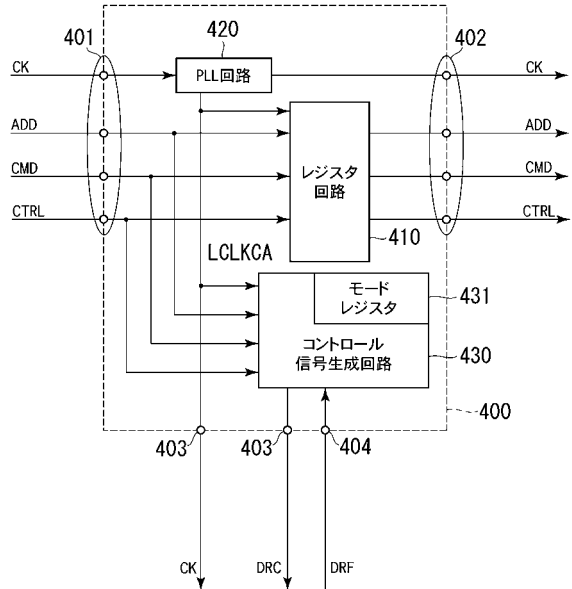
【図 5】



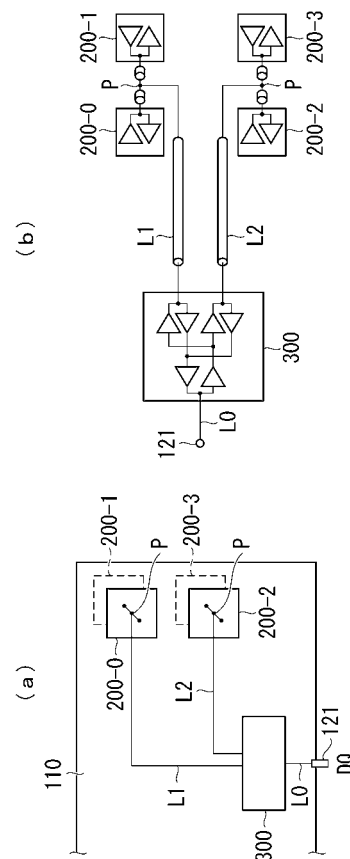
【図 7】



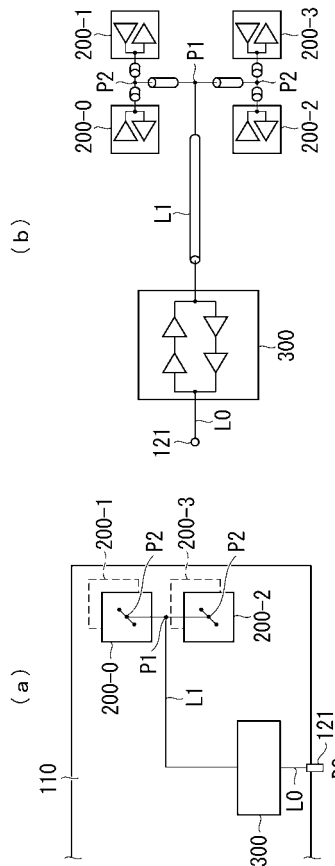
【図 6】



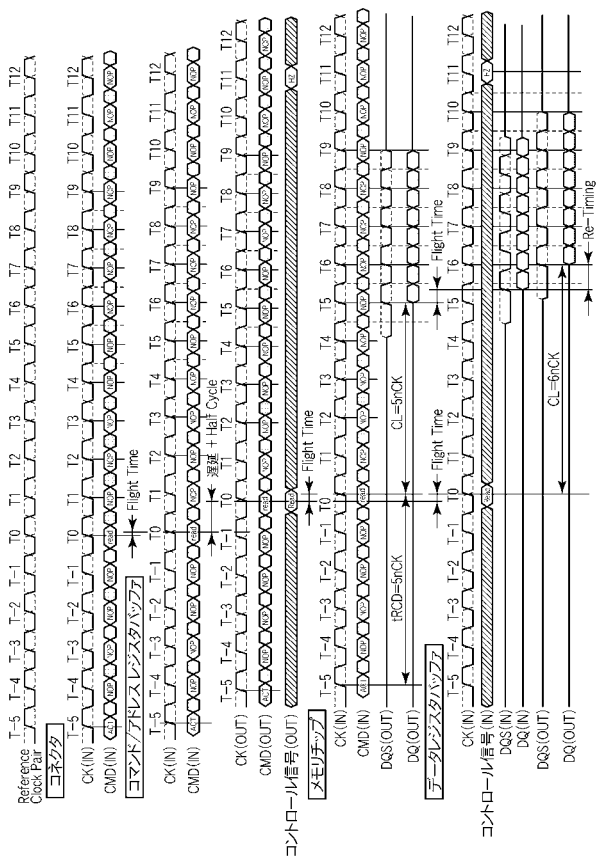
【図 8】



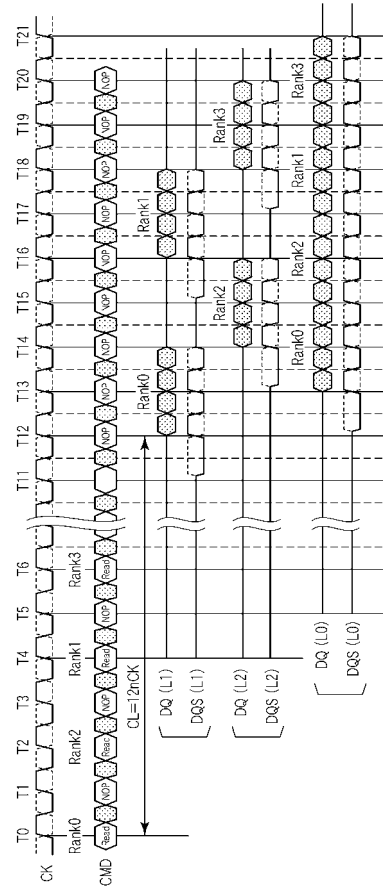
【図 9】



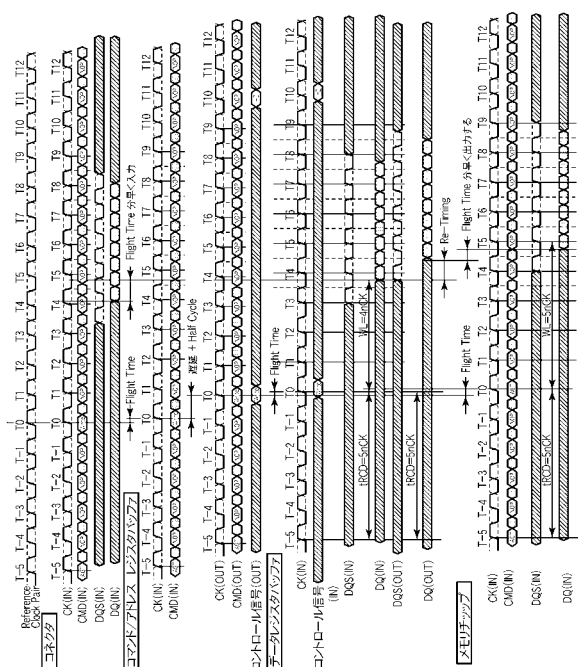
【図 11】



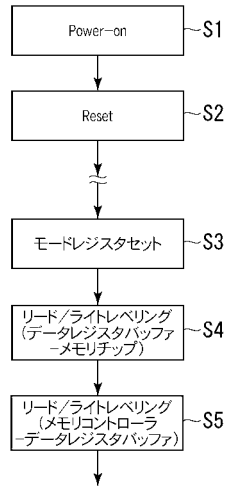
【図 10】



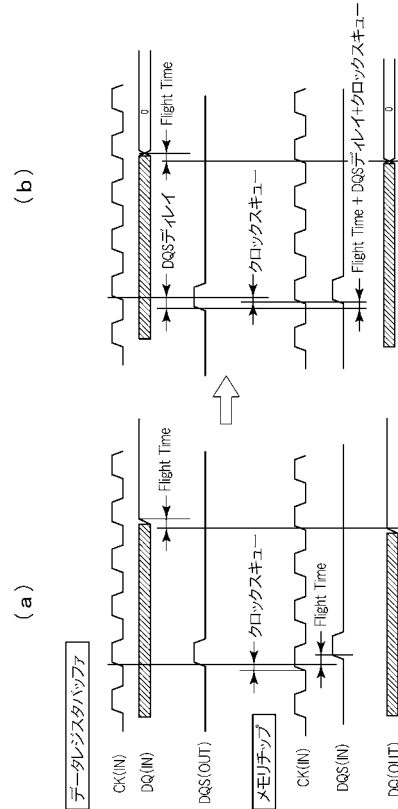
【図 12】



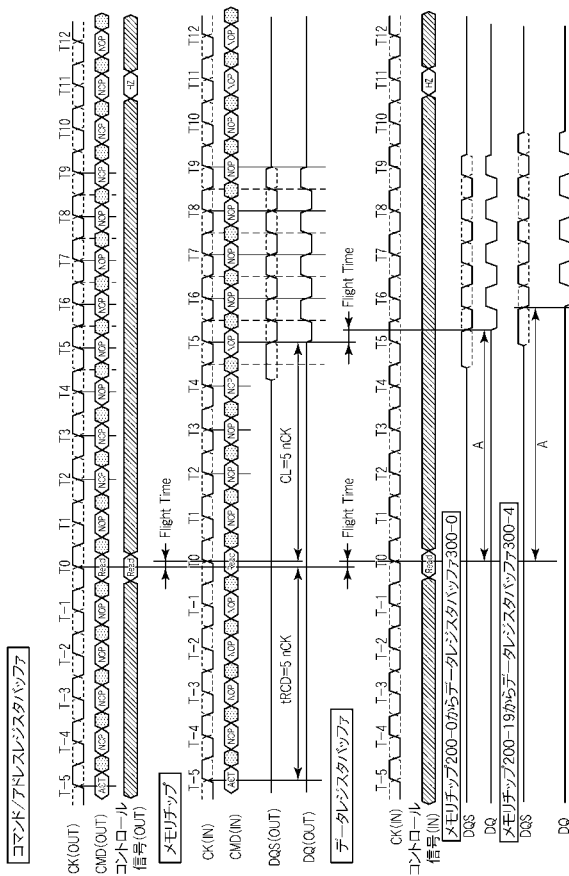
【 図 1 3 】



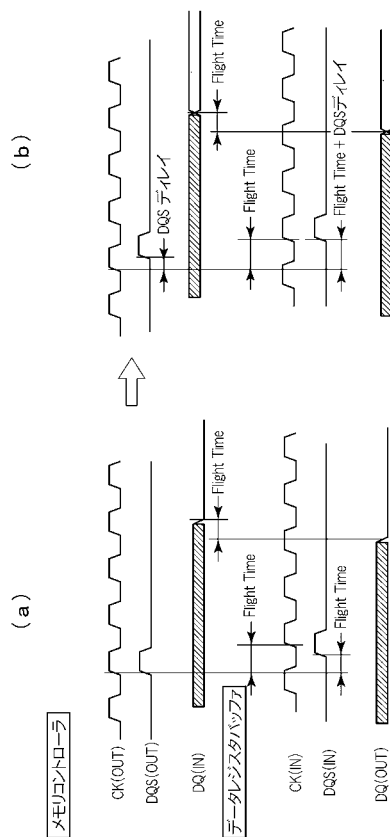
【 図 1 4 】



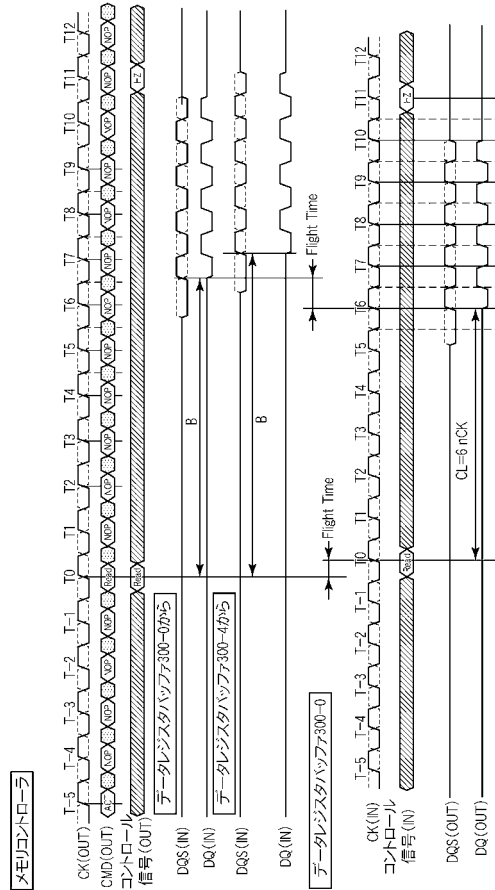
【图 1 5】



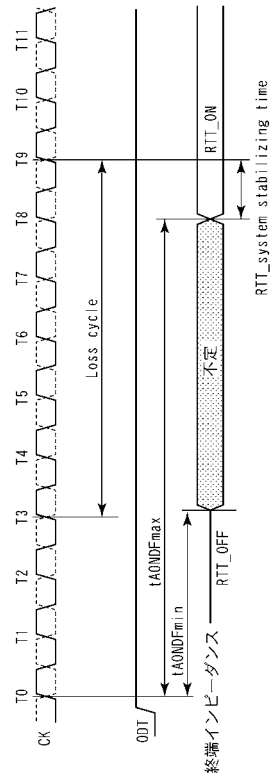
【 図 1 6 】



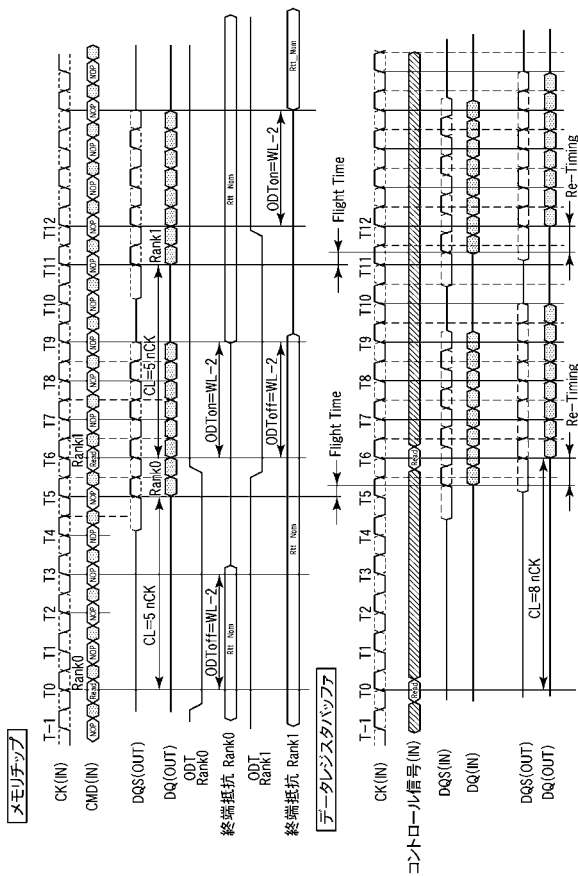
【図 17】



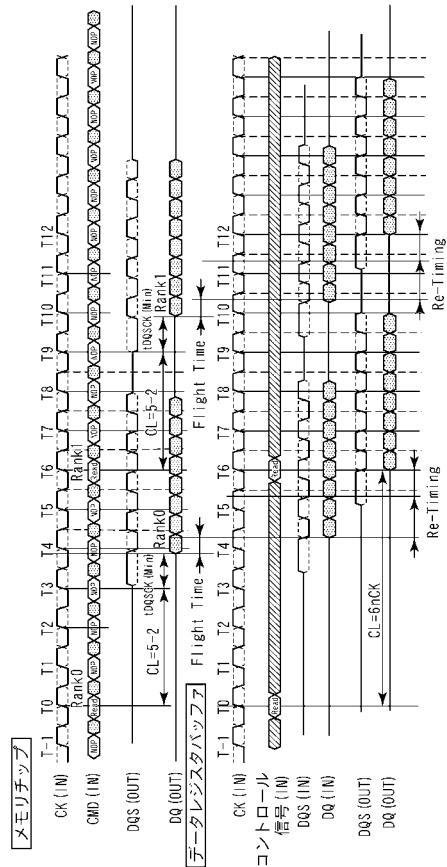
【図 18】



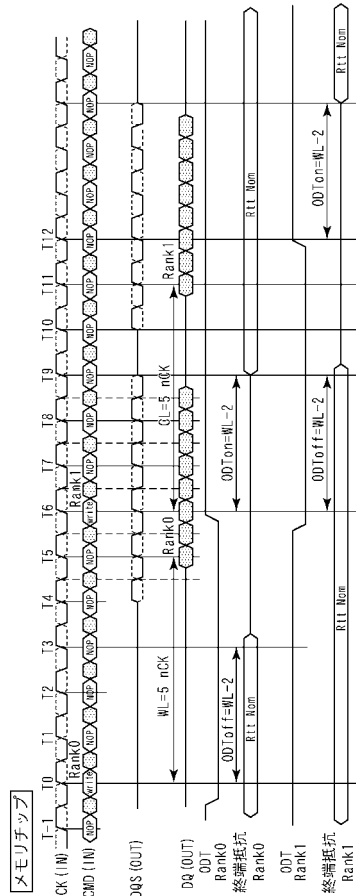
【図 19】



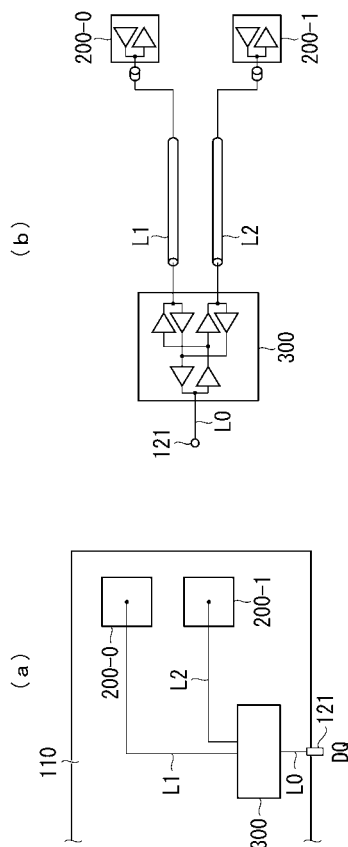
【図 20】



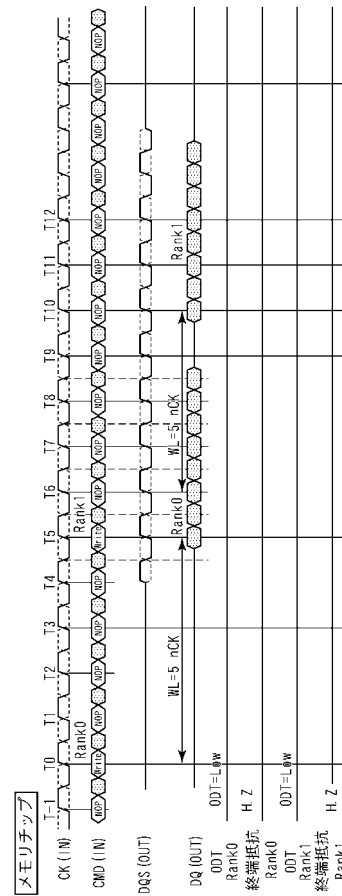
【図 2 1】



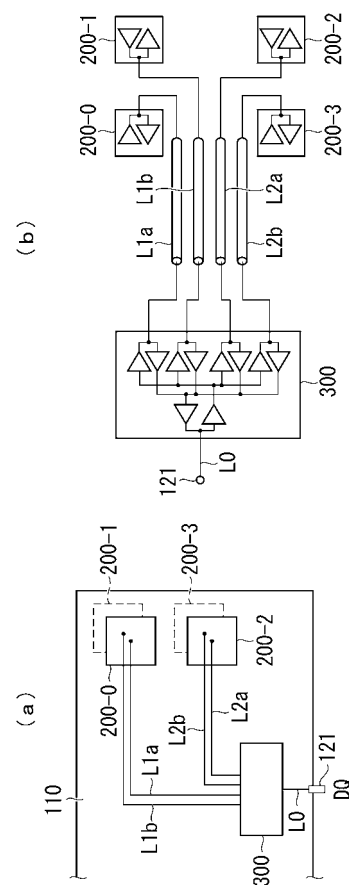
【図 2 3】



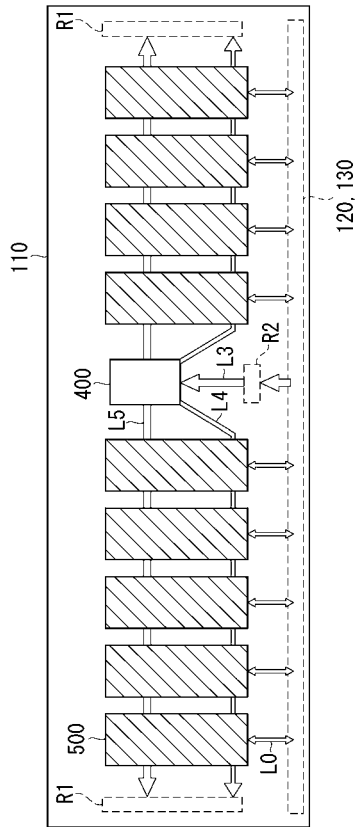
【図 2 2】



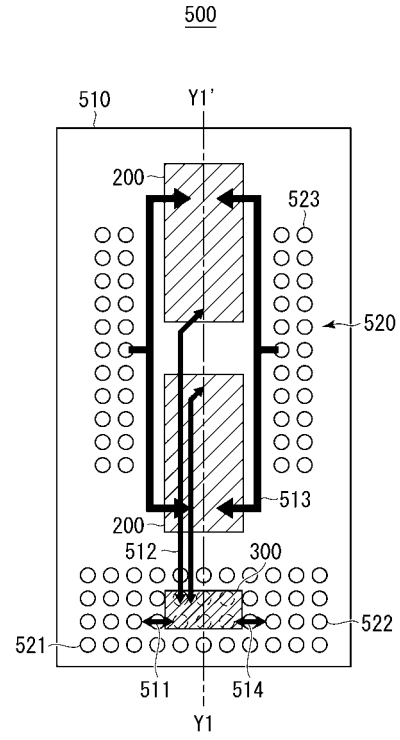
【図 2 4】



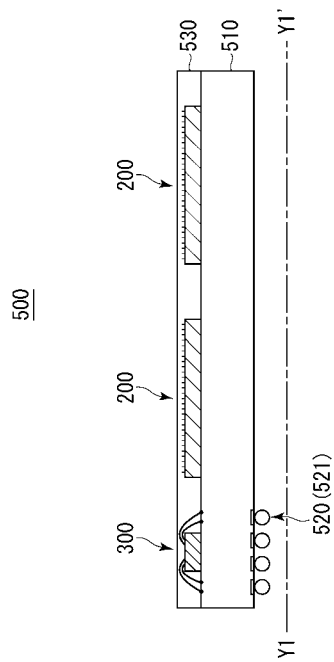
【図 25】



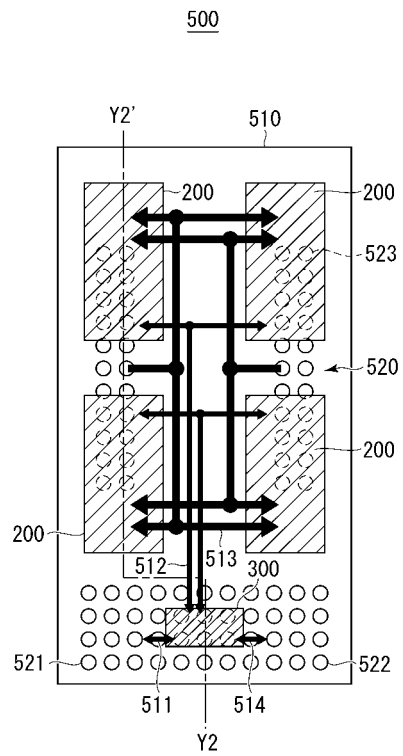
【図 26】



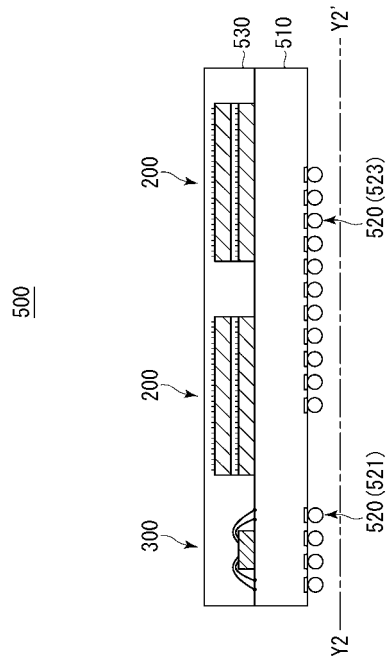
【図 27】



【図 28】



【図 29】



【手続補正書】

【提出日】平成22年6月28日(2010.6.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の方向に延在する長辺及び第 2 の方向に延在する短辺を有するモジュール基板と、
前記長辺に沿って前記モジュール基板に設けられた複数のデータコネクタと、
前記モジュール基板に搭載され、前記第 1 及び第 2 の方向に配列され、それぞれが前記
第 2 の方向に配列された少なくとも二つのメモリチップを含む複数の組に分類された複数の
メモリチップと、

前記モジュール基板に搭載され、前記第 1 の方向に配列され、それぞれが前記複数の組
の対応する一つに割り当てられ、それぞれが対応する組を構成する複数のメモリチップに
格納されたデータの通信を行う複数のデータレジスタバッファと、

前記モジュール基板に形成され、それぞれが前記複数のデータコネクタの対応する一つ
と前記複数のデータレジスタバッファの対応する一つとを接続するために前記第 2 の方向
に延在する複数の第 1 のデータ配線と、

前記モジュール基板に形成され、それぞれが前記複数のデータレジスタバッファの対応
する一つと前記複数のメモリチップの対応する一つとを接続するために前記第 2 の方向に
延在する複数の第 2 のデータ配線と、を備え、

前記複数の組のうちの一つと、該組に対応する前記複数のデータレジスタバッファの一
つ、所定数のデータコネクタ、所定数の第 1 のデータ配線及び所定数の第 2 のデータ配線

とが前記第 2 の方向に配列されて 1 つのグループを構成し、それにより複数のグループが構成され、

前記複数のグループが前記第 1 の方向に配列される、ことを特徴とするメモリモジュール。

【請求項 2】

前記複数のデータレジスタバッファのそれぞれは、前記対応する所定数のデータコネクタを介して転送されるライトデータをバッファリングし、前記バッファリングされたライトデータに対応する組を構成する複数のメモリチップへ出力するとともに、前記対応する組を構成する複数のメモリチップから転送されるリードデータをバッファリングし、前記バッファリングされたリードデータを前記対応する所定数のデータコネクタに出力する、ことを特徴とする請求項 1 に記載のメモリモジュール。

【請求項 3】

前記複数の第 1 のデータ配線を介して前記複数のデータコネクタと前記複数のデータレジスタバッファ間で転送されるライトデータ及びリードデータの第 1 の転送レートと、前記複数の第 2 のデータ配線を介して前記複数のデータレジスタバッファと前記複数のメモリチップ間で転送されるライトデータ及びリードデータの第 2 の転送レートとが、互いに等しい、ことを特徴とする請求項 1 または 2 に記載のメモリモジュール。

【請求項 4】

前記複数のデータレジスタバッファのそれぞれは、1 バイトの前記ライトデータ及び 1 バイトの前記リードデータを処理する機能を有する、ことを特徴とする請求項 2 又は 3 に記載のメモリモジュール。

【請求項 5】

前記複数の組のそれぞれと前記複数のデータレジスタバッファの対応する一つとの間の位置関係は、前記複数のグループすべてにおいて実質的に同一である、ことを特徴とする請求項 1 乃至 4 のいずれか一項に記載のメモリモジュール。

【請求項 6】

前記複数のデータレジスタバッファのそれぞれと前記対応する所定数のデータコネクタとの間の位置関係は、前記複数のグループすべてにおいて実質的に同一である、ことを特徴とする請求項 1 乃至 4 のいずれか一項に記載のメモリモジュール。

【請求項 7】

前記複数の組のそれぞれと、前記複数のデータレジスタバッファの前記対応する一つと、前記対応する所定数のデータコネクタとの間の位置関係は、前記複数のグループのすべてにおいて実質的に同一である、ことを特徴とする請求項 5 又は 6 に記載のメモリモジュール。

【請求項 8】

前記複数のデータレジスタバッファは、前記対応する所定数のデータコネクタ及び対応する組の間に搭載される、ことを特徴とする請求項 1 乃至 7 のいずれか一項に記載のメモリモジュール。

【請求項 9】

前記複数のグループのそれぞれに含まれる前記複数の第 1 のデータ配線の配線長は互いに等しい、ことを特徴とする請求項 1 乃至 8 のいずれか一項に記載のメモリモジュール。

【請求項 10】

前記複数のグループのそれぞれに含まれる前記複数の第 2 のデータ配線の配線長は互いに等しい、ことを特徴とする請求項 9 に記載のメモリモジュール。

【請求項 11】

前記複数の組のそれぞれは、それぞれが少なくとも二つのメモリチップを含む第 1 と第 2 のサブセットを有し、

同じグループに含まれる前記複数の第 2 のデータ配線は、前記第 1 のサブセットに接続された複数の第 3 のデータ配線及び前記第 2 のサブセットに接続された複数の第 4 のデータ配線を含む、ことを特徴とする請求項 1 乃至 7 のいずれか一項に記載のメモリモジュール。

ル。

【請求項 1 2】

前記第 1 のサブセットは、前記モジュール基板の第 1 の面に配置され、
前記第 2 のサブセットは、前記モジュール基盤の第 2 の面に配置される、ことを特徴と
する請求項 1 1 に記載のメモリモジュール。

【請求項 1 3】

前記第 3 と第 4 のデータ配線の配線長は互いに等しい、ことを特徴とする請求項 1 2 に
記載のメモリモジュール。

【請求項 1 4】

前記モジュール基板に前記長辺に沿って設けられた複数のコマンド／アドレス／コント
ロールコネクタと、

前記モジュール基板に搭載され、入力端子、第 1 の出力端子及び第 2 の出力端子を含む
コマンド／アドレス／コントロールレジスタバッファと、をさらに備え、

前記入力端子は、前記複数のコマンド／アドレス／コントロールコネクタに接続され、

前記第 1 の出力端子は、前記複数のメモリチップに接続され、

前記第 2 の出力端子は、前記複数のデータレジスタバッファに接続されている、ことを
特徴とする請求項 1 乃至 1 0 のいずれか一項に記載のメモリモジュール。

【請求項 1 5】

前記コマンド／アドレス／コントロールレジスタバッファは、前記複数のコマンド／ア
ドレス／コントロールコネクタを介して供給される複数のコマンド／アドレス／コント
ロール信号をバッファリングするレジスタ回路と、前記複数のコマンド／アドレス／コント
ロールコネクタを介して供給される前記複数のコマンド／アドレス／コントロール信号に
基づいてコントロール信号を生成するコントロール信号生成回路とを有しており、

前記レジスタ回路によってバッファリングされた前記複数のコマンド／アドレス／コン
トロール信号が前記第 1 の出力端子に供給され、

前記コントロール信号生成回路によって生成された前記コントロール信号が前記第 2 の
出力端子に供給される、ことを特徴とする請求項 1 4 に記載のメモリモジュール。

【請求項 1 6】

前記第 1 の出力端子と前記第 2 の出力端子は、前記複数のグループに共通に接続される
、ことを特徴とする請求項 1 5 に記載のメモリモジュール。

【請求項 1 7】

前記モジュール基板は前記第 1 の方向に配列された第 1 及び第 2 の領域を有し、

前記複数のグループの一部分は前記第 1 の領域に配置され、前記複数のグループの残り
の部分は前記第 2 の領域に配置され、

前記コマンド／アドレス／コントロールレジスタバッファは前記第 1 と第 2 の領域の間
に配置される、ことを特徴とする請求項 1 5 又は 1 6 に記載のメモリモジュール。

【請求項 1 8】

前記複数のコマンド／アドレス／コントロールコネクタは、前記第 1 と第 2 の領域の間
に配置される、ことを特徴とする請求項 1 7 に記載のメモリモジュール。

【請求項 1 9】

前記コマンド／アドレス／コントロールレジスタバッファは、複数の前記第 1 の出力端
子および複数の前記第 2 の出力端子を有し、

前記第 1 の領域に対応する前記複数の第 1 の出力端子は、前記バッファリングされた複
数のコマンド／アドレス／コントロール信号を前記第 1 の領域に配置された前記複数のグ
ループに供給し、

前記第 2 の領域に対応する前記複数の第 1 の出力端子は、前記バッファリングされた複
数のコマンド／アドレス／コントロール信号を前記第 2 の領域に配置された前記複数のグ
ループに供給し、

前記第 1 の領域に対応する前記複数の第 2 の出力端子は前記第 1 の領域に配置された前
記複数のグループに前記コントロール信号を供給し、前記第 2 の領域に対応する前記複数

の第 2 の出力端子は前記第 2 の領域に配置された前記複数のグループに前記コントロール信号を供給する、ことを特徴とする請求項 17 又は 18 に記載のメモリモジュール。

【請求項 20】

前記複数の組のそれぞれは、それぞれが少なくとも 2 個のメモリチップを含む第 1 のサブセットと第 2 のサブセットを含み、

更に、前記コマンド／アドレス／コントロールレジスタバッファは、前記第 1 と第 2 のサブセットにそれぞれ接続された第 3 と第 4 の出力端子を有し、

前記コマンド／アドレス／コントロールレジスタバッファは、前記第 1 と第 2 のサブセットを排他的に制御する、ことを特徴とする請求項 14 乃至 19 のいずれか一項に記載のメモリモジュール。

【請求項 21】

前記複数のデータレジスタバッファのそれぞれと前記対応する複数のメモリチップとが、1 つのサブモジュール基板に搭載されており、

複数の前記サブモジュール基板が前記モジュール基板に実装されている、ことを特徴とする請求項 1 乃至 19 のいずれか一項に記載のメモリモジュール。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明によるメモリモジュールは、第 1 の方向に延在する長辺及び第 2 の方向に延在する短辺を有するモジュール基板と、前記長辺に沿って前記モジュール基板に設けられた複数のデータコネクタと、前記モジュール基板に搭載され、前記第 1 及び第 2 の方向に配列され、それぞれが前記第 2 の方向に配列された少なくとも二つのメモリチップを含む複数の組に分類された複数のメモリチップと、前記モジュール基板に搭載され、前記第 1 の方向に配列され、それぞれが前記複数の組の対応する一つに割り当てられ、それぞれが対応する組を構成する複数のメモリチップに格納されたデータの通信を行う複数のデータレジスタバッファと、前記モジュール基板に形成され、それぞれが前記複数のデータコネクタの対応する一つと前記複数のデータレジスタバッファの対応する一つとを接続するために前記第 2 の方向に延在する複数の第 1 のデータ配線と、前記モジュール基板に形成され、それぞれが前記複数のデータレジスタバッファの対応する一つと前記複数のメモリチップの対応する一つとを接続するために前記第 2 の方向に延在する複数の第 2 のデータ配線と、を備え、前記複数の組のうちの一つと、該組に対応する前記複数のデータレジスタバッファの一つ、所定数のデータコネクタ、所定数の第 1 のデータ配線及び所定数の第 2 のデータ配線とが前記第 2 の方向に配列されて 1 つのグループを構成し、それにより複数のグループが構成され、前記複数のグループが前記第 1 の方向に配列される、ことを特徴とする。

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
G 0 6 K	19/07	(2006.01)	G 0 6 F 13/16	5 1 0 A
G 0 6 F	13/16	(2006.01)	G 0 6 F 12/00	5 5 0 K
G 0 6 F	12/00	(2006.01)	G 0 6 F 12/06	5 2 4
G 0 6 F	12/06	(2006.01)	G 1 1 C 11/34	3 6 2 Z
G 1 1 C	11/401	(2006.01)		

(72)発明者 管野 利夫
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

(72)発明者 平石 厚
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

(72)発明者 斉藤 俊一
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

(72)発明者 中村 正行
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

(72)発明者 藤澤 宏樹
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5B035 AA02 BA03 BB09 CA08 CA29

5B060 MM01

5F083 AD00 GA01 ZA23

5M024 AA42 AA90 BB03 BB04 BB30 BB33 BB34 DD39 DD59 JJ03

JJ04 JJ38 LL20 PP01 PP02 PP04 PP05 PP07