



(12) 发明专利申请

(10) 申请公布号 CN 101933125 A

(43) 申请公布日 2010. 12. 29

(21) 申请号 200880123544. X

H01L 29/78 (2006. 01)

(22) 申请日 2008. 12. 30

(30) 优先权数据

61/018, 426 2007. 12. 31 US

(85) PCT申请进入国家阶段日

2010. 06. 30

(86) PCT申请的申请数据

PCT/US2008/088572 2008. 12. 30

(87) PCT申请的公布数据

W02009/088882 EN 2009. 07. 16

(71) 申请人 伊特蒙塔公司

地址 美国加利福尼亚州

(72) 发明人 布赖恩·亨特 詹姆斯·哈特曼

迈克尔·J·布洛尼科维斯基

埃里克·王 布赖恩·Y·林

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 宋鹤 南霆

(51) Int. Cl.

H01L 21/336 (2006. 01)

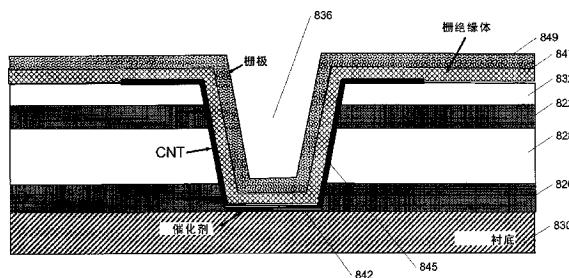
权利要求书 3 页 说明书 16 页 附图 18 页

(54) 发明名称

边缘接触型垂直碳纳米管晶体管

(57) 摘要

本发明公开了用于基于碳纳米管的场效应晶体管的垂直器件几何结构, 该结构具有形成在沟槽中的一个或多个碳纳米管。



1. 一种方法,包括:
提供衬底;
在所述衬底上形成第一电极层;
在所述第一电极层上形成第二电极层;
在所述第一电极层和第二电极层之间形成第一绝缘层;
形成延伸到所述第一电极层、第二电极层和第一绝缘层中的沟槽;以及
形成从所述第一电极延伸到所述第二电极的第一碳纳米管,其中所述第一碳纳米管与
所述第一电极和第二电极电接触。
2. 如权利要求 1 所述的方法,包括:
在所述沟槽中、所述第一碳纳米管上形成栅绝缘体;以及
在所述栅绝缘体上形成栅电极。
3. 如权利要求 1 所述的方法,包括:
在所述漏电极层和所述衬底之间形成第二绝缘层。
4. 如权利要求 1 所述的方法,其中,在所述漏电极层和所述衬底之间是催化剂层。
5. 如权利要求 1 所述的方法,其中,在形成第一碳纳米管之前,在所述沟槽的底部沉积
催化剂。
6. 如权利要求 1 所述的方法,包括:
在所述源电极层和漏电极层之间形成侧栅电极层。
7. 如权利要求 6 所述的方法,包括:
在所述沟槽中、所述碳纳米管上形成顶部栅绝缘体;以及
在所述顶部栅绝缘体上形成顶部栅电极。
8. 如权利要求 1 所述的方法,其中所述第一碳纳米管被定位成在所述沟槽的第一侧与
所述第一电极层和第二电极层接触,并且所述方法还包括:
在所述沟槽的第一侧形成从所述第一电极延伸到所述第二电极的第二碳纳米管,其中
所述第一碳纳米管在所述第一侧与所述第一电极和第二电极电接触。
9. 如权利要求 8 所述的方法,包括:
在所述沟槽的第二侧形成从所述第一电极延伸到所述第二电极的第三碳纳米管,其中
所述第三碳纳米管在所述第二侧与所述第一电极和第二电极电接触。
10. 如权利要求 1 所述的方法,其中所述第一碳纳米管被定位成在所述沟槽的第一侧
与所述第一电极层和第二电极层接触,并且所述方法还包括:
在所述沟槽的第二侧形成从所述第一电极延伸到所述第二电极的第二碳纳米管,其中
所述第二碳纳米管在所述第二侧与所述第一电极和第二电极电接触。
11. 如权利要求 10 所述的方法,包括:
在所述沟槽中、所述第一碳纳米管和所述第二碳纳米管上形成栅绝缘体;以及
在所述栅绝缘体上为所述第一碳纳米管和所述第二碳纳米管形成第一栅电极。
12. 如权利要求 8 所述的方法,其中所述栅电极覆盖所述第一碳纳米管和所述第二碳纳
米管并且从所述沟槽的第一侧连续延伸到第二侧。
13. 如权利要求 1 所述的方法,其中,相对于所述衬底的表面,所述沟槽的第一侧的斜
面是从大约 38 度到大约 60 度。

14. 如权利要求 11 所述的方法,包括:
在所述源电极层和漏电极层之间形成第二栅电极层。
15. 如权利要求 1 所述的方法,包括:
在所述第二电极层上形成第三电极层,其中所述第三电极层电耦合到所述第一碳纳米管。
16. 一种器件,包括:
沟槽,该沟槽包括第一侧壁和第二侧壁,其中所述第一侧壁包括:
第一电极层;
所述第一电极层上的第二电极层;以及
分隔所述第一电极层和第二电极层的第一绝缘层,其中所述第二侧壁包括:
第三电极层;
所述第三电极层上的第四电极层;以及
分隔所述第三电极层和第四电极层的第二绝缘层;
所述沟槽中的第一纳米管,耦合到所述第一电极层和第二电极层;
所述沟槽中的第二纳米管,耦合到所述第三电极层和第四电极层;
覆盖所述第一纳米管和第二纳米管的栅绝缘层;以及
覆盖所述栅绝缘层与所述第一纳米管和第二纳米管的栅电极层。
17. 如权利要求 16 所述的器件,其中,相对于所述器件被形成在其上的衬底的表面,所述沟槽的第一侧壁的斜面是从大约 38 度到大约 60 度。
18. 如权利要求 16 所述的器件,其中,相对于所述器件被形成在其上的衬底的表面,所述沟槽的第一侧壁的斜面是从大约 80 度到大约 90 度。
19. 如权利要求 16 所述的器件,其中所述第一纳米管和第二纳米管是单壁碳纳米管。
20. 如权利要求 16 所述的器件,其中所述沟槽的宽度至少为约 500 埃。
21. 如权利要求 16 所述的器件,其中所述沟槽的深度至少为约 0.2 微米。
22. 如权利要求 16 所述的器件,其中所述栅电极层具有用于覆盖所述第一侧壁的第一斜面、用于覆盖所述第二侧壁的第二斜面、以及用于覆盖所述沟槽的底部的第三斜面,所述第三斜面不同于所述第一斜面和第二斜面。
23. 如权利要求 22 所述的器件,其中所述第三斜面与所述第一斜面基本垂直。
24. 如权利要求 16 所述的器件,其中所述第一侧壁还包括在所述第一电极层和第二电极层之间的第一侧栅电极层,并且所述第二侧壁还包括在所述第三电极层和第四电极层之间的第二侧栅电极层,并且在所述第一侧栅电极层和所述第一纳米管之间是第一侧栅绝缘体,在所述第二侧栅电极层和所述第二纳米管是第二侧栅绝缘体。
25. 一种电子系统,包括如权利要求 16 所述的器件。
26. 一种器件,包括:
第一电极;
第二电极;
第一栅电极,该第一栅电极在所述第一电极和第二电极之间,通过第一绝缘体与所述第一电极相分隔,并且通过第二绝缘体与所述第二电极相分隔;以及
纳米管,该纳米管耦合到所述第一电极和第二电极并从所述第一电极和第二电极延

伸,其中所述纳米管通过第一栅绝缘体与所述第一栅电极相分隔。

27. 如权利要求 26 所述的器件,包括:

第二栅绝缘体,该第二栅绝缘体覆盖所述纳米管并且从所述第一电极延伸到所述第二电极;以及

第二栅电极,该第二栅电极覆盖所述第二栅绝缘体和纳米管,并且从所述第一电极延伸到所述第二电极。

28. 如权利要求 26 所述的器件,其中所述第一栅电极和第二电极在所述第一电极之上,并且所述纳米管的取向与所述器件被形成在其上的衬底大致垂直。

29. 如权利要求 26 所述的器件,其中所述第一电极、第二电极和第一栅电极沿着沟槽的侧壁。

30. 如权利要求 26 所述的器件,其中所述纳米管是单壁碳纳米管。

31. 一种电子系统,包括如权利要求 26 所述的器件。

边缘接触型垂直碳纳米管晶体管

[0001] 相关申请的交叉引用

[0002] 本申请要求 2007 年 12 月 31 日提交的 61/018,426 的权益,通过引用将其以及本申请中引用的所有其他参考文献结合起来。

技术领域

[0003] 本发明涉及半导体器件及其制造,更具体而言涉及碳纳米管晶体管技术。

背景技术

[0004] 晶体管和电子电路的发展以及通过集成电路技术对它们进行的微型化已经使得信息和电子商务的时代成为了可能。集成电路有时被称为“芯片”。大量的晶体管被用于构建电子电路和集成电路。现代的微处理器集成电路具有超过 5 千万个晶体管,并且在将来将具有超过 10 亿个晶体管。

[0005] 一些类型的电路包括数字信号处理器 (DSP)、放大器、动态随机存取存储器 (DRAM)、静态随机存取存储器 (SRAM)、可擦除可编程只读存储器 (EPROM)、电可擦除可编程只读存储器 (EEPROM)、闪存、微处理器、专用集成电路 (ASIC) 以及可编程逻辑。其他电路包括放大器、运算放大器、收发器、功率放大器、模拟开关和多路复用器、振荡器、时钟、滤波器、电源和电池管理、热管理、电压基准、比较器和传感器。

[0006] 在计算机和其他编程机器、消费类电子产品、电信和联网设备、无线联网和通信、工业自动化和医疗器械等等的领域中,电子电路已经被广泛采用并用于许多产品中。电子电路和集成电路是计算机、因特网、IP 语音 (VoIP)、视频点播 (VOD) 以及包括万维网 (WWW) 在内的在线技术的基础。

[0007] 对于更易于使用、更易被更多用户获得、提供更多特征并且普适性地解决消费者和客户的需求的电子产品有着持续的需求。集成电路技术持续迅速进步。随着技术的新进步,这些需求中的许多得到了解决。另外,新的进步还可能引起技术的根本性改变,这些改变深刻地影响并极大地增强了未来的产品。

[0008] 电子产品中的构建块是电气和电子元件。这些元件包括晶体管、二极管、电阻器和电容器。在单个集成电路上有大量的这些元件。这些元件的改进以及新颖、改进的元件的开发将增强集成电路的性能、功能和大小。

[0009] 电子产品中的一个重要构建块是晶体管。实际上,几乎每个集成电路的操作都依赖于晶体管。晶体管被用于许多电路的实现中。改进晶体管的特性和制作技术将引起电子和集成电路中的巨大改进。

[0010] 当前,基于硅的金属氧化物半导体场效应晶体管 (MOSFET) 是电子系统和电力电子系统的主力。然而,对于增加的性能要求的需求在促使硅材料取得突破。希望拥有性能改进的晶体管,尤其是具有更高的电流密度、更高的导热性以及更高的开关频率的晶体管。

[0011] 因此,需要提供改进的晶体管技术。

发明内容

[0012] 本发明为基于碳纳米管的场效应晶体管 (CNTFET) 提供了垂直器件几何结构。在本发明的一个实施例中,源电极和漏电极被包含在垂直分层的薄膜堆叠中,该薄膜堆叠被绝缘膜分隔开并且被图案化具有沟槽(或孔)以暴露源极和漏极薄膜边缘。沟槽底部的催化剂层用于使沿着沟槽的侧壁生长的碳纳米管(CNT)成核,使得一个或多个纳米管接触 S 电极和 D 电极两者的暴露边缘。薄的栅绝缘体被沉积在碳纳米管上,然后沉积和图案化顶部栅电极。此垂直配置(与衬底垂直)使得 CNTFET 能够被密集地封装以最大化功率晶体管应用的功率密度。另外,该几何结构允许了源电极和漏电极具有紧密的间隔,而无需昂贵的高分辨率光刻,从而使得碳纳米管晶体管性能能够得到极大改善。

[0013] 该器件几何结构可利用线状沟槽或圆形或椭圆孔阵列,或者其组合,以提供高密度的电气并联阵列形式的近垂直碳纳米管。利用本发明,可以在比传统水平几何结构(与衬底在同一平面上)可能实现的小得多的区域中制作大量碳纳米管。这使得功率密度显著提高,并且对于给定的功率,器件大小减小。分层的垂直器件结构还提供了用于获得紧密间隔的源电极和漏电极的简单且便宜的手段,而无需求助于昂贵的高分辨率光刻。因为电子传输在纳米管中是弹道式的,所以 CNTFET 将具有比等同的硅器件低得多的导通电阻(估计有 20 倍的改善)。另外,碳纳米管的极高导热率提供了非常高效的散热装置,用于去除器件中耗散的热量。最后,纳米管在机械上是鲁棒的,比起硅或任何已知的材料来具有大得多的抗张强度。

[0014] 在一种实现方式中,一种方法包括:提供衬底;在衬底上形成第一电极层;在第一电极层上形成第二电极层;在第一电极层和第二电极层之间形成第一绝缘层;形成延伸到第一电极层、第二电极层和第一绝缘层中的沟槽;以及形成从第一电极延伸到第二电极的第一碳纳米管,其中第一碳纳米管与第一电极和第二电极电接触。

[0015] 该方法包括:在沟槽中、第一碳纳米管上形成栅绝缘体;以及在栅绝缘体上形成栅电极。该方法包括:在漏电极层和衬底之间形成第二绝缘层。在漏电极层和衬底之间可以是催化剂层。

[0016] 在形成第一碳纳米管之前,可在沟槽的底部沉积催化剂。该方法包括:在源电极层和漏电极层之间形成侧栅电极层。该方法包括:在沟槽中、碳纳米管上形成顶部栅绝缘体;以及在顶部栅绝缘体上形成顶部栅电极。

[0017] 第一碳纳米管被定位成在沟槽的第一侧与第一电极层和第二电极层接触,并且该方法还包括:在沟槽的第二侧形成从第一电极延伸到第二电极的第二碳纳米管,其中第一碳纳米管在第二侧与第一电极和第二电极电接触。

[0018] 另外,在另一实现方式中,第一碳纳米管被定位成在沟槽的第一侧与第一电极层和第二电极层接触,并且该方法还包括:在沟槽的第一侧形成从第一电极延伸到第二电极的第二碳纳米管,其中第一碳纳米管在第一侧与第一电极和第二电极电接触。该方法包括在沟槽的第二侧形成从第一电极延伸到第二电极的第三碳纳米管,其中第三碳纳米管在第二侧与第一电极和第二电极电接触。

[0019] 该方法包括:在沟槽中、第一碳纳米管和第三碳纳米管上形成栅绝缘体;以及在栅绝缘体上为第一碳纳米管和第三碳纳米管形成第一栅电极。栅电极覆盖第一碳纳米管和第三碳纳米管并且从沟槽的第一侧连续延伸到第二侧。在一种具体实现方式中,相对于衬

底的表面,沟槽的第一侧的斜面是从大约 38 度到大约 60 度。

[0020] 该方法包括:在源电极层和漏电极层之间形成第二栅电极层。该方法包括:在第二电极层上形成第三电极层,其中第三电极层电耦合到第一碳纳米管。

[0021] 在一种实现方式中,一种器件包括:沟槽,其包括第一侧壁和第二侧壁。第一侧壁包括:第一电极层;第一电极层上的第二电极层;以及分隔第一电极层和第二电极层的第一绝缘层。第二侧壁包括:第三电极层;第三电极层上的第四电极层;以及分隔第三电极层和第四电极层的第二绝缘层。

[0022] 该器件还包括:沟槽中的第一纳米管,其连接到第一电极层和第二电极层;沟槽中的第二纳米管,其连接到第三电极层和第四电极层;覆盖第一纳米管和第二纳米管的栅绝缘层;以及覆盖栅绝缘层与第一纳米管和第二纳米管的栅电极层。

[0023] 在一种具体实现方式中,相对于器件在其上形成的衬底的表面,沟槽的第一侧壁的斜面是从大约 38 度到大约 60 度。在另一实现方式中,相对于器件在其上形成的衬底的表面,沟槽的第一侧壁的斜面是从大约 80 度到大约 90 度。

[0024] 第一纳米管和第二纳米管是单壁碳纳米管。沟槽的宽度至少为约 500 埃。沟槽的深度至少为约 0.2 微米。

[0025] 栅电极层具有用于覆盖第一侧壁的第一斜面、用于覆盖第二侧壁的第二斜面、以及用于覆盖沟槽的底部的第三斜面。第三斜面不同于第一斜面和第二斜面。第三斜面可与第一斜面基本垂直。

[0026] 第一侧壁还可包括在第一电极层和第二电极层之间的第一侧栅电极层。第二侧壁还可包括在第三电极层和第四电极层之间的第二侧栅电极层。在第一侧栅电极层和第一纳米管之间是第一侧栅绝缘体,并且在第二侧栅电极层和第二纳米管是第二侧栅绝缘体。

[0027] 在一种实现方式中,一种器件包括:第一电极;第二电极;第一栅电极,该第一栅电极在第一电极和第二电极之间,通过第一绝缘体与第一电极相分隔,并且通过第二绝缘体与第二电极层相分隔;以及纳米管,该纳米管连接到第一电极和第二电极并从第一电极和第二电极延伸,其中纳米管通过第一栅绝缘体与第一栅电极相分隔。该纳米管可以是单壁碳纳米管。

[0028] 该器件包括:第二栅绝缘体,该第二栅绝缘体覆盖纳米管并且从第一电极延伸到第二电极;以及第二栅电极,该第二栅电极覆盖第二栅绝缘体和纳米管,并且从第一电极延伸到第二电极。

[0029] 在一种具体实现方式中,第一栅电极和第二电极在第一电极之上,并且纳米管的取向与器件在其上形成的衬底大致垂直。第一电极、第二电极和第一栅电极沿着沟槽的侧壁。

[0030] 一种电子系统可包括本申请中所述的一个或多个器件(或利用一种工艺制造的器件)。此电子系统例如可以是网络路由器、服务器、桌面型计算机、便携式计算机或膝上型计算机、机动车、移动电话、移动电话基站、集成电路、电池充电器电路或者电源转换电路以及许多其他系统。

[0031] 在考虑以下详细描述和附图后,本发明的其他目的、特征和优点将变得清楚,附图中相似的标号在所有图中表示相似的特征。

附图说明

- [0032] 图 1 示出了包含本发明的计算系统。
- [0033] 图 2 示出了包含本发明的机动车辆系统。
- [0034] 图 3 示出了包含本发明的电信系统。
- [0035] 图 4 示出了包含本发明的系统的框图。
- [0036] 图 5 示出了碳纳米管晶体管的电路符号。
- [0037] 图 6 示出了使用碳纳米管晶体管的 DC 到 AC 反相器电路。
- [0038] 图 7 示出了使用碳纳米管晶体管的 DC-DC 转换器电路。
- [0039] 图 8A 示出了碳纳米管晶体管的一种实现方式的横截面。
- [0040] 图 8B 示出了碳纳米管晶体管的沟槽的顶视图。
- [0041] 图 8C-8I 示出了各种不同的沟槽配置的顶视略图。
- [0042] 图 8J 示出了一种沟槽,其中两侧的纳米管相对于彼此偏移。
- [0043] 图 9 示出了碳纳米管晶体的另一实现方式的横截面。
- [0044] 图 10 示出了碳纳米管晶体的另一实现方式的横截面。
- [0045] 图 11 示出了碳纳米管晶体的另一实现方式的横截面。
- [0046] 图 12-26 示出了制作碳纳米管晶体的工艺流程。

具体实施方式

[0047] 本发明提供了碳纳米管器件和用于制造这种器件尤其是晶体管器件的技术。在一个具体实施例中,碳纳米管器件是单壁碳纳米管 (single-walled carbon nanotube, SWNT) 晶体管,其中单壁碳纳米管是晶体管的元件。本发明的单壁碳纳米管器件的一种具体应用是作为功率晶体管,这是与标准晶体管相比能够传递相对高的电流的一类晶体管。本发明的碳纳米管晶体管可以与器件以及不同技术的器件相独立或相结合地制作。

[0048] 图 1 示出了包含本发明的一个或多个碳纳米管晶体管或整流器件或其组合的电子系统的示例。电子系统具有许多不同的配置和大小。一些电子系统是便携式或手持式的。这种便携式系统通常可以是电池操作的。

[0049] 电池通常是可再充电型的,例如具有镍镉 (NiCd)、镍金属氢化物 (NiMH)、锂离子 (Li-Ion)、锂聚合物、铅酸或另外的可再充电电池化学性质的电池。系统可以在单次电池充电后操作一定量的时间。在电池耗尽之后,它可以被再充电并再次被使用。

[0050] 在一个具体实施例中,电子系统是便携式计算系统或计算机,例如膝上型计算机或笔记本计算机。典型的计算系统包括屏幕、外壳和键盘。可能有点选装置、触摸板和具有一个或多个按钮的相当于鼠标的装置。外壳容纳常见的计算机组件,其中一些没有示出,例如处理器、存储器、大容量存储装置、电池、无线收发器等等。大容量存储装置可包括大容量盘驱动器、软盘、磁盘、固定盘、硬盘、CD-ROM 和 CD-RW 驱动器、DVD-ROM 和 DVD-RW 驱动器、闪存驱动器和其他易失性固态存储驱动器、磁带存储装置、读取器以及其他类似的装置及其组合。

[0051] 便携式电子产品和电池操作的系统的其他示例包括电子游戏机 (例如,索尼 PSP)、DVD 播放器、个人数字助理 (PDA)、遥控器、移动电话、遥控的机器人和玩具、电力工具、静态相机和摄像机、医疗装置、无线电装置和无线收发器以及许多其他的装置。本发明

的晶体管可用于这些和其他电子和电池操作的系统中的任何一个,以提供类似的益处。

[0052] 本发明的晶体管或整流器件或其组合可用在电子系统的各种电路中,包括用于电池单元的迅速再充电和电压转换(包括DC-DC转换)的电路。例如,每个膝上型计算机电源通常具有8个功率晶体管。本发明的晶体管可用在用于驱动系统的屏幕的电路中。该屏幕可以是平板显示器,例如液晶显示器(LCD)、等离子体显示器或有机发光二极管(OLED)显示器。本发明的晶体管可用在用于系统的无线操作的电路中,例如用于无线联网(例如,Wi-Fi、802.11a、802.11b、802.11g或802.11n)或其他无线连通(例如,蓝牙或WiMAX)的电路中。

[0053] 图2示出了包含本发明的一个或多个碳纳米管晶体管或整流器件或其组合的交通工具的示例。虽然该图示出了小汽车的示例,但该交通工具可以是小汽车、机动车、卡车、公共汽车、电动自行车、小型摩托车、高尔夫球车、火车、飞机、艇、船、潜水艇、轮椅、个人运输工具(例如,Segway Human Transporter(HT))等等。在一个具体实施例中,交通工具是电交通工具或混合电交通工具,其运动或操作至少部分是由电动机提供的。

[0054] 在电交通工具中,可再充电的电池(通常是铅酸电池)驱动电动机。这些电或混合电交通工具在用于对电池再充电的再充电电路中以及其他地方包括本发明的晶体管或器件。对于混合电交通工具,电池是通过交通工具的运动来再充电的。对于完全的电交通工具,电池是经由外部源(例如AC线路或者到电力网或发电机源的另外连接)来充电的。交通工具系统还可包括具有本发明的晶体管的电路来操作其上的电子产品或电气系统。

[0055] 图3示出了包含本发明的一个或多个碳纳米管晶体管或整流器件或其组合的电信系统的示例。电信系统具有一个或多个移动电话和一个或多个移动电话网络基站。如以上针对便携式电子装置所述,每个移动电话通常具有可再充电的电池,该电池可利用具有本发明的晶体管或器件的电路来充电。另外,对于移动电话或其他无线装置,可以有利用本发明的晶体管实现的收发器或无线广播电路。并且,移动电话网络基站可包括具有本发明的晶体管或器件的收发器或广播电路。

[0056] 图4示出了包含本发明的代表性系统的更详细框图。这是代表如上所述的电子装置、笔记本计算机、交通工具、电信网络或其他包含本发明的系统的示例性系统。该系统具有中央块401,这是系统的接收电力的组件。中央块可以是中央处理单元、微处理器、存储器、放大器、电动机、显示器等等。

[0057] DC电力被从可再充电的电池411提供给中央块。此电池是利用包括本发明的碳纳米管晶体管或器件的电路块A从AC电源403充电的。电路块A可包括将AC电力转换成DC电力的电路,并且此电路也可包括碳纳米管晶体管或整流器件。虽然示出了单个电路块A以简化附图,但是该电路可被划分成两个电路块,一个块用于AC到DC转换,另一个块用于再充电电路。

[0058] 中央块可以由AC线路供电或者从电池供电的装置。在这种实施例中,将存在从AC电源、连接405、电路块B和连接408到开关415的路径。电池也连接到开关415。开关选择是从电池还是从AC电源线(经由电路块B)向中央块提供电力。电路块B可包括利用本发明的碳纳米管晶体管或器件实现的AC到DC转换电路。另外,在本发明的实现中,开关415包括本发明的碳纳米管晶体管或器件。

[0059] 电路块B可被包含到中央块的电源中。此电源可以是开关式或线性电源。与利用

一般晶体管相比,利用本发明的碳纳米管晶体管,该电源将能够以更紧凑的外形参数提供更多的电力。本发明的电源还将生成更少的热量,因此使用的能量更少,并且过热或着火的可能性更小。另外,可以不需要用于电源的电扇,因此包含具有本发明的纳米管晶体管的电源的系统可以更安静。

[0060] 从 AC 电源通过电路块 B 的路径是可选的。在没有从 AC 线路向中央块提供电力的选项的情况下,不需要此路径。在这种情况下,开关 415 也不会被使用,并且电池 411 将直接连接到电路块 C。可以认识到,关于图中的系统的电路可如何互连有许多变化,并且这些变化不会脱离本发明的范围。

[0061] 电路块 C 是包括本发明的碳纳米管晶体管或器件的诸如 DC 到 DC 电源转换器或电压调节器之类的电路。此电路取得一定电压的 DC 电力,并将其转换为不同电压电平的 DC 电压。例如,电池或电路块 B 的输出可具有大约 7.2 伏特的输出电压,但是中央块使用 3 伏特。电路块 C 将 7.2 伏特转换成 3 伏特。这将是降压转换器,因为较高电平的电压被转换成较低电平。

[0062] 在中央块 401 具有无线组件的情况下,包括电路块 D 和天线 426 的路径将被用于发送和接收无线信号。电路块包括本发明的碳纳米管晶体管以执行信号发送和接收。例如,碳纳米管晶体管在生成无线信号的放大器中可用作输出器件。在本发明的没有无线组件的实现方式中,则将不存在电路块 D 和天线。

[0063] 图 5 示出了本发明的碳纳米管晶体管的符号。根据本发明,利用碳纳米管 (CNT) 来制造晶体管。并且,更具体而言,利用单壁碳纳米管来制造场效应晶体管 (FET)。晶体管具有栅极节点 G、漏极节点 D 和源极节点 S。本发明的这个碳纳米管晶体管不像集成电路的典型 MOS 晶体管那样具有块体、衬底或阱节点。在本发明的其他实施例中,碳纳米管晶体管可具有块体节点。

[0064] 当适当的电压被施加到栅极节点时,载荷子密度可增大,以沿着碳纳米管形成导通的沟道,该沟道由 NT 表示。电流可从漏极流到源极。本发明的单壁碳纳米管晶体管的操作与金属氧化物半导体 (MOS) 晶体管类似。

[0065] 单壁碳纳米管是相对新近发现的材料。单壁碳纳米管在概念上可被描述为被配置成直径通常为约 1 纳米但可在约 0.4 至约 5 纳米的范围内的无缝圆柱卷筒的一片石墨(也称为石墨薄膜)。该圆筒可以是一层的厚层。例如,纳米管可以是 0.5、0.7、0.8、0.9、1.0、1.1、1.2、1.3、1.6、2、2.5、2.7、3、3.2、3.6、3.8、4.0、4.2、4.3、4.5、4.6、4.7 或 4.9 纳米。取决于工艺技术,单壁碳纳米管可具有小于 0.7 纳米或大于 5 纳米的直径。

[0066] 除了单壁碳纳米管之外,另一类碳纳米管是多壁碳纳米管 (multiwalled carbon nanotube, NWNT)。多壁碳纳米管与单壁碳纳米管不同。多壁碳纳米管不是具有单个碳纳米管圆筒,而是具有同心的碳纳米管圆筒。因此,多壁碳纳米管更厚,通常具有约 5 纳米或更大的直径。例如,多壁碳纳米管可具有 6、7、8、10、11、15、20、30、32、36、50、56、62、74、78、86、90、96 或 100 纳米的直径或者甚至更大的直径。

[0067] 单壁碳纳米管具有独特的电、热和机械属性。从电子上来说,它们基于其手性或螺旋性可以是金属性或半导体性的,这是由其 (n, m) 名称决定的,可以将其想成石墨片是如何被卷成圆筒的。通常,单个单壁碳纳米管可以应对 20 微安和更大的电流而不会损坏。与多壁碳纳米管相比,单壁碳纳米管一般具有非常低的结构缺陷密度,这对于电子产品应用

来说是很重要的。

[0068] 单壁碳纳米管材料已被证明具有惊人的材料属性。它是已知最强韧的材料—比钢强 150 倍。它具有已知最高的导热率（大约 6000 瓦特每米每绝对温度）。半导体性的单壁碳纳米管的属性确实是大有前途的。它们可用在场效应晶体管 (FET)、非易失性存储器、逻辑电路和其他应用中。

[0069] 对于晶体管应用,单壁纳米管器件具有比硅低得多的“导通”电阻和开关电阻。基于单壁碳纳米管技术的晶体管可以应对高得多的电流负载,而不会变得像传统硅器件那样热。这个关键优点是基于两个因素的。首先,较低的“导通”电阻和更高效的开关导致了低得多的热量生成,这相当于更低的能量耗散。其次,单壁碳纳米管具有较高的导热率,这确保了热量不会累积。

[0070] 碳纳米管场效应晶体管 (CNTFET) 设计和制作中的重要考虑因素有三个。第一个考虑因素是具有期望的直径、长度和手性的高质量单壁碳纳米管的受控制且可再现的生长。第二个考虑因素是将纳米管高效集成到电子结构中。并且,第三个考虑因素是当前的纳米管生长和器件制作工艺需要被显著改进以使得它们可适应于可扩展和经济的制造。

[0071] 图 6 示出了使用本发明的两个碳纳米管晶体管 M601 和 M603 的 AC 到 DC 转换器电路。该电路取得在变压器 T1 处提供的例如 120 伏特的 AC 电压输入,并且提供 DC 电压输出,例如图中所示的 12 伏特,该转换器可被设计为取得任何 AC 电压作为输入,但是之所以选择 120 伏特因为这是美国的标准 AC 线路电压。通过改变电路组件,该电路可被设计为输出任何期望的 DC 电压,小于或大于 12 伏特,例如 2 伏特、3 伏特、5 伏特、6 伏特、16 伏特、18 伏特或 20 伏特。例如,电阻 R1、R2、R3 和 R4 可被改变。

[0072] 单壁碳纳米管晶体管 M601 连接在节点 604 与地之间。M601 的栅极节点连接到节点 608。电容器 C2 连接在 604 和 614 之间,614 连接到单壁碳纳米管晶体管 M603 的栅极。M603 连接在节点 619 和地之间,电容器 C1 连接在 608 和 619 之间。电阻器 R3 连接在 DC 输出、VOUT 和 614 之间。电阻器 R4 连接在 VOUT 和 608 之间。在 VOUT 和 604 之间的是二极管 D1 和电阻器 R2。在 VOUT 和 619 之间的是二极管 D2 和电阻器 R1。节点 604 和 619 连接到变压器 T1 的绕组。

[0073] AC 到 DC 转换器可输出很大的电流,因为该转换器为具有相对较大的功率需求的电路提供电力。因此,在这种情况下,碳纳米管晶体管 M601 和 M603 将传递相对较大的电流。此外,在电池再充电电池应用中,通过增大电流,M601 和 M603 可以传递电流,而不会使器件过热或损坏,这将提高电池被再充电的速率。

[0074] 图 7 示出了使用本发明的两个碳纳米管晶体管 M701 和 M705 的 DC 到 DC 转换器电路。该电路取得 DC 输入电压 VIN 并且输出一不同的 DC 电压 VO。例如, VIN 可以是 7.2 伏特或 12 伏特,而 VO 可以是 5 伏特或 3 伏特。电压转换被用在诸如便携式电子产品之类的许多应用中,因为电池可能不以期望的电压电平或与电子产品兼容的电压提供输出。

[0075] 此电路也可以是 DC 反相器电路的一部分,在此情况下提供与输入电压相反极性的电压输出。例如,如果输入电压是正的,则反相器的输出电压将是负的。或者,如果输入电压是负的,则反相器的输出电压将是正的。

[0076] 单壁碳纳米管晶体管 M701 连接在 VIN+ 和节点 712 之间。单壁碳纳米管晶体管 M705 连接在节点 712 和 VIN- (或地) 之间。电感器 L 连接在 712 和 716 之间。电容器和电

阻器连接在 716 和 VIN- 之间。输出 VO 是在节点 716 和地之间取得的。

[0077] 在本发明的另一实施例中,可能存在连接在晶体管 M701 的漏极和源极之间的第一二极管,以及连接在晶体管 M705 的漏极和源极之间的第二二极管。第一二极管可以连接成使得电流可以在从节点 712 到 VIN+ 的方向上流动。第二二极管可以连接成使得电流可以在从地到节点 712 的方向上流动。

[0078] 这些二极管可以利用任何用于获得具有二极管特性的器件的技术来设计或制作,包括使用二极管连接的晶体管,其中晶体管的栅极和漏极被连接在一起,或者其他晶体管技术。在另一实施例中,二极管可利用单壁碳纳米管和纳米线结点或其他结点与纳米管晶体管集成在一起,这在 2005 年 9 月 14 日提交的美国专利申请 11/162,548 中有论述,通过引用将该申请结合进来。

[0079] 在操作中,转换器电路将 VIN 电压转换成 VO 或 VOUT 电压。第一信号连接到晶体管 M701 的栅极,并且第二信号连接到晶体管 M705 的栅极。第一和第二信号可以是包括方波,脉冲序列、锯齿信号等等在内的时钟信号或振荡器信号。第一和第二信号可以由转换器电路的控制器生成。

[0080] 功率晶体管是电子产品中的高功率输出级,其通常承载高电流和功率。它们是功率放大器中的元件,并且被用于高效地递送所需量的电流和功率到负载。应用包括向集成电路、个人计算机、蜂窝电话、无线基站和多种电气装置中内的装置递送功率。功率晶体管还用于高电流开关并向电动机提供功率。

[0081] 当前,功率晶体管是基于硅技术的双极结型晶体管 (BJT) 或金属氧化物半导体场效应晶体管 (MOSFET)。除了这些基于硅的器件之外,还使用其他材料,例如砷化镓和氮化镓。然而,硅双极结型晶体管和硅金属氧化物半导体场效应晶体管(具体而言是横向扩散的金属氧化物半导体)在本领域中占据主导地位。整个功率晶体管器件包含大量链接的个体晶体管,以便分布总电流和功率。功率晶体管中的相关参数包括电流承载和功率能力、电流增益、效率和热阻。

[0082] 在使碳纳米管晶体管商品化并替换当前的半导体技术时,存在若干个挑战,包括金属性碳纳米管的手性控制或消除、位置和取向控制、大小和长度控制以及对单壁碳纳米管的属性的大规模整体质量控制。本发明解决了这些问题。

[0083] 本发明为基于碳纳米管的场效应晶体管 (CNTFET) 提供了垂直器件几何结构。在一个实施例中,晶体管具有单壁碳纳米管。本专利描述并提供了具有一个或多个碳纳米管的晶体管部分的横截面。在一种具体实现方式中,通过利用许多所描述的晶体管部分来形成包括许多碳纳米管的功率晶体管或相对大尺寸的晶体管器件。电极被并联或串联地电连接在一起,或者以其他方式被短接在一起,使得晶体管部分充当单个晶体管。

[0084] 图 8A 示出了边缘接触型垂直碳纳米管晶体管的一种实现方式的横截面。源极 822 和漏极 826 电极被包含在由绝缘膜隔开的垂直分层的薄膜堆叠中。从下到上的层包括衬底层 830、漏电极层 826、绝缘层 828、源电极层 822 和绝缘层 832。

[0085] 在此图的实现方式中,漏电极层被直接形成在衬底层上。然而,在其他实现方式中,可以有介于其间的绝缘层。源极和漏极层可具有从约 0.1 微米到约 0.5 微米的厚度。分隔源极和漏极层的绝缘层可具有从约 0.1 微米到约 1 微米的厚度。

[0086] 分隔源极和漏极层的绝缘层可具有非均匀的厚度。在一种注入中,绝缘层在沟槽

处和更接近沟槽处较薄,而在远离沟槽处较厚。这使得可以产生非常短的高性能碳纳米管晶体管,同时减小寄生电容并且确保器件其余部分的良好隔离。

[0087] 源极和漏极层可以被交换。源极和漏极区域可被称为扩散区域或扩散层。

[0088] 衬底和基底金属可以是实心的或多孔的。存在许多合适的衬底材料。在一些工艺中,衬底和漏电极层可以是相同的材料或相同的层,或者可以是不同的。一些衬底材料包括氧化铝、硅、硅锗、氮化镓、锗、砷化镓、塑料、聚合物(例如聚碳酸酯、聚苯乙烯、聚乙烯、聚丙烯、聚氯乙烯或聚对苯二甲酸乙二醇酯)、玻璃、蓝宝石或石英等等,或者其组合。另外,多层碳纳米管晶体管可以彼此层叠地形成。每层碳纳米管器件是如本专利中所述以类似方式形成的。

[0089] 利用诸如原子层沉积(ALD)、溅射、电子束沉积或其他方法,在衬底或其他层上形成电极层。电极层可以是硅或多晶硅。该层还可以是诸如金(Au)、钛(Ti)、钯(Pd)、铂(Pt)、铝(Al)或其他金属之类的材料。

[0090] 在一个具体实施例中,耐熔金属被用于形成电极层,因为耐熔金属具有相对高的熔点。一些耐熔金属包括钨(W)、钼(Mo)、钽(Ta)、铌

[0091] (Nb)、氮化钛(TiN)、氮化钽(TaN)、氮化铌(NbN)、铬、钒以及铯。以上针对电极层论述的任何材料可以与任何材料相组合。例如,多晶硅可以与铂相组合用于电极层。钨可以与金相组合。钼可以与钯和硅相组合。

[0092] 图8A示出了两个电极层,但是在第一电极层上可以形成任何数目的电极层。例如,可以有两个、三个、四个、五个、六个或更多个电极。纳米管可以被分段,因此在电极之间可以有分离的晶体管。或者,纳米管可以是连续的,并且电极连接在一起,因此存在并联或串联连接的晶体管。

[0093] 沟槽836(或孔、槽或开口)被图案化以暴露源极和漏极薄膜边缘。沟槽的宽度可以从约500埃到约4微米。沟槽的深度可以从约0.2微米到约0.5微米,或者可以是1微米或更大。沟槽可以是具有任何形状的任何孔、槽或开口。沟槽或开口的形状例如可以是圆柱型、椭圆型、矩形、方形、立方型、V-槽形(参见下文和图9)、凹口形等等。在此实现方式中,沟槽具有三面,即底部和两个侧壁。

[0094] 取决于配置,沟槽可具有任何数目的壁,一个、两个或更多个。关于更多细节,参见图8C-8I和以下论述。例如,沟槽可以是星形配置的,并且具有多个壁。

[0095] 沟槽侧壁的斜面可具有任何角度。例如,该角度可以从约0到约90度、约45度到约90度、从约60到约90度、从75到约90度、从约80到约90度。沟槽可具有相对于衬底结构的水平表面近似垂直或大约90度(例如,80到90度,85到90度,或88到90度)的直的侧壁。在具体实现方式中,该角度可以大于90度。另外,侧壁可以是或不是完全光滑或直的。

[0096] 催化剂层842被置于沟槽底部,并且用于使沿着沟槽的侧壁生长的碳纳米管成核。在一种实现方式中,在形成纳米管之前,催化剂堆叠被沉积到漏极或衬底或两者之上,其中催化剂堆叠是:(a)仅催化剂;(b)催化剂在扩散屏障之上,其中扩散屏障仅覆盖漏极;或者(c)催化剂在扩散屏障之上,其中扩散屏障仅覆盖漏极和沟槽的其他区域。在替换实现方式中,催化剂不被放置在沟槽的底部,而是被放置在沟槽的顶部、侧面或其他部分。

[0097] 在一种实现方式中,在形成碳纳米管之前,催化剂被沉积在除了上方和下方电极

之间的绝缘层之外的任何或所有暴露表面上。

[0098] 可以通过诸如原子层沉积、溅射、电子束沉积或其他方法之类的技术来形成催化剂。在一个实施例中，催化剂是形成并沉积在漏极之下的连续层。一个或多个碳纳米管被生长来接触源电极和漏电极两者的暴露边缘。

[0099] 催化剂可以是薄膜或纳米粒子。在一些工艺中，催化剂层是可选的，并且不存在。在形成碳纳米管 845 时使用的催化剂可包括铁、镍或钴，或者这些金属的任何组合，或者这些材料中的一种或多种与其他金属的任何组合。通常，催化剂是适当大小的纳米粒子的形式，通常直径为 1 纳米到 4 纳米。在其他实现方式中，催化剂可以大于 4 纳米。这些纳米粒子可以通过金属沉积来获得，例如通过金属蒸镀器，金属的电化学沉积，或者催化剂的湿法沉积，其中金属催化剂纳米粒子或粒子可以由更大的无机支撑或有机壳体（例如铁蛋白质）来支撑。

[0100] 纳米管可以生长在催化剂上。作为替换或附加，悬浮在溶液中的纳米管通过诸如液滴涂布、旋转涂布或电泳沉积之类的方法或其组合被沉积到器件结构上。碳纳米管可以经由诸如电泳或流体对齐之类的力量或其组合被对齐。碳纳米管可通过诸如电场对齐或边缘定向生长之类的方法在生长期间被对齐。

[0101] 在一种实现方式中，通过在源电极和漏电极处沉积钼或另外的金属，形成或改善了与纳米管的电接触。此沉积可通过诸如电沉积、蒸镀、溅射、原子层沉积或 CVD 之类的方法或其组合来执行。

[0102] 碳纳米管的长度从漏电极层延伸到至少源电极层。漏电极和源电极在两个不同的接触点接触纳米管。在一种具体实现方式中，源电极和漏电极之间的距离是从约 0.1 微米到约 1 微米。此距离可以超过 1 微米。

[0103] 为了使得源电极和漏电极能与纳米管发生高质量的接触，一薄层的钼或其他材料（未示出）可被电沉积在暴露的电极上。如上所述，沟槽的一侧的漏电极可以电连接到沟槽的另一侧的漏电极。类似地，沟槽的一侧的源电极可以电连接到沟槽的另一侧的源电极。

[0104] 在一种实现方式中，有源元件是单壁半导体性碳纳米管。也可改为使用或结合使用其他半导体性纳米材料。这种纳米材料的一些示例包括石墨薄膜、双壁碳纳米管、多壁碳纳米管，或其他纳米线，例如基于硼或碳的纳米管。美国专利申请 11/462,497 论述了异质结构纳米管器件（包括纳米线），并且这种技术可应用到本申请中的结构并且通过引用被结合进来。

[0105] 薄的栅绝缘体或栅氧化层 847（例如，二氧化硅）被沉积在碳纳米管上，然后沉积和图案化顶部的栅电极 849。栅绝缘体被形成在沟槽中的顶部、底部和侧壁的碳纳米管上。在各种实现方式中，栅氧化层厚度可以在从约 2 纳米到约 100 纳米的范围中。栅氧化层厚度可以从约 10 纳米到约 100 纳米。

[0106] 栅电极被形成在栅绝缘体上。此栅电极是用于第一和第二碳纳米管的，并且在两个纳米管上连续延伸。栅电极可以通过诸如原子层沉积、溅射、电子束沉积或其他方法之类的技术来形成。栅电极可以利用金属（例如，铝）、多晶硅、多晶硅化物或另外的导电材料来构成。在另一实现方式中，栅电极可以被分成两部分（或电气上断开连接），使得每个纳米管具有其自己的栅极。

[0107] 在另一实现方式中（例如，图 10 和 11），栅电极层可嵌入在相邻的绝缘层之间，这

些层在源电极层和漏电极层之间。栅绝缘体还形成在嵌入的或侧面的栅电极上。更多论述请见下文。

[0108] 图 8B 示出了沟槽 836 的一部分的顶视图。沟槽可以在衬底的形成晶体管的表面上沿水平方向延伸。沟槽可以延伸为任何形状、多边形或者任何期望长度的配置。沟槽可以延伸为手指状、蛇形链、螺旋或其他配置。

[0109] 碳纳米管沿着沟槽延伸的长度的侧壁或边缘形成。例如,在沟槽 836 中,纳米管 845A-845E 沿着第一侧壁 862(并行)形成。纳米管 845F-845J 沿着沟槽的第二侧壁 865(并行)形成。在沟槽的每一侧,可以有每微米大约 5 个纳米管或者每微米大约 10 个纳米管。

[0110] 图 8C-8I 示出了各种不同沟槽配置或布局的顶视略图(没有示出纳米管)。图 8C 示出了具有一个转角(90 度转角)的沟槽。转角可以是任何角度的,例如 30、45、60、75 或 90,或者采取任何组合。在沟槽布局中可以有任何数目和组合的右转角和左转角。

[0111] 图 8D 示出了具有两个转角的沟槽略图,其形成反向 C 形。图 8E 示出了一中央脊柱,三条臂从该脊柱伸出,形成反向的 E 形。图 8F 类似于图 8E,但是臂在两个方向上从中央脊柱伸出。

[0112] 图 8G 示出了具有相互交叉的臂的图 8E 的沟槽。任何数目的沟槽可以按这种方式相互交叉在一起,这使得布局紧凑并且对于给定的布局可以形成更多晶体管。图 8H 示出了多个相互交叉的晶体管的示例。

[0113] 图 8I 示出了布置成同心方环的沟槽。对于同心配置,可以使用任何多边形或形状(例如,三角形、正方形、圆形或矩形),并且可以有任何数目的同心环,两个、三个、四个、五个、六个、七个或更多个。外部的环可以是一个形状,而内部的环可以是另一形状。另外,每个环的侧面具有如图 8F 所示的配置,其中每个内部环的侧面与和其相邻的内部和外部环的侧面相互交叉。

[0114] 图 8A 和 8B 示出了相互交叉的沟槽中的纳米管。然而,在其他实现方式中,碳纳米管是交错的,或者以其他方式偏移的,使得它们不会直接相互交叉。图 8J 示出了沟槽的一个示例,其中两个相对侧的纳米管彼此偏移。

[0115] 图 8A 示出了一种结构,其中源极和漏极利用边缘接触电连接到纳米管。然而,这些电接触可以在沟槽的底部或顶部或者底部和顶部。例如,对于顶部接触,源电极材料被沉积或形成在结构的顶部并电连接到纳米管。可以存在到纳米管的下部的侧面或边缘接触,以及到纳米管的上部的顶部接触。

[0116] 确保器件内的大多数或所有纳米管是半导体性而不是金属性(或者导电性)纳米管,也是很重要的。这可以利用优先生长半导体性碳纳米管的技术或者通过利用生长后等离子体蚀刻或其他技术以去除金属性和其他不合需要的纳米管来实现。可以利用诸如等离子体、电烧除、光学方法或其他方法之类的技术或其组合来减少或去除金属性单壁碳纳米管(或其他不合需要的碳纳米管)。不合需要的碳纳米管可包括多壁或金属性碳纳米管或者这两者。

[0117] 在美国专利申请 11/162,548 有关于单壁碳纳米管的形成和烧除(或选择性去除)技术的更多描述。选择性去除不合需要的管的技术在美国专利申请 61/091,041 中论述,并且可应用到本专利申请中论述的结构。例如,一种技术包括通过对半导体性纳米管进行门控,同时使大电流通过金属性纳米管,从而导致金属性纳米管的烧毁,来去除金属性纳米

管。如美国专利申请 61/091,041 中所述,去除金属性纳米管的技术包括在金属性纳米管上进行选择性金属沉积之后,对这些纳米管进行金属催化的烧毁。

[0118] 图 9 示出了边缘接触型垂直碳纳米管晶体管的另一实现方式的横截面。此实现方式与图 8A 的实现方式类似,但是取代图 8A 的沟槽,使用了 V 槽型沟槽 936。V 槽型沟槽具有两个侧面,其斜面比图 8A 的三面沟槽更少。这个横截面还示出了衬底 954 和漏极层 956 之间的绝缘层 948 和连续的催化剂层 950。

[0119] 例如,V 槽型沟槽的侧面的斜面相对于衬底的表面可以为约 30 度到 75 度。又例如,该角度可以是从约 38 度到约 60 度。在各种实现方式中,该斜面是约 30 度、38 度、45 度、50 度、56 度、60 度、63.5 度和 67 度。

[0120] 图 10 示出了边缘接触型垂直碳纳米管晶体管的另一实现方式的横截面。此实现方式与图 8A 的实现方式类似,但是在源极 1068 和漏极 1070 层之间具有栅电极层 1066。存在一个栅绝缘体 1072,将栅电极层 1066 与碳纳米管 1074 分隔开来。

[0121] 此器件几何结构在垂直薄膜堆叠中包含半导体性或金属性栅极层,该堆叠如下:衬底、漏极层、绝缘体、栅极层、绝缘体和源极层。这里嵌入的侧栅极使得所有电极都可在碳纳米管生长之前被图案化,以使可能的纳米管处理污染达到最低限度。分层材料应当与高温碳纳米管生长兼容,并且薄的栅绝缘体应当被沉积或生长在暴露的栅电极边缘上。此配置还使得可以添加第二顶部栅极结构(见下)以控制源极和漏极肖特基势垒以及纳米管内的截流子掺杂。

[0122] 图 11 示出了边缘接触型垂直碳纳米管晶体管的另一实现方式的横截面。此实现方式与图 10 的实现方式类似,但是除了下部栅电极层 1115 之外,还具有顶部栅电极 1113。存在一个顶部栅绝缘体 1117 将顶部栅极与碳纳米管 1122 分隔开来。存在一个下部栅绝缘体 1125,将下部栅极与碳纳米管分隔开来。

[0123] 图 8A-11 示出了单层晶体管结构,但是本发明的结构和技术也可应用到多层或堆叠的晶体管结构。如图 8A-11 所示的一层结构可以形成在另一层之上,这些层间具有绝缘层。美国专利申请 11/761,009 论述了堆叠的纳米管晶体管结构,并且通过引用被结合进来。

[0124] 利用本申请中描述的结构可以形成具有许多晶体管的集成电路。通过引用结合进来的美国专利申请 11/466,893 中描述的纳米管晶体管集成电路和布局可应用到本申请中的结构。

[0125] 图 12-26 示出了制作边缘接触型垂直碳纳米管晶体管器件的工艺流程。此流程是针对形成图 8A 所示的结构而描述的,但是此流程的变体也可用于形成本申请的图 9-11 中的结构。

[0126] 所给出的制作工艺是基于标准的半导体工业起始材料的:硅晶片、二氧化硅、多晶硅、二氧化硅堆叠(OSOS)。此工艺的一个优点是便宜的、可购得的起始材料,这与标准半导体制作线相兼容。然而,OSOS 起始晶片的使用不是必需的,源极和漏极薄膜可以是金属层,例如钯。同样地,绝缘层可以是与高温碳纳米管生长条件相兼容的任何绝缘材料。工艺中的其他可能的变化包括催化剂的沉积或图案化(例如经由抬离(lift-off)或电沉积而在沟槽的底部沉积的铁),以及沟槽侧壁轮廓,以及其他参数。

[0127] 本专利描述了用于制作碳纳米管晶体管的一些具体流程,但是应当理解,本发明

并不限于所给出的具体流程和步骤。本发明的流程可具有更多的步骤（不一定在本申请中描述），替换所给出的一些步骤的不同步骤，更少的步骤或者所给出的步骤的子集，或者采取与所给出的顺序不同的顺序的步骤，或者其任何组合。另外，本发明的其他实现方式中的步骤可能不一定与所给出的步骤完全相同，而是可以针对特定应用或基于数据而被适当修改或更改。

[0128] 在图 12 中，起始材料是硅晶片衬底 1202。在衬底上生长或以其他方式形成约 0.1 至 0.5 微米的热氧化物 1206。在氧化物上形成约 0.1 至 0.5 微米的多晶硅层 1209。在多晶硅上形成约 0.4 至 1 微米的氧化物 1211；此氧化物可以被称为顶部氧化物，并且可通过化学气相沉积 (CVD) 来形成。

[0129] 硅衬底将是晶体管的漏极。多晶硅将是晶体管的源极。可选地，其他电极（未示出）材料，包括钼 (Mo) 或钯 (Pd)，可用于提供与碳纳米管的改进的电接触。

[0130] 在图 13 中，通孔 1305 和 1307 被蚀刻来使能与源极多晶硅层接触。这可以利用第一掩膜来执行，该第一掩膜可被称为多通孔掩膜。等离子体蚀刻或其他蚀刻技术被用于形成氧化物窗口，以暴露多晶硅源极层。此工艺步骤使得能够在源极上电沉积钯并最终进行源极衬垫接触。

[0131] 图 14 示出了结构的顶视图，其中示出了氧化物 1211 已被蚀刻。蚀刻的氧化物区域 1403 一般是 U 形或多臂结构的，具有两个或更多个平行的臂部 1305 和 1307，它们由蚀刻的氧化物片段 1410 连接。

[0132] 图 15 示出了蚀刻槽 1501（或孔、阱或沟槽）。这可利用光阻材料 1585 和第二掩膜通过光刻法来执行，其中第二掩膜可被称为槽掩膜。下列每一层需要等离子体蚀刻（或湿法蚀刻）：顶部氧化物、多晶硅、底部氧化物、以及晶片顶部。在硅晶片向下蚀刻大约 0.05 至 0.5 微米以提供初始对齐边缘，用于碳纳米管生长。图案可包括许多平行的槽。

[0133] 在图 16 中，利用光阻材料层 1585 或重新图案化的光阻材料层，在阱（1501）的底部抬离（或电沉积）催化剂 1621。通常，在催化剂和衬底之间形成薄的铝（大约 3 纳米厚）或氮化钛 (TiN) 屏障层，以防止催化剂与硅衬底反应。

[0134] 催化剂可以是约 0.1 至 0.5 纳米厚的铁 (Fe) 层。通过电沉积、溅射、蒸镀或金属纳米粒子（例如表面活性剂稳定的或者铁蛋白的形式），可以使用其他催化剂，例如镍 (Ni)、钴 (Co)、钼 (Mo) 或其组合。

[0135] 图 17 示出了具有蚀刻的氧化物区域 1403 和槽 1501 的结构顶视图。槽的至少一部分在蚀刻的氧化物臂 1305 和 1307 之间。可以有多个相互交叉的 1501 和 1403 图案。

[0136] 在图 18 中，单壁碳纳米管 1849 被形成或放置在阱中。纳米管可以沿着槽 1501 的整个长度或者两侧放置。单壁碳纳米管 (SWNT) 可经由化学气相沉积来生长。或者，可以利用介电泳以从溶液沉积预纯化的纳米管，从而来放置单壁碳纳米管。

[0137] 作为工艺的一部分，可以形成一些金属性碳纳米管。所形成的任何金属性管可以通过对这些管的甲烷等离子体蚀刻来去除。可以使用其他处理来去除任何金属性管。选择性地去除不合需要的管的技术在通过引用结合进来的美国专利申请 61/091,041 中有所论述，并可应用到本专利申请中论述的结构。

[0138] 在硅电极上电沉积钯 (Pd) 以提供与纳米管的欧姆接触。这可以对源极和漏极独立完成。为了获得从钯到硅层的良好欧姆接触，硅可以被重掺杂。另外，可以利用氢氟酸

(HF 或 piranha) 来清洁硅表面。

[0139] 一个选项是在钽和硅之间包括硅化钛 (TiSi₂) 或氮化钛屏障层以防止反应。

[0140] 在图 19 中,通过原子层沉积 (ALD) 沉积一绝缘体 1965,例如氧化铝 (Al₂O₃) 或二氧化铪 (HfO₂)。这在对管的任何进一步处理之前完成,以保持表面清洁。首先通过原子层沉积来沉积适当的绝缘基层,通常约为 10 至 20 纳米厚。然后,进行氧等离子体蚀刻,以破坏或去除任何未涂覆的管,从而防止可能的栅极短接。然后,利用原子层沉积来沉积另一绝缘体,通常约为 10 至 20 纳米厚。

[0141] 在图 20 中,沉积栅极金属 2009。此栅极金属可以利用适当的金属或导体(例如铂 (Pt)、钛金 (Ti/Au) 双层、铝、多晶硅化物、多晶硅以及许多其他金属或导体),通过原子层沉积、电子束沉积或者其他类型的沉积来形成。为了增大其厚度,可以在初始沉积的金属上电沉积另一金属。在替换实现方式中,可以生长和使用多壁或金属性纳米管作为栅极金属。

[0142] 在图 21 中,利用等离子体蚀刻、湿法刻蚀或其他蚀刻步骤或者其组合来图案化栅电极 2009 和绝缘体 1965。这可利用第三掩膜来执行,第三掩膜可被称为栅电极掩膜。

[0143] 图 22 示出了图案化的栅电极 (2233) 的顶视图。栅电极围绕槽 1501,并且在蚀刻的氧化物区域 1403 和槽 1501 之间,如图所示。

[0144] 在图 23 中,限定栅电极和源极衬垫 2334。图 24 示出了栅电极 (2437) 和源极衬垫 2334 的顶视图。这可以利用第四掩膜来执行,第四掩膜可被称为顶部衬垫掩膜。

[0145] 为了有良好的欧姆接触,利用氢氟酸预清洁来执行钛-铂-金 (Ti/Pt/Au) 抬离。将衬垫放置或定位在源极电介质上,从而绝缘体和衬垫足够厚,以避免短路和探头损坏。

[0146] 在图 25 中,限定器件区域。这可以利用第五掩膜来执行,第五掩膜可被称为器件隔离掩膜。蚀刻穿透顶部氧化物和多晶硅源极层 (2552) 以在电气上分隔所有器件。图 26 示出了器件区域隔离 (2661) 的顶视图。

[0147] 如上所述,此工艺和此工艺的变体可用于形成本申请中的任何结构。例如,为了形成下部栅电极(在图 11 中),在漏电极和源电极之间形成另一栅极层。下部栅电极可以是一层栅极材料,例如多晶硅、多晶硅化物、铝、金、钛或其他导电材料。在下部栅电极和纳米管之间是下部栅电极电介质。

[0148] 用于制作边缘接触型垂直碳纳米管晶体管器件的另一工艺流程实现方式如下:

[0149] 对于步骤 1-8,参考图 12 作为示例。

[0150] 1. 起始材料:具有 <100> 取向和 0.005 欧姆-cm 电阻系数的硅。

[0151] 2. 初始氧化物:5000 埃。

[0152] 3. 多晶硅 CVD:5000 埃,约 580-620 摄氏度。

[0153] 4. 掺杂聚合物:约 10-20 欧姆每平方。

[0154] 5. 掺杂剂驱动:氮中 900 摄氏度 60 分钟。

[0155] 6. CVD 氧化物:7000 埃,未掺杂。

[0156] 7. 使氧化物增加密度:氮中 900 摄氏度 60 分钟。

[0157] 8. 背面研磨:(a) 施加胶带;(b) 研磨大约 20 微米;以及 (c) 去除胶带。

[0158] 对于步骤 9-12,参考图 13 和 14 作为示例。

[0159] 9. 第一光刻步骤-源极通孔:(a) 感光材料涂覆、对齐、曝光和显影;(b) 为电沉积

限定电极接触区域。

- [0160] 10. 等离子体蚀刻氧化物。
- [0161] 11. 氧等离子体。
- [0162] 12. 抗蚀剂剥离。
- [0163] 对于步骤 13-20, 参考图 15 和 17 作为示例。
- [0164] 13. 第二光刻步骤 - 有源区域 : 感光材料涂覆、对齐、曝光、显影。
- [0165] 14. 湿法 (或等离子体) 蚀刻氧化物。
- [0166] 15. 等离子体蚀刻多晶硅。
- [0167] 16. 等离子体蚀刻氧化物。
- [0168] 17. 等离子体蚀刻硅 (约 0.2-0.5 微米); 可以使用脱离离子水以及氢氟酸浸渍 (钝化的表面)。
- [0169] 18. 使用铝或催化剂沉积步骤或者两者 (如果抗蚀剂仍存在)。
- [0170] 19. 氧等离子体 (不溅射催化剂)。
- [0171] 20. 蚀刻后清洁。
- [0172] 对于步骤 21-23, 参考图 18 作为示例。
- [0173] 21. 电沉积 (或抬离) 催化剂, 可能有薄的铝 (抬离和氧化) 屏障层。(a) 铁蒸镀或抬离。(b) 铁溶解或抬离。(c) 通过重新施加掩膜、蒸镀和剥离来抬离。
- [0174] 22. 生长单壁碳纳米管 (SWNT)。
- [0175] 23. 等离子体处理。
- [0176] 对于步骤 24-27, 参考图 19 和 20 作为示例。
- [0177] 24. 在硅电极上电沉积钯。对于源极和漏极可以独立进行。
- [0178] 25. 真空干燥炉 (例如, 大约 1 托, 400 摄氏度)。
- [0179] 26. 沉积 ALD 绝缘体。
- [0180] 27. 沉积 ALD 金属。
- [0181] 对于步骤 28-33, 参考图 21 和 22 作为示例。
- [0182] 28. 第三光刻步骤 - ALD 金属和电介质涂覆、对齐、曝光、显影。
- [0183] 29. 氧浮渣清除 (如果是湿法蚀刻)。
- [0184] 30. 干法蚀刻金属。
- [0185] 31. 干法蚀刻 ALD 电介质。ALD 过蚀刻到顶部氧化物中, 以去除残余的碳纳米管。
- [0186] 32. 蚀刻后清洁。
- [0187] 33. 氧等离子体浮渣清除。
- [0188] 对于步骤 34-39, 参考图 23 和 24 作为示例。
- [0189] 34. 第四光刻步骤 - 衬垫金属 : Ti/Pt/Au 抬离以确保粘着到 ALD 金属。处理与残余碳纳米管的任何金属短接。涂覆、对齐、曝光和显影。
- [0190] 35. 氧浮渣清除 (针对抗蚀剂)。可以从 ALD 金属去除表面氧化物。
- [0191] 36. 蒸镀金属 (大约 0.5-1.0 微米)。金属可以是 50 埃的钛和 5000 埃的金。
- [0192] 37. 抬离。
- [0193] 38. 蚀刻后清洁。
- [0194] 39. 氧等离子体浮渣清除。

[0195] 对于步骤 40-44, 参考图 25 和 26 作为示例。

[0196] 40. 第五光刻步骤 - 限定器件区域: 涂覆、对齐、曝光和显影。

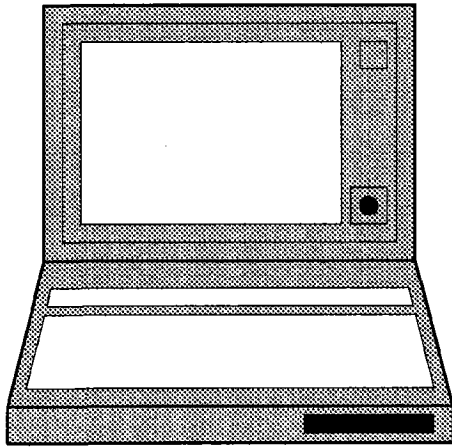
[0197] 41. 等离子体蚀刻氧化物。

[0198] 42. 等离子体蚀刻聚合物。

[0199] 43. 氧浮渣清除。

[0200] 44. 抗蚀剂剥离。

[0201] 对于本发明的此描述是为了例示和描述的目的而给出的。并不希望是毫无遗漏的或者将本发明限制到所描述的确切形式, 并且根据以上教导可以进行许多修改和变化。选择和描述实施例是为了最好地说明本发明的原理及其实际应用。此描述将使得本领域的技术人员在各种实施例中、利用适合特定用途的各种修改来最好地利用和实现本发明。本发明的范围由权利要求限定。

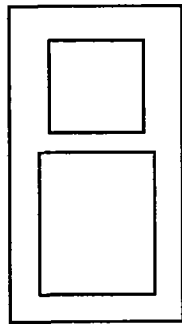


便携式计算机

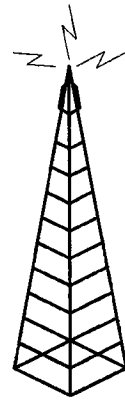
图 1



图 2



移动电话



移动电话
网络基站

图 3

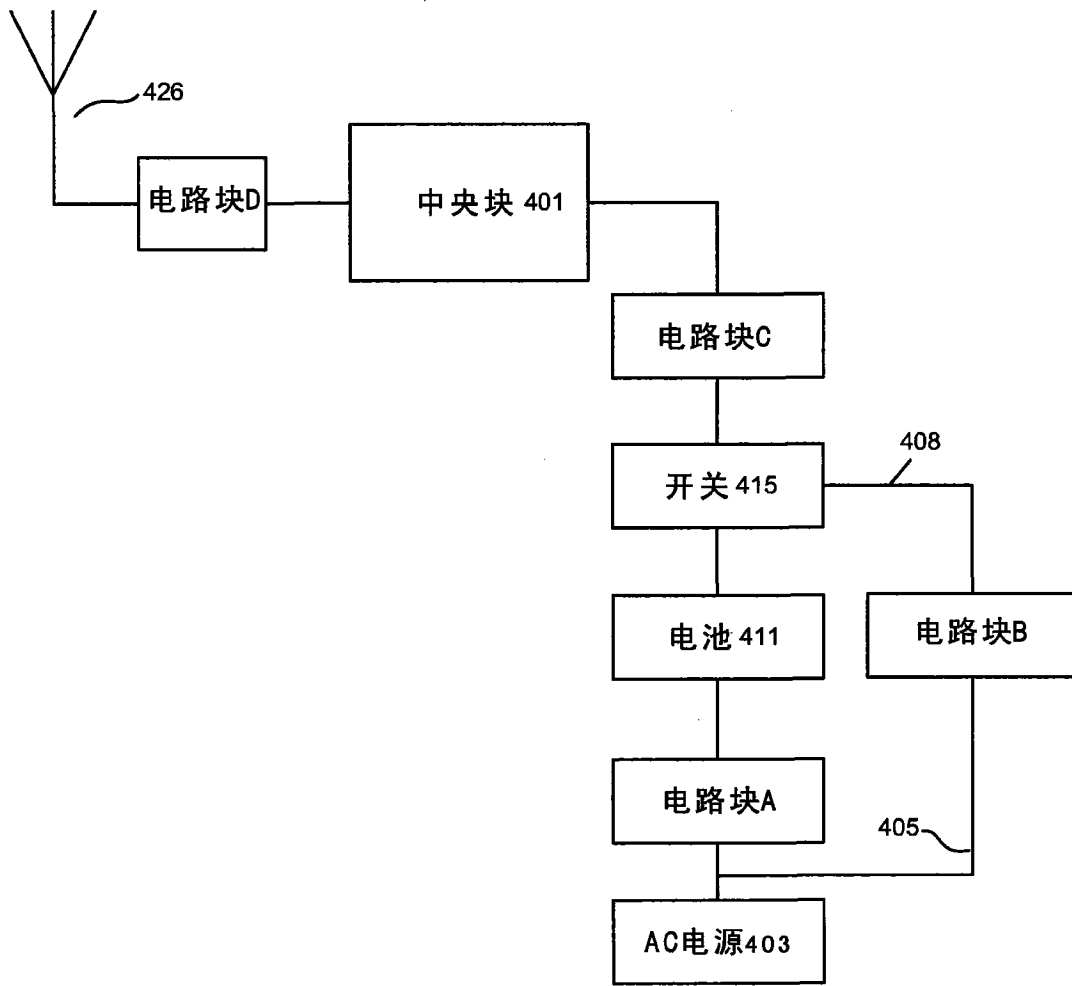


图 4

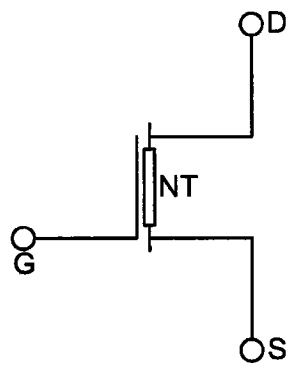


图 5

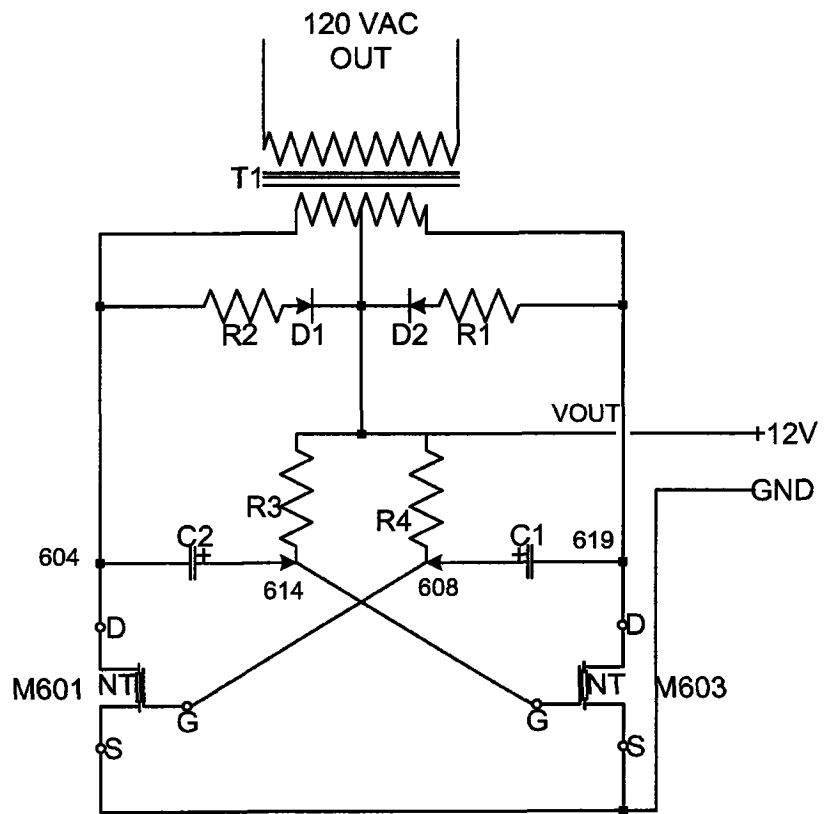


图 6

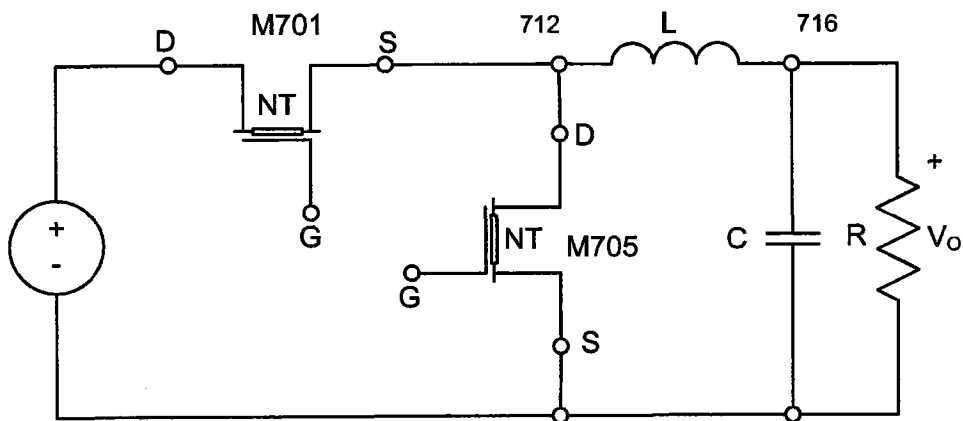


图 7

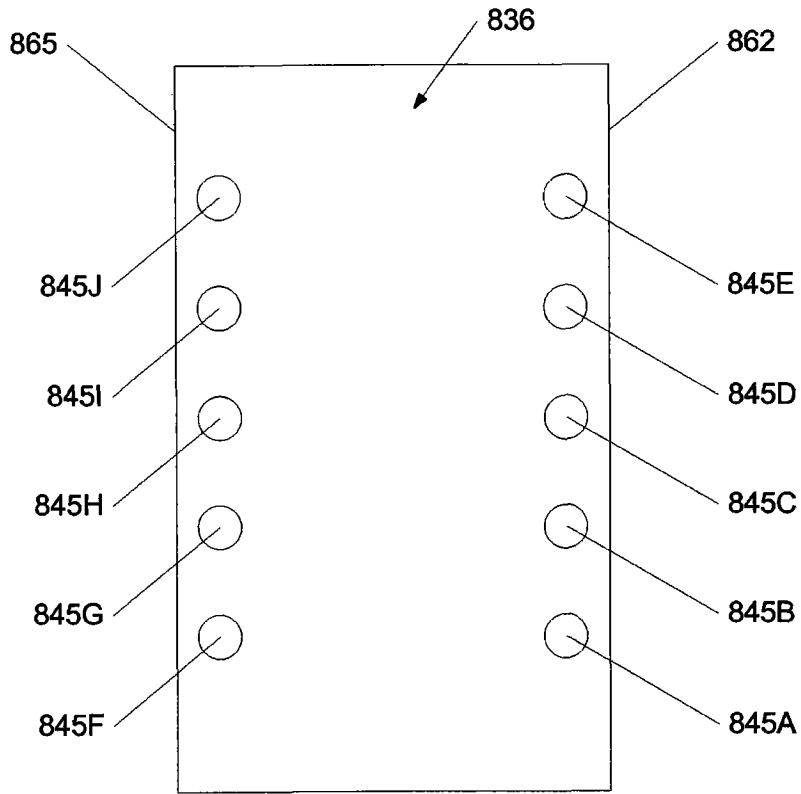


图 8C

图 8D

图 8B

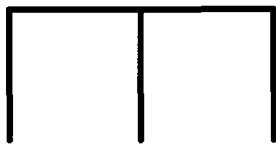


图 8E

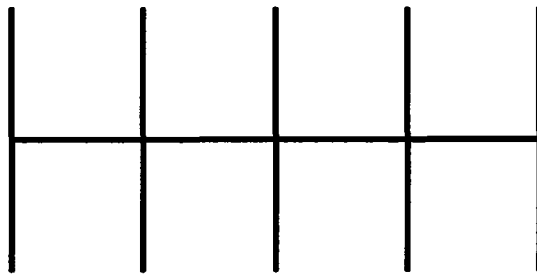


图 8F

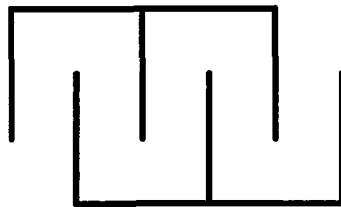


图 8G

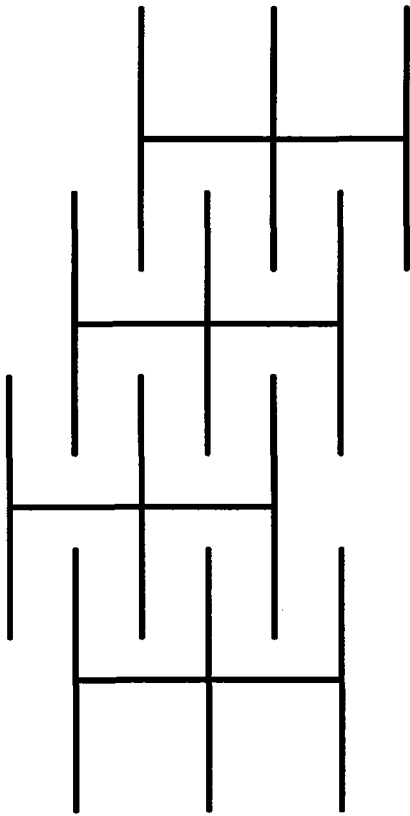


图 8H

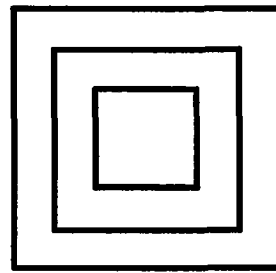


图 8I

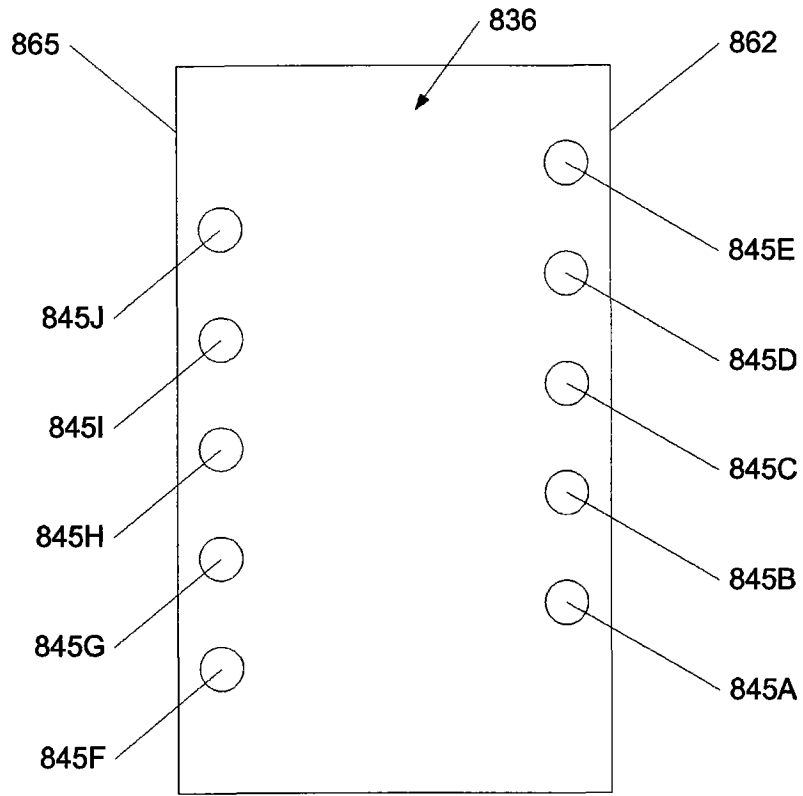


图 8J

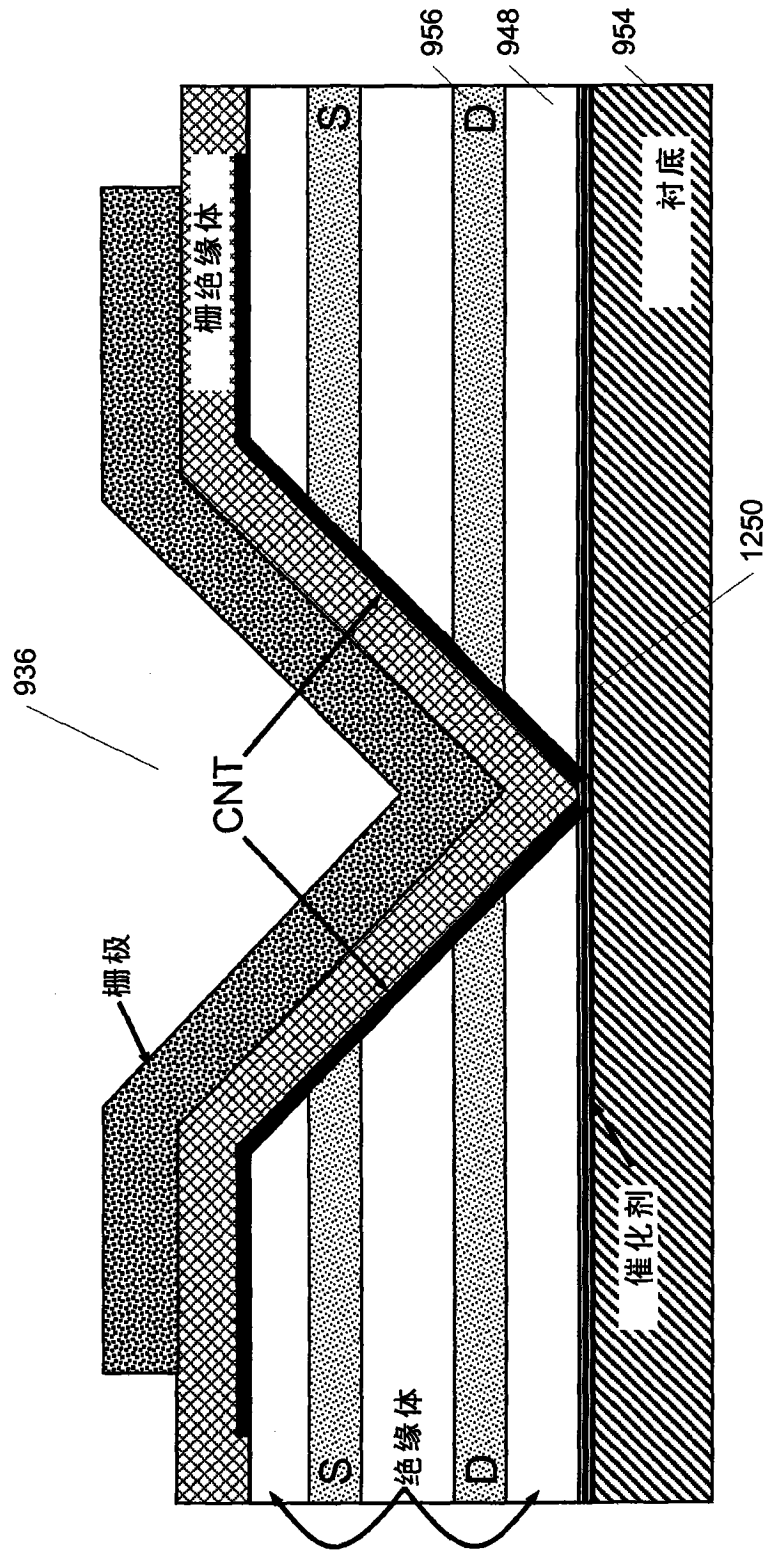


图 9

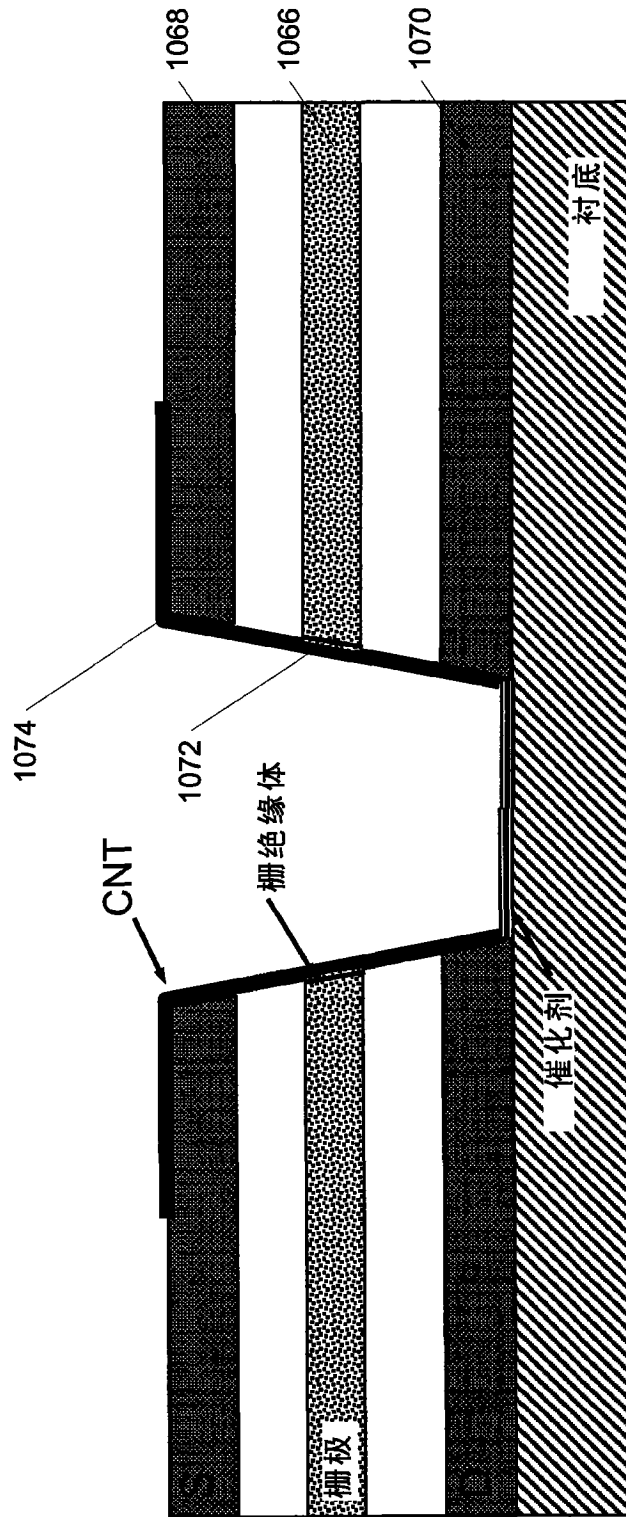


图 10

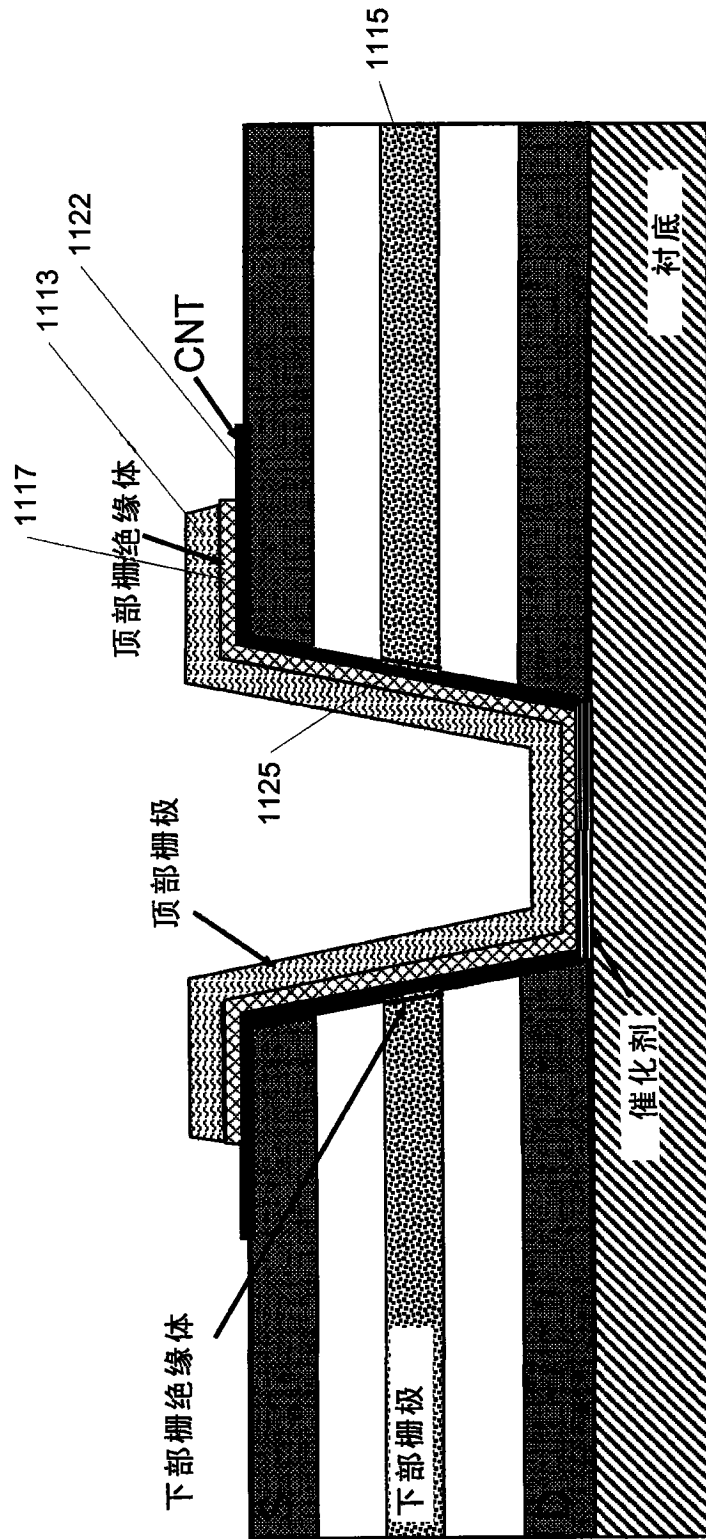


图 11

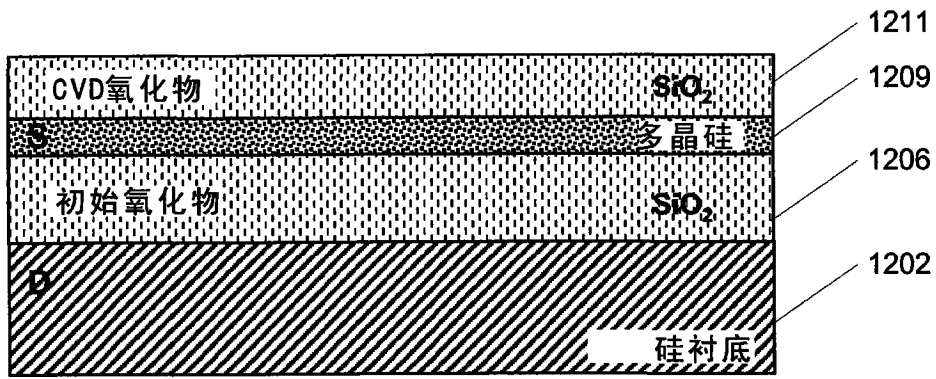


图 12

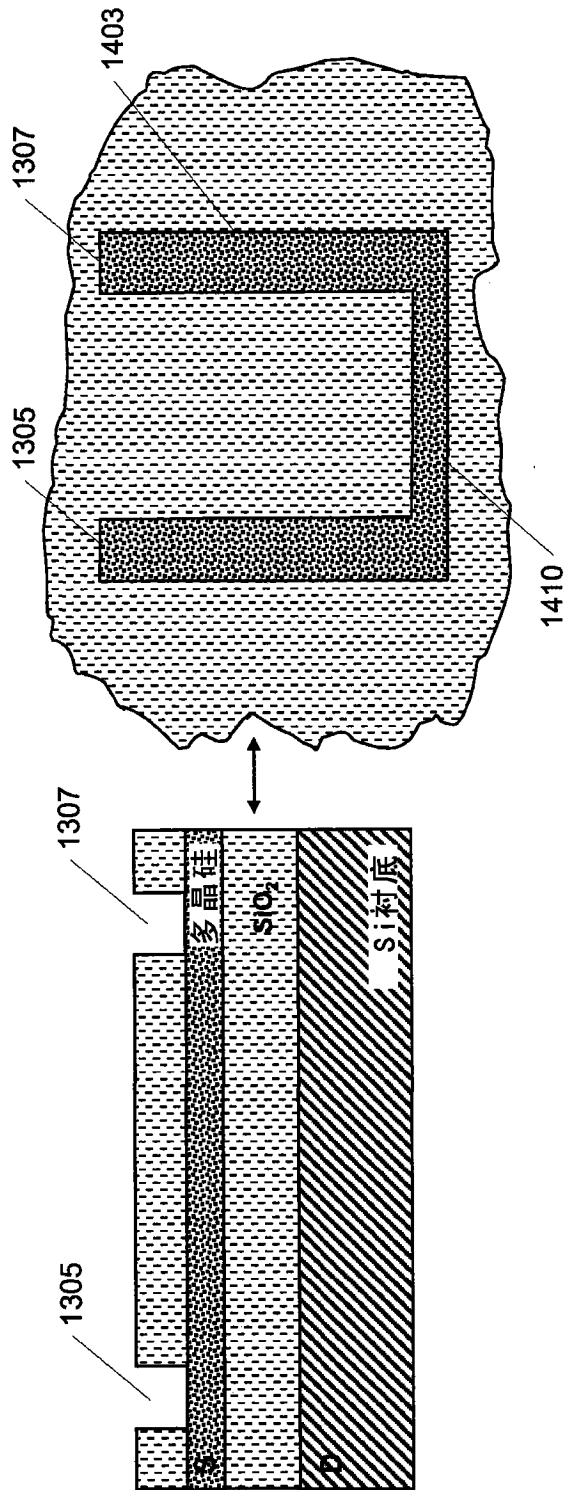


图14

图13

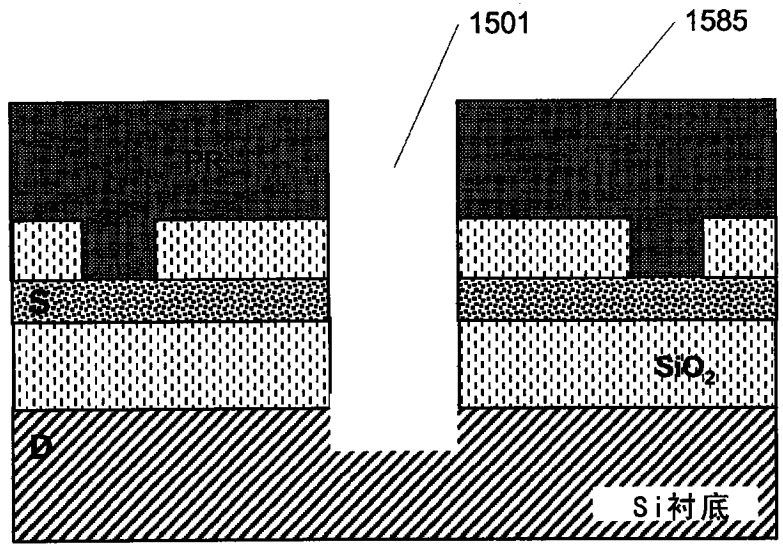


图 15

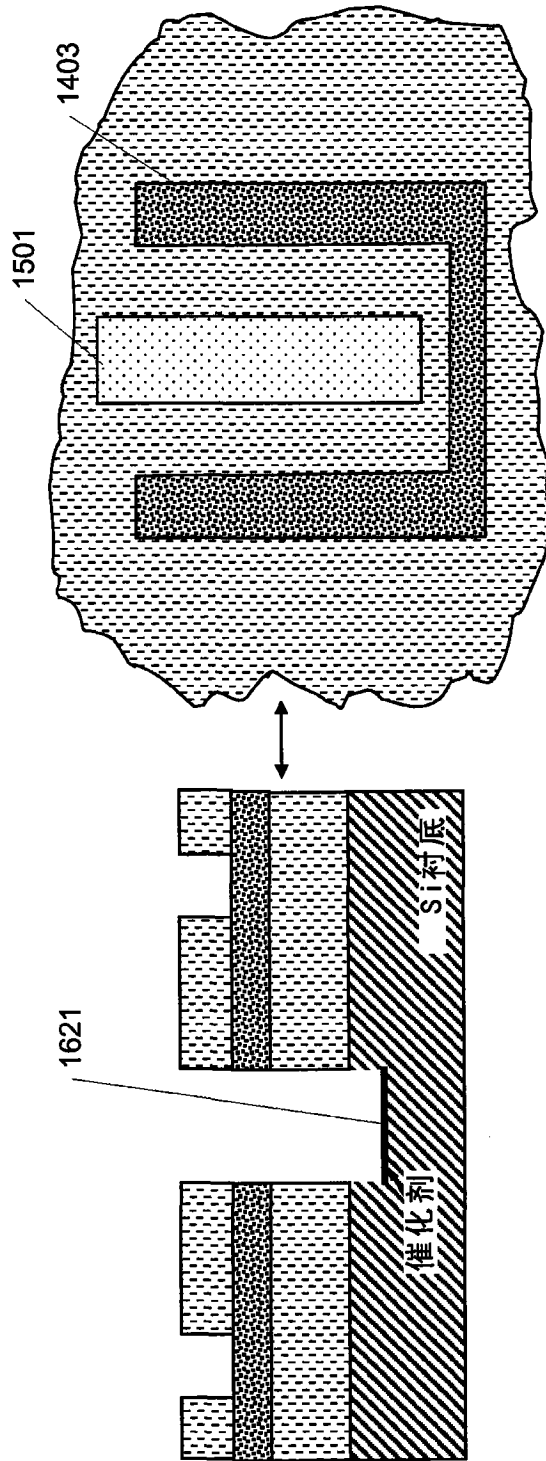


图16

图17

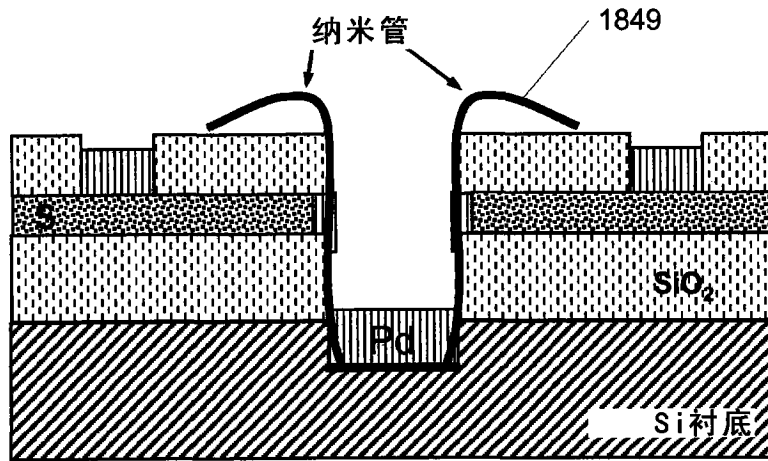


图 18

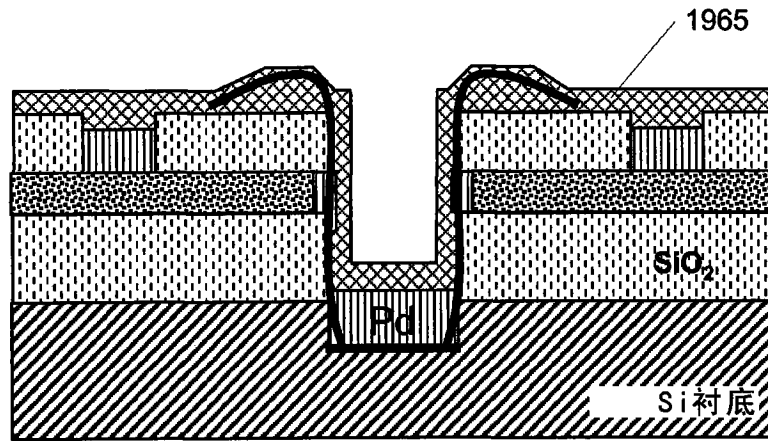


图 19

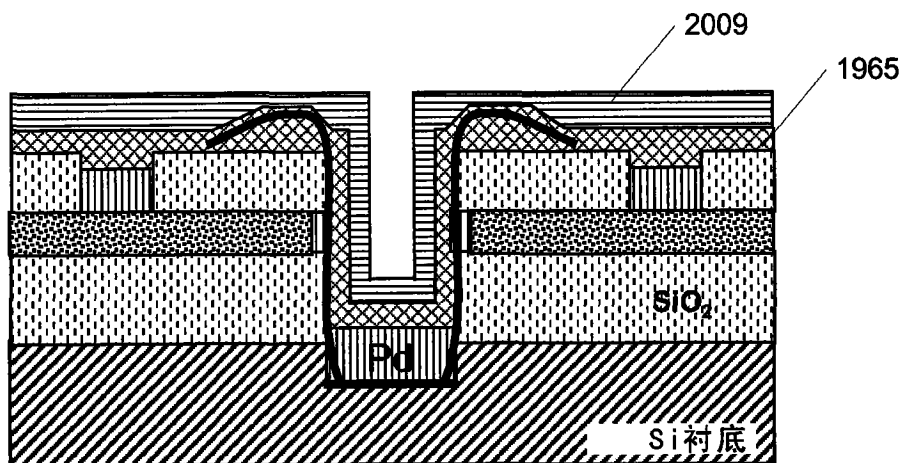


图 20

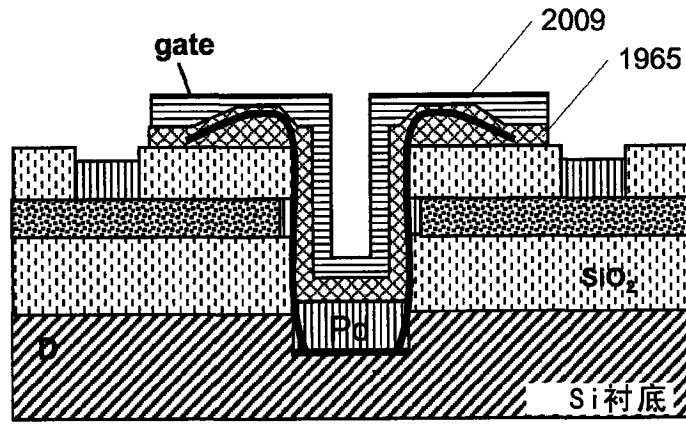


图 21

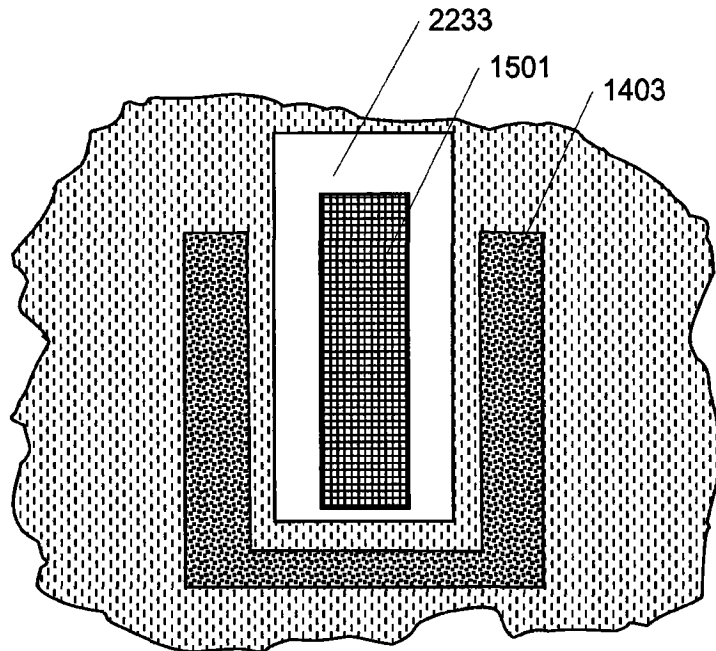


图 22

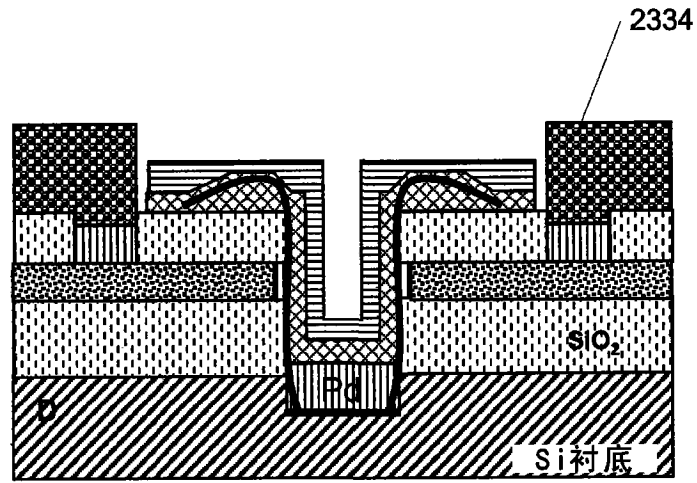


图 23

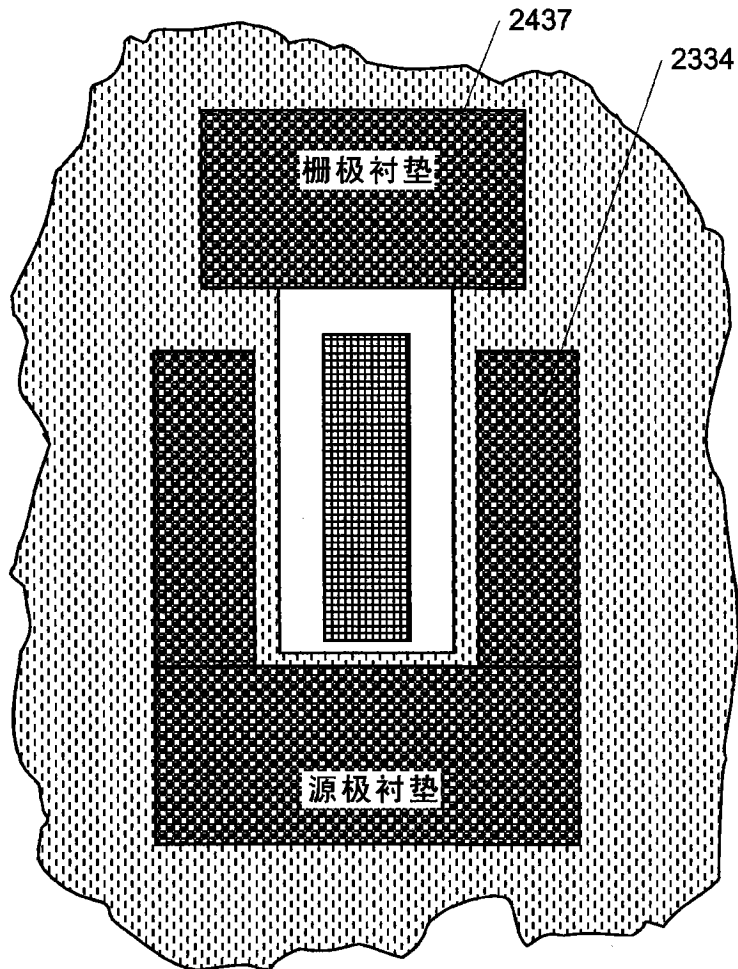


图 24

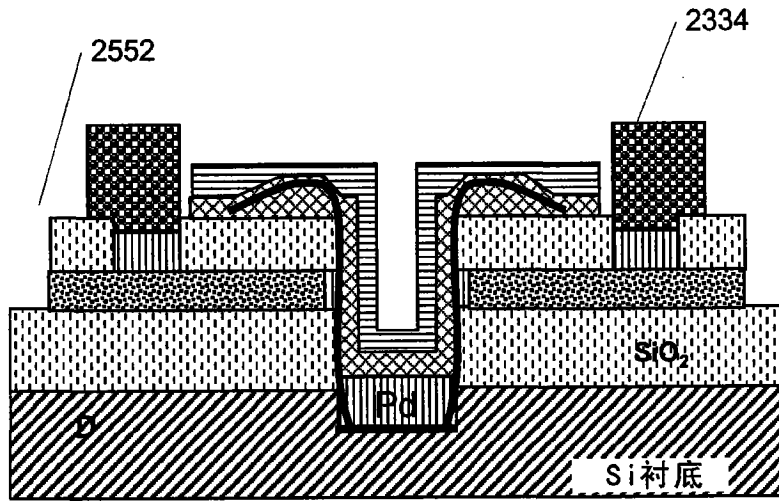


图 25

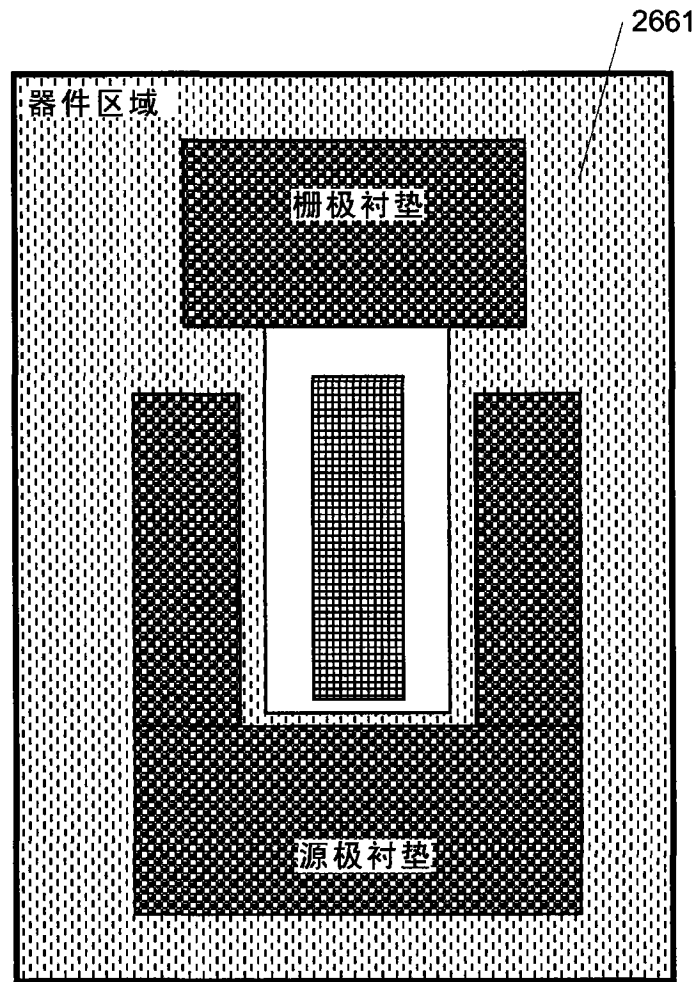


图 26