



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I442071 B

(45)公告日：中華民國 103 (2014) 年 06 月 21 日

(21)申請案號：097141777

(22)申請日：中華民國 97 (2008) 年 10 月 30 日

(51)Int. Cl. : G01R31/28 (2006.01) G01R29/26 (2006.01)

(30)優先權：2007/10/31 美國 11/931,847

2008/03/31 美國 12/058,768

(71)申請人：愛德萬測試（新加坡）私人有限公司（新加坡）ADVANTEST (SINGAPORE) PTE. LTD. (SG)

新加坡

(72)發明人：坎農 史蒂芬 A CANNON, STEPHEN A. (US)；都肯 理察 C DOKKEN, RICHARD C. (US)；克羅奇 奧腓烈德 L CROUCH, ALFRED L. (US)；溫布雷德 葛雷 A WINBLAD, GARY A. (US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 424199

JP 2002-32998A

US 6516432B1

US 2005/0235186A1

審查人員：張慧娜

申請專利範圍項數：28 項 圖式數：9 共 0 頁

(54)名稱

用於分析掃描鏈及判定掃描鏈中保留時間錯誤之次數與位置的方法

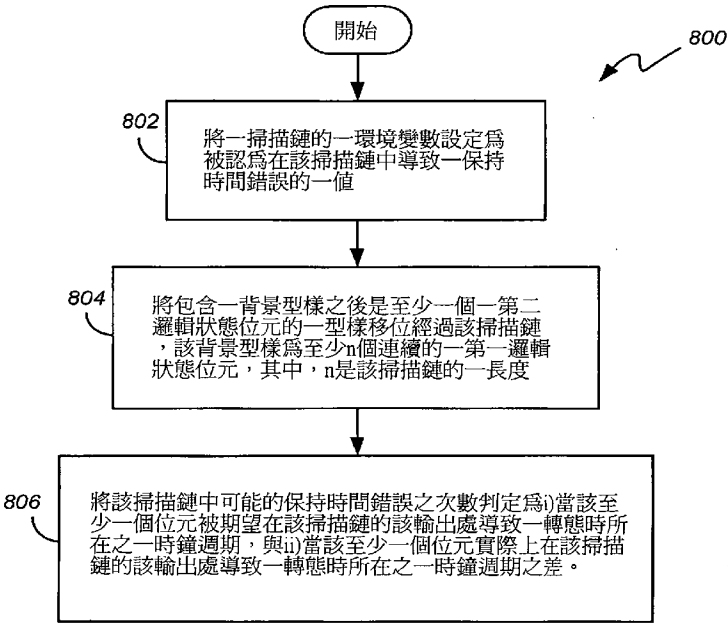
METHODS FOR ANALYZING SCAN CHAINS, AND FOR DETERMINING NUMBERS OR LOCATIONS OF HOLD TIME FAULTS IN SCAN CHAINS

(57)摘要

在一種用以判定一 DUT 的一掃描鏈中可能的保留時間錯誤之次數的方法中，該掃描鏈的一環境變數被設定為被認為在該掃描鏈中導致一保留時間錯誤的一值，及接著一型樣被移位經過該掃描鏈。該型樣具有為一第一邏輯狀態的至少 n 個連續位元的一背景型樣，之後是為一第二邏輯狀態的至少一個位元，其中，n 是該掃描鏈的一長度。該掃描鏈中可能的保留時間錯誤之次數可被判定為 i) 當該至少一個位元被期望在該掃描鏈的一輸出處導致一轉態時的一時鐘週期，與 ii) 當該至少一個位元實際上在該掃描鏈的該輸出處導致一轉態時的一時鐘週期之差。如果該環境變數之該掃描鏈正確地操作時所處之一值可被判定，則一或較多個保留時間錯誤之位置也可被判定。

In a method for determining a number of possible hold time faults in a scan chain of a DUT, an environmental variable of the scan chain is set to a value believed to cause a hold time fault in the scan chain, and then a pattern is shifted through the scan chain. The pattern has a background pattern of at least n contiguous bits of a first logic state, followed by at least one bit of a second logic state, where n is a length of the scan chain. The number of possible hold time faults in the scan chain can be determined as a difference between i) a clock cycle when the at least one bit is expected to cause a transition at an output of the scan chain, and ii) a clock cycle when the at least one bit actually causes a transition at the output of the scan chain. If a value of the environmental variable at which the scan chain operates correctly can be determined, the location of one or more hold time faults can also be determined.

800 . . . 示範方法
802-806 . . . 方塊



第 8 圖

發明專利說明書

公告本

双面影印

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97/4/777

※申請日：97.10.30

※IPC 分類：G01R 7/28 (2006.01)

G01R 29/26 (2006.01)

一、發明名稱：(中文/英文)

用於分析掃描鏈及判定掃描鏈中保留時間錯誤之次數與位置的方法
METHODS FOR ANALYZING SCAN CHAINS, AND FOR DETERMINING
NUMBERS OR LOCATIONS OF HOLD TIME FAULTS IN SCAN CHAINS

二、中文發明摘要：

在一種用以判定一DUT的一掃描鏈中可能的保留時間錯誤之次數的方法中，該掃描鏈的一環境變數被設定為被認為在該掃描鏈中導致一保留時間錯誤的一值，及接著一型樣被移位經過該掃描鏈。該型樣具有為一第一邏輯狀態的至少 n 個連續位元的一背景型樣，之後是為一第二邏輯狀態的至少一個位元，其中， n 是該掃描鏈的一長度。該掃描鏈中可能的保留時間錯誤之次數可被判定為i)當該至少一個位元被期望在該掃描鏈的一輸出處導致一轉態時的一時鐘週期，與ii)當該至少一個位元實際上在該掃描鏈的該輸出處導致一轉態時的一時鐘週期之差。如果該環境變數之該掃描鏈正確地操作時所處之一值可被判定，則一或較多個保留時間錯誤之位置也可被判定。

三、英文發明摘要：

In a method for determining a number of possible hold time faults in a scan chain of a DUT, an environmental variable of the scan chain is set to a value believed to cause a hold time fault in the scan chain, and then a pattern is shifted through the scan chain. The pattern has a background pattern of at least n contiguous bits of a first logic state, followed by at least one bit of a second logic state, where n is a length of the scan chain. The number of possible hold time faults in the scan chain can be determined as a difference between i) a clock cycle when the at least one bit is expected to cause a transition at an output of the scan chain, and ii) a clock cycle when the at least one bit actually causes a transition at the output of the scan chain. If a value of the environmental variable at which the scan chain operates correctly can be determined, the location of one or more hold time faults can also be determined.

四、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

800...示範方法

802-806...方塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

與相關申請案之交互參考

本申請案是2007年10月31日提出申請的第11/931,847號案的部分延續申請案，該申請案在此以參照形式被併入本文。

本發明係有關於一種用於分析掃描鏈及判定掃描鏈中保留時間錯誤之次數與位置的方法。

【先前技術】

10 發明背景

隨著技術節點縮小，更多的缺陷在為了測試目的被加入到一裝置的掃描鏈中被發現。這是由於多個原因，如本文件中所描述。為了使新型積體電路進入市場，且提升良率到可接受的程度，需要新的方法及設備來識別掃描鏈缺陷。

15 掃描鏈是用於測試及良率提高(yield-bring-up)的關鍵項目。當它們斷裂時，它們不僅將一測試中裝置(例如一晶片)歸類到故障種類(增加良率損失問題)，而且掩飾及防礙了對源自於組合的連續的電力分配或時鐘邏輯元件之其他故障的及時與準確的評估。

20 可測試性設計(DFT)的方法或掃描方法係用以使用掃描正反器(flip-flop)代替一設計中的所有正反器。掃描正反器(或掃描細胞)提供兩個路徑進入每一正反器：一個路徑用於設計的任務，一第二個路徑用以促進測試。

用於掃描正反器的兩種最常見的方法是MUXD及

LSSD方法。該MUXD方法在一正反器的D-輸入的前端放置一多工器(mux)。到該多工器的選擇器(被稱為掃描致能)判定是使用該多工器的任務模式輸入還是掃描測試輸入。該LSSD方法使用多個非重疊時鐘：一對非重疊時鐘操作用以傳遞任務資料的獨立的主從閘鎖器；及另一對非重疊時鐘操作該等獨立的主從閘鎖器以產生一掃描移位操作。使用該LLSD方法，全部的掃描位移及樣本操作可僅僅用一對時鐘或所有該等時鐘的一組合來實施。

藉由將一DUT的該等掃描正反器(或掃描細胞)拼接成一或較多個移位暫存器(稱為掃描鏈)，每一正反器可被預設定或觀察。這允許測試型樣被建造，該等測試型樣著重於發現該DUT之子電路中的錯誤。

進一步的描述將著重於該MUXD型掃描，因為它較容易且較簡單於描述。在一MUXD型掃描中，每一掃描正反器具有受該正反器的D-輸入處的一多工器控制的兩個輸入路徑。當該掃描致能被確認有效時，該掃描鏈作為一移位暫存器操作。這允許每一正反器被設定為一特定的狀態。這還允許隨著該等值從該裝置被移位到該掃描輸出上，觀察每一正反器狀態。位準敏感掃描設計在1977年6月第14屆設計自動化會議論文集第492-494頁中由Storey等人所著的“Delay Test Simulation”及美國專利第3,783,254及4,293,919號案中被揭露。

對於掃描鏈中的缺陷(錯誤)，存在數個大體上被接受的模型：受阻鏈、橋接及保留時間。

受阻鏈--此情況係藉由在掃描模式時觀察該等掃描輸出來判定。如果該輸出不管移入該鏈中的資料而處於一固定位準，則該鏈在一或較多個點處被阻斷，且距離該掃描輸出最近的阻斷支配了什麼會從該鏈中觀察到。該錯誤模型大體上為，來自位於該阻斷點處的該順序元件的該掃描鏈之輸出固定0或者固定1。

橋接--橋接錯誤是當通過一掃描鏈的資料可以改變另一掃描鏈中的資料或同一掃描鏈之不同的位置中的資料時，資料相依的一情況。疑似機制是當所含的兩個信號是相反值時，所執行的“攻擊者-受害者”短路或橋接。

保留時間--保留時間錯誤是允許來自一個正反器的資料在鏈中向前競賽的一情況。保留時間錯誤歸因於多個因素，包括可與正反器的反應時間(Clock-to-Q time)相比的長線路由及時鐘偏斜。該情況係當該輸出上所產生的資料仍然雙態觸變(toggle)但看起來偏斜(正確的反應但在時間上被移位)時或當位元遺漏(資料模糊(smearing)或位元略過)時被懷疑。總之，保留時間錯誤可被視為“偶然加密”。如果施加在該掃描輸入處的位元數與該掃描輸出上的資料不匹配，則可能是一保留時間錯誤存在。在一些實例中，保留時間錯誤使該掃描鏈看上去比它實際上具有的正反器少。

保留時間是一掃描鏈中兩個相鄰細胞之間的一資料通訊錯誤，其中，離該掃描輸入最近的位元是攻擊者細胞，及離該掃描輸出最近的位元是受害者細胞。當一保留時間錯誤存在時，該受害者細胞的資料值被該攻擊者的細胞的

資料值取代。由此產生的資料流顯示該攻擊者的資料兩次，且該受害者的資料遺失。這裏有三種常見類型的保留時間錯誤。

- 標準保留時間錯誤-當兩種資料狀態(攻擊者及受害者)都不適當地被傳送時，模擬該掃描鏈中一遺漏之正反器的故障表徵(signature)產生。

資料1保留時間錯誤-當該攻擊者細胞的資料為一邏輯1時，則它的資料被向前拉一個位置，複寫該受害者的資料。由此產生的故障表徵具有很多個1。

- 資料0保留時間錯誤-當該攻擊者細胞的資料是一個0，則它的資料被向前拉一個位置，複寫該受害者的資料。由此產生的故障表徵具有很多個0。

- 典型地，為了保證該掃描鏈測試邏輯元件是可操作的，在執行對一裝置的功能性邏輯元件測試之前，測試將被在該掃描鏈測試邏輯元件上執行。對該掃描鏈測試邏輯元件的此等測試通常被稱為掃描鏈完整性測試。最常見的方法是在該等掃描輸入處發送一連串的“1”及“0”。隨著該掃描致能被確認有效，該掃描鏈實質上是一大的移位暫存器。隨著該掃描致能的連續確認有效，該功能性邏輯元件從該測試移除。在“n”個時鐘週期以後，其中，“n”等於該鏈中掃描細胞的數目，如果該掃描鏈正確地操作，則該輸入流應該在該掃描輸出上被觀察到。

如果該掃描鏈沒有可靠地將資料從一掃描輸入傳遞到一掃描輸出，則整個掃描方法失效。用以載入該鏈的輸入

資料及用以載出該鏈的輸出資料都被中斷。這典型地證明它是一掃描鏈完整性故障。這使得該掃描鏈看起來比它實際上要短至少一個正反器。諸如時序收斂之設計問題，或諸如不完美的通孔或弱的時鐘樹緩衝器之製造缺陷可能引起時鐘偏斜問題。在奈米幾何中，它時常由該兩者的組合引起，由於保留時間問題導致一良率損失。

由ATPG工具所產生的習知的鏈完整性型樣目前以一“0-0-1-1-0-0-1-1”序列的一複製流來實施。該序列具有每隔一個向量變化的資料。因此，具有一標準保留時間錯誤的一裝置看起來被移位一個位元，且最後的位元是不確定的。被移出的該最後的位元不是該型樣的一部分；這是當該掃描輸出序列被應用時，在該掃描輸入接腳上的狀態。參見第1圖，要注意，具有一單一標準保留時間錯誤的該故障表徵基本上是通過-失敗-通過-失敗。

通常，保留時間錯誤是對時間敏感的。那就是，因為一正反器的Q輸出的上升時間及下降時間不是對稱的，所以一保留時間錯誤可能導致該正反器能夠傳遞一資料狀態而不能夠傳遞另一個。該故障可能由具有比下降時間慢的一上升時間的該Q-輸出引起。

第2圖中所顯示的範例假定一單一保留時間錯誤，“0”是攻擊者狀態，及“1”是受害者狀態。當裝置在一單一鏈上具有多個保留時間錯誤時，對於每一錯誤，該資料移位一個週期。對於較小的幾何裝置在一單一鏈上具有多個保留時間錯誤是相當常見的。使用該標準的00110011型樣，對

於一鏈將該資料移位4個位置且在該型樣的末端實際上通過該掃描鏈測試，這是可能的。

如以前所提及，在可測試性設計方法中，正反器具有一雙重功能。在正常或功能性模式期間，它們門鎖電路中的資料狀態，且儲存要被傳送到該設計中下一邏輯元件的值。在測試模式期間，它們被用以提供測試激源給組合邏輯電路元件，且擷取該邏輯操作的結果。為了將測試型樣傳遞到一測試中裝置及從一測試中裝置傳遞出該等測試型樣，該等正反器被重組配成一或較多個串列移位暫存器。

10 如果兩群暫存器間的邏輯元件的數量大得使得在一掃描鏈被計時之前在所允許的設置時間以內，資料未傳過該邏輯元件且在一正反器的輸入處變得穩定，則被稱為一設置違規的一類型設計問題可能發生。當這發生時，被計時進入一正反器的結果可能是無效的。這係由與“時序分析”
15 有關聯的設計方法與工具來解決。

在一期望的掃描型樣被載入到一或較多個掃描鏈之後，掃描致能不被確認有效且一裝置的邏輯元件以任務模式被計時一或較多次。在該裝置的掃描正反器中，邏輯操作的結果被擷取。期望從該測試中裝置中取出此結果，使
20 得它可被一測試系統檢查。這係藉由使正反器回到串列移位模式，且接著用足夠的時鐘以將(多個)掃描鏈中的每一個位元移出該(等)掃描輸出埠來完成。大多數設計具有比其他掃描鏈更長的一些掃描鏈，所以重要的是將該資料移位足夠多次以使即便最長的鏈也完全地被載出。較短的鏈被過

度移位，因此用X(不理會)狀態填補。當資料被移入時，此相同的技術被應用，其中，較短的鏈典型地以虛擬“0”預填補在實際資料流之前。這時，透過該掃描輸入埠移入一新的測試型樣是常見的。

- 5 在掃描暫存器之習知的實施中，電荷流或電流需要建立一時鐘事件以及一狀態變化。一裝置的導電媒體上的一缺陷可能使電流之速率降低，使得一狀態變化或時鐘事件可能自它的期望時間被延遲。此外，時鐘信號必須被分配遍及一晶片，且需要緩衝器來激增電流。任何兩個時鐘信號在到達它們的暫存器時可能具有一差，該差被稱為時鐘偏斜，且該時鐘偏斜可藉由調整該緩衝器的大小及攜帶該時鐘信號的導線的路由來控制。
- 10

- 如一保留時間錯誤之影響的一範例，考慮長度為8(即8位元位置、正反器或掃描細胞)的一掃描鏈，位元0(0)離該掃描輸出埠最近，及位元7(7)離該掃描輸入埠最近。在一功能性時鐘之後，在該掃描鏈的8個暫存器內，一裝置的邏輯元件的狀態被完全擷取，如下：
- 15

V(0) V(1) V(2) V(3) V(4) V(5) V(6) V(7)

- 在一正確的移位暫存器中，該8個位元中的每一個被串列移出，且開始於I(0)的一新的測試型樣被移入。但是，設想位元6(6)顯示一保留時間錯誤。在第一移位時鐘上，V(0)被從該掃描輸出埠發出。然而，在該第一移位期間，位元6(6)處的錯誤導致它擷取V(7)而不是V(6)。在8個移位時鐘已經被應用之後，該掃描輸出處所擷取的型樣將是：
- 20

$V(0) V(1) V(2) V(3) V(4) V(5) V(7) I(0)$

而且，考慮以上掃描鏈之對一輸入測試型樣的錯誤，
該輸入測試型樣可能出現為：

$I(0) I(1) I(2) I(3) I(4) I(5) I(7) I(N)$

- 5 可被理解的是，習知地，掃描鏈可由10,000個暫存器(即正反器或細胞)組成，且即使少於百分之一顯示一保留時間錯誤，一掃描鏈中的數百位元可能是無效的。

【發明內容】

發明概要

- 10 依據本發明之一實施例，係特地提出一種用以分析一測試中裝置之一掃描鏈的方法，其包含以下步驟：將該掃描鏈的一環境變數設定為一第一值，且接著將一非常數序列型樣移位經過該掃描鏈，以判定一非預期的雙態觸變型樣是否從該掃描鏈輸出；將該環境變數設定為一第二值，
- 15 且接著將該非常數序列型樣移位經過該掃描鏈，以判定該非常數序列型樣是否在一預期時間從該掃描鏈輸出；及至少當該掃描鏈i)在該環境變數的該第一值輸出一非預期的雙態觸變型樣，且ii)在該環境變數的該第二值不能在該預期時間輸出該非常數序列型樣時，根據第一多次掃描測試
- 20 的結果，判定該掃描鏈中可能的保留時間錯誤之次數。

圖式簡單說明

本發明之說明性實施例被說明在圖式中，其中：

第1圖說明一第一示範保留時間錯誤；

第2圖說明一第二示範保留時間錯誤；

第3圖說明耦接到一示範測試中裝置的一示範測試系統；

第4圖說明用以判定一掃描鏈中保留時間錯誤之次數的一第一示範方法；

第5圖說明用以判定一掃描鏈中至少一個保留時間錯誤之位置的一第一示範方法；

第6圖說明用以分析一掃描鏈的一第一示範方法；

第7圖說明用以分析一掃描鏈的一第二示範方法；

第8圖說明用以判定一掃描鏈中保留時間錯誤之次數的一第二示範方法；

第9圖說明用以判定一掃描鏈中至少一個保留時間錯誤之位置的一第二示範方法。

要注意，在下面的描述中，出現在不同的圖式中的相同的參考數字指的是相同的元件/特徵。因而，關於該等圖式中的每一個，通常出現在不同的圖式中的相同的元件/特徵將不詳細描述。

【實施方式】

較佳實施例之詳細說明

在描述用以判定一或較多個掃描鏈中保留時間錯誤之次數或位置的多個新穎方法之前，一示範測試中裝置300、掃描鏈314、316及測試系統312將被揭露。第3圖說明包含兩個掃描鏈314、316的一示範電路300(或測試中裝置(DUT))，該兩個掃描鏈314、316中的第一個包含與該電路300的組合邏輯元件310互連的一連串四個正反器302、304、306、308。為簡便，該組合邏輯元件310被封裝在一“黑

盒子”中。舉例而言，每一掃描鏈314、316係藉由在一相對應的正反器302、304、306、308的資料輸入(D)之前加入一信號多工器來建立。稱為掃描致能(SE)的一單一控制信號被加入以控制此等多工器的選擇。可選擇地，該等掃描鏈

5 314、316還可以以其他方式被建立，諸如用LSSD技術。當該SE信號為低時，該電路300正常工作，意指該等正反器302、304、306、308的資料輸入來自該組合邏輯元件310。當該SE信號為高時，每一正反器302、304、306、308的輸入被連接到另一正反器的輸出或該電路300之一外部掃描

10 輸出(SO)接腳。輸入該掃描鏈中的該第一正反器302的資料輸入還被引入該電路300之一外部接腳(即一掃描輸入(SI)接腳)。在一測試(或分析)型樣被移入該掃描鏈314之後，使該SE信號處於低達一個週期，且該組合邏輯元件310之自該已移入測試型樣所產生的資料輸出在該等正反器302、

15 304、306、308中被擷取。接著，該SE信號被恢復為高，而該等已擷取之資料結果被移出該SO接腳，且藉由該測試系統312對照預期結果被比較。該組合邏輯元件310中任何操作缺陷將導致該資料輸出序列之一或較多個位元不同於該等預期結果。

20 該示範測試系統312能夠執行對該裝置300的結構性測試(還被稱為掃描測試或DFT測試)，且在一些實例中，可能能夠執行對該電路300的功能性測試。一資料型樣記憶體被載入，具有要被用到該裝置300的該等測試型樣，及期望從該裝置300讀取的該等資料型樣。該測試系統312可以具有

一可選擇的模式，用以1)每當一錯誤發生時(例如當一輸出資料狀態不同於一預期資料狀態時)終止該測試，或者2)完成整個型樣組且記錄所觀察到的所有錯誤。為了實現此目的，一測試系統需要具有一資料擷取記憶體。此記憶體可
5 記錄該資料週期數及一錯誤被觀察到時的輸出接腳。該資料擷取記憶體的另一模式係用以記錄自該裝置300的該等掃描輸出讀取的原始(實際)狀態。

第4-9圖說明用以分析一測試中裝置(DUT)之一掃描鏈的各種示範方法400、500、600、700、800、900。該等方法
10 特別適用於針對保留時間錯誤分析一掃描鏈，但是還可被用於針對其他類型錯誤分析一掃描鏈。

第4圖說明用以判定一掃描鏈中可能的保留時間錯誤之次數的一示範方法400。該方法400包含判定一掃描鏈對於保留時間錯誤分析而言是否是一好的候選者(在方塊
15 402)，且如果是的話，則使用多次掃描測試的結果來判定該掃描鏈中可能的保留時間錯誤之次數(在方塊404)。用以判定可能的保留時間錯誤之次數的示範方法稍後將在此描述中被討論。

第5圖說明用以判定一掃描鏈中至少一個可能的保留
20 時間錯誤之位置的一示範方法500。該方法500包含判定一掃描鏈對於保留時間錯誤分析而言是否是一好的候選者(在方塊502)。如果是的話，則該掃描鏈顯示保留時間錯誤行為時所處之一環境變數的值被註記(作為該環境變數的一第一值)(在方塊504)。接著，該環境變數被設定為一或較

多個不同的值，且關於是否存在該環境變數的一第二值的一判定被做出，在該環境變數的該第二值該掃描鏈操作而不顯示保留時間錯誤行為(在方塊506)。如果判定該第二值存在，則多次掃描測試的結果被用以判定該掃描鏈中至少一個可能的保留時間錯誤之一位置(在方塊508)。利用該環境變數的該第一及第二值，該等多次掃描測試被執行。用以判定一掃描鏈中至少一個可能的保留時間錯誤之位置的示範方法稍後將在此描述中被討論。

藉由該方法500改變的該環境變數可以採取各種形式，且在一些實例中可以包括以下中的一或較多個：一供應電壓、一溫度、或一掃描移位時鐘率。發明人的實驗已經顯示，在一些實例中，升高或降低該掃描鏈(或DUT整體)的供應電壓可改變掃描鏈的內部時序足以建立或消除一保留時間問題。溫度及掃描移位時鐘率(第3圖中的CK率)也可以影響該等內部時序且有助於一掃描鏈的有效操作。

第6圖說明用以組合及實施第4及5圖中所顯示的該等方法400、500的一示範方法600。該方法600開始於使一掃描鏈處於移位模式(在方塊602)。之後，對於一環境變數的一或較多個值中的每一個(參見方塊604)，該方法600透過一連串步驟疊代。

在方塊606，一非常數序列型樣被移位經過該掃描鏈，且該掃描鏈的該輸出被觀察(在方塊608)。一“非常數序列型樣”在此被定義為包含至少兩個邏輯狀態的一型樣。較佳地，雖然不一定，但一“非常數序列型樣”還包含兩個或更

多個邏輯狀態之間的頻繁轉態。“非常數”並不意味著一型樣一定無重複。

在方塊610，判定該非常數序列型樣是否在一預期時間從該掃描鏈輸出。如果是的話，則該掃描鏈在該環境變數的一特定值處被識別為“好的”(在方塊612)。如果不是，則該方法600繼續到步驟614。在方塊614，判定該掃描鏈的該輸出是否雙態觸變。當一非預期的雙態觸變型樣被從該掃描鏈輸出(即方塊614被回答YES)時，該掃描鏈對於保留時間錯誤分析而言是一好的候選者。當一平線型樣從該掃描鏈被輸出，則該掃描鏈被識別為“平線的”(在方塊616)。“平線型樣”在此被定義為由具有一單一邏輯狀態的一連續系列的位元(例如所有為邏輯1，或者所有為邏輯0)組成的一型樣。根據一非常數序列型樣，輸出一平線型樣的一掃描鏈典型地被阻斷(例如由於一接地短路)。

保留時間錯誤分析開始於判定方塊618，且包含判定該掃描鏈在該環境變數的任一值處是否輸出該非常數序列型樣。如果該掃描鏈在該環境變數的任一值處不能輸出該非常數序列型樣，則該掃描鏈中可能的保留時間錯誤之次數係根據第一多次掃描測試之結果來判定(在方塊620)。然而，如果該掃描鏈確實輸出該非常數序列型樣，則該掃描鏈中至少一個可能的保留時間錯誤之位置係根據第二多次掃描測試之結果來判定(在方塊622；且較佳地，所有保留時間錯誤的位置被判定)。利用該環境變數的該第一及第二值，該等第二多次掃描測試被執行。

該等方法400、500、600的步驟僅是示範性的，且該等方法400、500、600的各種置換可存在。在一些實例中，附加的步驟可被插入該等方法400、500、600中。而且，在相同的或不同的實例中，步驟被執行時所依的順序可被改變。

- 5 第7圖說明該方法600的一置換700，其中，當該掃描鏈輸出一非預期的雙態觸變型樣(及因而對於保留時間錯誤分析而言是一好的候選者)時，該掃描鏈中可能的保留時間錯誤之次數被判定(在方塊702)，而不管該掃描鏈在該環境變數的任一值處是否輸出該非常數序列型樣。
- 10 在揭露用以判定可能的保留時間錯誤之次數或位置的示範方法之前，一“背景型樣”的概念將被引入。一背景型樣是至少 n 個連續位元的一型樣，其中， n 是正被分析的一掃描鏈的長度。因為具有可能的保留時間錯誤的一掃描鏈在資料正變化時不能被可靠地載入或載出，且因為這樣一
- 15 種掃描鏈的長度看起來是易變的，所以期望在載入具有一分析型樣(即該掃描鏈的輸出將被觀察時所用之一型樣)的一掃描鏈之前載入具有一背景型樣的一掃描鏈。一背景型樣用以清洗一掃描鏈以清除未知資料轉態。根據接在一背景型樣之後的分析型樣的類型，該背景型樣可以是例如，
- 20 至少 n 個連續的邏輯1位元，或者可選擇地， n 個連續的邏輯0位元。在一些實例中，一背景型樣還可以接在一分析型樣之後，以保證攻擊者位元沒有破壞該分析型樣。

已經討論了一背景型樣的概念，第8圖說明用以判定一掃描鏈中可能的保留時間錯誤之次數的一示範方法800。舉

例而言，該方法800可以作為執行第4、6或7圖所顯示的該等方法400、600、700中的任一種方法的一結果而被執行。

該方法800開始於將一掃描鏈的一環境變數設定為被認為在該掃描鏈中導致一保留時間錯誤的一值(在方塊802)。接著，一型樣被移位經過該掃描鏈(在方塊804)。該型樣包含為一第一邏輯狀態的至少 n 個連續位元的一背景型樣，之後是為一第二邏輯狀態的至少一個位元，其中， n 是該掃描鏈的一長度。在將該型樣移位經過該掃描鏈時或之後，該掃描鏈中可能的保留時間錯誤之次數可被判定為

5 802)。接著，一型樣被移位經過該掃描鏈(在方塊804)。該型樣包含為一第一邏輯狀態的至少 n 個連續位元的一背景型樣，之後是為一第二邏輯狀態的至少一個位元，其中， n 是該掃描鏈的一長度。在將該型樣移位經過該掃描鏈時或之後，該掃描鏈中可能的保留時間錯誤之次數可被判定為

10 i)當該至少一個位元被期望在該掃描鏈的該輸出處導致一轉態時所在之一時鐘週期，與ii)當該至少一個位元在該掃描鏈的該輸出處實際上引起一轉態時所在之一時鐘週期之差(在方塊806)。換句話說，因為一保留時間錯誤使資料過快地經過一或較多個掃描細胞，所以該方法800判定該“至少一個該第二邏輯狀態位元”“過早”多少個時鐘週期在該

15 掃描鏈的該輸出處導致一轉態。如果該至少一個該第二邏輯狀態位元當被期望時導致一轉態，則該掃描鏈可能不具有一保留時間錯誤；及如果該至少一個該第二邏輯狀態位元過晚地導致一轉態，則該掃描鏈可能具有一保留時間錯誤

20 誤以外的一錯誤。

雖然接在該第一邏輯狀態的該背景型樣之後的該“至少一個該第二邏輯狀態位元”可以僅由一單一位元組成，但是為了強健性(及與習知的掃描鏈載入程序之相容性)，較佳的是將該“至少一個該第二邏輯狀態位元”組配成至少 n 個

連續的該第二邏輯狀態位元。

如之前所描述，該方法800使1個“極性”的保留時間錯誤之次數能夠被判定(例如，上升邊緣或邏輯0到1錯誤之次數或者下降邊緣或邏輯1到0錯誤之次數)。然而，該方法800

5 可以被擴展以使其能夠判定上升邊緣保留時間錯誤之次數以及下降邊緣保留時間錯誤之次數。例如，在一實施例中，根據該方法800被移位經過該掃描鏈的該型樣可以包含 $2n$ 個該第一邏輯狀態的位元，之後是 $2n$ 個該第二邏輯狀態的位元，之後是 n 個該第一邏輯狀態的位元。在此實施例中，

10 在將該型樣移位經過該掃描鏈時或之後，上升及下降邊緣保留時間錯誤之次數可被判定為i)當一各自的邊緣被期望自該掃描鏈輸出時所在之一時鐘週期，與ii)當該各自的邊緣實際上從該掃描鏈輸出時所在之一時鐘週期之差。被移位經過該掃描鏈的該型樣被提供一初始 $2n$ 個該第一邏輯狀

15 態位元，因為一鏈中保留時間錯誤可能使該掃描鏈的“表面的”長度改變，且 $2n$ 個位元提供對一完整的掃描鏈清洗的一更好的可能性。

在揭露用以判定可能的保留時間錯誤之位置的示範方法之前，用以決定一環境變數的該第一及第二值的示範方

20 法將被討論。該第一值是保留時間錯誤行為在一掃描鏈中被觀察到時的值，及該第二值是無保留時間錯誤行為在該掃描鏈中被觀察到時的值。

在一些實例中，該環境變數的該第一及第二值可藉由簡單地自一使用者接收它們來決定。例如，一使用者可藉

由經由一電腦之一使用者介面輸入它們，或者藉由將它們保存在一電子檔案中來提供該等值。根據該第一值導致一掃描鏈顯示保留時間錯誤行為而該第二值不導致一掃描鏈顯示保留時間錯誤行為之猜測或者知識，該使用者可提供該等值；或根據該第一值是一“目標值”(或在該掃描鏈的該環境變數的一正常操作範圍之內)，及根據該第二值在該掃描鏈的該環境變數的一正常操作範圍之外，該使用者可提供該等值。要注意保證該第二值雖然在該環境變數的正常操作範圍之外，但是在不期望損壞該掃描鏈的範圍之內。

10 在其他實例中，利用諸如該方法600(第6圖)之一方法，該環境變數的該第一或第二值可被識別。那就是，對於該環境變數的多個值(即兩個或更多個值)中的每一個，該非常數序列型樣可被移位經過該掃描鏈以判定該非常數序列型樣是否在一預期時間從該掃描鏈輸出(在方塊606、608、15 610、614)。接著，該環境變數的該第一值可被識別為該等多個值中之導致該掃描鏈輸出一非預期的雙態觸變型樣的一個值(或一目標值，或該掃描鏈的一正常操作範圍之內的值)(在方塊618)。接著，該環境變數的該第二值可被識別為該等多個值中之導致該非常數序列型樣在該預期時間從該20 掃描鏈輸出的一個值(在方塊610)。

在一些實施例中，針對該環境變數的值(該等值以低於一目標值開始，且然後增加)，該方法600之方塊604之內的該等步驟可被連續地重複。在其他實施例中，針對該環境變數的值(該等值以高於一目標值開始，且然後減小)，方塊

- 604之內的該等步驟可被連續地重複。在任一實例中，方塊604中的該等步驟針對其等被重複之該環境變數的該等值可藉由根據一步階大小步進(掃描)該環境變數的該值來判定。該步階大小可被選擇以提供足夠的解析度以判定該第一及第二值是否存在。可選擇地，該環境變數的該等值可被隨機選擇，或者根據什麼值可能起作用的知識來選擇。

較佳地，針對該環境變數的每一個值，在方法600之方塊604之內的該等步驟被重複一次以上以保證結果是可重複的。

- 10 識別該環境變數的該第一或第二值的另一種方式是藉由對該環境變數的不同值執行諸如該方法800之一方法。接著，該第一值可被識別為導致該掃描鏈輸出在一預期時間(或時鐘週期)之前轉態的一值，及該第二值可以被識別為導致該掃描鏈輸出在一預期時間轉態的一值。

- 15 已經討論了用以決定一環境變數之適當的第一及第二值的各種示範方法，現在參考第9圖，其說明了用以判定一掃描鏈中可能的保留時間錯誤之次數的一示範方法900。舉例而言，該方法900可作為執行第5、6或7圖中所顯示的該等方法500、600、700中的任一種方法之結果而被執行。

- 20 執行該方法900假定，一掃描鏈的一環境變數可被交替地設定為一第一值及一第二值，其中該第一值被認為在該掃描鏈中導致一保留時間錯誤，且其中該第二值被認為在該掃描鏈中不導致一保留時間錯誤。在此脈絡中，該方法900開始於，在該環境變數被設定為該第二值時將至少一個

掃描型樣移入該掃描鏈(在方塊902，其中N是要被移入該掃描鏈中的掃描型樣的數目)。對於移入該掃描鏈中的每一掃描型樣，及在將一特定的掃描型樣移入該掃描鏈之後(參見方塊904)，該環境變數暫時被設定為該第一值(在方塊906)。接著，該掃描鏈在該環境變數的該第一值被計時至少一次(在方塊908)。隨後，使該環境變數返回到該第二值，且當該環境變數保持在該第二值時該特定的掃描型樣被移出該掃描鏈(在方塊910)。在每位元的基礎上，被移出該掃描鏈的每一特定的掃描型樣被與一期望掃描型樣相比較，以識別位元之一差異的至少一個位置(在方塊912)。每次位元中的差異被識別出時，一可能的保留時間錯誤之一新的位置根據該差異被識別(在方塊914)。

因為該方法900在該環境變數之一安全值(即該第二值)處將資料移出該掃描鏈，所以當該掃描鏈在該環境變數的該第一值被計時(即在被認為在該掃描鏈中導致一保留時間錯誤的該環境變數值處被計時)時，故障位元指示資料的錯誤傳遞。較佳地，載入一背景型樣被用以在載入該掃描鏈之輸出被觀察時所用之每一掃描型樣之前清洗該掃描鏈以清除不需要的資料。

通常，根據該方法900被移位經過一掃描鏈的該型樣或該等型樣可基於一鏈完整性型樣，諸如一重複的00110011型樣。

因為該方法900引入至少一個額外的時鐘，所以當該掃描鏈在該環境變數的該第一值被移位時，在該掃描鏈的輸

出處所期望的該(等)掃描型樣將被減少至少一個位元。這是因為如下事實：一已載入型樣的一前導位元或多個前導位元在該(等)額外的時鐘期間，而不是在正常的去載過程期間被移出。因此，對於一偶同位的掃描鏈，下面的型樣被載

5 入及被期望：

被載入型樣：00110011

被期望型樣： 0110011

因為一保留時間錯誤可能發生在某些資料轉態，但沒有發生在其他資料轉態，所以該方法900可被組配以保證當
10 該掃描鏈在該環境變數的該第一值被計時時，一掃描鏈中的每一掃描細胞經歷一邏輯0到1(0-1)、邏輯1到1(1-1)、邏輯1到0(1-0)、邏輯0到0(0-0)轉態。在一實施例中，這藉由將該重複的00110011型樣的不同相移位經過該掃描鏈，且接著對於每一相型樣，在該環境變數的該第一值僅計時該
15 掃描鏈一次來完成。較特別地，該等不同的相為：

第一相：00110011(即十六進位3)

第二相：01100110(即十六進位6)

第三相：11001100(即十六進位C)

第四相：10011001(即十六進位9)

20 該等相的命名慣例及它們被施加的順序不是重要的。

給定以上示範相型樣，及一偶同位掃描鏈，下面的型樣被載入及被期望：

第一相被載入型樣：00110011

第一相被期望型樣： 0110011

第二相被載入型樣：01100110

第二相被期望型樣： 1100110

第三相被載入型樣：11001100

5 第三相被期望型樣： 1001100

第四相被載入型樣：10011001

第四相被期望型樣： 0011001

該等以上相型樣僅是示範性的，且其他型樣也可被使用以確保當該掃描鏈在該環境變數的該第一值被計時時，
10 一掃描鏈中的每一掃描細胞經歷一邏輯0到1(0-1)、邏輯1到1(1-1)、邏輯1到0(1-0)、邏輯0到0(0-0)轉態。藉由組配該方法900以將一掃描細胞暴露於所有可能的邏輯轉態中，該方法900使所有可能的保留時間錯誤之該(等)位置能夠被判
15 定，不管該(等)保留時間錯誤的極性。

要注意，一重複型樣的長度應該大於一掃描鏈中可能的保留時間錯誤之次數以防止一重複型樣的複製在它們自身上瓦解。

雖然藉由用一非常數序列型樣填入一掃描鏈，保留時間錯誤之位置被識別之速率通常被增加，但是將短的資料
20 序列用到一掃描鏈之保留時間錯誤被期望或被檢測之特定區域有時是有幫助的。例如，在一環境變數的一第一(或不安全)值處計時具有一單一前景向量100001000型樣的一背景0經過一掃描鏈之一區域一或較多個週期，有時可檢測資
25 料敏感性。

在此所揭露的該等方法400、500、600、700、800、900

可被應用到具有多個掃描鏈的DUT。在此等實例中，多個(或所有)掃描鏈可平行被載入背景或分析型樣。然而，有時需要藉由將背景型樣載入所有掃描鏈，接著僅將一分析型樣載入一個掃描鏈，來隔離保留時間錯誤之次數或位置。

- 5 而且，如果掃描鏈長度不等，則可能需要用“不理會”位元預填補或後填補一些掃描鏈。在此等實例中，典型地期望使該等“不理會”位元匹配這些位元的狀態到一背景型樣。

- 當該方法500、600、700或900被應用到具有多個掃描鏈的一DUT時，對於該等掃描鏈中的不同的一個，一環境變數的不同的“第二值”(或安全值)可被決定或使用。
- 10

- 在此所揭露的該等方法400、500、600、700、800、900可被應用到具有偶同位元或奇同位元的掃描鏈。當此等方法中的任一種被應用到具有奇同位元的一掃描鏈時，該方法400、500、600、700、800或900在判定一特定型樣是否從一掃描鏈輸出時可考慮型樣反向。
- 15

- 如以前所討論，在此所揭露的該等方法400、500、600、700、800、900使一掃描鏈中保留時間錯誤之次數或位置能夠被判定。通常，這可有助於判定可能存在於一DUT的時鐘分配系統中的缺陷之類型或位置。

- 根據它們的實施方案，該等方法400、500、600、700、800、900可提供各種優點。例如，該等方法可在不需要用於一特定DUT的一特定測試程式的情況下，作為以一廣義的方式判定保留時間錯誤之次數及/或位置的一適應性處理之一部分而被實施。該等方法還可以被組配以使用習知
- 20

的鏈完整性或固定向量(其使對專用向量的需要最小化或消除此需要)來診斷保留時間錯誤。該等方法還可以被組配以提供即時分析。

- 關於該等方法600及700，即時判定可被做出，且該等方法600及700的流程可根據以下之判定而被修改：一掃描鏈是“好的”、“平線的”或對於保留時間錯誤分析而言是一好的候選者。當對於保留時間錯誤分析而言，一掃描鏈被視為一好的候選者時，根據該掃描鏈在不同於一目標值的一環境變數值處是否正確地操作，不同類型的分析可被初始化。

該等方法400、500、600、700、800及900還可以提供上升邊緣及下降邊緣保留時間錯誤之次數及/或位置，其可有助於判定此等錯誤的來源。

- 在一些實施例中，在做一鏈完整性測試失敗後，或在一掃描鏈錯誤可能存在之其他通知後，該等方法400、500、600、700、800及900中的一或較多個可被自動啟動。

- 在此所揭露的該等方法400、500、600、700、800及900可以以各種方式被實施，且在一些實施例中，可主要藉由軟體或韌體來實現，該軟體或韌體可包括當被一電腦或測試系統執行時，使一掃描型樣序列被應用到一或較多個掃描鏈的掃描輸入及掃描輸出的指令，及從一或較多個掃描鏈的該(等)掃描輸入及該(等)掃描輸出讀出的指令。該軟體或韌體還可包括控制掃描測試的其他變數(諸如掃描致能(SE)及掃描時鐘(SC)輸入之值，以及該(等)掃描鏈的一或較

多個環境變數的該(等)值)的指令。該軟體或韌體可被儲存在電腦可讀媒體中。該電腦可讀媒體可包括，例如在一任一單一位置或分佈在整個網路上的固定或可移動的媒體(諸如一或較多個固定磁碟、隨機存取記憶體(RAM)、唯讀
5 記憶體(ROM)、或光碟)的任何數目或組合。該電腦可讀媒體還可包括已規劃電路，諸如一場可規劃閘極陣列(FPGA)。

該等方法400、500、600、700、800及900還可以利用硬體來實現，諸如當掃描型樣從一掃描鏈的該掃描輸出被讀取時(或被提供給該掃描鏈的該掃描輸出時(如果是一期望型樣的話))，比較該等掃描型樣的硬體。此外，舉例而言，
10 基於硬體的計數器可被用以判定一掃描型樣在一掃描輸出導致一“早的”或“晚的”轉態多少個時鐘週期。由該等方法500、600、700及900所利用的硬體還可以包括一受型樣控制的電源，該受型樣控制的電源在型樣控制下可在第一及
15 第二電壓之間切換。

在一些實例中，藉由執行該等方法400、500、600、700、800及900所獲得的保留時間錯誤之次數或位置可被保存到一檔案(諸如一STDF檔案)中，且以後被一使用者或下流分析軟體讀取或解譯。可選擇地，自該等方法400、500、600、
20 700、800而得的資料可立即以文字或圖形的格式被顯示。例如，錯誤之次數或位置可以文字顯示，或者錯誤之位置可被映射到受影響的掃描細胞之已顯示圖像。

【圖式簡單說明】

第1圖說明一第一示範保留時間錯誤；

第2圖說明一第二示範保留時間錯誤；

第3圖說明耦接到一示範測試中裝置的一示範測試系統；

第4圖說明用以判定一掃描鏈中保留時間錯誤之次數的一第一示範方法；

5 第5圖說明用以判定一掃描鏈中至少一個保留時間錯誤之位置的一第一示範方法；

第6圖說明用以分析一掃描鏈的一第一示範方法；

第7圖說明用以分析一掃描鏈的一第二示範方法；

第8圖說明用以判定一掃描鏈中保留時間錯誤之次數
10 的一第二示範方法；

第9圖說明用以判定一掃描鏈中至少一個保留時間錯誤之位置的一第二示範方法。

【主要元件符號說明】

300...示範測試中裝置/示範電路

302-308...正反器

310...組合邏輯元件

312...測試系統

314-316...掃描鏈

400，500，600，800，900...示範方法

402-404，502-508，604-612，612-622，702，802-806，902-914...方塊

614...方塊/步驟

700...示範方法/置換

七、申請專利範圍：

1. 一種用以分析一測試中裝置之一掃描鏈的方法，其包含以下步驟：

將該掃描鏈的一環境變數設定為一第一值，且接著將一非常數序列型樣移位經過該掃描鏈以判定一非預期的雙態觸變型樣是否從該掃描鏈輸出；

將該環境變數設定為一第二值，且接著將該非常數序列型樣移位經過該掃描鏈以判定該非常數序列型樣是否在一預期時間從該掃描鏈輸出；及

至少當該掃描鏈i)在該環境變數的該第一值時輸出一非預期的雙態觸變型樣，且ii)在該環境變數的該第二值時不能在該預期時間輸出該非常數序列型樣時，根據第一多次掃描測試的結果，判定該掃描鏈中可能的保留時間錯誤之次數。

2. 如申請專利範圍第1項所述之方法，其進一步包含以下步驟：當該掃描鏈i)在該環境變數的該第一值時輸出一非預期的雙態觸變型樣，且ii)在該環境變數的該第二值時在該預期時間輸出該非常數序列型樣時，根據第二多次掃描測試的結果，判定該掃描鏈中至少一個可能的保留時間錯誤之一位置，其中，該等第二多次掃描測試利用該環境變數的該第一及第二值來執行。
3. 如申請專利範圍第2項所述之方法，其中，判定該掃描鏈中至少一個可能的保留時間錯誤之位置的步驟包含以下步驟：

當該環境變數被設定為該第二值的時候，將至少一個掃描型樣移入該掃描鏈；

對於移入該掃描鏈的該至少一個掃描型樣中的每一個，且在將一特定的掃描型樣移入該掃描鏈以後，

暫時地將該環境變數設定為該第一值；及接著計時該掃描鏈至少一次；及接著

當該環境變數被設定為該第二值的時候，將該特定的掃描型樣移出該掃描鏈；

在一每一位元的基礎上，將移出該掃描鏈的每一特定的掃描型樣與一期望掃描型樣比較，以識別位元中一差異的至少一個位置；及

根據位元中該差異的該至少一個位置，判定該掃描鏈中該至少一個可能的保留時間錯誤之位置。

4. 如申請專利範圍第3項所述之方法，其中，當判定該掃描鏈中至少一個可能的保留時間錯誤之位置時，將至少一個掃描型樣移入該掃描鏈的步驟包含以下步驟：

將多個掃描型樣移入該掃描鏈，該等多個掃描型樣具有當該掃描鏈在該環境變數的該第一值被計時時保證每一掃描細胞經歷一邏輯0到1、邏輯1到1、邏輯1到0及邏輯0到0轉態的位元序列，因而使所有可能的保留時間錯誤之該(等)位置能夠被判定，而不管該(等)保留時間錯誤的極性。

5. 如申請專利範圍第4項所述之方法，其中，該等多個掃描型樣包含重複的十六進位3、6、C及9的型樣。

6. 如申請專利範圍第3項所述之方法，其中，計時該掃描鏈至少一次的步驟由只計時該掃描鏈一次組成。
7. 如申請專利範圍第1項所述之方法，其進一步包含以下步驟，當該掃描鏈i)在該環境變數的該第一值輸出一非預期的雙態觸變型樣，且ii)在該環境變數的該第二值輸出該非常數序列型樣時，根據第一多次掃描測試的結果，判定該掃描鏈中可能的保留時間錯誤之次數。
8. 如申請專利範圍第1項所述之方法，其進一步包含以下步驟，在該環境變數的該第一值將該非常數序列型樣移位經過該掃描鏈之後，i)當一期望型樣從該掃描鏈輸出時，將該掃描鏈識別為“好的”，及ii)當一平線型樣從該掃描鏈輸出時，將該掃描鏈識別為“平線的”。
9. 如申請專利範圍第8項所述之方法，其進一步包含以下步驟，只有當該掃描鏈在該環境變數的該第一值輸出一非預期的雙態觸變型樣時，才將該環境變數設定為該第二值。
10. 如申請專利範圍第1項所述之方法，其進一步包含以下步驟，從一使用者接收該環境變數的該第一及第二值。
11. 如申請專利範圍第1項所述之方法，其進一步包含以下步驟，識別該環境變數的該第二值，藉由：

對於該環境變數的多個值中的每一個，將該非常數序列型樣移位經過該掃描鏈以判定該非常數序列型樣是否在一預期時間從該掃描鏈輸出；及

將該環境變數的該第二值識別為使該非常數序列

型樣在該預期時間從該掃描鏈輸出的多個值中的一個值。

12. 如申請專利範圍第1項所述之方法，其中，該第一值在該掃描鏈的該環境變數的一正常操作範圍之內，且其中，該第二值在該掃描鏈的該環境變數的一正常操作範圍之外。

13. 如申請專利範圍第1項所述之方法，其中，判定該掃描鏈中保留時間錯誤之次數包含以下步驟：

將該環境變數設定為該第一值；及接著

將為一第一邏輯狀態的至少 n 個連續位元的一背景型樣移位經過該掃描鏈，之後是至少一個一第二邏輯狀態的位元移位經過該掃描鏈；及

將該掃描鏈中可能的保留時間錯誤之次數判定為i)當該至少一個位元被期望在該掃描鏈的一輸出處導致一轉態時之一時鐘週期，與ii)當該至少一個位元實際上在該掃描鏈的該輸出處導致一轉態時之一時鐘週期之差。

14. 如申請專利範圍第1項所述之方法，其中，判定該掃描鏈中保留時間錯誤之次數包含以下步驟：

將該環境變數設定為該第一值；及接著

將 $2n$ 個為一第一邏輯狀態的位元，之後是 $2n$ 個為一第二邏輯狀態的位元，之後是 n 個為該第一邏輯狀態的位元的一型樣移位經過該掃描鏈，其中， n 是該掃描鏈中掃描細胞的數目；及

將上升邊緣保留時間錯誤之次數，及下降邊緣保留時間錯誤之次數判定為i)當一各自的邊緣被期望從該掃

描鏈輸出時之一時鐘週期，與ii)當該各自的邊緣實際上從該掃描鏈輸出時之一時鐘週期之差。

15. 如申請專利範圍第1項所述之方法，其中，如果該掃描鏈具有奇同位元，則判定一特定的型樣是否從該掃描鏈輸出包含考慮型樣反向。
16. 如申請專利範圍第1項所述之方法，其中，該環境變數是一供應電壓。
17. 如申請專利範圍第1項所述之方法，其中，該環境變數是一溫度。
18. 如申請專利範圍第1項所述之方法，其中，該環境變數是一掃描移位時鐘率。
19. 一種用以分析一測試中裝置之一掃描鏈的方法，其包含以下步驟：

將該掃描鏈的一環境變數設定為一第一值，且接著將一非常數序列型樣移位經過該掃描鏈以判定一非預期的雙態觸變型樣是否從該掃描鏈輸出；

將該環境變數設定為一第二值，且接著將一非常數序列型樣移位經過該掃描鏈以判定該非常數序列型樣是否在一預期時間從該掃描鏈輸出；及

當該掃描鏈i)在該環境變數的該第一值輸出一非預期的雙態觸變型樣，且ii)在該環境變數的該第二值在該預期時間輸出該非常數序列型樣時，根據多次掃描測試的結果，判定該掃描鏈中至少一個可能的保留時間錯誤之一位置，其中，該等第二多次掃描測試利用該環境變

數的該第一及第二值來執行。

20. 如申請專利範圍第19項所述之方法，其中，該環境變數是一供應電壓。

21. 一種用以判定一測試中裝置的一掃描鏈中可能的保留時間錯誤之次數的方法，其包含以下步驟：

將該掃描鏈的一環境變數設定為被認為在該掃描鏈中導致一保留時間錯誤的一值；及接著

將一型樣移位經過該掃描鏈，該型樣具有為一第一邏輯狀態的至少 n 個連續位元的一背景型樣，之後是至少一個為一第二邏輯狀態的位元，其中， n 是該掃描鏈的一長度；及

將該掃描鏈中可能的保留時間錯誤之次數判定為i)當該至少一個位元被期望在該掃描鏈的一輸出處導致一轉態時之一時鐘週期，與ii)當該至少一個位元實際上在該掃描鏈的該輸出處導致一轉態時之一時鐘週期之差。

22. 如申請專利範圍第21項所述之方法，其中：

被移位經過該掃描鏈的該型樣包含 $2n$ 個為該第一邏輯狀態的位元，之後是 $2n$ 個為該第二邏輯狀態的位元，之後是 n 個為該第一邏輯狀態的位元；及

判定該掃描鏈中保留時間錯誤之次數包含將上升邊緣保留時間錯誤之次數，及下降邊緣保留時間錯誤之次數判定為i)當一各自的邊緣被期望從該掃描鏈輸出時之一時鐘週期，與ii)當該各自的邊緣實際上從該掃描鏈輸出時之一時鐘週期之差。

23. 如申請專利範圍第21項所述之方法，其中，該環境變數是一供應電壓。

24. 一種用以判定一測試中裝置的一掃描鏈中至少一個可能的保留時間錯誤之一位置的方法，其包含以下步驟：

交替地將該掃描鏈的一環境變數設定為一第一值及一第二值，該第一值被認為在該掃描鏈中導致一保留時間錯誤，及該第二值被認為在該掃描鏈中不導致一保留時間錯誤；

當該環境變數被設定為該第二值的時候，將至少一個掃描型樣移入該掃描鏈；

對於移入該掃描鏈的每一掃描型樣，且在將一特定的掃描型樣移入該掃描鏈之後，

暫時地將該環境變數設定為該第一值；及接著計時該掃描鏈至少一次；及接著

當該環境變數被設定為該第二值的時候，將該特定的掃描型樣移出該掃描鏈；

在一每位元的基礎上，將移出該掃描鏈的每一特定的掃描型樣與一期望掃描型樣比較，以識別位元中一差值的至少一位置；及

根據位元中該差值的至少一位置，判定該掃描鏈中該至少一個可能的保留時間錯誤之一位置。

25. 如申請專利範圍第24項所述之方法，將至少一個掃描型樣移入該掃描鏈包含以下步驟：

將多個掃描型樣移入該掃描鏈，該等多個掃描型樣

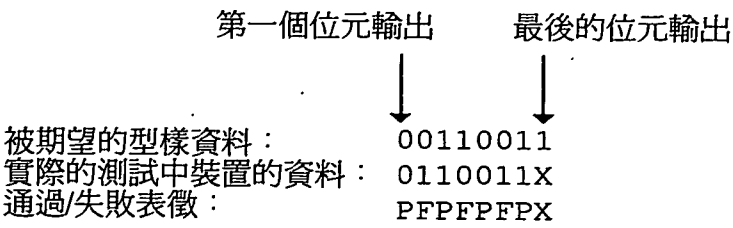
具有當該掃描鏈在該環境變數的該第一值被計時時保證每一掃描細胞經歷一邏輯0到1、邏輯1到1、邏輯1到0及邏輯0到0轉態的位元序列，因而使所有可能的保留時間錯誤之該(等)位置能夠被判定，而不管該(等)保留時間錯誤的極性。

26. 如申請專利範圍第25項所述之方法，其中，該等多個掃描型樣包含重複的十六進位3、6、C及9的型樣。

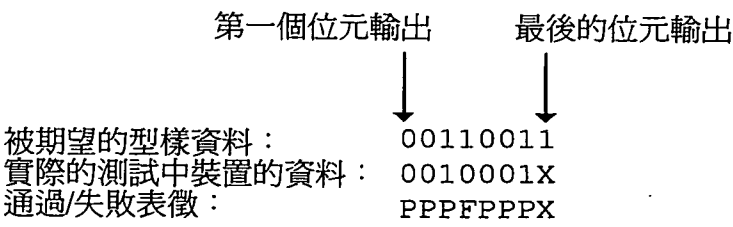
27. 如申請專利範圍第24項所述之方法，其中，計時該掃描鏈至少一次的步驟由只計時該掃描鏈一次組成。

28. 如申請專利範圍第24項所述之方法，其中，該環境變數是一供應電壓。

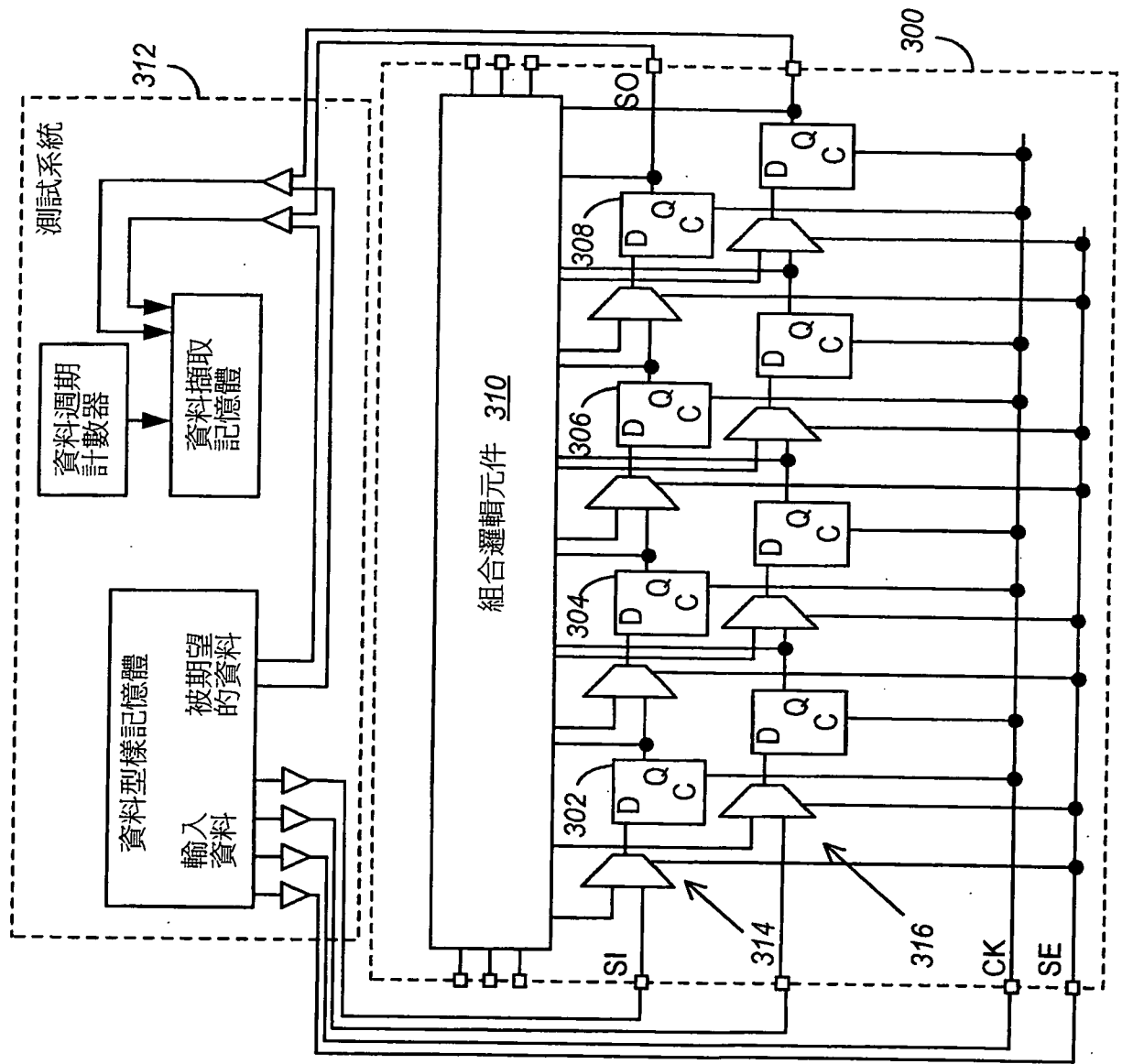
1/8

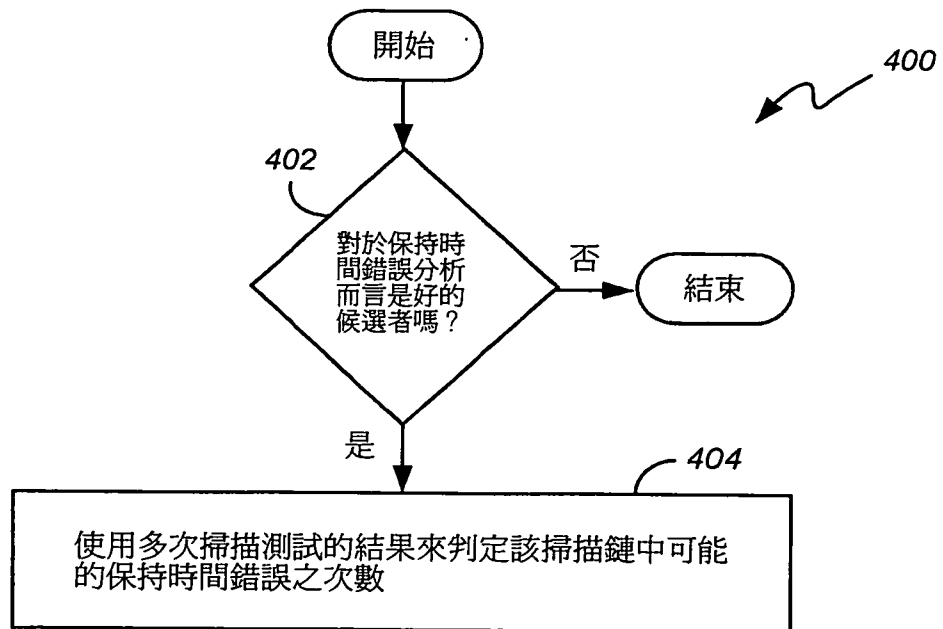


第 1 圖

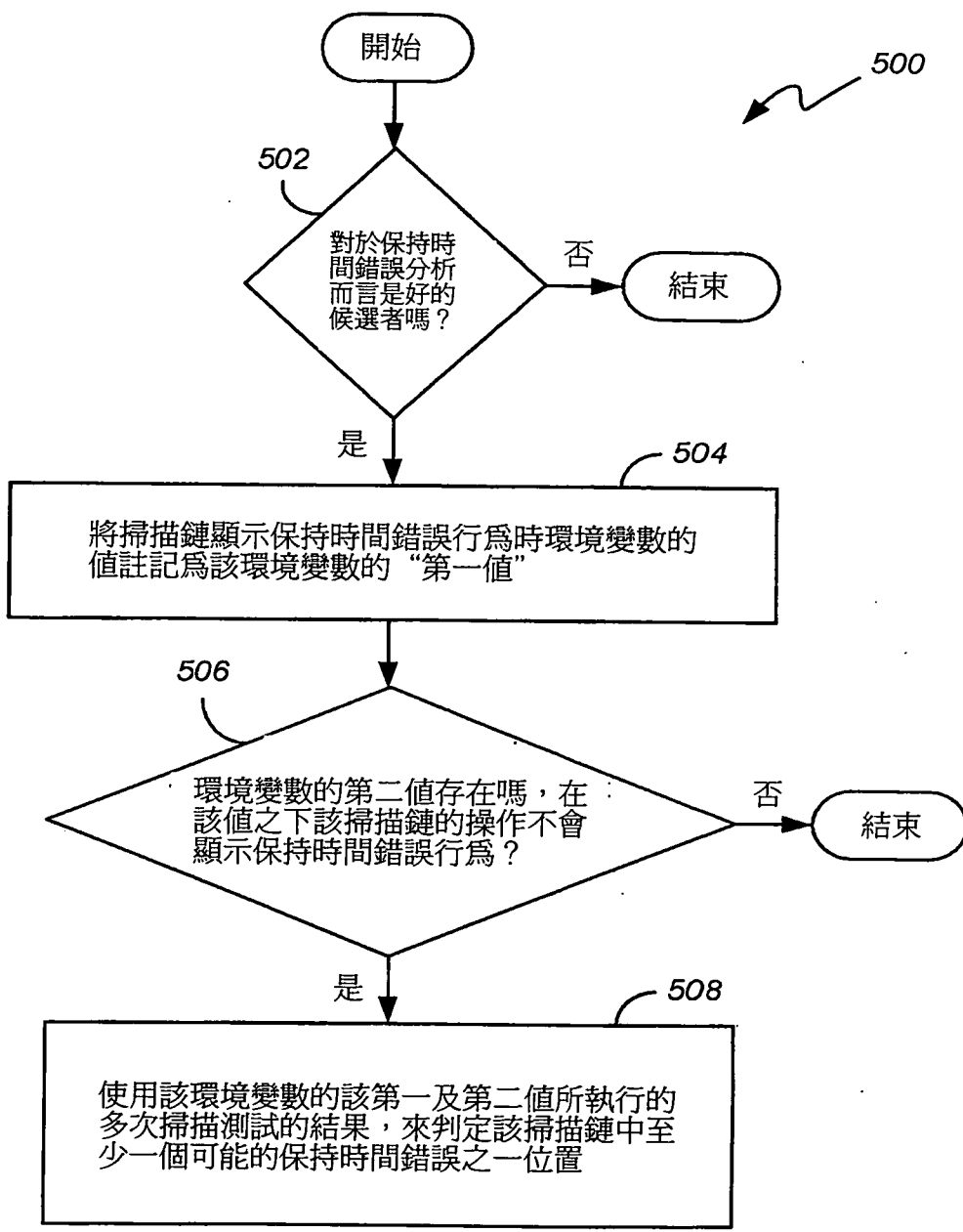


第 2 圖



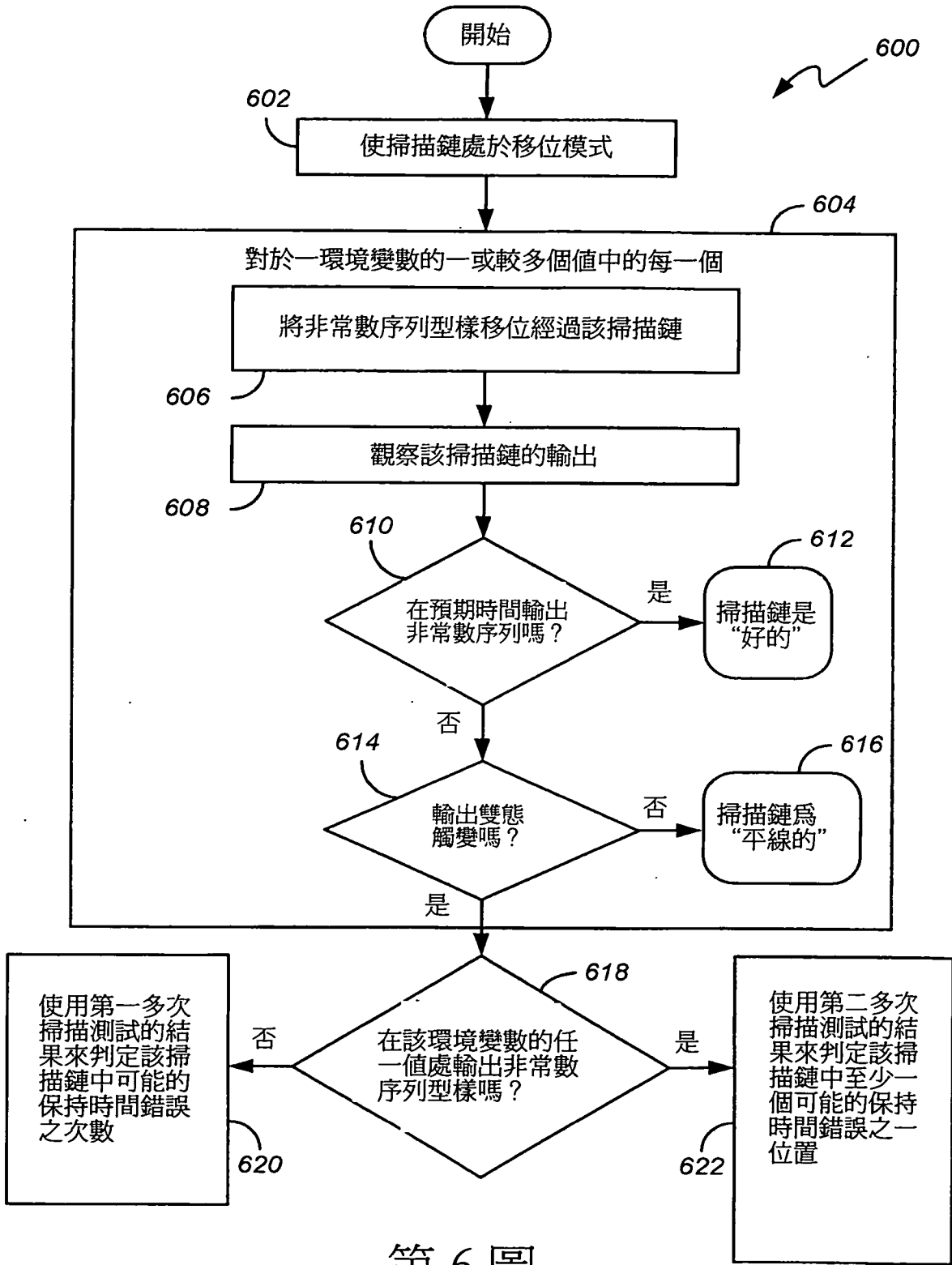


第 4 圖

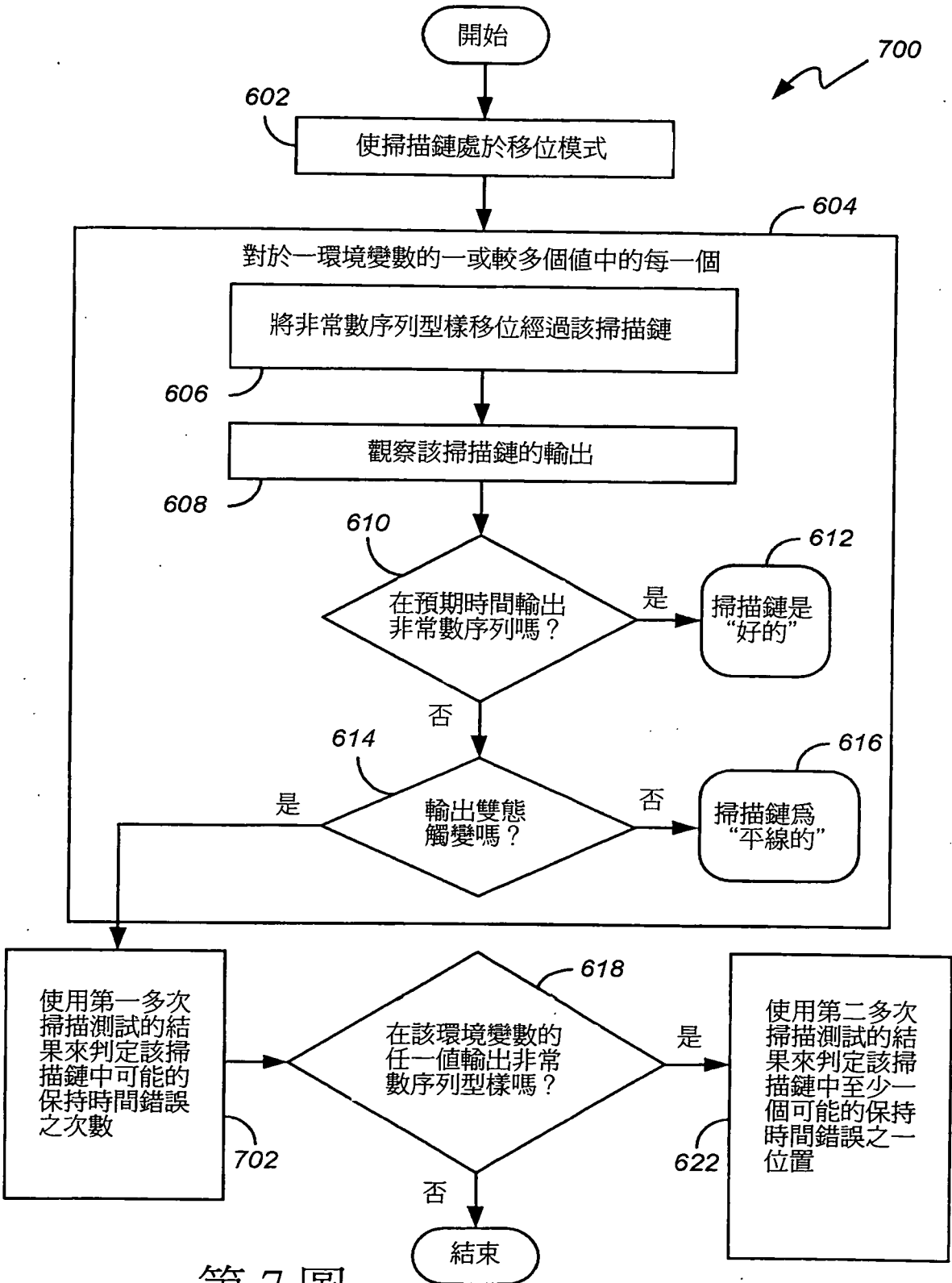


第 5 圖

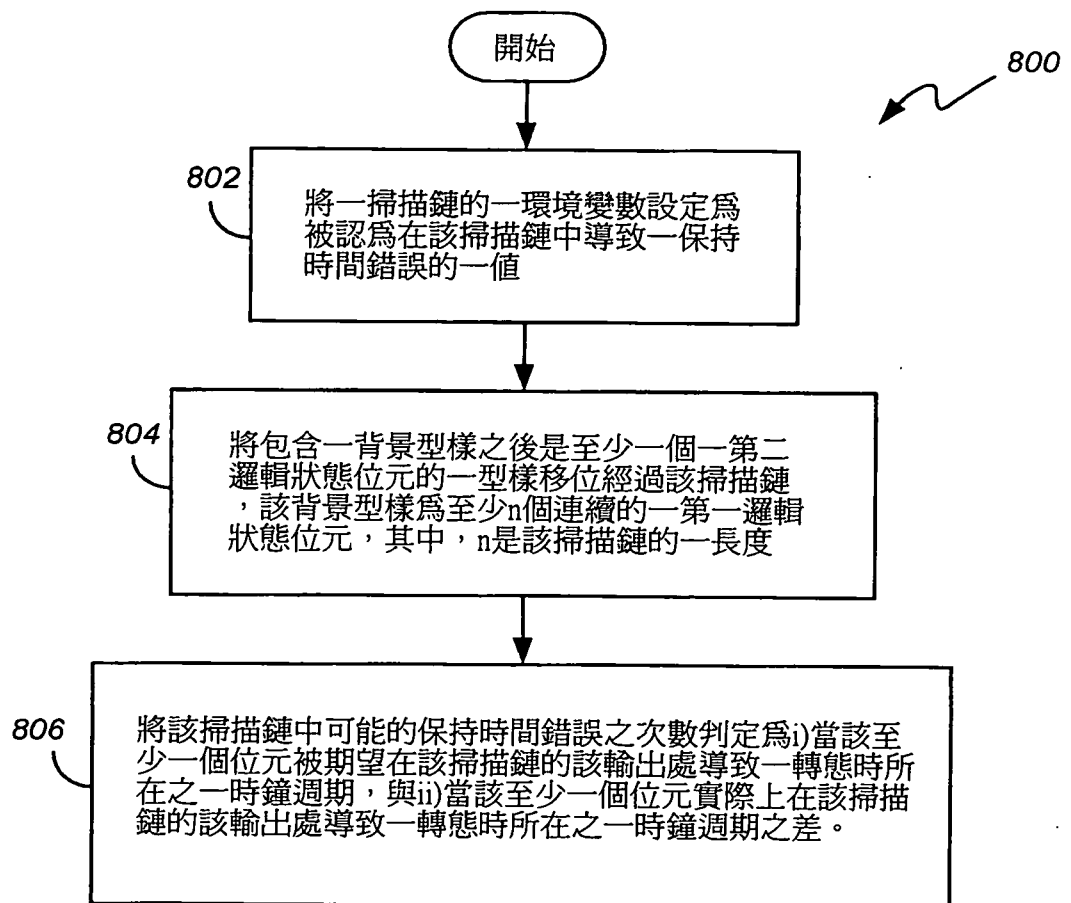
5/8



6/8

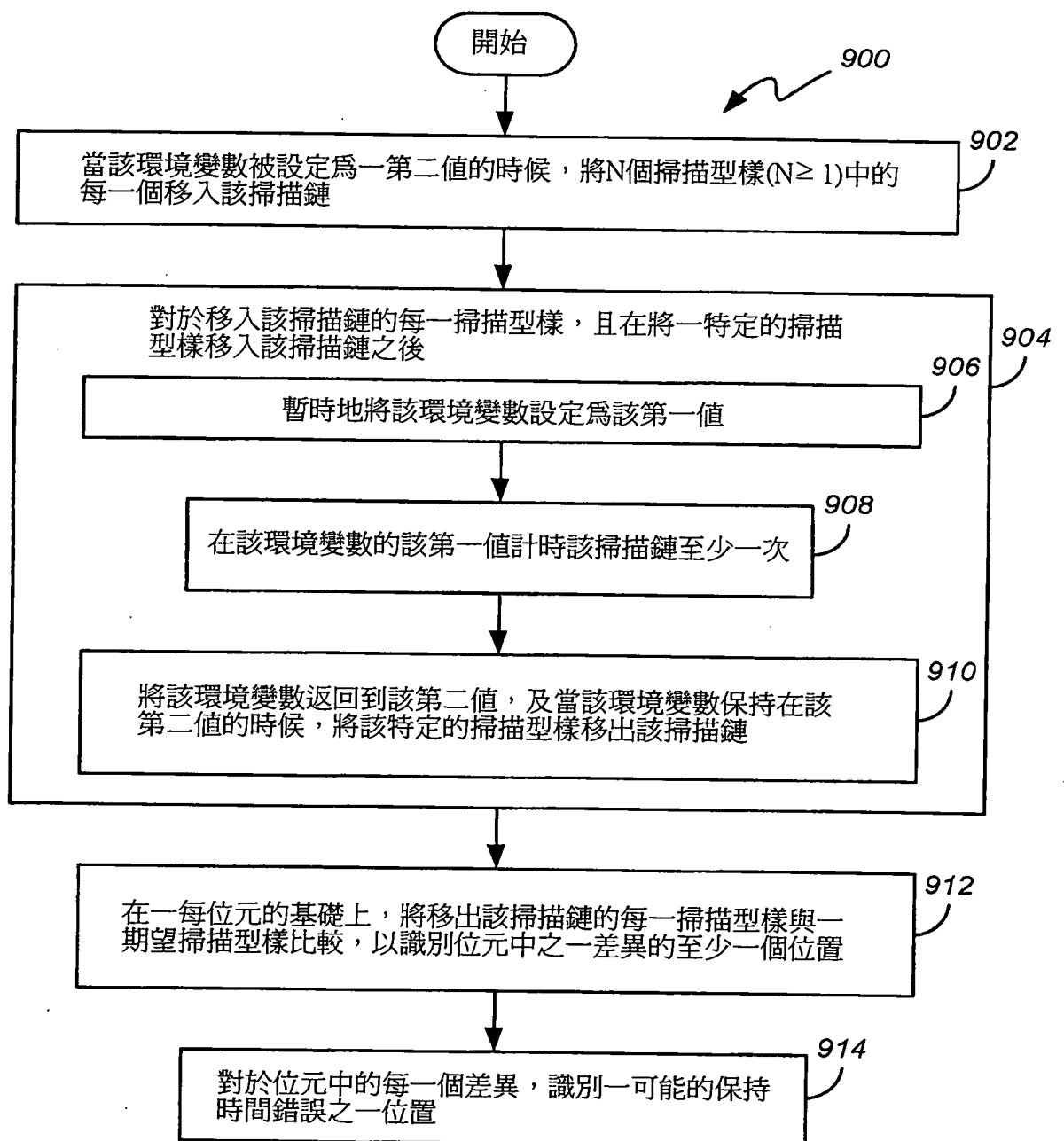


第 7 圖



第 8 圖

8/8



第 9 圖