

發明專利說明書 200428541

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93103631

※ 申請日期：93.2.16

※IPC 分類：H01L 1/60

一、發明名稱：(中文/日文)

半導體裝置

半導體裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

江崎 孝之

EZAKI, TAKAYUKI

住居所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003 年 02 月 19 日；特願 2003-040730

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置，其在基板上設有由記憶區域等所構成之第1功能區域、由驅動電路等所構成之第2功能區域以及與外部進行信號輸出入之電極。

【先前技術】

作為將形成有DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)等之記憶體或驅動電路等的晶片(DRAM晶片)連接在外部基板上的技術，為人周知者有使用錫錫凸塊並利用加熱加壓固定的方法。在該DRAM晶片上配置凸塊連接用錫墊之情況，當配置在DRAM單元陣列之正上方時，由於凸塊連接(組裝)時會施加载重量，所以在DRAM單元陣列上會有損傷，而發生特性惡化等的問題。

因此，以往會避開DRAM單元陣列之正上方而在周邊電路(驅動電路等)之位置上配置凸塊連接用錫墊。圖8A、圖8B係說明習知半導體裝置之模式圖，圖8A為平面圖，圖8B為剖面圖。亦即，該半導體裝置係在由信號處理晶片等之LSI所構成的外部基板20上介以凸塊B連接上方具備有DRAM晶片等的基板10之構成。該情況，就可避開形成於DRAM晶片上之DRAM單元陣列區域(第1功能區域1)內的同一表面上，而在形成有其他之信號處理電路等的第2功能區域2內配置有凸塊連接用錫墊及凸塊B。又，在專利文獻1中已有揭示關於連接搭接線用之搭接錫墊之配置的技術。

專利文獻：日本專利特開平4-162664號公報

然而，在習知半導體裝置中，由於凸塊連接用錫墊及凸塊係避開DRAM單元陣列區域而配置，所以即使在進行DRAM之連接時介以凸塊而施加载重量亦不會對DRAM單元陣列帶來影響，然而凸塊連接用錫墊及凸塊因係配置於DRAM晶片上之左右兩端遠離的位置上，故而會發生凸塊連接(組裝)時之良率降低的問題。換句話說，即使DRAM晶片有些微的傾斜亦會使施加在配置於左右兩端之凸塊上的載重量不均等變大，例如一端之凸塊即使被連接其另一端之凸塊亦會浮起等造成難以對全部的凸塊進行均等的加壓連接，而招致製品可靠度之降低。

【發明內容】

本發明係為了解決該種問題而開發完成者。亦即，本發明之半導體裝置，其係在基板上設有第1功能區域與第2功能區域者，俯視該基板之情況，在與配置於比第1功能區域之外接矩形更內側的第2功能區域相重疊的位置上設有與外部進行信號輸出入之電極。

在如此的本發明中，由於在與配置於比第1功能區域之外接矩形更內側的第2功能區域相重疊的位置上配置有電極，所以可整合在基板之略中央作為電極之配置。藉此，就可防止連接時之壓力施加在第1功能區域上，同時不會擴大電極之配置區域而可介以電極而與外部基板進行加壓連接，並可對電極進行均等的連接。

【實施方式】

以下係根據圖式說明本發明之實施形態。圖1A、圖1B係

說明第1實施形態之半導體裝置的模式圖，圖1A為平面圖，圖1B為剖面圖。亦即，該半導體裝置係在晶片狀之基板10上設有第1功能區域1與第2功能區域2者，其中第1功能區域1係由DRAM單元陣列(記憶元件區域)所構成，第2功能區域2係由對應於DRAM單元陣列之信號處理電路或驅動電路所構成。

在第1實施形態之半導體裝置中，第1功能區域1係設有2個(1a、1b)，在成為其間之區域(比俯視第1功能區域1之情況的外接矩形更內側的區域)的第2功能區域2內設有與外部進行信號輸出入之作為電極的凸塊(金屬突起)B。半導體裝置係介以該凸塊B以面朝下方式與外部基板20相連接。

藉由該種的各部之配置，即可在基板10之略中央部避開作為第1功能區域1之DRAM單元陣列的正上方，而設置凸塊B。因而，在介以半導體裝置之凸塊B而與外部基板20所進行之加熱加壓連接中，不會從凸塊B施加壓力至DRAM單元陣列(第1功能區域1)上。

換句話說，作為第1功能區域1之DRAM單元陣列，由於其平均一定面積之耐加壓力(以下，簡稱為「耐加壓力」)比作為第2功能區域2之信號處理電路或驅動電路的區域低，所以不會從凸塊B施加壓力至DRAM單元陣列(第1功能區域1)上而可藉以防止對DRAM單元陣列帶來損傷。

又，由於凸塊B係配置於基板10之略中央部分上，所以比在基板10之端部設置凸塊的情況更可縮短最端部之凸塊間的距離，即使基板10有多少的傾斜亦可對外部基板20進行

均等的凸塊連接。

圖2A、圖2B係說明第2實施形態之半導體裝置的模式圖，圖2A為平面圖，圖2B為剖面圖。亦即，該半導體裝置係在設於晶片狀之基板10上的第1功能區域1及第2功能區域2之中，設有4個(1a、1b、1c、1d)第1功能區域1，而在成為其間之區域(比俯視第1功能區域1之情況的外接矩形更內側的區域)的第2功能區域2內配置有呈十字狀之複數個凸塊B者。半導體裝置係介以該凸塊B以面朝下方式與外部基板20相連接。

藉由該種的各部之配置，即可在基板10之略中央部避開作為第1功能區域1之DRAM單元陣列的正上方，而設置凸塊B。因而，在介以半導體裝置之凸塊B而與外部基板20所進行之加熱加壓連接中，可獲得與前面之例同樣的作用效果，亦即不會從凸塊B施加壓力至耐加壓力低(耐加壓力比由信號處理電路或驅動電路所構成的第2功能區域2低)之DRAM單元陣列(第1功能區域1)上，而可防止對DRAM單元陣列帶來損傷。

又，藉由將複數個凸塊B配置成十字狀，即可配置在基板10之略中央部分上，同時可極力縮短各凸塊B與第1功能區域1之配線間距離，並可謀求信號延遲之抑制。

圖3係說明第3實施形態之半導體裝置的模式平面圖。該半導體裝置係圖2A、圖2B所示之第2實施形態的半導體裝置之應用例，其在設於晶片狀之基板10上的第1功能區域1及第2功能區域2之中，設有6個(1a、1b、1c、1d、1e、1f)

第1功能區域1，而在成為其間之區域(比俯視第1功能區域1之情況的外接矩形更內側的區域)的第2功能區域2內配置有複數個凸塊B所連續的十字狀者。

如此，第1功能區域1亦可設有幾個，藉由在成為各第1功能區域(例如，1a~1f)之間的第2功能區域2之位置上配置凸塊B，即可同時並存配置凸塊於基板10之略中央部分以及縮短化各凸塊B與第1功能區域1之配線間距離。

圖4係說明第4實施形態之半導體裝置的模式平面圖。該半導體裝置係圖2所示之第2實施形態之半導體裝置之應用例，其在設於晶片狀之基板10上的第1功能區域1及第2功能區域2之中，設有4個(1a、1b、1c、1d)第1功能區域1，而在成為其間之區域(比俯視第1功能區域1之情況的外接矩形更內側的區域)的第2功能區域2內配置有呈矩形狀之複數個凸塊B者。

藉由該種的各部之配置，即可配置凸塊B於基板10之略中央部分，同時縮短化各凸塊B與第1功能區域1之配線間距離。

圖5係說明第5實施形態之半導體裝置的模式平面圖。該半導體裝置係圖4所示之第4實施形態之半導體裝置之應用例，其在設於晶片狀之基板10上的第1功能區域1及第2功能區域2之中，設有4個(1a、1b、1c、1d)第1功能區域1，而在成為其間之區域(比俯視第1功能區域1之情況的外接矩形更內側的區域)的第2功能區域2內配置有呈矩形狀之複數個凸塊B者。

在該實施形態中，係以欠缺局部區域之狀態配置第1功能區域1(1a~1d)俾於包圍住於基板10之略中央部分配置成矩形狀的凸塊B之周圍。藉由該種的配置，即可配置凸塊於基板10之略中央部分以及縮短化各凸塊B與第1功能區域1之配線間距離，同時可提高基板10之布局效率。

圖6係說明第6實施形態之半導體裝置的模式平面圖。該半導體裝置係圖5所示之第5實施形態之半導體裝置之應用例，其在設於晶片狀之基板10上的第1功能區域1及第2功能區域2之中，設有4個(1a、1b、1c、1d)第1功能區域1，而在成為其間之區域(比俯視第1功能區域1之情況的外接矩形更內側的區域)的第2功能區域2內配置有呈矩形狀之複數個凸塊B者。

尤其是在該實施形態中，凸塊B之角隅部的一部分與第1功能區域1之一部分相重疊之點與其他的實施形態不同。換句話說，第1功能區域1之中與凸塊B相重疊的部分在連接時當然會接受壓力。因而，設計當初可事先設定從該凸塊B接受壓力之第1功能區域1的一部分作為無效區域(不具功能之區域)。藉此，可使凸塊B之區域與第1功能區域1接近，其除了第5實施形態之半導體裝置的效果外，更可提高布局效率。

圖7係說明第7實施形態之半導體裝置的模式平面圖。該半導體裝置係以由第1功能區域1包圍住之方式而配置第2功能區域2，且在由該第1功能區域1包圍住之第2功能區域2內配置有凸塊B者。換句話說，第1功能區域1係連續成環

狀，而於其中央鏤空部分上配置有第2功能區域2及凸塊B。

如此即使第1功能區域1不被分割而成為環狀亦可在基板10之略中央部分配置凸塊B，且可謀求各凸塊B與第1功能區域1之配線間距離的縮短化。

另外，在上述說明之各實施形態中，作為複數個第1功能區域1，亦可分割配置1個功能區域，或配置複數個功能區域。例如，在第1功能區域1係由DRAM單元陣列所構成的情況，亦可分割配置在合計256 Mbit之複數個DRAM單元陣列上(該情況，被分割之1個DRAM單元陣列相當於第1功能區域1之1個)，且1個第1功能區域1亦可配置複數個256 Mbit之DRAM單元陣列(該情況，成為第1功能區域1之個數 \times 256 Mbit之合計容量)。

又，雖然第1功能區域1係以矩形為中心而加以說明，但是並未被限定於此，亦可包含圓形等之曲線部分。更且，電極亦可為凸塊B以外只要可進行加壓加熱之連接則即使其是其他的電極亦為同樣。

(產業上之可利用性)

如以上說明般，依據本發明即有如下之效果。亦即，在利用加熱加壓將半導體裝置與外部基板連接的情況，通過電極之壓力並不會施加在第1功能區域上而可防止對第1功能區域帶來損傷。更且，由於電極之配置區域集中在基板之略中央部分，所以可依對電極之均等連接而提供可靠度高的機器。

【圖式簡單說明】

圖 1A、圖 1B 係說明第 1 實施形態之半導體裝置的模式圖。

圖 2A、圖 2B 係說明第 2 實施形態之半導體裝置的模式圖。

圖 3 係說明第 3 實施形態之半導體裝置的模式平面圖。

圖 4 係說明第 4 實施形態之半導體裝置的模式平面圖。

圖 5 係說明第 5 實施形態之半導體裝置的模式平面圖。

圖 6 係說明第 6 實施形態之半導體裝置的模式平面圖。

圖 7 係說明第 7 實施形態之半導體裝置的模式平面圖。

圖 8A、圖 8B 係說明習知半導體裝置的模式圖。

【主要元件符號說明】

1、1a~1f	第 1 功能區域
2	第 2 功能區域
10	基板
20	外部基板
B	凸塊

五、中文發明摘要：

本發明之課題在於當其利用加熱加壓與外部基板進行連接時，可減輕對耐加壓力低之第1功能區域的損傷，並進行可靠度高之連接。

本發明之半導體裝置係在基板(10)上設有第1功能區域(1)(例如，記憶元件區域)與第2功能區域(2)(例如，驅動電路或信號處理電路)，其在俯視該基板(10)之情況，在配置於比第1功能區域(1)之外接矩形更內側的第2功能區域(2)內，設有與外部進行信號輸出入之作為電極的凸塊B者。

六、日文發明摘要：

外部基板との加熱加圧による接続を行うにあたり、耐加圧力の低い第1の機能領域へのダメージを軽減し、信頼性の高い接続を行うこと。

本発明は、第1の機能領域(1)(例えば、記憶素子領域)と第2の機能領域(2)(例えば、駆動回路もしくは信号処理回路)とが基板(10)に設けられている半導体装置において、この基板(10)を平面視した場合、第1の機能領域(1)の外接矩形よりも内側に配置された第2の機能領域(2)内に、外部との信号入出力を行う電極であるバンプBが設けられているものである。

十、申請專利範圍：

1. 一種半導體裝置，其在基板上設有第1功能區域與第2功能區域者，其特徵為：

俯視上述基板之情況，在配置於比上述第1功能區域之外接矩形更內側的上述第2功能區域內，設有與外部進行信號輸出入之電極。

2. 如申請專利範圍第1項之半導體裝置，其中上述第2功能區域中之耐加壓力大於上述第1功能區域中之耐加壓力。
3. 如申請專利範圍第1項之半導體裝置，其中上述電極具備有凸塊。
4. 如申請專利範圍第1項之半導體裝置，其中上述第1功能區域具備有記憶元件，上述第2功能區域具備有對應上述記憶元件之驅動電路或信號處理電路。
5. 如申請專利範圍第1項之半導體裝置，其中上述第1功能區域存在有複數個，並於各第1功能區域間配置有上述電極。
6. 如申請專利範圍第5項之半導體裝置，其中上述第1功能區域存在有縱橫2個以上。
7. 如申請專利範圍第1項之半導體裝置，其中上述第2功能區域係以由上述第1功能區域包圍住之狀態配置，在由該第1功能區域包圍住之第2功能區域內配置有上述電極。

十一、圖式：

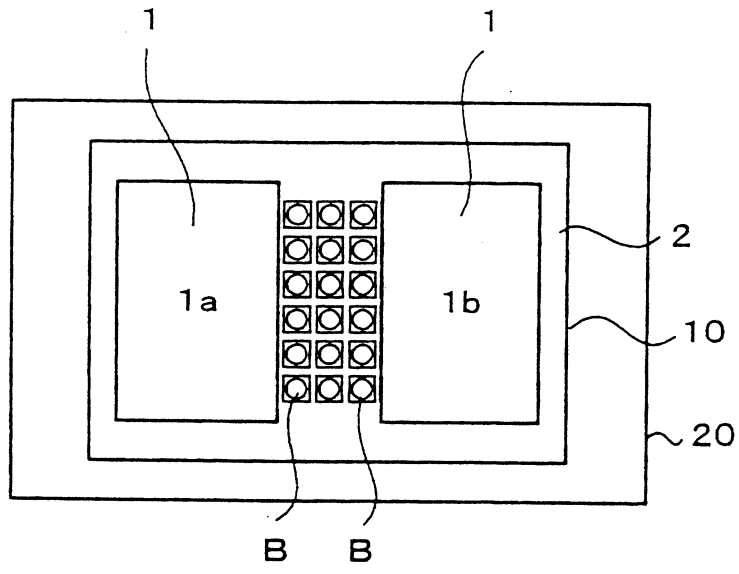


圖 1A

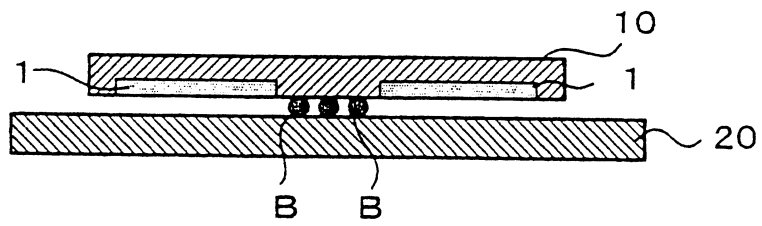


圖 1B

圖 2A

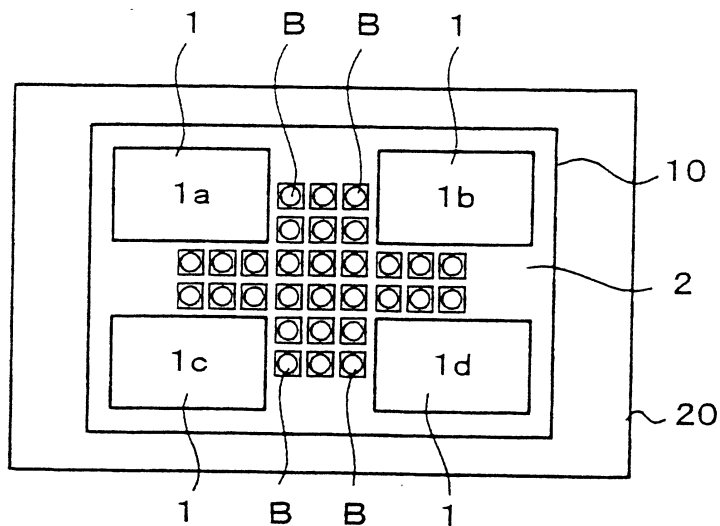


圖 2B

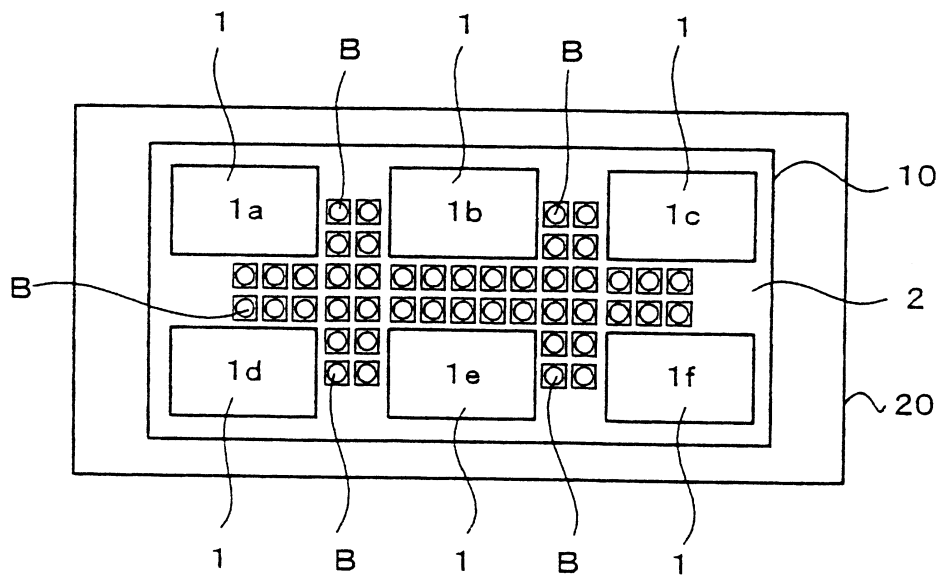
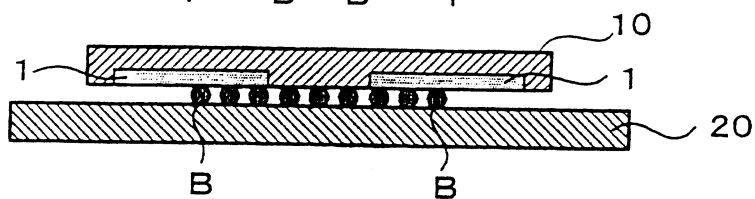


圖 3

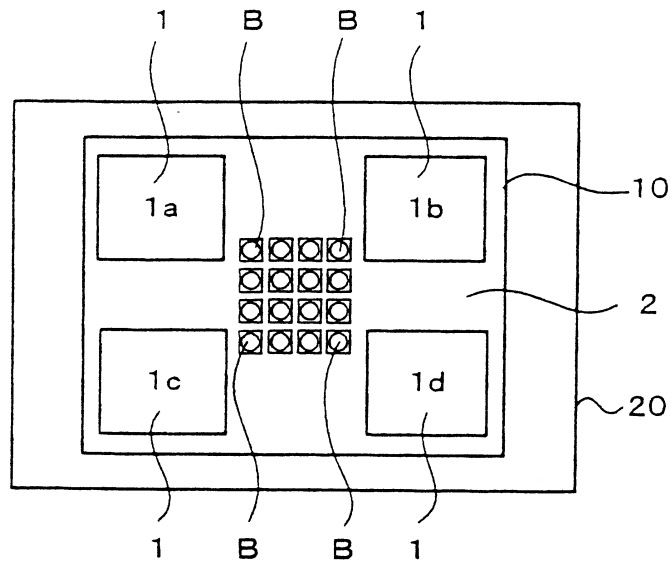


圖 4

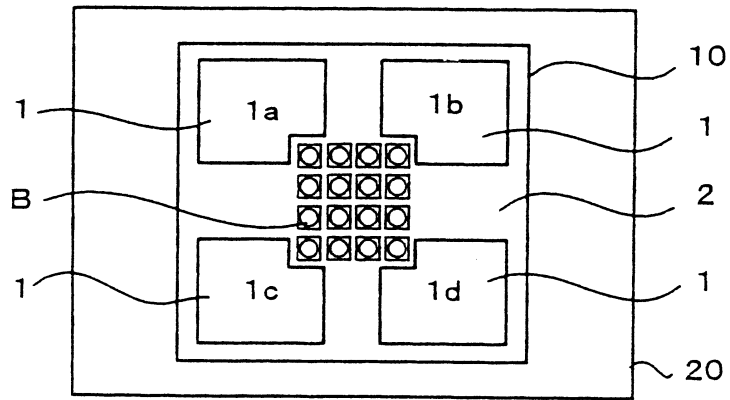


圖 5

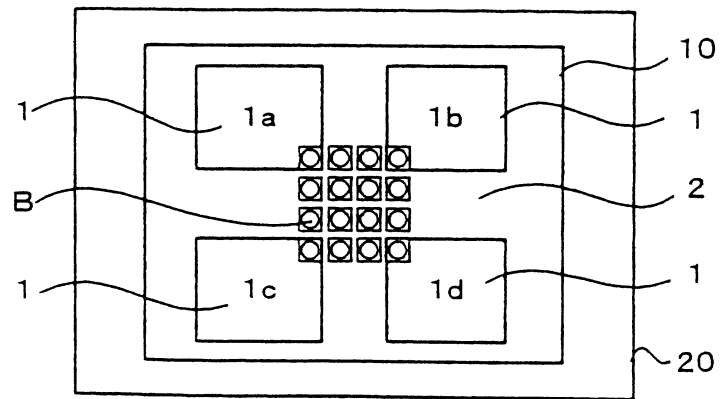


圖 6

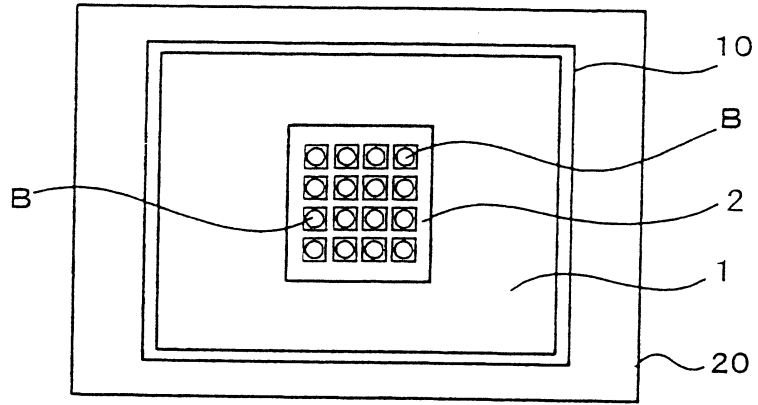


圖 7

圖 8A

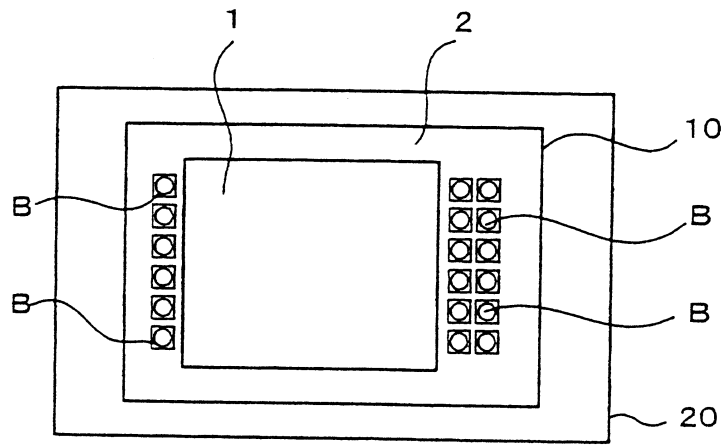
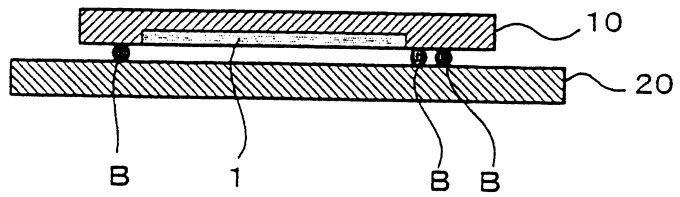


圖 8B



七、指定代表圖：

(一)本案指定代表圖為：第 (1B) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|----|----------|
| 1 | 第 1 功能區域 |
| 10 | 基板 |
| 20 | 外部基板 |
| B | 凸塊 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)