

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4988843号  
(P4988843)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

H01L 21/60 (2006.01)  
H01L 23/12 (2006.01)

F 1

H01L 21/60 311S  
H01L 23/12 F

請求項の数 11 (全 15 頁)

(21) 出願番号 特願2009-522071 (P2009-522071)  
 (86) (22) 出願日 平成19年7月23日 (2007.7.23)  
 (65) 公表番号 特表2009-545180 (P2009-545180A)  
 (43) 公表日 平成21年12月17日 (2009.12.17)  
 (86) 國際出願番号 PCT/CN2007/002228  
 (87) 國際公開番号 WO2008/017232  
 (87) 國際公開日 平成20年2月14日 (2008.2.14)  
 審査請求日 平成21年3月23日 (2009.3.23)  
 (31) 優先権主張番号 11/496,111  
 (32) 優先日 平成18年7月31日 (2006.7.31)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 509022657  
 インテレクチュアル・ベンチャーズ・ファ  
 ンド・27・リミテッド・ライアビリティ  
 ・カンパニー  
 アメリカ合衆国ネバダ州89128, ラス  
 ベガス, ウエスト・レイク・ミード・ブー  
 ルヴァード 7251, スウィート 30  
 O  
 (74) 代理人 100099623  
 弁理士 奥山 尚一  
 (74) 代理人 100098769  
 弁理士 有原 幸一  
 (74) 代理人 100107319  
 弁理士 松島 鉄男

最終頁に続く

(54) 【発明の名称】半導体フリップチップパッケージ用の基板およびプロセス

## (57) 【特許請求の範囲】

## 【請求項 1】

活性面を有する回路チップと、  
 前記活性面上に配置された複数のソルダバンプと、  
 ソルダペーストと、  
 基板と、  
 を備える半導体電子パッケージであって、  
 前記基板は、

複数のソルダバンプパッドを有する第1のパターン化された導電回路層と、  
 前記第1のパターン化された導電回路層を覆うとともに、前記ソルダバンプパッドを 10  
 露出させる複数の孔を画定する第1の絶縁層と、  
 を備え、

前記孔の内壁は導電性であり、  
 前記ソルダペーストは前記孔内に配置され、  
 前記回路チップは、前記活性面が前記第1の絶縁層の孔に面した状態で、前記ソルダバ  
 ンプの各々が、対応する孔を通して対応するソルダバンプパッドに実質的に位置合わせさ  
 れるように配置され、

各ソルダバンプは、前記対応する孔の内側で前記ソルダペーストに貫入し、前記対応す  
 るソルダバンプパッドと電気的に接続し、

前記ソルダペーストは、前記ソルダバンプの各々と、前記対応する孔の前記導電性の内 20

壁と、の間の空間を充填して、前記ソルダペーストと前記内壁との間の接触面積を増加させる、

半導体電子パッケージ。

【請求項 2】

前記ソルダバンプがスタッドバンプを含む、請求項 1 に記載のパッケージ。

【請求項 3】

前記ソルダバンプの各々の直径が前記基板と実質的に平行な方向に配置され、

前記対応する孔の各々が、前記ソルダバンプの直径と実質的に平行な方向に直径を有し、

前記孔の直径が前記ソルダバンプの直径の少なくとも 2 倍である、  
請求項 2 に記載のパッケージ。

10

【請求項 4】

前記回路チップが接着剤によって前記基板に接着される、請求項 3 に記載のパッケージ

。

【請求項 5】

前記基板が、

複数のパターン化された追加の導電回路層と、

複数の追加の絶縁層と、

をさらに備え、

前記パターン化された追加の導電回路層と前記追加の絶縁層とは交互に積層され、

20

前記パターン化された追加の導電回路層の各々の少なくとも一部は、介在する追加の絶縁層を貫通して少なくとも部分的に配置された導体を介して、隣接するパターン化された追加の導電回路層の一部に電気的に結合され、

前記第 1 のパターン化された導電回路層は、前記複数のパターン化された追加の導電回路層および前記複数の追加の絶縁層の上に配置される、  
請求項 1 に記載のパッケージ。

【請求項 6】

前記絶縁層が 耐炎性 FR - 4 もしくは FR - 5 を含む、請求項 1 に記載のパッケージ。

【請求項 7】

前記第 1 のパターン化された導電回路層、前記ソルダバンプパッド、および前記導電性の内壁が、銅、金、ニッケル、またはそれらの組合せを含む、請求項 1 に記載のパッケージ。

30

【請求項 8】

複数のソルダバンプパッドを有する第 1 のパターン化された導電回路層を形成するステップと、

前記ソルダバンプパッドを露出させる複数の孔を有し、前記第 1 のパターン化された導電回路層を覆う第 1 の絶縁層を形成するステップであって、前記孔の各々は、回路チップの複数のソルダバンプのうちの対応する 1 つのソルダバンプの少なくとも一部を収容するよう配置され、前記孔の各々は導電性の内壁を備えている、ステップと、

前記孔に導電性のソルダペーストを充填するステップと、

40

前記ソルダバンプを前記対応する孔の内側で前記ソルダペーストに貫入させて、前記対応するソルダバンプパッドと電気的に接続させることによって、前記回路チップ上の前記ソルダバンプを前記第 1 のパターン化された導電回路層に取り付けるステップと、

前記ソルダペーストを形崩れさせて、前記ソルダバンプの各々と前記対応する孔の前記導電性内壁との間の空間に充填することによって、前記ソルダペーストと前記内壁との間の接触面積を増加させるために、前記ソルダペーストを溶融するステップと、  
を含む方法。

【請求項 9】

複数のパターン化された追加の導電回路層を形成するステップと、

複数の追加の絶縁層を形成するステップと、

50

をさらに含み、

前記パターン化された追加の導電回路層と前記追加の絶縁層とは交互に積層され、

前記パターン化された追加の導電回路層の各々の少なくとも一部は、介在する追加の絶縁層を貫通して少なくとも部分的に配置された導体を介して、隣接するパターン化された追加の導電回路層の一部に電気的に結合され、

前記第1のパターン化された導電回路層は、前記複数のパターン化された追加の導電回路層および前記複数の追加の絶縁層の上に配置される、

請求項8に記載の方法。

【請求項10】

前記孔の各々が、前記ソルダバンプの直径と実質的に平行な方向に直径を有し、前記孔の直径が前記ソルダバンプの直径の少なくとも2倍である、請求項8に記載の方法。 10

【請求項11】

前記第1の絶縁層上に接着層を形成するステップをさらに含み、前記接着層は、前記ソルダバンプパッドを露出するように前記第1の絶縁層の孔にしたがってパターン化される、請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体フリップチップパッケージ用の基板、および該基板を有するフリップチップデバイスを製造するプロセスに関する。 20

【背景技術】

【0002】

フリップチップ技術は、チップスケールパッケージに最も頻繁に用いられているパッケージ技術の1つである。フリップチップ技術は、エリアアレイを用いて、バンプパッドを配置し、バンプを介して、キャリアに接続させることができるので、パッケージ面積を低減させ、信号の伝達経路を短縮させることができる。基板に対する従来式のバンプパッド設計は、SMD（ソルダマスク定義）式とNSMD（非ソルダマスク定義）式とに分類することができる。これらの2種類のバンプパッド設計は、各々、特有の長所および短所を有している。その結果、これらの設計の良否に関して、どのような判断基準も存在していない。 30

【0003】

図1、2は、先行技術の例としてのNSMD式のフリップチップパッケージの断面図である。図1、2に示されるように、複数のバンプ110が、チップ120の活性面に形成されている。チップ120は、基板130に取り付けられる状態に置かれ、バンプ110によって、基板130にバンプパッド140を介して電気的に接続されるようになっている。一般的に、基板130は、交互に積層された複数の絶縁層と1つまたは複数のパターン化された導電箔（例えば、銅箔）層とによって構成されている。この場合、パターン化された導電層を交互接続するために、エッチング孔（図示せず）が、絶縁層に形成されている。基板130は、ソルダマスク層150によって覆われた表面を有し、バンプパッド140のみを、チップ120のバンプに接続させるために露出させている。 40

【0004】

図2に示されるように、従来の方法では、リフロープロセスを用いて、バンプ110を加熱するようになっている。加熱されたバンプ110は、溶融し、バンプパッド140に良好に接合することになる。一例として、183で溶融するPd-Tinバンプの場合、このバンプ110は、バンプパッドに対して良好な接合をもたらすための良好な濡れ機能を得るために、200を超える温度に加熱されることになる。続いて、アンダーフィル材（図示せず）を用いて、図2に示されるようなチップ120と基板130との間の空間を充填するようになっている。これは、バンプ110が、チップ120および基板130のそれぞれの熱膨張係数の差から生じる熱応力によって、「疲労崩壊」を起こすのを防ぐためである。 50

## 【0005】

バンプをバンプパッドに接続するこのような方法は、チップ120または基板130に欠陥または配列の問題があると、いくつかの問題を生じることになる。典型的な欠陥の例として、図3に示されるようなバンプ110とバンプパッド140との間の左方または右方のいずれかへの位置ずれ、図4に示されるような基板130の共平面とチップ120との間の高さずれ、または図5に示されるようなバンプ112間の高さずれ、および図6、7に示されるようなバンプ110のアレイの分布と基板130上のバンプパッド140の分布との間の誤配列による位置ずれが挙げられる。以下、従来のプロセスによって製造されたフリップチップの上記欠陥について、詳細に説明する。

## 【0006】

図3に見られるように、チップ120がバンプパッド140上に置かれたとき、もしバンプ110とバンプパッド140との間に誤配列があると、位置ずれの問題が生じることになる。具体的には、バンプ110の一部がバンプパッド140に接触することができないか、またはバンプ110がバンプパッド140に接触することができても、その接触面積がバンプ110とバンプパッド140との間に良好な接触をもたらすには小さすぎるこことになる。この場合、導電率の低い不良はんだ接合部がバンプ110とバンプパッド140との間に形成されるか、またはバンプ110とバンプパッド140との間に電気的接触が全く生じないことになる。いずれの場合も、これらのバンプ110が、リフロープロセスにおける熱応力によって、亀裂を生じていたことが明らかにされている。

## 【0007】

同様に、図4に示されるように、もしチップ120と基板130との間に共面性の問題があると、バンプ110とバンプパッド140との間に高さずれが生じることになる。この場合、基板130の不完全部分132によって、1つまたは複数のバンプ110がバンプパッド140に接触することができないか、またはバンプ110がバンプパッド140に接触することができても、その接触面積がバンプ110とバンプパッド140との間に良好な接触をもたらすには小さすぎることになる。この場合、導電率の低い不良はんだ接合部がバンプ110とバンプパッド140との間に形成されるか、またはバンプ110とバンプパッド140との間に電気的接触が全く生じないことになる。いずれの場合も、これらのバンプ110が、リフロープロセスにおける熱応力によって、亀裂を生じていたことが明らかにされている。

## 【0008】

高さずれの問題は、バンプ110の寸法の不均一性によっても生じことがある。図5に示されるように、1つまたは複数のバンプ112は、余りにも小さいので、バンプパッド140に接触することができないか、またはバンプ112がバンプパッド140に接触することができても、その接触面積がバンプ112とバンプパッド140との間に良好な接触をもたらすには小さすぎることになる。この場合、導電率の低い不良のはんだ接合部がバンプ112とバンプパッド140との間に形成されるか、またはバンプ112とバンプパッド140との間に電気的接触が全く生じないことになる。いずれの場合も、バンプ112が、リフロープロセスにおける熱応力によって、亀裂が生じていたことが明らかにされている。

## 【0009】

(バンプパッド142およびソルダマスク部152を跨いでいる誤配列されたバンプ113を示す)図6および(誤配列されたバンプパッド142およびソルダマスク部152を跨いでいるバンプ114を示す)図7に示されるように、バンプ110のアレイの分布と基板130上のバンプパッド140の分布との間の誤配列によって、位置ずれが生じることもある。これらの場合、バンプ110の一部しかバンプパッド140に対して位置合わせされず、他のバンプ110は、バンプパッド140に接触することができないか、またはバンプパッド140に接触することができても、その接触面積がバンプ110とバンプパッド140との間に良好な接触を有するには小さすぎることになる。この場合、導電率の低い不良はんだ接合部がバンプ110とバンプパッド140との間に形成されるか、

10

20

30

40

50

またはバンプ 110 とバンプパッド 140 との間に電気的接触が全く生じないことになる。いずれの場合も、これらのバンプ 110 が、リフロープロセスにおける熱応力によって、亀裂を生じていたことが明らかにされている。

図 14、15、16 は、基板に取り付けられたチップを示す先行技術のフリップチップ（米国特許第 6,975,035 号明細書）の概略的な側断面図である。ここでは、種々の取付け方法によって、バンプが基板の凹部内に実質的に挿入されている。図 14 のバンプ 110 は、基板の金属パッドに直接接合され、図 15 のバンプ 110 は、凹部内に挿入される前に、導電ペースト 170 によって被覆され、この導電ペーストとバンプとの間に相互接続部が形成されている。図 16 では、導電ペースト 170 は、バンプに代わって、パッド上に配置され、バンプ 110 と導電ペースト 170 との間に相互接続部が形成されている。図 14 に示されるパッケージ構造は、図 4 に示されるような高さずれの問題を解消していない。図 15、16 に示される取付け方法は、むらのあるバンプ高さおよび基板の不完全部分によって生じる非平面性の問題を解消しているが、図 3 に見られるような位置ずれの危険性が依然として存在している。図 15 の場合、導電ペースト 170 は、パッドの露出領域を超えてさらに拡がることができない。図 16 の場合、バンプ表面のわずかな部分しか導電ペースト 170 と接触していない。いずれの場合も、導電領域が小さいので、はんだ接合信頼性が低い。また、バンプ 110 が図 16 の凹部内に挿入される場合、導電ペースト 170 は、基板 130 の表面上において分割されることになる。

#### 【先行技術文献】

##### 【特許文献】

###### 【0010】

【特許文献 1】米国特許第 6,975,035 号明細書

##### 【発明の概要】

##### 【発明が解決しようとする課題】

###### 【0011】

本発明は、フリップチップの製造において、基板に対するチップの共面ずれおよび位置ずれの公差を大きくすると共に、チップ上のバンプの配列精度および基板上のエッティング孔（バンプパッド）の配列精度の公差を大きくすることができる、フリップチップパッケージ用基板およびフリップチップデバイスを製造するプロセスを提供することを目的としている。製造されたフリップチップパッケージは、バンプとバンプパッドとの間の接触面積が大きいので、はんだ接合信頼性、従って、パッケージの歩留まりおよび信頼性を高めることができる。

##### 【課題を解決するための手段】

###### 【0012】

前述の目的および他の目的を達成するために、本発明は、交互に重ねられた、銅または他の導電材料とすることができる複数のパターン化された回路層と、ポリイミドまたは他の絶縁材料とすることができる絶縁性基板と、を少なくとも備えるフリップチップパッケージ用の半導体パッケージ構造を提供している。パターン化された回路層は、互いに電気的に接続され、パターン化された回路層の 1 つは、基板の表面に位置している。このパターン化された回路層は、複数のバンプパッドを備えている。パターン化された回路層を覆っている基板は、バンプパッドをチップの方に露出させる孔を形成するように、エッティングされている。他の実施形態では、基板のエッティング孔の側壁は、以下に述べるように、チップとバンプパッドとの間の接触面積を増大させるのを支援するために、銅または他の導電材料によって電気的にメッキされていてもよい。

###### 【0013】

本発明の例示的な実施形態によれば、エッティング孔は、ソルダペーストによって充填されるようになっている。チップには、バンプスタッドが形成されるか、または他の技術によってバンプが形成されている。フリップチップパッケージは、チップのバンプをソルダペーストによって充填されたエッティング孔内に入り込ませることによって、形成されることになる。従って、リフロープロセスの後、バンプとバンプパッドとの間の接触面積は、

10

20

30

40

50

バンプパッドの上面に制限されず、エッティング孔の内面も含むことになる。また、バンプとバンプパッドとの間の接触面積は、エッティング孔の側面も含んでいる。バンプとバンプパッドとの間の接触面積が大きくなるので、はんだ接合信頼性を改良し、パッケージの歩留まりおよび信頼性を改良することもできる。

【0014】

以下、添付の図面を参照して、本発明の例示的な実施形態について説明する。

【図面の簡単な説明】

【0015】

【図1】バンプ付きチップおよびバンプパッド付き基板が電気的に接続される準備状態にある、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。 10

【図2】チップのバンプが基板のバンプパッドに電気的に接続された状態にある、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。

【図3】チップのバンプと基板のバンプパッドとの間の誤配列に関連する位置ずれの問題が生じている、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。

【図4】欠陥のある基板に関連する高さずれの問題が生じている、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。

【図5】チップのバンプの不均一なボール寸法に関連する高さずれの問題が生じている、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。

【図6】チップ上の不均一なバンプ分布に関連する位置ずれの問題が生じている、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。 20

【図7】基板上の不均一なバンプ分布に関連する位置ずれの問題が生じている、先行技術の例によるNSMD式のフリップチップパッケージの断面図である。

【図8】本発明の例示的な実施形態によるフリップチップパッケージの断面図である。

【図9】エッティング孔の側壁がバンプパッドに電気的に接続する銅によってメッキされた状態にある、本発明の他の実施形態によるフリップチップパッケージの断面図である。

【図10】エッティング孔がソルダペーストによって充填された状態にある、本発明の他の実施形態によるフリップチップパッケージの断面図である。

【図11】バンプ付きチップが基板のソルダペースト充填エッティング孔に入り込んでいる状態にある、本発明の他の実施形態によるフリップチップパッケージの断面図である。 30

【図12】チップのバンプとバンプパッドとの間に電気接続をもたらすためにソルダペーストを形崩れさせるリフロープロセスの後、バンプ付きチップが基板のソルダペースト充填エッティング孔に入り込んでいる状態にある、本発明の他の実施形態によるフリップチップパッケージの断面図である。

【図13】チップのバンプとバンプパッドとの間に電気接続をもたらすためにソルダペーストを形崩れさせるリフロープロセスの後、バンプ付きチップが基板のソルダペースト充填エッティング孔に入り込んでいる状態であって、チップのバンプおよび基板のバンプパッドが種々の形態の不均一さを示している状態にある、本発明の他の実施形態によるフリップチップパッケージの断面図である。

【図14】チップに取り付けられたバンプが基板の凹部内に実質的に挿入されている状態にある、先行技術の例によるフリップチップパッケージの断面図である。 40

【図15】チップに取り付けられたバンプが、他の取付け方法を用いて、基板の凹部内に実質的に挿入されている状態にある、先行技術の例によるフリップチップパッケージの断面図である。

【図16】チップに取り付けられたバンプが、他の取付け方法を用いて、基板の凹部内に実質的に挿入されている状態にある、先行技術の例によるフリップチップパッケージの断面図である。

【図17】本発明の他の実施形態によるフリップチップパッケージの断面図である。

【発明を実施するための形態】

【0016】

以下、図面を参照して、種々の実施形態について詳細に説明する。図面のいくつかを通して、同様の参照番号は、同様の部品および組合せを表している。種々の実施形態への言及は、ここに添付された請求項の範囲を制限するものではない。加えて、この明細書において述べるどのような例も、制限的なものではなく、添付の請求項にとって有力な多くの実施形態のいくつかを述べるにすぎない。

#### 【0017】

本出願は、バンプ付きチップと基板のパターン化された回路層との間に電気接続をもたらす新規の方法を開示している。本発明の例示的な実施形態に関して述べるように、本発明において検討された簡単なプロセスを用いることによって、フリップチップの製造上の問題の殆どを軽減することができる。

10

#### 【0018】

図8は、開示されたフリップチップ基板の断面図である。本発明の例示的な実施形態によれば、この基板は、一例として、パターン化された回路層を銅から形成している。図8に示されるように、基板830は、パターン化された導電回路層860の上の絶縁コア832によって、形成されている。交互に積層されたさらに他の絶縁層およびさらに他の導電回路層が、基板830内に含まれていてもよい。基板の表面上の最上絶縁層832は、複数のエッティング孔834を備えている。エッティング孔は、パターニングおよび化学エッティングによって形成されてもよいし、またはパンチ加工、機械的孔あけ加工、またはレーザ孔あけ加工のようなどの他の孔形成技術によって形成されてもよい。エッティング孔の底には、バンプパッド840が配置されている。図9に示されるように、エッティング孔834の側壁846が、基板をフォトレジストでマスキングした後または孔の内壁にシード(seed)金属層を無電解メッキ/無電解堆積した後、電気メッキのような当技術分野において周知の任意の金属堆積技術または金属被覆技術によって、導電層844(例えば、銅)によって被覆されてもよい。例えば、メッキ貫通孔(PTH)技術における種々の周知のプロセスを用いて、導電層844によって、側壁846をメッキすることができる。エッティング孔834は、バンプパッド840を、チップ820に電気的に接続させるために露出させている。

20

#### 【0019】

チップを基板に接続するには、まず、図10に示されるように、エッティング孔834が、ソルダペースト870によって充填されることになる。チップ820は、図10に示されるように、本発明のこの例示的な実施形態では、その活性面上にスタッダップを有している。すなわち、各バンプ810は、その先端に小さい突起812を有している。

30

#### 【0020】

例示的な実施形態では、エッティング孔834は、誤配列または不均一な分布による位置ずれおよびチップと基板の共面性の欠如による高さずれのような許容できる欠陥の範囲の全体にわたって、ソルダバンプ810とソルダバンプパッド840との間に十分な電気的接触を確保するのに十分なソルダペースト870を収容するのに十分な容量を有していることに留意されたい。例えば、例示的な実施形態におけるエッティング孔834は、バンプパッド840の幅と略同一の深さを有している。一方、先行技術におけるエッティング孔の深さは、バンプの高さに匹敵するようになっている。他の適切な深さが用いられてもよい。代替的に、エッティング孔834の深さは、基板830に取り付けられるバンプ810の意図される大きさに基づいて、設計されてもよい。例えば、バンプ810の直径の約0.5倍から約1.5倍の間の深さが用いられてもよい。他の例では、バンプ810の直径の約0.7倍から約1.2倍の間の深さが用いられてもよい。さらに他の観点から、例示的な実施形態における孔834は、ソルダペーストが、リフロープロセスにおいて形崩れした後、バンプ810のかなりの部分(例えば、バンプの高さの半分)を埋め込むことを可能にするのに十分な深さを有している。

40

#### 【0021】

次に、図11に示されるように、チップ820のスタッダップ810をエッティング孔834を充填しているソルダペースト870内に入り込ませることによって、チップ82

50

0と基板830との間の初期の接触（すなわち、リフロー前の接触）が得られることになる。

【0022】

次いで、チップ820が取り付けられた基板830に対して、リフロープロセスが施され、ソルダペースト870を溶融し、これによって、溶融したソルダペースト870が、（図11から図12に移行する間のソルダペースト870の表面872の形状の変化によって示されるように）形崩れし、図12に示されるように、エッチング孔を充填することになる。このようにして、ソルダペースト870を介して十分な接触面積を得る確実性が高まることによって、バンプ810の各々とバンプパッド840の各々との間の導電率を先行技術におけるよりも確実に高めることができる。従って、はんだ接合信頼性が改良され、その結果、バンプ810とバンプパッド840との間の電気的接触抵抗が減少することになる。さらに、誤配列または不均一な分布による位置ずれの問題、およびチップおよび基板の共面性による高さずれの問題、またはバンプ間の高さずれの問題を軽減させることができる。

10

【0023】

絶縁層832は、フリップチップパッケージに適するどのような絶縁材料から作製されてもよい。例えば、ポリイミドが用いられてもよい。他の材料、例えば、高温絶縁材料が、基板を形成するのに用いられてもよい。例えば、ビスマレイミド・タイアジン（BT）（耐炎性）FR-4およびFR-5が挙げられる。導電層860、バンプパッド840、および導電内壁844は、フリップチップパッケージ用のどのような適切な導電材料から作製されてもよい。例えば、銅、金、ニッケル、またはこれらの組合せが用いられてもよい。

20

【0024】

この開示された基板構造およびチップ構造の前述の利点が、図13に示されている。この図は、位置ずれ、高さずれ、および不均一なスタッドバンプ寸法による高さずれ、およびバンプ810およびバンプパッド840の分布における誤配列による位置ずれが生じている状態にある、チップおよび基板を示す断面図である。エッチング孔がバンプよりもほんのわずかに大きい先行技術と違って、本発明は、エッチング孔834に十分な設計マージンを与えている。例えば、エッチング孔834の幅は、スタッドバンプ810の直径の約2倍になっているので、バンプ810の全てがエッチング孔834内に入り込むことができ、その結果、予期される横方向配列の変動に対して、十分な公差が得られることになる。他の相対的な寸法が用いられてもよい。例えば、エッチング孔834の幅は、スタッドバンプ810の直径の約1.5倍から約2.5倍の間にあってもよい。図16（米国特許第6,975,035号明細書）では、リフロープロセスの後、バンプの上部のみが導電ペーストと相互接続されているにすぎない。この先行技術と違って、エッチング孔834を充填しているソルダペースト870は、リフロープロセス後に形崩れし、バンプ810およびバンプパッド840と良好な接触部を形成することになる。また、本発明におけるスタッドバンプには、細長のリードが意図的に形成されている。バンプのこの細長の部分は、先行技術に例示されるようにソルダペーストと部分的にしか接触しないのではなく、ソルダペースト内に完全に埋設されることになる。

30

【0025】

例示的な実施形態におけるエッチング孔寸法に対するスタッドバンプ寸法の比率は、先行技術よりもかなり小さいので、バンプがソルダペースト内に入り込んだとき、ソルダペーストは、エッチング孔から基板面上に分割されることがない。

【0026】

図14、15、16に示される先行技術では、接着要素180または導電ペースト170が、チップを基板に取り付けるための高さ制御具として用いられている。一例では、取付け高さは、予め設定され、フリップチップボンダーによって制御されるようになっている。この挿入方法は、正確ではない。何故なら、機械的なフィードバックがないので、機械が、基板の不均一さを補償するように挿入高さを調整することができないからである。

40

50

他の例では、バンプ 110 は、チップ面が基板面に接触するまで、エッティング孔内に挿入されるようになっている。さらに他の例では、エッティング孔の深さが、前述した場合ほど深くはなく、この場合、スタッドバンプ 110 の先端が、エッティング孔内に挿入されるとき、導電パッドに接触することができる。後の 2 つの実施形態の挿入方法は、最初の実施形態よりも正確である。これら 2 つの方法では、基板面がチップ面と接触するとき、またはスタッドバンプの先端が接合パッドの表面と接触するとき、機械が応力を検出することができる。

#### 【 0027 】

加えて、チップと基板との間の熱膨張係数の差による熱応力によって生じる疲労崩壊によってバンプに亀裂が生じるのを保護するために、アンダーフィル材料（図示せず）が、チップと基板との間に充填されるようになっている。

10

#### 【 0028 】

図 17 に示されるような本発明の他の実施形態では、基板 1730 の凹凸をさらに補償するために、接着層 1780 が、チップと基板 1730 との間に設けられている。この接着層 1780 は、チップを基板 1730 に取付けるための高さ制御具として作用するようになっている。追加された接着層 1780 は、チップと基板 1730 との間の相互接続材としても機能し、これによって、チップは、接着層 1780 によって、およびソルダペースト 1770 とスタッドバンプ 1710 との間に形成された接合部によって、基板 1730 に接着されることになる。基板に対するチップの追加的な接着強度をもたらすために、他の接着技術が用いられてもよく、これも本実施形態に準拠していることに留意されたい。チップと基板との間に追加的な接着材料の層を施す場合、チップと基板との間にアンダーフィル材を施す必要がないことにも留意されたい。

20

#### 【 0029 】

従って、本発明の例示的な実施形態では、本発明のフリップチップパッケージ用基板は、バンプとバンプパッドとの間の接触面積を大きくし、はんだ接合信頼性および製品歩留まりを改良し、信頼性を高めることになる。さらに、リフロー中に形崩れするソルダペーストによって充填されたエッティング孔に入り込むバンプによって、配置精度の公差が改良されることになる。バンプとバンプパッドとの間の接触面積が増大され、共面性の誤差または位置誤差によるはんだ接合部への悪影響が低減されることになる。従って、バンプとバンプパッドとの間の不十分な接触の問題およびそれに関連する大きい電気的接触抵抗の問題が、効率的に対処されることになる。その結果として、歩留まりおよび品質も改良されることになる。

30

#### 【 0030 】

本発明の他の利点は、バンプとバンプパッドとの間の配置精度の公差が大きくなるので、チップのバンプを基板のエッティング孔（バンプパッド）に位置合わせするのが容易になることである。これは、チップに加える必要のある圧力が小さいので、米国特許第 6,573,610 号明細書において検討されているのと同様に、圧力を加えられたチップがエッティング孔内に落ち込み易くなるからである。この特許は、参照することによって、ここに含まれるものとする。位置合わせの問題をさらに低減するために、小さい振動、例えば、超音波振動が、取付けチップに加えられてもよい。これによって、振動しているチップは、基板の表面上を動き回るエネルギーを有するが、エッティング孔内に入り込むと、エッティング孔から離脱するのに十分なエネルギーを有しないことになる。これによって、整合された取付けチップおよび基板を得る確率が高められることになる。

40

#### 【 0031 】

前述の種々の実施形態は、単なる例示にすぎず、添付の請求項を制限すると解釈されるべきではない。当業者であれば、ここに図面を参照して述べた例示的な実施形態および用途に準ずることなく、かつ添付の請求項の精神および範囲から逸脱することなく、種々の修正および変更がなされてもよいことを容易に認めるだろう。

#### 【 符号の説明 】

#### 【 0032 】

50

- 8 1 0 バンプ  
8 1 2 突起  
8 2 0 チップ  
8 3 0 基板  
8 3 2 絶縁層  
8 3 4 エッチング孔  
8 4 0 バンプパッド  
8 6 0 導電層

【図1】

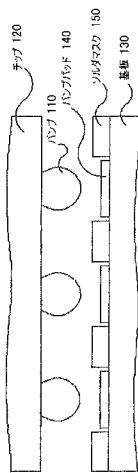


FIG. 1

【図2】

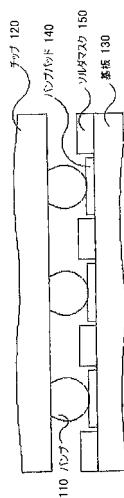


FIG. 2

【図3】

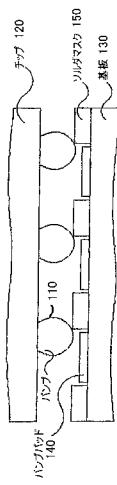


FIG.3

【図4】

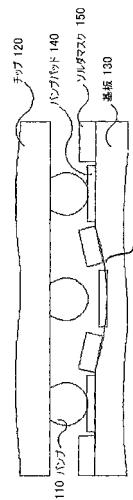


FIG.4

【図5】

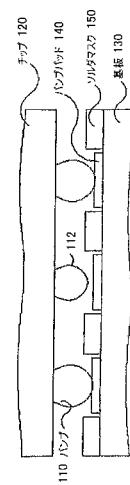


FIG.5

【図6】

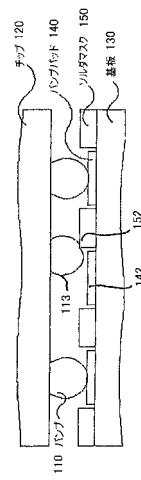


FIG.6

【図7】

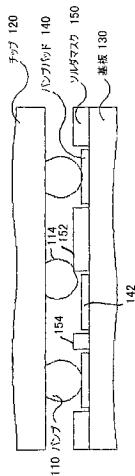


FIG. 7

【図8】

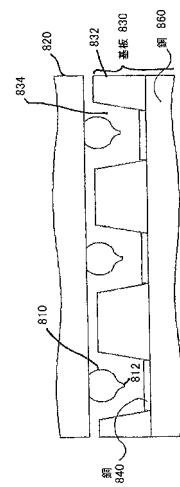


FIG. 8

【図9】

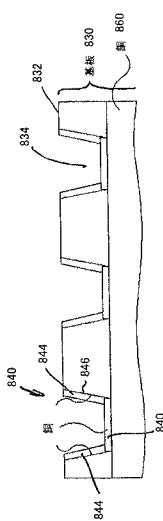


FIG. 9

【図10】

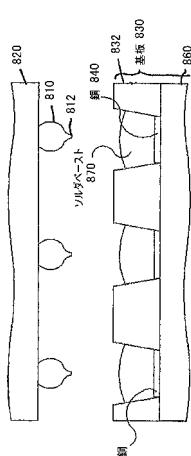


FIG. 10

【図 1 1】

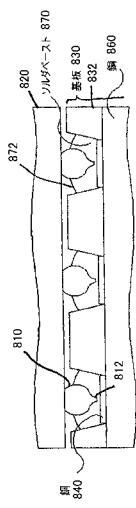


FIG. 11

【図 1 2】

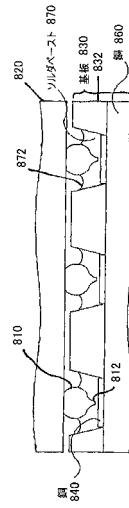


FIG. 12

【図 1 3】

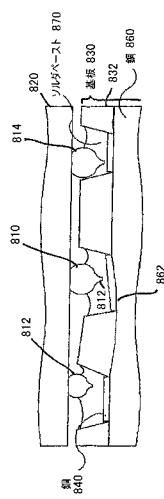
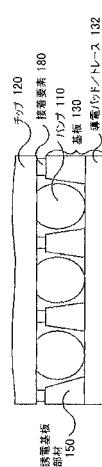


FIG. 13

【図 1 4】



【図 15】

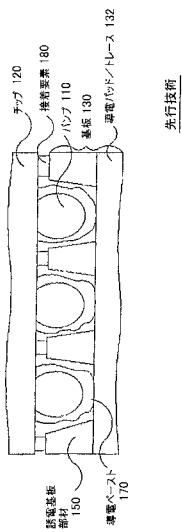


FIG. 15

【図 16】

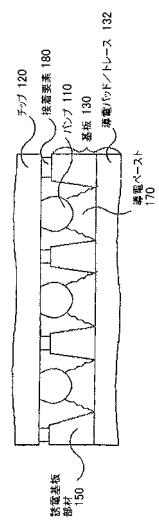


FIG. 16

【図 17】

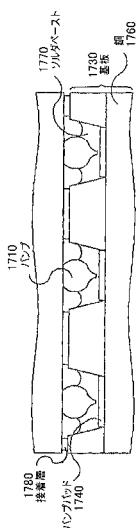


FIG. 17

---

フロントページの続き

(74)代理人 100114591  
弁理士 河村 英文

(74)代理人 100118407  
弁理士 吉田 尚美

(74)代理人 100125380  
弁理士 中村 綾子

(74)代理人 100130960  
弁理士 岡本 正之

(74)代理人 100125036  
弁理士 深川 英里

(74)代理人 100142996  
弁理士 森本 聰二

(72)発明者 コク, チー・ワー  
中華人民共和国ホンコン, ニュー・テリトリーズ, タイ・ポー, アップタウン・プラザ, ブロック  
4, 7シー

(72)発明者 タム, イー・チン  
中華人民共和国ホンコン, サイ・ワン・ホー, タイ・チヨン・ストリート 1, フラット 2, ジ  
ー / エフ

審査官 市川 裕司

(56)参考文献 特開平08-222599 (JP, A)  
特開2002-033349 (JP, A)  
特開2001-257453 (JP, A)  
特表平07-505501 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60

H01L 23/12