

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 12 月 9 日(09.12.2010)

PCT

(10) 国際公開番号
WO 2010/140370 A1

(51) 国際特許分類:

H01L 31/10 (2006.01) H01L 27/08 (2006.01)
H01L 21/20 (2006.01) H01L 27/14 (2006.01)
H01L 21/322 (2006.01) H01L 27/15 (2006.01)
H01L 21/324 (2006.01) H01L 29/737 (2006.01)
H01L 21/331 (2006.01) H01L 29/866 (2006.01)
H01L 21/8222 (2006.01) H01L 33/12 (2010.01)
H01L 21/8248 (2006.01) H01S 5/026 (2006.01)
H01L 27/06 (2006.01)

(YAMANAKA, Sadanori) [JP/JP]; 〒3050005 茨城県つくば市天久保 2-13-10-305 Ibaraki (JP). 高田 朋幸(TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園 2-13-1-4-102 Ibaraki (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿 6-22-1 新宿スクエアタワー 5 階 Tokyo (JP).

(21) 国際出願番号: PCT/JP2010/003715

(22) 国際出願日: 2010 年 6 月 3 日(03.06.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-136664 2009 年 6 月 5 日(05.06.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 27 番 1 号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南 2-20-6 Ibaraki (JP). 山中 貞則

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

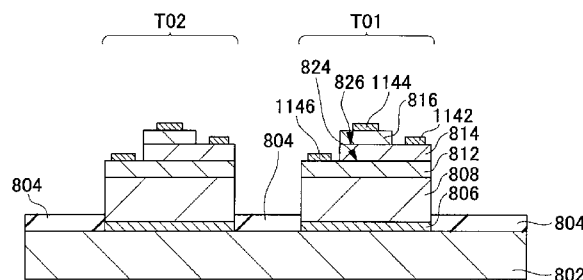
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: OPTICAL DEVICE, SEMICONDUCTOR SUBSTRATE, OPTICAL DEVICE PRODUCING METHOD, AND SEMICONDUCTOR SUBSTRATE PRODUCING METHOD

(54) 発明の名称: 光デバイス、半導体基板、光デバイスの製造方法、および半導体基板の製造方法

[図11]



1100

(57) Abstract: Provided is an optical device comprised of a base substrate containing silicon; a plurality of seed crystals provided on the base substrate; and a plurality of III-V compound semiconductors lattice-matched or pseudo-lattice-matched to the seed crystals, wherein a photoelectric semiconductor containing a light-emitting semiconductor which outputs light in accordance with a driving current to be supplied or a light-receiving semiconductor which receives a light irradiation to generate a photocurrent is formed in at least one of the III-V compound semiconductors; and a heterojunction transistor is formed in at least one of the III-V compound semiconductors other than the III-V compound semiconductor having the photoelectric semiconductor.

(57) 要約:

[続葉有]

WO 2010/140370 A1

NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, 添付公開書類:
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, — 国際調査報告 (条約第 21 条(3))
SN, TD, TG).

シリコンを含むベース基板と、ベース基板上に設けられた複数のシード結晶と、複数のシード結晶に格子整合または擬格子整合する複数の 3-5 族化合物半導体とを備え、複数の 3-5 族化合物半導体のうちの少なくとも 1 つに、供給される駆動電流に応じて光を出力する発光半導体、または光の照射を受けて光電流を発生する受光半導体を含む光電半導体が形成されており、複数の 3-5 族化合物半導体のうち、光電半導体を有する 3-5 族化合物半導体以外の少なくとも 1 つの 3-5 族化合物半導体にヘテロ接合トランジスタが形成されている光デバイスが提供される。

明 細 書

発明の名称：

光デバイス、半導体基板、光デバイスの製造方法、および半導体基板の製造方法

技術分野

[0001] 本発明は、光デバイス、半導体基板、光デバイスの製造方法、および半導体基板の製造方法に関する。

背景技術

[0002] 特許文献1には、青、緑、および赤の光を放射する3個のLEDのスタックが、シリコンに格子整合し、シリコン基板の上に形成された窒化III-V化合物半導体材料を含むLEDを備えたフルカラーディスプレイ用の画素が記載されている。

(特許文献1) 特開平8-274376号公報

発明の開示

発明が解決しようとする課題

[0003] 半導体基板内で大量のデータを高速に通信することを目的として、同一半導体基板内での局所光通信を実現する技術が求められている。光通信における伝送速度は、発光デバイスおよび受光デバイスなどの光デバイスの性能に依存する。高速に動作するトランジスタでディスクリートタイプの光デバイスを制御することにより、高速光通信を実現することができる。

[0004] ところが、高速に動作するトランジスタでディスクリートタイプの光デバイスを制御する場合には、トランジスタと光デバイスとの間の配線が長くなるので、光デバイスのスイッチング速度の向上、ならびに、回路の小型化が困難であった。高価なGaAs等の化合物半導体基板上にモノリシックに光デバイスおよびトランジスタを形成することにより、小型化を実現することができる。しかし、安価なシリコン等の半導体基板上にモノリシックに形成した光デバイスおよびトランジスタにより高速光通信に適した性能を実現す

ることはできなかった。

課題を解決するための手段

- [0005] 上記課題を解決するために、本発明の第1の態様においては、シリコンを含むベース基板と、ベース基板上に設けられた複数のシード結晶と、複数のシード結晶に格子整合または擬格子整合する複数の3-5族化合物半導体とを備え、複数の3-5族化合物半導体のうちの少なくとも1つに、供給される駆動電流に応じて光を出力する発光半導体、または光の照射を受けて光電流を発生する受光半導体を含む光電半導体が形成されており、複数の3-5族化合物半導体のうち、光電半導体を有する3-5族化合物半導体以外の少なくとも1つの3-5族化合物半導体にヘテロ接合トランジスタが形成されている光デバイスが提供される。
- [0006] ヘテロ接合トランジスタは、発光半導体に駆動電流を供給するか、または光電流を増幅する。当該光デバイスは、ベース基板の上方に形成され、ベース基板の少なくとも一部の領域を露出する複数の開口を有し、結晶成長を阻害する阻害層をさらに備え、複数のシード結晶が、複数の開口の内部に形成されている。
- [0007] 複数のシード結晶が、 $C_{x_1}Si_{y_1}Ge_{z_1}Sn_{1-x_1-y_1-z_1}$ ($0 \leq x_1 < 1$ 、 $0 \leq y_1 \leq 1$ 、 $0 \leq z_1 \leq 1$ 、かつ $0 < x_1 + y_1 + z_1 \leq 1$) であり、発光半導体および受光半導体が、3-5族化合物半導体である。光電半導体は、P型またはN型の第1伝導型を示す不純物を含む第1伝導型半導体と、第1伝導型半導体と反対の伝導型を示す不純物を含む第2伝導型半導体と、第1伝導型半導体および第2伝導型半導体の間に形成された、第1伝導型半導体および第2伝導型半導体よりもキャリア濃度が低い低キャリア濃度半導体とを有する。
- [0008] 当該光デバイスは、ベース基板のシリコンからなる領域に形成されたシリコンデバイスをさらに備え、光電半導体は、シリコンデバイスと電氣的に結合されている。光電半導体が発光半導体を有する場合に、シリコンデバイスは、発光半導体に駆動電流を供給し、光電半導体を受光半導体を有する場合

に、シリコンデバイスは、光電流を増幅する。光電半導体は、ヘテロ接合トランジスタを介してシリコンデバイスに電氣的に結合されている。

[0009] 光電半導体が発光半導体を有する場合に、シリコンデバイスは、ヘテロ接合トランジスタを制御する制御信号を出力し、光電半導体を受光半導体を有する場合に、シリコンデバイスは、ヘテロ接合トランジスタが出力する電気信号を増幅する。

[0010] 本発明の第2の態様においては、シリコンを含むベース基板と、ベース基板の上方に設けられた複数のシード結晶と、複数のシード結晶に格子整合または擬格子整合する複数の3-5族化合物半導体とを備え、複数の3-5族化合物半導体のうちの少なくとも1つが、供給される駆動電流に応じて光を出力する発光半導体となり得る半導体、または光の照射を受けて光電流を発生する受光半導体となり得る半導体を含む光電半導体を有する半導体であり、複数の3-5族化合物半導体のうち、光電半導体を有する3-5族化合物半導体以外の少なくとも1つの3-5族化合物半導体が、ヘテロ接合トランジスタが形成され得る半導体である半導体基板が提供される。

[0011] ヘテロ接合トランジスタは、発光半導体に駆動電流を供給するか、または光電流を増幅する。当該半導体基板は、ベース基板の上方に形成され、ベース基板の少なくとも一部の領域を露出する複数の開口を有し、結晶成長を阻害する阻害層をさらに備え、複数のシード結晶が、複数の開口の内部に形成されている。複数のシード結晶が、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) である。

[0012] ベース基板と複数のシード結晶とが接しており、ベース基板と複数のシード結晶との界面に接して、ベース基板内に、組成が $C_{x3}Si_{y3}Ge_{z3}Sn_{1-x3-y3-z3}$ ($0 \leq x3 < 1$ 、 $0 < y3 \leq 1$ 、 $0 \leq z3 \leq 1$ 、かつ $0 < x3 + y3 + z3 \leq 1$) である界面領域を含み、複数のシード結晶のシリコン組成 $y1$ よりも界面領域のシリコン組成 $y3$ が大きい。光電半導体が、P型またはN型の第1伝導型を示す不純物を含む第1伝導型半導体と、第1伝導型半導

体と反対の伝導型を示す不純物を含む第2伝導型半導体と、第1伝導型半導体および第2伝導型半導体の間に形成された、第1伝導型半導体および第2伝導型半導体よりもキャリア濃度が低い低キャリア濃度半導体とを有する。複数の3-5族化合物半導体のそれぞれが、供給される駆動電流に応じて光を出力し得る発光半導体または光の照射を受けて光電流を発生し得る受光半導体を有する光電半導体、および、ヘテロ接合トランジスタが形成され得る半導体である。

[0013] 本願発明の第3の態様においては、シリコンを含むベース基板上に複数のシード結晶を形成する段階と、複数のシード結晶に格子整合または擬格子整合する複数の3-5族化合物半導体を結晶成長させる段階と、複数の3-5族化合物半導体のうちの少なくとも1つに、供給される駆動電流に応じて光を出力する発光半導体または光の照射を受けて光電流を発生する受光半導体を含む光電半導体を形成する段階と、複数の3-5族化合物半導体のうち、光電半導体を有する3-5族化合物半導体以外の少なくとも1つの3-5族化合物半導体にヘテロ接合トランジスタを形成する段階と、光電半導体とヘテロ接合トランジスタとを接続する段階とを備える光デバイスの製造方法が提供される。

[0014] 当該光デバイスの製造方法は、ベース基板のシリコンからなる領域にシリコンデバイスを形成する段階と、シリコンデバイスを覆う保護膜をベース基板の上方に形成し、保護膜にベース基板の少なくとも一部を露出する開口を形成する段階とをさらに備え、複数のシード結晶を形成する段階においては、開口の内部に、選択エピタキシャル成長法により、組成が $C_{x_1}Si_{y_1}Ge_{z_1}Sn_{1-x_1-y_1-z_1}$ ($0 \leq x_1 < 1$, $0 \leq y_1 \leq 1$, $0 \leq z_1 \leq 1$, かつ $0 < x_1 + y_1 + z_1 \leq 1$) である複数のシード結晶を形成し、光電半導体を形成する段階およびヘテロ接合トランジスタを形成する段階の後に、保護膜の少なくとも一部を除去して、シリコンデバイスの少なくとも一部を露出する段階と、発光半導体、受光半導体、およびヘテロ接合トランジスタから選択された少なくとも1つとシリコンデバイスとを結合する段階とをさらに備え

る。

- [0015] シリコンデバイスを形成する段階の後において、シリコンデバイスの温度を 600°C 以下に保つ。複数のシード結晶は、 $\text{C}_{x1}\text{Si}_{y1}\text{Ge}_{z1}\text{Sn}_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) である。複数のシード結晶を形成する段階においては、ベース基板上に複数のシード結晶を互いに離して形成する。
- [0016] 当該光デバイスの製造方法は、複数のシード結晶をアニールする段階をさらに備え、複数のシード結晶を形成する段階、および、複数のシード結晶をアニールする段階において、ベース基板を大気に曝露することなく実施する。複数のシード結晶をアニールする段階、および、複数の 3-5 族化合物半導体を結晶成長させる段階を、ベース基板を大気に曝露することなく実施する。
- [0017] 本願発明の第 4 の態様においては、シリコンを含むベース基板の上方に複数のシード結晶を形成する段階と、複数のシード結晶をアニールする段階と、複数のシード結晶のそれぞれに格子整合または擬格子整合する複数の 3-5 族化合物半導体を結晶成長させる段階とを備え、複数の 3-5 族化合物半導体を結晶成長させる段階においては、アニールされた複数のシード結晶のそれぞれに、P 型または N 型の第 1 伝導型の不純物を含む複数の第 1 伝導型第 1 半導体を結晶成長させ、複数の第 1 伝導型第 1 半導体のそれぞれに、複数の第 1 伝導型第 1 半導体と反対の伝導型を示す不純物を含む複数の第 2 伝導型半導体を結晶成長させ、複数の第 2 伝導型半導体のそれぞれに、複数の第 1 伝導型第 1 半導体と同じ伝導型を示す不純物を含む複数の第 1 伝導型第 2 半導体を結晶成長させる半導体基板の製造方法が提供される。
- [0018] 当該半導体基板の製造方法は、複数のシード結晶を形成する段階の前に、ベース基板の上方に、ベース基板の少なくとも一部を露出する開口を有し、結晶成長を阻害する阻害層を形成する段階をさらに備え、複数のシード結晶を形成する段階においては、開口の内部で複数のシード結晶を選択エピタキシャル成長させ、複数の 3-5 族化合物半導体を結晶成長させる段階におい

ては、複数の第1伝導型第1半導体、複数の第2伝導型半導体、および複数の第1伝導型第2半導体を選択エピタキシャル成長させる。

図面の簡単な説明

- [0019] [図1]半導体基板100の断面の一例を示す。
- [図2]半導体基板100の製造過程における断面例を示す。
- [図3]半導体基板100の製造過程における断面例を示す。
- [図4]半導体基板100の製造過程における断面例を示す。
- [図5]半導体基板100の製造過程における断面例を示す。
- [図6]光デバイス600の断面の一例を示す。
- [図7]光デバイス600の製造過程における断面例を示す。
- [図8]半導体基板800の断面の一例を示す。
- [図9]半導体基板800の製造過程における断面例を示す。
- [図10]半導体基板800の製造過程における断面例を示す。
- [図11]光デバイス1100の断面の一例を示す。
- [図12]光デバイス1100の製造過程における断面例を示す。
- [図13]光デバイス1100の製造過程における断面例を示す。
- [図14]光デバイス1400の断面の一例を示す。
- [図15]光デバイス1400の製造過程における断面例を示す。
- [図16]光デバイス1400の製造過程における断面例を示す。
- [図17]光デバイス1400の製造過程における断面例を示す。
- [図18]光デバイス1800の断面の一例を示す。
- [図19]光デバイス1800の製造過程における断面例を示す。
- [図20]光デバイス1800の製造過程における断面例を示す。
- [図21]素子P01に駆動電流を印加した場合の発光を観測した結果を示す。
- [図22]素子P01にレーザー光を入射させたときの光電流を観測した結果を示す。
- [図23]実施例5の半導体基板におけるシリコン基板／Ge結晶界面近傍の断面SEM写真を示す。

[図24] 図23の解析領域におけるエネルギー分散型蛍光X線分析の結果を示す。

発明を実施するための形態

[0020] 図1は、半導体基板100の断面の一例を示す。半導体基板100は、ベース基板102、障害層104、シード結晶106、バッファ層108、半導体112、および半導体114を備える。

[0021] ベース基板102は、シリコンを含む基板である。シリコンを含む基板として表面がシリコンである基板が挙げられる。ベース基板102は、例えば、Si基板、SOI (silicon-on-insulator) 基板である。ベース基板102は、単一の基板であってよい。半導体基板100は、ベース基板102の上に、シード結晶106を複数有し、当該複数のシード結晶106ごとに、バッファ層108、半導体112、および半導体114を備えてもよい。

[0022] 障害層104は、ベース基板102の上に形成されている。障害層104は、ベース基板102の少なくとも一部の領域を露出する複数の開口105を有する。障害層104は、結晶成長を障害する。例えば、エピタキシャル成長法により半導体の結晶が成長する場合に、障害層104の表面では、半導体の結晶がエピタキシャル成長することが障害されるので、半導体の結晶は開口105において選択的にエピタキシャル成長する。

[0023] 障害層104は、例えば、酸化シリコン層、窒化シリコン層、酸窒化シリコン層またはこれらを積層した層である。障害層104の厚みは、例えば0.05以上5 μ m以下である。障害層104は、例えば、熱酸化法、CVD法等により形成される。

[0024] シード結晶106は、ベース基板102の上に形成される。シード結晶106は、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) であってよい。シード結晶106は、例えば、Ge結晶、SiGe結晶、またはGeSn結晶である。シード結晶106は、その上に形成されるバッファ層108、半導体11

2 および半導体 1 1 4 の結晶成長に適したシード面を提供する。シード結晶 1 0 6 は、ベース基板 1 0 2 の表面に存在する不純物が、バッファ層 1 0 8 、半導体 1 1 2 および半導体 1 1 4 の結晶性に悪影響を及ぼすことを抑制する。シード結晶 1 0 6 は、複数の層を含んでよい。シード結晶 1 0 6 は、バッファ層 1 0 8 、またはバッファ層 1 0 8 および半導体 1 1 2 に代えて、その機能を兼ね備えてよい。

[0025] シード結晶 1 0 6 は、ベース基板 1 0 2 と接して形成される。ベース基板 1 0 2 とシード結晶 1 0 6 との界面に接して、ベース基板 1 0 2 は、組成が $C_{x3}Si_{y3}Ge_{z3}Sn_{1-x3-y3-z3}$ ($0 \leq x3 < 1$ 、 $0 < y3 \leq 1$ 、 $0 \leq z3 \leq 1$ 、かつ $0 < x3 + y3 + z3 \leq 1$) である界面領域を含んでよい。シード結晶 1 0 6 のシリコン組成 $y1$ と、界面領域のシリコン組成 $y3$ とは、 $y3 > y1$ の関係を満足する。

[0026] シード結晶 1 0 6 は、例えば、エピタキシャル成長法により形成される。シード結晶 1 0 6 は、例えば、化学気相成長法（CVD法と称する。）、有機金属気相成長法（MOCVD法と称する。）、分子線エピタキシ法（MBE法と称する。）、または原子層成長法（ALD法と称する。）により形成される。例えば、ベース基板 1 0 2 の上に熱酸化法により阻害層 1 0 4 が形成され、エッチング等のフォトリソグラフィ法により、ベース基板 1 0 2 の表面に到達する開口 1 0 5 が阻害層 1 0 4 に形成されてから、CVD法により当該開口 1 0 5 の内部に選択的にシード結晶 1 0 6 がエピタキシャル成長する。

[0027] シード結晶 1 0 6 は、アニールされることが好ましい。シード結晶 1 0 6 の内部には、ベース基板 1 0 2 とシード結晶 1 0 6 との格子定数の違い等により、転位等の格子欠陥が発生する場合がある。上記欠陥は、例えば、シード結晶 1 0 6 を加熱してアニールを施すことにより、シード結晶 1 0 6 の内部を移動する。シード結晶 1 0 6 の内部を移動する欠陥は、シード結晶 1 0 6 の界面またはシード結晶 1 0 6 の内部にあるゲッタリングシンク等に捕捉される。即ち、シード結晶 1 0 6 にアニールを施すことにより、シード結晶

106の欠陥が低減し、シード結晶106の結晶性が向上する。シード結晶106は、非晶質または多結晶の $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$)をアニールして形成してもよい。

[0028] バッファ層108は、例えば半導体である。バッファ層108は、シード結晶106の上に形成される。バッファ層108は、単層または多層の半導体層によって構成される。例えば、バッファ層108は、組成の異なる複数の半導体層によって構成される。バッファ層108は、4族半導体または3-5族化合物半導体であってよい。4族半導体のバッファ層108は、シード結晶106を兼ねることができる。

[0029] バッファ層108は、例えば、シード結晶106に格子整合または擬格子整合する半導体層である。バッファ層108は、上層に形成される半導体層と、ベース基板102との格子間距離を整合させる緩衝層として機能する半導体層であってもよい。バッファ層108は、シード結晶106に残留する欠陥に起因する格子欠陥等を更に低減して、その上に形成される半導体層に、格子整合性の良好な結晶面を提供する。バッファ層108は、ベース基板102の表面に残留する不純物により、ベース基板102の上に形成される半導体素子の特性が劣化するのを防ぐことができる。

[0030] 本明細書において、「擬格子整合」とは、完全な格子整合ではないが、互いに接する2つの半導体の格子定数の差が小さく、格子不整合による欠陥の発生が顕著でない範囲で、互いに接する2つの半導体を積層できる状態をいう。このとき、各半導体の結晶格子が、弾性変形できる範囲内で変形することで、上記格子定数の差が吸収される。例えば、GeとGaAsとの、またはGeとInGaPとの格子緩和限界厚さ内での積層状態は、擬格子整合と呼ばれる。

[0031] バッファ層108は、エピタキシャル成長法により形成される。例えば、エピタキシャル成長法は、CVD法、MOCVD法、MBE法、およびALD法を含む。

- [0032] 半導体 1 1 2 は、P 型または N 型の第 1 伝導型を示す不純物を含む半導体である。半導体 1 1 2 は、バッファ層 1 0 8 の上に形成される。半導体 1 1 2 は、バッファ層 1 0 8 に格子整合または擬格子整合する。つまり、半導体 1 1 2 は、バッファ層 1 0 8 を介して、シード結晶 1 0 6 に格子整合または擬格子整合する半導体層である。
- [0033] 半導体 1 1 2 は、4 族半導体または 3-5 族化合物半導体であってよい。4 族の半導体 1 1 2 は、例えば、Ge、SiGe、GeSn 等である。4 族の半導体 1 1 2 は、シード結晶 1 0 6 およびバッファ層 1 0 8 を兼ねることができる。半導体 1 1 2 は、組成、ドーピング濃度、および厚さの異なる複数の半導体層から構成される積層体であってよい。
- [0034] 半導体 1 1 4 は、半導体 1 1 2 と反対の伝導型の第 2 伝導型を示す不純物を含む。例えば、半導体 1 1 2 が P 型の不純物を含む場合には、半導体 1 1 4 は N 型の不純物を含む。半導体 1 1 2 が N 型の不純物を含む場合には、半導体 1 1 4 は P 型の不純物を含む。半導体 1 1 4 は、例えば、半導体 1 1 2 に接して形成される。
- [0035] 半導体 1 1 4 は、半導体 1 1 2 と格子整合または擬格子整合している。半導体 1 1 2 がバッファ層 1 0 8 と格子整合または擬格子整合しているので、半導体 1 1 4 は、バッファ層 1 0 8 と半導体 1 1 2 を介して、シード結晶 1 0 6 に格子整合または擬格子整合する。半導体 1 1 4 は、4 族半導体または 3-5 族化合物半導体であってよい。4 族の半導体 1 1 4 は、例えば、Ge、SiGe、GeSn 等である。半導体 1 1 4 は、半導体 1 1 2 と異なる伝導型を有する。半導体 1 1 4 は、組成、ドーピング濃度、および厚さの異なる複数の半導体層から構成される積層体であってよい。
- [0036] 半導体基板 1 0 0 は、例えば、半導体 1 1 2 と半導体 1 1 4 との間の半導体接合界面 1 2 2 の近傍に、空間電荷領域を含む低キャリア濃度半導体を有する。当該低キャリア濃度半導体のキャリア濃度は、半導体 1 1 2 および半導体 1 1 4 のキャリア濃度よりも低い。当該空間電荷領域は、一例として、半導体 1 1 2 および半導体 1 1 4 のキャリア濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以

上である場合には、電子濃度と正孔濃度との差に相当する有効キャリア濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 以下となる空乏層である。

[0037] 具体的には、半導体 112 および半導体 114 がそれぞれ異なる伝導型を有するので、半導体 114 と半導体 112 との間の半導体接合界面 122 に P N 接合が形成され、その近傍に空乏層が形成される。半導体 112 および半導体 114 が形成した P N 接合に順電圧を印加すると、N 型半導体から電子が、P 型半導体から正孔が空乏層に移動して、電子と正孔が再結合することによって光が発せられる。従って、半導体基板 100 においては空乏層を含む低キャリア濃度半導体が発光部となる。当該低キャリア濃度半導体を有する半導体基板 100 は、発光素子を有する光デバイスの形成に用いることができる。

[0038] 一方、上記の空乏層に光が入射すると、結晶格子に結合されていた電子が結合を解き放たれて自由電子となり、自由な電子あるいは正孔が発生する。この場合、空乏層を含む低キャリア濃度半導体が受光部となる。当該低キャリア濃度半導体を有する半導体基板 100 は、受光素子を有する光デバイスの形成に用いることができる。

[0039] 半導体基板 100 は、半導体 112 と半導体 114 との間に、組成、ドーピング濃度、および膜厚の異なる複数の半導体層から構成される積層体を有してもよい。例えば、半導体基板 100 は、P 型の半導体 112 と N 型の半導体 114 との間に、低キャリア濃度半導体としての I 型半導体層を有する。P 型の半導体 112、I 型半導体層、および N 型の半導体 114 により、P I N 接合が形成される。

[0040] 半導体 112 および半導体 114 は、エピタキシャル成長法により形成される。エピタキシャル成長法は、例えば、CVD 法、MOCVD 法、MBE 法、および ALD 法を含む。

[0041] 図 2 から図 5 は、半導体基板 100 の製造過程における断面例を示す。以下、図面を用いて半導体基板 100 の製造方法を説明する。半導体基板 100 の製造方法は、ベース基板の少なくとも一部を露出する開口を有する阻害

層を形成する工程と、ベース基板の上にシード結晶を形成する工程と、シード結晶をアニールする工程と、第1の伝導型を有する半導体112を形成する工程と、第1の伝導型と反対の伝導型の第2の伝導型を有する半導体114を形成する工程とを備える。半導体112を形成する工程と半導体114を形成する工程との間に、低キャリア濃度半導体を形成する工程をさらに備えてもよい。

[0042] 障害層を形成する工程において、図2に示すように、ベース基板102の上に、ベース基板102に達する開口105を有する障害層104を形成する。まず熱酸化法によって、ベース基板102の全面に酸化シリコン膜を形成する。次にエッチング等のフォトリソグラフィ法により、酸化シリコン膜に、ベース基板102の表面に到達する開口105を形成する。以上の手順により、障害層104が完成する。障害層104は、複数の開口105を有してもよい。

[0043] シード結晶を形成する工程において、図3に示すように、開口105の内部に、選択エピタキシャル成長法によりシード結晶106を形成する。シード結晶106は、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$)である。シード結晶106は、例えばCVD法によりGe結晶、SiGe結晶、またはGeSn結晶をエピタキシャル成長させることにより形成される。複数の開口105を有する障害層104が形成される場合に、複数の開口105のそれぞれの内部に、シード結晶106が形成される。

[0044] シード結晶を形成する工程においては、ベース基板102の上にシード結晶106の膜を形成して、エッチング等フォトリソグラフィ法によって、シード結晶106をパターニングすることにより、障害層104を形成することなく、島状のシード結晶106が形成してもよい。この場合に、シード結晶106を互いに離して島状に複数形成してもよい。

[0045] シード結晶をアニールする工程において、図4に示すように、シード結晶106を加熱してアニールする。シード結晶106の内部において、ベース

基板 102 とシード結晶 106 との間の格子定数の違い等により発生した転位等の格子欠陥は、アニールにより低減される。その結果、シード結晶 106 の結晶性は向上する。上記シード結晶を形成する工程、および、シード結晶をアニールする工程は、ベース基板 102 を大気に曝露することなく実施される。例えば、二つの工程は、同一装置の同一チャンバー内において実施される。二つの工程がそれぞれ異なるチャンバーにおいて実施され、ベース基板 102 のチャンバー間の移送が大気に曝露することなく実施されてもよい。

[0046] シード結晶をアニールする工程において、複数段階に分けてシード結晶 106 をアニールしてもよい。例えば、シード結晶 106 の融点に達しない温度で高温アニールを実施した後、高温アニールの温度より低い温度で低温アニールを実施する。このような 2 段階のアニールを、複数回繰り返してもよい。高温アニールの温度および時間は、シード結晶 106 が $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) を有する場合には、例えば、 $850 \sim 900^\circ\text{C}$ で $2 \sim 10$ 分間である。低温アニールの温度および時間は、例えば、 $650 \sim 780^\circ\text{C}$ で $2 \sim 10$ 分間である。このような 2 段階アニールを、例えば、10 回繰り返す。

[0047] 第 1 の伝導型を有する半導体 112 を形成する工程および第 2 の伝導型を有する半導体 114 を形成する工程においては、半導体 112 および半導体 114 を順次形成する。具体的には、まず、図 5 に示すように、シード結晶 106 の上にバッファ層 108 を選択エピタキシャル成長する。続いて、図 1 に示すように、バッファ層 108 の上に、半導体 112 および半導体 114 を順次選択エピタキシャル成長する。複数のシード結晶 106 を形成した場合に、複数のシード結晶 106 のそれぞれに、バッファ層 108、半導体 112、および半導体 114 を形成してもよい。

[0048] バッファ層 108、半導体 112、および半導体 114 は、シード結晶 106 に格子整合または擬格子整合する半導体層である。バッファ層 108、半導体 112、および半導体 114 は、4 族半導体または 3-5 族化合物半

導体であってよい。バッファ層 108 は、シード結晶 106 に残留する欠陥に起因する格子欠陥等を更に低減して、その上に形成される半導体 112 および半導体 114 に、格子整合性の良好な結晶面を提供する。バッファ層 108 は、リーク電流を抑制することができる。半導体 112 と半導体 114 との間には P N 接合が形成され、半導体 112 と半導体 114 との間の半導体接合界面 122 の近傍に、半導体 112 および半導体 114 のキャリア濃度よりもキャリア濃度が低い空間電荷領域が形成される。

- [0049] バッファ層 108、半導体 112、および半導体 114 は、例えば、GaAs、AlGaAs、InGaAs、InGaP 等の 3-5 族化合物半導体である。3-5 族化合物半導体は、MOCVD 法を用いてエピタキシャル成長される。エピタキシャル成長は、例えば、次のようにして行われる。まず、MOCVD 炉内を高純度水素で十分置換した後、シード結晶 106 を有するベース基板 102 の加熱が開始される。結晶成長時の基板温度は、450℃から 800℃であってよい。ベース基板 102 が適切な温度に安定したところで炉内に砒素原料または燐原料が導入される。続いてガリウム原料、アルミニウム原料またはインジウム原料が導入されて、エピタキシャル成長が実施される。
- [0050] 3 族元素原料として、例えば、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA)、トリメチルインジウム (TMI) 等が使用され、5 族元素原料ガスとして、例えば、アルシン (AsH_3)、ターシャリブチルアルシン ($(\text{CH}_3)_3\text{CA s H}_2$)、ホスフィン (PH_3)、ターシャリブチルホスフィン ($(\text{CH}_3)_3\text{C P H}_2$) 等が使用される。エピタキシャル成長条件は、例えば、反応炉内圧力 0.1 atm、成長温度 650℃、成長速度 0.1~3 $\mu\text{m}/\text{hr}$ である。原料のキャリアガスとして、高純度水素が用いられてよい。
- [0051] エピタキシャル成長は、一例として以下の条件により行われる。反応炉内圧力 0.1 atm、成長温度 550℃、成長速度 0.1~1 $\mu\text{m}/\text{hr}$ の条件で、30 nm 程度の GaAs が積層されて、いったん中断される。その後

、砒素原料雰囲気が維持された状態で成長温度が650℃まで昇温され、再び反応炉内圧力0.1atm、成長温度650℃、成長速度0.1~3μm/hの条件でエピタキシャル成長が行われる。原料のキャリアガスとして、高純度水素が用いられてよい。

[0052] シード結晶をアニールする工程、半導体112を形成する工程、および半導体114を形成する工程は、ベース基板102を大気に曝露することなく実施される。例えば、二つの工程は同一装置の同一チャンバー内において実施される。二つの工程をそれぞれ異なるチャンバーにおいて実施し、ベース基板102を大気に曝露することなくチャンバー間で移送してもよい。以上の工程を経て、半導体基板100が完成する。

[0053] 図6は、光デバイス600の断面の一例を示す。光デバイス600は、半導体基板100を用いて製造できる光デバイスの一例である。光デバイス600は、ベース基板102、阻害層104、シード結晶106、バッファ層108、半導体112、半導体114、電極632、および電極634を備える。図6は、一つの素子P01を備える光デバイス600を示すが、光デバイス600は複数の素子P01を含んでよい。光デバイス600は、半導体112と半導体114との間の半導体接合界面122の近傍に、空乏層などの空間電荷領域を含む低キャリア濃度半導体を有する。以下、図面を用いて光デバイス600を説明するが、半導体基板100と重複する構成要素については、説明を省略する。

[0054] 電極632および電極634は、それぞれ半導体112と半導体114に接して形成され、半導体112および半導体114を外部回路に接続する。電極632および電極634は、導電性材料によって形成される。電極632および電極634は、例えば金属によって形成される。電極632および電極634の材料は、例えば、AuGe/Ni/Au、AuZn、AuNi、またはAuCrである。電極632および電極634は、上記導電性材料の積層構造を有してよい。電極632および電極634は、例えば、スパッタ法、真空蒸着法により形成される。

- [0055] 図7は、光デバイス600の製造過程における断面例を示す。光デバイス600は、半導体基板100を用いて、図7に示すように、半導体114のメサを形成してから、図6に示すように、電極634および電極632を形成することによって、完成する。半導体114のメサは、エッチング等フォトリソグラフィ法により形成される。
- [0056] 電極634は、次のように形成される。まず、フォトリソグラフィ法により、電極634を形成すべき部位に開口を有するレジストマスクを形成する。続いて、レジストマスクの上に電極用金属を蒸着する。最後にレジストをリフトオフすることにより、電極634が完成する。電極632も、同様に形成される。電極634および電極632は、同時に形成されてもよい。また、リフトオフ法により電極634を半導体114の上に形成し、エッチング等フォトリソグラフィ法により半導体114のメサを形成した後に、電極632を形成してもよい。
- [0057] 例えば、半導体114がP型半導体であって、半導体112がN型半導体である場合に、半導体112と半導体114との間にPN接合が形成され、その近傍に空間電荷領域を含む低キャリア濃度半導体が形成される。電極634と電極632との間に順電圧が印加されると、半導体112から電子が、半導体114から正孔が当該空間電荷領域に移動して、電子と正孔が再結合することによって光が発せられる。この場合、低キャリア濃度半導体は、光を発する発光部となり、光デバイス600は発光素子として機能する。一方、空間電荷領域の近傍に、光が入射することにより、結晶格子に結合されていた電子が結合を解き放たれて自由電子となり、自由な電子あるいは正孔が発生する。この場合には、低キャリア濃度半導体は、光電流を生成する受光部となり、光デバイス600は受光素子として機能する。
- [0058] 半導体114および半導体112は、各々、組成、ドーピング濃度、および厚さの異なる複数の半導体層の積層体であってよい。また、光デバイス600は、半導体114と半導体112との間に、有限の厚さを有し、組成、ドーピング濃度、および膜厚の異なる複数の半導体層から構成される積層体

を有してもよい。

[0059] 上記において、PN接合を有する光デバイス600の一例を説明したが、上記発光部は、PN接合LED（発光ダイオード）、LD（レーザーダイオード）、VCSEL（垂直共振器面発光レーザ）であってよい。上記受光部は、PNダイオード、PINダイオード、MSM（金属－半導体－金属接合）ダイオード、アバランシェフォトダイオード、CCDあるいはMOS等の光センサー、または太陽電池であってよい。

[0060] 図8は、他の実施形態である半導体基板800の断面の一例を示す。半導体基板800は、ベース基板802、阻害層804、シード結晶806、バッファ層808、半導体812、半導体814、および半導体816を備える。半導体基板800の構成要素のうち、ベース基板802は、半導体基板100におけるベース基板102に対応し、同様の構成を有する。阻害層804は、阻害層104に対応し、同様の構成を有する。シード結晶806は、シード結晶106に対応し、同様の構成を有する。バッファ層808は、バッファ層108に対応し、同様の構成を有してよい。従って、半導体基板800において、半導体基板100と同様の構成について、説明を省略する。

[0061] 半導体基板800は、単一のベース基板802の上に、複数のシード結晶806を有してよい。シード結晶806ごとに、バッファ層808、半導体812、半導体814、および半導体816が設けられている。バッファ層808、半導体812、半導体814、および半導体816は、エピタキシャル成長法により形成される。エピタキシャル成長法は、例えば、CVD法、MOCVD法、MBE法、およびALD法を含む。

[0062] 半導体812、半導体814、および半導体816は、順次バッファ層808の上に形成される。半導体812、半導体814および半導体816は、バッファ層808を介して、シード結晶806に格子整合または擬格子整合する。半導体812、半導体814および半導体816は、4族半導体または3－5族化合物半導体であってよい。当該3－5族化合物半導体は、ヘ

テロ接合トランジスタが形成可能な 3-5 族化合物半導体であってよい。3-5 族化合物半導体は、例えば、GaP、GaAs、GaAsP、AlGaAs、InGaP、InGaAs、InGaAsP、AlInGaP、GaN、または InGaN である。上記ヘテロ接合トランジスタは、HBT（ヘテロ接合バイポーラトランジスタ）、HEMT（高電子移動度トランジスタ）、p-HEMT（擬格子整合高電子移動度トランジスタ）、MISFET（金属-絶縁体-半導体電界効果トランジスタ）等であってよい。

[0063] 半導体 812、半導体 814、および半導体 816 は、NPN 型接合を有するヘテロ接合トランジスタを形成してよい。また、半導体 812、半導体 814、および半導体 816 は、PNP 型接合を有するヘテロ接合トランジスタを形成してよい。半導体 812、半導体 814、および半導体 816 は、半導体接合界面 824 および半導体接合界面 826 の近傍に低キャリア濃度半導体を有してもよい。

[0064] 半導体 812、半導体 814、および半導体 816 は、各々、組成、ドーピング濃度、および半導体層厚の異なる複数の半導体層から構成される積層体であってもよい。例えば、半導体接合界面 824 または半導体接合界面 826 において、半導体 812 と半導体 814 との間、または、半導体 814 と半導体 816 との間に挟まれ、有限の厚さを有し、組成、ドーピング濃度、および膜厚の異なる複数の半導体層から構成される積層体が設けられる。

[0065] 図 9 と図 10 は、半導体基板 800 の製造過程における断面例を示す。以下、図面を用いて半導体基板 800 の製造方法を説明する。半導体基板 800 の製造方法は、半導体基板 100 の製造方法と同様に、ベース基板 802 の上に開口を有する阻害層 804 を形成する工程と、ベース基板 802 の上にシード結晶 806 を形成する工程と、シード結晶 806 をアニールする工程と、第 1 伝導型の半導体 812 を形成する工程と、第 1 伝導型と反対の伝導型の第 2 伝導型の半導体 814 を形成する工程と、第 1 伝導型の半導体 816 を形成する工程とを備える。

[0066] 半導体 812 を形成する工程と半導体 814 を形成する工程との間、およ

び、半導体 814 を形成する工程と半導体 816 を形成する工程との間に、低キャリア濃度半導体を形成する工程をさらに備えてもよい。以下の説明において、半導体基板 100 の製造方法と同じプロセスの説明は省略される。

[0067] 阻害層 804 を形成する工程において、図 9 に示すように、ベース基板 802 の上に、ベース基板 802 に達する複数の開口 805 を有する阻害層 804 を形成する。例えば、熱酸化法によって、ベース基板 802 の全面に酸化シリコン膜を形成する。エッチング等のフォトリソグラフィ法により、酸化シリコン膜に、ベース基板 802 の表面に到達する複数の開口 105 を形成する。

[0068] シード結晶 806 を形成する工程において、複数の開口 105 のそれぞれの内部に、選択エピタキシャル成長法により、複数のシード結晶 806 が形成される。シード結晶 806 は、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) である。また、ベース基板 802 の上にシード結晶 806 の膜を形成して、エッチング等フォトリソグラフィ法によって、シード結晶 806 をパターンニングすることにより、阻害層 804 を形成することなく、互いに離れた複数の島状のシード結晶 806 を形成してもよい。

[0069] シード結晶 806 をアニールする工程において、図 9 に示すように、複数のシード結晶 806 を加熱してアニールする。上記シード結晶を形成する工程、および、シード結晶をアニールする工程を、ベース基板 802 を大気に曝露することなく実施してもよい。複数段階に分けてシード結晶 806 をアニールしてもよい。

[0070] 半導体 812 を形成する工程、半導体 814 を形成する工程、および半導体 816 を形成する工程において、まず図 10 に示すように、複数のシード結晶 806 のそれぞれに、バッファ層 808 を選択エピタキシャル成長し、更に図 8 に示すように、バッファ層 808 の上に、半導体 812、半導体 814、および半導体 816 を順次選択エピタキシャル成長する。

[0071] 例えば、バッファ層 808、半導体 812、半導体 814、および半導体

816は、GaAs、AlGaAs、InGaAs、InGaP等の3-5族化合物半導体である。この場合、3-5族化合物半導体は、MOCVD法を用いてエピタキシャル成長される。エピタキシャル成長は、例えば次のように行われる。MOCVD炉内が高純度水素で十分置換された後、シード結晶806を有するベース基板802の加熱を開始する。結晶成長時の基板温度は、450℃から800℃であってよい。ベース基板802が適切な温度に安定したところで炉内に砒素原料または燐原料を導入する。続いてガリウム原料、アルミニウム原料またはインジウム原料を導入して、3-5族化合物半導体をエピタキシャル成長させる。

[0072] 3族元素原料として、例えば、トリメチルガリウム(TMG)およびトリメチルアルミニウム(TMA)、トリメチルインジウム(TMI)を使用し、5族元素原料ガスとして、例えば、アルシン(AsH_3)、ターシャリブチルアルシン($(\text{CH}_3)_3\text{CAsH}_2$)、ホスフィン(PH_3)、ターシャリブチルホスフィン($(\text{CH}_3)_3\text{CPH}_2$)を使用する。ドナー不純物元素として、Si、S、Se、またはTeを添加してよい。アクセプタ不純物元素として、C、Mg、またはZnを添加してよい。

[0073] エピタキシャル成長は、例えば、反応炉内圧力0.1atm、成長温度650℃、成長速度1~3 $\mu\text{m/hr}$ の条件で実施される。他の例において、エピタキシャル成長は、反応炉内圧力0.1atm、成長温度550℃、成長速度0.1~1 $\mu\text{m/hr}$ の条件で実施され、30nm程度のGaAsが積層された後、いったん中断される。その後、砒素原料雰囲気を維持しつつ成長温度を650℃まで昇温し、再び反応炉内圧力0.1atm、成長温度650℃、成長速度0.1~3 $\mu\text{m/hr}$ の条件でエピタキシャル成長させてもよい。原料のキャリアガスとして、例えば高純度水素が用いられる。シード結晶806をアニールする工程、半導体812を形成する工程、半導体814を形成する工程、および半導体816を形成する工程は、ベース基板802を大気に曝露することなく実施してもよい。

[0074] 図11は、他の実施形態である光デバイス1100の断面の一例を示す。

光デバイス 1100 は、半導体基板 800 を用いて製造できる光デバイスの一例である。光デバイス 1100 は、トランジスタ T01 とトランジスタ T02 とを備える。トランジスタ T01 およびトランジスタ T02 は、ヘテロ接合トランジスタであってよい。本実施態様において、トランジスタ T01 とトランジスタ T02 として、ヘテロ接合バイポーラトランジスタの例を説明するが、トランジスタ T01 とトランジスタ T02 は、HEMT（高電子移動度トランジスタ）、p-HEMT（擬格子整合高電子移動度トランジスタ）、MISFET（金属-絶縁体-半導体電界効果トランジスタ）等であってもよい。以下の説明において、トランジスタ T01 とトランジスタ T02 として、NPN 型トランジスタの例を説明するが、PNP 型トランジスタであってもよい。

[0075] トランジスタ T01 は、ベース基板 802、阻害層 804、シード結晶 806、バッファ層 808、N 型半導体 812、P 型半導体 814、N 型半導体 816、ベース電極 1142、エミッタ電極 1144、およびコレクタ電極 1146 を備える。トランジスタ T01 は、半導体接合界面 824 および半導体接合界面 826 の近傍において、低キャリア濃度半導体を有する。例えば、低キャリア濃度半導体は、空乏層などの空間電荷領域を含む。

[0076] トランジスタ T01 は、N 型半導体 812 と P 型半導体 814 との間に、I 型半導体層を備えてよく、P 型半導体 814 と N 型半導体 816 との間に、I 型半導体層を備えてもよい。また、N 型半導体 816 は、ドナー不純物元素のドーピング濃度が異なる複数の半導体層の積層体であってもよい。トランジスタ T02 は、トランジスタ T01 と同様の構成を有してよい。従って、以下の説明において、トランジスタ T01 と区別する必要がある場合を除き、トランジスタ T02 についての説明が省略される。

[0077] N 型半導体 812 は、トランジスタ T01 のコレクタを形成してよい。P 型半導体 814 は、トランジスタ T01 のベースを形成してよい。N 型半導体 816 は、トランジスタ T01 のエミッタを形成してよい。

[0078] ベース電極 1142 は、ベースである P 型半導体 814 に接して形成され

、P型半導体814を外部回路に接続する。ベース電極1142は、伝導性のある材料によって形成される。ベース電極1142は、金属によって形成される。ベース電極1142の材料は、例えば、AuZn、CrAu、Ti/Pt、Ti/Pt/Auである。ベース電極1142は、例えば、スパッタ法、真空蒸着法により形成される。

[0079] エミッタ電極1144は、エミッタであるN型半導体816に接して形成され、N型半導体816を外部回路に接続する。エミッタ電極1144は、導電性材料によって形成される。エミッタ電極1144は、例えば金属で形成される。エミッタ電極1144の材料は、例えば、AuGe/Ni/Auである。エミッタ電極1144は、例えば、スパッタ法、真空蒸着法により形成される。

[0080] コレクタ電極1146は、コレクタであるN型半導体812に接して形成され、N型半導体812を外部回路に接続する。コレクタ電極1146は、導電性材料によって形成される。コレクタ電極1146は、例えば金属で形成される。コレクタ電極1146の材料は、例えば、AuGe/Ni/Auである。コレクタ電極1146は、例えば、スパッタ法、真空蒸着法により形成される。

[0081] トランジスタT01およびトランジスタT02は、通常のHBTとして、そのスイッチング機能または増幅機能等を電気回路において利用することができる。トランジスタT01およびトランジスタT02を、供給される駆動電流に応じて光を出力する発光半導体を有する発光素子、または、光の照射を受けて光電流を発生する受光半導体を有する受光素子を含む光電半導体として機能させることもできる。

[0082] 具体的には、エミッタであるN型半導体816とベースであるP型半導体814との間の半導体接合界面826には、PN接合が形成される。半導体接合界面826の近傍に空間電荷領域を含む低キャリア濃度半導体が生成される。当該空間電荷領域は、例えば空乏層である。N型半導体816とP型半導体814との間に形成されたPN接合に順電圧を印加すると、N型半導

体 8 1 6 から電子が、P 型半導体 8 1 4 から正孔が当該低キャリア濃度半導体に移動して、電子および正孔が再結合することによって光が発せられる。つまり、N 型半導体 8 1 6、P 型半導体 8 1 4、および当該低キャリア濃度半導体が、供給される駆動電流に応じて光を出力する発光半導体として機能する。

[0083] 同様に、ベースである P 型半導体 8 1 4 とコレクタである N 型半導体 8 1 2 との間の半導体接合界面 8 2 4 には、PN 接合が形成される。半導体接合界面 8 2 4 の近傍に空間電荷領域を含む低キャリア濃度半導体が生成される。当該空間電荷領域は、例えば空乏層である。当該低キャリア濃度半導体に光が入射することにより、結晶格子に結合されていた電子が結合を解き放たれて自由電子となり、自由な電子あるいは正孔が発生する。つまり、P 型半導体 8 1 4、N 型半導体 8 1 2、および当該低キャリア濃度半導体が、光の照射を受けて光電流を発生する受光半導体として機能する。ベースである P 型半導体 8 1 4 とコレクタである N 型半導体 8 1 2 との間に、ノンドープの半導体層が設けられてもよい。この場合には、P 型半導体 8 1 4 と N 型半導体 8 1 2 との間に PIN 接合が形成され、より高速の受光素子として利用できる。

[0084] 上述のように、トランジスタ T 0 1 および T 0 2 が、発光素子として機能する場合には、トランジスタ T 0 1 と T 0 2 のうち、一方のトランジスタのエミッターベース間の半導体接合界面近傍の低キャリア濃度半導体が発光部であり、他方のトランジスタが当該低キャリア濃度半導体に駆動電流を供給するトランジスタである。また、トランジスタ T 0 1 および T 0 2 が、受光素子として機能する場合には、トランジスタ T 0 1 と T 0 2 のうち、一方のトランジスタのベースーコレクタ間の半導体接合界面近傍の低キャリア濃度半導体が受光部であり、他方のトランジスタが当該低キャリア濃度半導体から生成される光電流を増幅するトランジスタである。

[0085] 図 1 1 に示す光デバイス 1 1 0 0 は、T 0 1 と T 0 2 の二つのトランジスタしか含まないが、より多くのトランジスタを含んでもよい。一部のラン

ジスタを発光素子および受光素子とする構造により、光デバイス 1100 は、トランジスタ T01 を形成する一つのプロセスによって、発光素子、受光素子、駆動用トランジスタ、増幅用トランジスタ等を同一ベース基板 802 にモノリシックに形成することができる。結果として、光デバイスの高集積化および高速化が達成される。

[0086] 図 11 に示す光デバイス 1100 において、発光素子のような光デバイスとなる部分と、トランジスタのような電子デバイスとなる部分とが、共通するエピタキシャル半導体積層構造を構成する半導体 812、半導体 814、および半導体 816 により形成される。発光素子のような光デバイスとなる部分と、トランジスタのような電子デバイスとなる部分は、同一のベース基板 802 の上に形成された異なるエピタキシャル積層構造から形成されてもよい。例えば、半導体基板 800 における半導体 812、半導体 814、および半導体 816 に、トランジスタが形成され、その上に複数の半導体層がエピタキシャル成長されて、当該半導体層に発光素子が形成されてもよい。

[0087] 図 12 および図 13 は、光デバイス 1100 の製造過程における断面例を示す。以下、図面を用いて、光デバイス 1100 を製造する方法を説明する。

[0088] 半導体基板 800 を用いて、半導体 816 に接してエミッタ電極 1144 を形成する。例えば、エミッタ電極 1144 は、フォトリソグラフィ法により、半導体 816 の表面に、エミッタ電極 1144 を形成すべき部位に開口を有するレジストマスクを形成して、電極用金属を蒸着した後、レジストをリフトオフすることによって形成される。図 12 に示すように、エッチング等のフォトリソグラフィ法により、エミッタメサを形成する。次に図 13 に示すように、エッチング等のフォトリソグラフィ法により、コレクタメサを形成し、ベース電極 1142 を形成する。続いて図 11 に示すように、コレクタ電極 1146 を形成する。なお、メサ形成と電極形成の順序は、上記の順序に限定されない。例えば、エミッタメサを形成した後に、エミッタ電極 1144 を形成してもよい。

- [0089] 以上、HBTのエミッターベース接合を発光素子として、HBTのベースーコレクタ接合を受光素子とする例を説明したが、p-HEMT (pseudomorphic-High Electron Mobility Transistor) のバッファ層にメタル電極を形成したMSM (Metal-Semiconductor-Metal) 構造の光ディテクターであってもよい。
- [0090] 図14は、他の実施態様である光デバイス1400の断面の一例を示す。光デバイス1400は、ベース基板1402、保護膜1404、素子分離絶縁層1472、トランジスタT01、トランジスタT02、トランジスタT03、トランジスタT04、トランジスタT11、トランジスタT12、トランジスタT13、およびトランジスタT14を備える。トランジスタT01、トランジスタT02、トランジスタT03およびトランジスタT04は、光デバイス1100におけるトランジスタT01に対応し、同じ構成を有してよい。
- [0091] トランジスタT11、トランジスタT12、トランジスタT13およびトランジスタT14は、活性領域がベース基板1402に含まれるシリコンに形成されているシリコンデバイスであってよい。本実施態様において、シリコンデバイスとして、T11、T12、T13およびT14のように、電界効果トランジスタが例示される。他に、シリコンデバイスは、ダイオード（ツェナーダイオードを含む）、トランジスタ、論理回路、スイッチ回路、アナログ回路、キャパシタ、インダクタ等を含む電子回路、および光導波路、光スイッチ、光分波／合波器等を含む光回路であってよい。
- [0092] ベース基板1402は、光デバイス1100におけるベース基板802に対応し、同様の構成を有してよい。保護膜1404は、シリコンデバイスT11、T12、T13およびT14を保護する絶縁膜である。また、保護膜1404は、トランジスタT01、T02、T03およびT04を形成するプロセスにおいては、阻害層の効果をも有し、光デバイス1100における阻害層804と同様の構成を有する。

- [0093] トランジスタT01は、ベース基板1402、保護膜1404、シード結晶1406、バッファ層1408、N型半導体1412、P型半導体1414、N型半導体1416、ベース電極1442、エミッタ電極1444、およびコレクタ電極1446を備える。シード結晶1406は、光デバイス1100におけるシード結晶806に対応し、同様の構成を有する。バッファ層1408は、バッファ層808に対応し、同様の構成を有する。N型半導体1412、P型半導体1414およびN型半導体1416は、それぞれN型半導体812、P型半導体814およびN型半導体816に対応し、同様の構成を有する。ベース電極1442、エミッタ電極1444およびコレクタ電極1446は、それぞれベース電極1142、エミッタ電極1144およびコレクタ電極1146に対応して、同様の構成を有する。
- [0094] 本実施態様において、トランジスタT01、T02、T03、およびT04は、ヘテロ接合バイポーラトランジスタとして例示されるが、ヘテロ接合電界効果トランジスタであってもよい。また、トランジスタT01、T02、T03、およびT04の一部がヘテロ接合バイポーラトランジスタで、他がヘテロ接合電界効果トランジスタであってもよい。
- [0095] トランジスタT11は、ウェル1451、ソース1452、ゲート電極1454、ドレイン1456、およびゲート絶縁膜1458を備える。本実施態様の説明において、トランジスタT11は、P型チャンネルを有する電界効果トランジスタとして例示されるが、トランジスタT11は、N型チャンネルを有する電界効果トランジスタであってもよい。
- [0096] トランジスタT12は、ウェル1461、ドレイン1462、ゲート電極1464、ソース1466、およびゲート絶縁膜1458を備える。本実施態様の説明において、トランジスタT12は、N型チャンネルを有する電界効果トランジスタとして例示されるが、トランジスタT12は、P型チャンネルを有する電界効果トランジスタであってもよい。
- [0097] トランジスタT13は、トランジスタT11またはトランジスタT12と同様の構成を有する。トランジスタT14は、トランジスタT12またはト

ランジスタ T 1 1 と同様の構成を有する。

- [0098] トランジスタ T 0 1、T 0 2、T 0 3、および T 0 4 は、シリコンデバイスであるトランジスタ T 1 1、T 1 2、T 1 3 および T 1 4 と、同一のベース基板 1 4 0 2 にモノリシックに形成される。トランジスタ T 0 1、T 0 2、T 0 3、および T 0 4 は、シリコンデバイスであるトランジスタ T 1 1、T 1 2、T 1 3、および T 1 4 と、結合されて電気回路を形成してよい。
- [0099] 光デバイス 1 4 0 0 において、トランジスタ T 0 1、T 0 2、T 0 3、および T 0 4 のうち、何れかのトランジスタのエミッターベース間の半導体接合界面近傍の空間電荷領域を含む低キャリア濃度半導体が、供給される駆動電流に応じて光を出力する発光部となる発光半導体であってよい。トランジスタ T 0 1、T 0 2、T 0 3、および T 0 4 のうち、何れかのトランジスタのベースーコレクタ間の半導体接合界面近傍の空間電荷領域を含む低キャリア濃度半導体が、光の照射を受けて光電流を発生する受光部となる受光半導体であってよい。
- [0100] 例えば、トランジスタ T 0 2 の半導体接合界面 1 4 2 6 近傍の空間電荷領域が発光部であり、トランジスタ T 0 1 は当該発光部を駆動するスイッチであってよい。また、トランジスタ T 0 3 の半導体接合界面 1 4 2 4 近傍の空間電荷領域が受光部であり、トランジスタ T 0 4 は当該受光部から供給される信号を増幅する増幅器であってよい。
- [0101] 更に、トランジスタ T 1 1、T 1 2、T 1 3 および T 1 4 のシリコンデバイスが発光部または受光部を形成する空間電荷領域の入出力回路を形成してよい。例えば、トランジスタ T 1 1 およびトランジスタ T 1 2 により、インバータ回路が形成される。当該インバータ回路を含むドライバ回路は、トランジスタ T 0 2 の発光部に駆動電流を供給するトランジスタ T 0 1 を制御する制御信号を出力してよい。また、トランジスタ T 1 3 およびトランジスタ T 1 4 は、トランジスタ T 0 3 の受光部から出力される電気信号を増幅する回路であってもよい。
- [0102] 本実施形態において、上述のように、発光部を有するトランジスタ T 0 2

、受光部を有するトランジスタ T 0 3、駆動用トランジスタ T 0 1、増幅用トランジスタ T 0 4、シリコンデバイスであるトランジスタ T 1 1、T 1 2、T 1 3、および T 1 4 が同一のベース基板 1 4 0 2 にモノリシックに形成される。その結果、ヘテロ接合化合物半導体により形成される光デバイスの高感度、高速動作の利点を維持しながら、回路の集積度が向上され、光デバイスの小型化が実現される。

[0103] 図 1 5 から図 1 7 は、光デバイス 1 4 0 0 の製造過程における断面例を示す。以下、図面を用いて光デバイス 1 4 0 0 の製造方法を説明する。光デバイス 1 4 0 0 の製造方法は、シリコンデバイスを形成する工程、保護膜および開口を形成する工程、シード結晶 1 4 0 6 を形成する工程、シード結晶 1 4 0 6 をアニールする工程、第 1 伝導型の半導体 1 4 1 2 を形成する工程、第 1 伝導型と反対の伝導型の第 2 伝導型の半導体 1 4 1 4 を形成する工程、第 1 伝導型の半導体 1 4 1 6 を形成する工程、および、発光部、受光部、またはヘテロ接合トランジスタを形成する工程を備える。第 1 伝導型の半導体 1 4 1 2 を形成する工程と第 2 伝導型の半導体 1 4 1 4 を形成する工程との間、および、第 2 伝導型の半導体 1 4 1 4 を形成する工程と第 1 伝導型の半導体 1 4 1 2 を形成する工程との間に、低キャリア濃度半導体を形成する工程をさらに備えてもよい。

[0104] シリコンデバイスを形成する工程において、図 1 5 に示すように、シリコンを含むベース基板 1 4 0 2 の上に、シリコンデバイスであるトランジスタ T 1 1、T 1 2、T 1 3 および T 1 4 を形成する。当該シリコンデバイスにおいては、活性領域がシリコンに形成される。次に、ベース基板 1 4 0 2 に、N ウェル 1 4 5 1 と、P ウェル 1 4 6 1 と、素子分離絶縁層 1 4 7 2 とを形成する。ベース基板 1 4 0 2 は、シリコン基板であってよい。

[0105] N ウェル 1 4 5 1 は、次のようにして形成される。まず、ベース基板 1 4 0 2 の表面に、例えば熱酸化法によって酸化シリコン膜を形成する。次に、エッチング等フォトリソグラフィ法により N ウェル形成予定部の酸化シリコン膜に開口を形成する。当該酸化シリコン膜をマスクとしてリン (P) 等の

5族元素イオンを注入することで、Nウェル1451が形成される。Pウェル1461は、Nウェルと同様な方法で、ボロン（B）等の3族元素イオンを注入することで形成される。

[0106] 素子分離絶縁層1472は、次のようにして形成される。ベース基板1402の表面に酸化シリコン膜と窒化シリコン膜を形成する。エッチング等のフォトリソグラフィ法により、素子分離絶縁層1472を形成する予定部分に酸化膜および窒化膜の開口を形成する。その後、ドライエッチングによりトレンチを形成する。CVD法より、トレンチに酸化シリコンを堆積する。化学機械研磨法（CMP法と称する場合がある。）により、余分の酸化シリコン膜を除去して、素子分離絶縁層1472が完成する。

[0107] 続いて、Nウェル1451およびPウェル1461の上にゲート絶縁膜1458を形成し、ゲート電極1454、ゲート電極1464を形成する。まず、熱酸化法によりゲート絶縁膜1458を形成する酸化シリコン膜を形成する。次に、CVD法によりリン（P）をドーピングしたポリシリコン膜を形成する。その後、エッチング等のフォトリソグラフィ法により、ゲート電極1454およびゲート電極1464を形成する。

[0108] 続いて、ソース1452、ドレイン1456、ドレイン1462、ソース1466を形成する。P型のソース1452およびドレイン1456は、まずエッチング等のフォトリソグラフィ法により、P型のソース1452およびドレイン1456が形成される予定部位に、開口を有する酸化シリコン膜をマスクとして、ボロン（B）等の3族元素イオンを注入することで形成される。N型のドレイン1462とソース1466は、まずエッチング等のフォトリソグラフィ法により、N型のドレイン1462とソース1466を形成する予定部位に、開口を有する酸化シリコン膜をマスクとして、リン（P）等の5族元素イオンを注入することで形成される。

[0109] 保護膜1404および開口1405を形成する工程において、図16に示すように、シリコンデバイスであるトランジスタT11、T12、T13、およびT14を覆う保護膜1404をベース基板1402の上に形成する。

保護膜 1404 に、ベース基板 1402 に達する開口 1405 を形成する。保護膜 1404 は、熱酸化法により酸化シリコン膜を形成して、エッチング等のフォトリソグラフィ法により、シード結晶 1406 を形成する予定の部位に、ベース基板 1402 の表面に到達する開口 1405 を形成することによって形成される。

[0110] シード結晶 1406 を形成する工程において、開口 1405 の内部に、選択エピタキシャル成長法により、組成が $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) であるシード結晶 1406 を形成する。シード結晶 1406 は、例えば、エピタキシャル成長法により形成する。エピタキシャル成長法は、例えば、CVD 法、MOCVD 法、MBE 法、および ALD 法を含む。保護膜 1404 の表面では、シード結晶 1406 のエピタキシャル成長が阻害されるので、シード結晶 1406 が開口 1405 の内部において選択的にエピタキシャル成長する。

[0111] シード結晶 1406 をアニールする工程において、図 16 に示すように、シード結晶 1406 が加熱されてアニールされる。上記シード結晶 1406 を形成する工程、および、シード結晶 1406 をアニールする工程は、ベース基板 1402 を大気に曝露することなく実施される。シード結晶 1406 をアニールする工程は、複数段階に分けて実施してもよい。

[0112] 半導体 1412 を形成する工程、半導体 1414 を形成する工程、および半導体 1416 を形成する工程において、まず図 17 に示すように、複数のシード結晶 1406 のそれぞれに、バッファ層 1408 が選択エピタキシャル成長し、更にバッファ層 1408 の上に、半導体 1412、半導体 1414、および半導体 1416 が順次選択エピタキシャル成長する。バッファ層 1408、半導体 1412、半導体 1414、および半導体 1416 は、アニールされたシード結晶 1406 に格子整合または擬格子整合してよい。

[0113] バッファ層 1408、半導体 1412、半導体 1414、および半導体 1416 は、4 族半導体または 3-5 族化合物半導体であってよい。半導体 1

412、半導体1414mおよび半導体1416は、半導体接合界面近傍において空間電荷領域を有する。エピタキシャル成長法は、例えば、CVD法、MOCVD法、MBE法、およびALD法を含む。

[0114] 発光部、受光部、またはヘテロ接合トランジスタを形成する工程において、図14に示すように、ヘテロ接合トランジスタT01、T02、T03、およびT04が形成される。トランジスタT01等を形成するプロセスは、光デバイス1100の製造方法と同様のプロセスであってよい。また、シリコンデバイスT11等を形成する工程の後において、シリコンデバイスの温度を600℃以下に保ってよい。以上の工程を経て、光デバイス1400が完成する。

[0115] 図18は、他の実施態様である光デバイス1800の断面の一例を示す。図18は、図14に示す光デバイス1400の右半分を拡大して、光デバイス1400に配線等を形成した例が示されている。例えば、シリコンデバイスであるトランジスタT12のソース1466が、コンタクト1884と配線1886を通じてトランジスタT01のベース電極1442に結合する。この例において、T01のエミッターベース接合が発光部であり、トランジスタT12は、その発光部を駆動するスイッチである。

[0116] 図19と図20は、光デバイス1800の製造過程における断面例を示す。以下、図面を用いて、光デバイス1800の製造方法が説明される。光デバイス1800の製造方法は、パッシベーション膜1882を形成する工程と、接続部を露出する工程と、結合する工程とを備える。

[0117] パッシベーション膜1882を形成する工程において、図19に示すように、パッシベーション膜1882が形成され、CMP法により、パッシベーション膜1882の表面が平坦化される。パッシベーション膜1882は、例えば、シリコン酸化膜、シリコン窒化膜、金属酸化膜である。パッシベーション膜1882は、例えば、CVD法、スパッタ法により形成される。

[0118] 接続部を露出する工程において、パッシベーション膜1882および保護膜1404の少なくとも一部を除去し、図20に示すように、開口1885

を形成し、シリコンデバイスに結合する接続部を露出する。パッシベーション膜 1882 等を除去する方法は、例えば、エッチング等フォトリソグラフィ法である。

[0119] 結合する工程において、図 18 に示すように、開口 1885 にコンタクト 1884 を形成し、更に配線 1886 を形成して、トランジスタ T01 とトランジスタ T12 を結合する。以上の工程を経て、光デバイス 1800 が完成する。

[0120] 以上の工程において、シリコンデバイスの温度は 600℃以下に保たれ、好ましくは 450℃以下に保たれる。本実施形態において、発光部を有する発光素子ならびに受光部を有する受光素子、駆動用トランジスタ、増幅用トランジスタ、および周辺回路を形成するシリコンデバイスが、同一基板にモノリシックに形成される。その結果、ヘテロ接合化合物半導体により形成される光デバイスの高感度、高速動作の利点を維持しながら、全体回路の集積度が向上し、光デバイスの小型化が実現される。

[0121] (実施例 1)

以下、図 8 に示す半導体基板 800 を製作した実施例 1 を説明する。ベース基板 802 として、市販のシリコンウエハを準備した。阻害層 804 として、ベース基板 802 の表面に熱酸化法により SiO_2 層を形成した。 SiO_2 層の厚さの平均値は、 $1\mu\text{m}$ であった。フォトリソグラフィ法により、阻害層 804 である SiO_2 層の一部に、開口 805 を形成した。開口 805 の大きさは、 $15\mu\text{m} \times 15\mu\text{m}$ である。

[0122] 開口 805 が形成された阻害層 804 を有するベース基板 802 を、CVD 製膜装置（反応炉）内に設置した。その後、阻害層 804 の開口 805 内に、シード結晶 806 として Ge 結晶層を選択的に形成した。Ge 結晶層は、原料ガスが GeH_4 、反応炉内圧力が 2.6 kPa、成長温度が 400℃の条件で、まず約 20 nm の厚さまで成膜した。その後、成長温度を 600℃に昇温して、Ge 結晶層を約 $1\mu\text{m}$ の厚さになるまでさらに成膜した。

[0123] 次に、Si 結晶より Ge 結晶に吸収されやすい波長の赤外線を含むランプ

光を照射し、Ge結晶を選択的に加熱し、Ge結晶をアニールした。アニールの条件は、800℃、10分間であった。次に、アニールされたGe結晶をシード層として、当該Ge結晶の上に、MOCVD法により、3-5族化合物半導体結晶を選択エピタキシャル成長した。3-5族化合物半導体結晶の選択エピタキシャル成長により、バッファ層808、N型の半導体812、P型の半導体814およびN型の半導体816を形成した。

[0124] バッファ層808の形成は、2段階に分けて行われた。反応炉内圧力が0.1 atm、成長温度が550℃、トリメチルガリウム（TMG）の流量が5 cc/分、アルシン（AsH₃）の流量が500 cc/分、高純度水素キャリアガスの流量が80 l/分である条件の下で、成長速度1 μm/hrで、30 nm程度のGaAs層を積層した。その後、いったんトリメチルガリウム供給が停止され、GaAsの結晶成長を中断した。その後アルシン/水素雰囲気は維持され、成長温度を650℃まで昇温して、温度を安定化した。その後、再びトリメチルガリウムの供給を開始し、1 μmの厚みのバッファ層808（ノンドープGaAs層）を形成した。

[0125] N型の半導体812として、厚さ1 μmのN型GaAsを形成した。バッファ層808の成長に用いたガスに、不純物ガスとしてジシランを添加することで、N型不純物元素としてのSiをドーピングし、N型GaAsを形成した。N型GaAsの形成において、途中でジシラン供給量を変更した。前半の厚さ0.5 μmのGaAs層の電子濃度は $3 \times 10^{18} / \text{cm}^3$ であり、後半の厚さ0.5 μmのGaAs層の電子濃度は $2 \times 10^{16} / \text{cm}^3$ であった。以上のような2層構造のN型GaAs層を形成した。

[0126] P型の半導体814として、厚さが80 nmで、正孔濃度が $2 \times 10^{19} / \text{cm}^3$ であるP型GaAsを形成した。バッファ層808の成長に用いられるガスに、不純物ガスとしてトリクロロブロモメタン（CCl₃Br）を添加することで、P型不純物元素としてCをドーピングして、P型GaAsを形成した。

[0127] N型の半導体816として、N型InGaP、N型GaAsおよびN型I

nGaAsを順次堆積した積層体を形成した。半導体814の形成時に供給されたトリメチルガリウム、トリクロロブロモメタンおよびアルシングスの供給を停止し、1 l /分の流量でホスフィン (PH₃) を導入し、反応炉内の雰囲気置換した。続いて、トリメチルガリウム、トリメチルインジウムおよびジシランの供給を開始し、厚さ40 nm、電子濃度 $2 \times 10^{17} / \text{cm}^3$ のN型InGaPを形成した。その後いったん全ての原料ガスの供給を停止し、アルシングスの供給を再開し、反応炉内の雰囲気置換した。続いて、その他の原料ガスの供給も開始し、厚さ200 nm、電子濃度 $2 \times 10^{18} / \text{cm}^3$ のN型GaAsを形成した。さらに、成長温度を500°Cとして、厚さ500 nm、濃度 $2 \times 10^{19} / \text{cm}^3$ のN型InGaAsを形成し、半導体基板800を製作した。

[0128] (実施例2)

実施例1で製作された半導体基板800を用いて、図11に示す光デバイス1100を製作した実施例2を説明する。光デバイス1100に含まれるトランジスタT01およびトランジスタT02として、半導体基板800の半導体812、半導体814、および半導体816層の各々を、コレクタ層、ベース層、およびエミッタ層として用いたHBTを形成した。HBTの形成方法の説明は省略する。トランジスタT01およびトランジスタT02の動作を試験した結果、 $1 \text{ kA} / \text{cm}^2$ のコレクタ電流密度における電流増幅率として、165および175が得られた。トランジスタT01およびトランジスタT02が電流増幅素子として、正常に動作することが確認された。

[0129] (実施例3)

実施例1で製作された半導体基板800を用いて、図6に示す光デバイス600を発光デバイスとして製作した。N型の半導体816として形成したN型InGaP、N型GaAs、およびN型InGaAsの積層体から、N型InGaAsおよびN型GaAsをエッチングにより除去した。エッチング後に残されたN型InGaPが、図6における半導体114に相当する。P型の半導体814が、図6における半導体112に相当する。半導体11

4 (N型半導体)の一部を除去し、半導体112 (P型半導体)の表面を露出した。半導体114上に、AuGe/Ni/Auを蒸着し、加熱することにより、電極634 (N型オーミック電極)を形成した。一部露出された半導体112 (P型半導体)上にAuZnを蒸着し、加熱することにより、電極632 (P型オーミック電極)を形成した。

[0130] このようにして形成されたPN接合を有する素子P01に順バイアス電圧を印加すると、波長約860nmの発光が観測された。よって、発光デバイスとして正常に動作することが確認された。図21は、素子P01に駆動電流が印加された場合の発光の観測結果を示す。横軸は印加した駆動電流であり、縦軸は光の出力を示す。図21に示すように、20から70mAの範囲の駆動電流が印加されると、ほぼ印加電流に比例した強度の発光が観測された。

[0131] (実施例4)

実施例1で製作された半導体基板800を用いて、図6に示す光デバイス600を受光デバイスとして製作した。N型の半導体816として形成したN型InGaAs、N型GaAs、およびN型InGaPの積層体をエッチングにより除去することにより露出したP型GaAs層が、図6における半導体114に相当する。厚さが0.5 μ m、電子濃度が $3 \times 10^{18}/\text{cm}^3$ であるN型GaAs層と、厚さが0.5 μ m、電子濃度が $2 \times 10^{16}/\text{cm}^3$ であるN型GaAs層とによって構成される2層構造の半導体812が、図6における半導体112層に相当する。

[0132] 半導体114 (P型半導体)の一部を除去し、さらに半導体112 (N型半導体)のうち、電子濃度が $2 \times 10^{16}/\text{cm}^3$ のN型GaAs層の一部も除去し、電子濃度が $3 \times 10^{18}/\text{cm}^3$ のN型GaAs層の一部を露出した。半導体114の上にAuZnを蒸着し、加熱することにより、電極634 (P型オーミック電極)を形成した。一部露出した、電子濃度が $3 \times 10^{18}/\text{cm}^3$ であるN型GaAs層の表面に、AuGe/Ni/Auを蒸着し、加熱することにより、電極632 (N型オーミック電極)を形成した。

[0133] このようにして形成したPN接合を有する素子P01に、波長633nmのHeNeレーザー光を照射したところ、電極632および電極634の間で、照射レーザー光強度に応じた光電流が観測された。これにより、素子P01が受光デバイスとして正常に動作することが確認された。図22は、素子P01にレーザー光が入射されたときの光電流の観測結果を示す。横軸はレーザー光の強度であり、縦軸は光電流を示す。図22に示すように、照射されるレーザー光の強度が増加すると、レーザー光強度に比例して、光電流が増加した。

[0134] 以上のようにして、単一のシリコン基板上に選択的に形成された半導体結晶を用い、発光デバイス、受光デバイス、および信号増幅用として使用可能なヘテロ接合トランジスタがモノリシックに形成されることが確認された。

[0135] (実施例5)

ベース基板102として、シリコン基板（シリコンウエハ）を準備した。阻害層104として、ベース基板102の表面に熱酸化法によりSiO₂層を形成した。SiO₂層の厚さの平均値は、0.1μmであった。フォトリソグラフィ法により、阻害層104であるSiO₂層の一部に、開口105を形成した。開口105の大きさは、20μm×20μmとした。

[0136] 開口105が形成された阻害層104を有するベース基板102を、CVD製膜装置（反応炉）の内部に設置した。その後、阻害層104の開口105内に、シード結晶106としてGe結晶を選択的に形成した。Ge結晶は、実施例1と同様な条件で形成した。

[0137] Si結晶よりGe結晶に吸収されやすい波長の赤外線を含むランプ光をベース基板102の全体に照射し、Ge結晶を選択的に加熱した。この加熱によりGe結晶をアニールした。800℃に加熱する第1アニールを10分間実行した後、680℃に加熱する第2アニールを10分間実行し、第1アニールおよび第2アニールを10回繰り返した。アニールは、Ge結晶を形成した後、ベース基板102を反応炉から取り出すことなく実施した。

[0138] 図23は、ベース基板102であるシリコン基板とその上に形成したGe

結晶との界面近傍における断面SEM写真である。図24は、図23の解析領域におけるエネルギー分散型蛍光X線分析の結果を示す。図24に示すように、解析領域がシリコン基板とGe結晶との界面よりシリコン基板側にあるにも関わらず、Ge元素の信号が強く検出された。一方図示はしないが、アニール前の同様な観察では、Ge元素の信号がほとんど検出されず、Si元素の信号が大部分であった。

[0139] 以上の分析結果から、アニールによりGe原子がシリコン基板内に拡散していることが確認できた。この分析結果は、ベース基板102とシード結晶106との界面に接して、ベース基板102の内部に組成がSiGeである界面領域が含まれることを示す。また、Ge原子がシリコン基板の内部に拡散している結果から、シード結晶106のシリコン組成 y_1 と、上記した界面領域のシリコン組成 y_3 とが、 $y_3 > y_1$ の関係を満足する。

[0140] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0141] 100 半導体基板、102 ベース基板、104 阻害層、105 開口、106 シード結晶、108 バッファ層、112 半導体、114 半導体、122 半導体接合界面、600 光デバイス、632 電極、634 電極、800 半導体基板、802 ベース基板、804 阻害層、805 開口、806 シード結晶、808 バッファ層、812 半導体、814 半導体、816 半導体、824 半導体接合界面、826 半導体接合界面、1100 光デバイス、1142 ベース電極、1144 エミッタ電極、1146 コレクタ電極、1400 光デバイス、1402 ベース基板、1404 保護膜、1405 開口、1406 シード結晶、1408 バッファ層、1412 半導体、1414 半導体、1416

半導体、1424 半導体接合界面、1426 半導体接合界面、1442
ベース電極、1444 エミッタ電極、1446 コレクタ電極、145
1 ウェル、1452 ソース、1454 ゲート電極、1456 ドレイ
ン、1458 ゲート絶縁膜、1461 ウェル、1462 ドレイン、1
464 ゲート電極、1466 ソース、1472 素子分離絶縁層、18
00 光デバイス、1882 パッシベーション膜、1884 コンタクト
、1885 開口、1886 配線

請求の範囲

- [請求項1] シリコンを含むベース基板と、
前記ベース基板上に設けられた複数のシード結晶と、
前記複数のシード結晶に格子整合または擬格子整合する複数の 3－5 族化合物半導体と
を備え、
前記複数の 3－5 族化合物半導体のうちの少なくとも 1 つに、供給される駆動電流に応じて光を出力する発光半導体、または光の照射を受けて光電流を発生する受光半導体を含む光電半導体が形成されており、
前記複数の 3－5 族化合物半導体のうち、前記光電半導体を有する 3－5 族化合物半導体以外の少なくとも 1 つの 3－5 族化合物半導体にヘテロ接合トランジスタが形成されている光デバイス。
- [請求項2] 前記ヘテロ接合トランジスタは、前記発光半導体に前記駆動電流を供給するか、または前記光電流を増幅する請求項 1 に記載の光デバイス。
- [請求項3] 前記ベース基板の上方に形成され、前記ベース基板の少なくとも一部の領域を露出する複数の開口を有し、結晶成長を阻害する阻害層をさらに備え、
前記複数のシード結晶が、前記複数の開口の内部に形成されている請求項 1 に記載の光デバイス。
- [請求項4] 前記複数のシード結晶が、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) であり、
前記発光半導体および前記受光半導体が、3－5 族化合物半導体である請求項 1 に記載の光デバイス。
- [請求項5] 前記光電半導体が、
P 型または N 型の第 1 伝導型を示す不純物を含む第 1 伝導型半導体

と、

前記第 1 伝導型半導体と反対の伝導型を示す不純物を含む第 2 伝導型半導体と、

前記第 1 伝導型半導体および前記第 2 伝導型半導体の間に形成された、前記第 1 伝導型半導体および前記第 2 伝導型半導体よりもキャリア濃度が低い低キャリア濃度半導体と

を有する請求項 1 に記載の光デバイス。

[請求項 6] 前記ベース基板のシリコンからなる領域に形成されたシリコンデバイスをさらに備え、

前記光電半導体は、前記シリコンデバイスと電氣的に結合されている請求項 1 に記載の光デバイス。

[請求項 7] 前記光電半導体が前記発光半導体を有する場合に、前記シリコンデバイスは、前記発光半導体に前記駆動電流を供給し、前記光電半導体が前記受光半導体を有する場合に、前記シリコンデバイスは、前記光電流を増幅する請求項 6 に記載の光デバイス。

[請求項 8] 前記光電半導体は、前記ヘテロ接合トランジスタを介して前記シリコンデバイスに電氣的に結合されている請求項 6 に記載の光デバイス。

[請求項 9] 前記光電半導体が前記発光半導体を有する場合に、前記シリコンデバイスは、前記ヘテロ接合トランジスタを制御する制御信号を出力し、前記光電半導体が前記受光半導体を有する場合に、前記シリコンデバイスは、前記ヘテロ接合トランジスタが出力する電気信号を増幅する請求項 8 に記載の光デバイス。

[請求項 10] シリコンを含むベース基板と、
前記ベース基板の上方に設けられた複数のシード結晶と、
前記複数のシード結晶に格子整合または擬格子整合する複数の 3-5 族化合物半導体と
を備え、

前記複数の 3-5 族化合物半導体のうちの少なくとも 1 つが、供給される駆動電流に応じて光を出力する発光半導体となり得る半導体、または光の照射を受けて光電流を発生する受光半導体となり得る半導体を含む光電半導体を有する半導体であり、

前記複数の 3-5 族化合物半導体のうち、前記光電半導体を有する 3-5 族化合物半導体以外の少なくとも 1 つの 3-5 族化合物半導体が、ヘテロ接合トランジスタが形成され得る半導体である半導体基板。

[請求項11] 前記ヘテロ接合トランジスタは、前記発光半導体に前記駆動電流を供給するか、または前記光電流を増幅する請求項 10 に記載の半導体基板。

[請求項12] 前記ベース基板の上方に形成され、前記ベース基板の少なくとも一部の領域を露出する複数の開口を有し、結晶成長を阻害する阻害層をさらに備え、

前記複数のシード結晶が、前記複数の開口の内部に形成されている請求項 10 に記載の半導体基板。

[請求項13] 前記複数のシード結晶が、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) である請求項 10 に記載の半導体基板。

[請求項14] 前記ベース基板と前記複数のシード結晶とが接しており、
前記ベース基板と前記複数のシード結晶との界面に接して、前記ベース基板内に、組成が $C_{x3}Si_{y3}Ge_{z3}Sn_{1-x3-y3-z3}$ ($0 \leq x3 < 1$ 、 $0 < y3 \leq 1$ 、 $0 \leq z3 \leq 1$ 、かつ $0 < x3 + y3 + z3 \leq 1$) である界面領域を含み、

前記複数のシード結晶のシリコン組成 $y1$ よりも前記界面領域のシリコン組成 $y3$ が大きい請求項 10 に記載の半導体基板。

[請求項15] 前記光電半導体が、
P 型または N 型の第 1 伝導型を示す不純物を含む第 1 伝導型半導体

と、

前記第 1 伝導型半導体と反対の伝導型を示す不純物を含む第 2 伝導型半導体と、

前記第 1 伝導型半導体および前記第 2 伝導型半導体の間に形成された、前記第 1 伝導型半導体および前記第 2 伝導型半導体よりもキャリア濃度が低い低キャリア濃度半導体と

を有する請求項 10 に記載の半導体基板。

[請求項16]

前記複数の 3-5 族化合物半導体のそれぞれが、供給される駆動電流に応じて光を出力し得る発光半導体または光の照射を受けて光電流を発生し得る受光半導体を有する光電半導体、および、ヘテロ接合トランジスタが形成され得る半導体である請求項 10 に記載の半導体基板。

[請求項17]

シリコンを含むベース基板上に複数のシード結晶を形成する段階と、

前記複数のシード結晶に格子整合または擬格子整合する複数の 3-5 族化合物半導体を結晶成長させる段階と、

前記複数の 3-5 族化合物半導体のうちの少なくとも 1 つに、供給される駆動電流に応じて光を出力する発光半導体または光の照射を受けて光電流を発生する受光半導体を含む光電半導体を形成する段階と、

前記複数の 3-5 族化合物半導体のうち、前記光電半導体を有する 3-5 族化合物半導体以外の少なくとも 1 つの 3-5 族化合物半導体にヘテロ接合トランジスタを形成する段階と、

前記光電半導体と前記ヘテロ接合トランジスタとを接続する段階とを備える光デバイスの製造方法。

[請求項18]

前記ベース基板の前記シリコンからなる領域にシリコンデバイスを形成する段階と、

前記シリコンデバイスを覆う保護膜を前記ベース基板の上方に形成

し、前記保護膜に前記ベース基板の少なくとも一部を露出する開口を形成する段階と

をさらに備え、

前記複数のシード結晶を形成する段階においては、前記開口の内部に、選択エピタキシャル成長法により、組成が $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) である複数のシード結晶を形成し、

前記光電半導体を形成する段階および前記ヘテロ接合トランジスタを形成する段階の後に、

前記保護膜の少なくとも一部を除去して、前記シリコンデバイスの少なくとも一部を露出する段階と、

前記発光半導体、前記受光半導体、および前記ヘテロ接合トランジスタから選択された少なくとも1つと前記シリコンデバイスとを結合する段階と

をさらに備える請求項17に記載の光デバイスの製造方法。

[請求項19] 前記シリコンデバイスを形成する段階の後に、前記シリコンデバイスの温度を 600°C 以下に保つ請求項18に記載の光デバイスの製造方法。

[請求項20] 前記複数のシード結晶は、 $C_{x1}Si_{y1}Ge_{z1}Sn_{1-x1-y1-z1}$ ($0 \leq x1 < 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、かつ $0 < x1 + y1 + z1 \leq 1$) である請求項17に記載の光デバイスの製造方法。

[請求項21] 前記複数のシード結晶を形成する段階においては、前記ベース基板上に前記複数のシード結晶を互いに離して形成する請求項17に記載の光デバイスの製造方法。

[請求項22] 前記複数のシード結晶をアニールする段階をさらに備え、
前記複数のシード結晶を形成する段階、および、前記複数のシード結晶をアニールする段階において、前記ベース基板を大気に曝露することなく実施する請求項17に記載の光デバイスの製造方法。

[請求項23] 前記複数のシード結晶をアニールする段階、および、前記複数の3－5族化合物半導体を結晶成長させる段階を、前記ベース基板を大気に曝露することなく実施する請求項22に記載の光デバイスの製造方法。

[請求項24] シリコンを含むベース基板の上方に複数のシード結晶を形成する段階と、

前記複数のシード結晶をアニールする段階と、

前記複数のシード結晶のそれぞれに格子整合または擬格子整合する複数の3－5族化合物半導体を結晶成長させる段階と

を備え、

前記複数の3－5族化合物半導体を結晶成長させる段階においては、

前記アニールされた複数のシード結晶のそれぞれに、P型またはN型の第1伝導型の不純物を含む複数の第1伝導型第1半導体を結晶成長させ、

前記複数の第1伝導型第1半導体のそれぞれに、前記複数の第1伝導型第1半導体と反対の伝導型を示す不純物を含む複数の第2伝導型半導体を結晶成長させ、

前記複数の第2伝導型半導体のそれぞれに、前記複数の第1伝導型第1半導体と同じ伝導型を示す不純物を含む複数の第1伝導型第2半導体を結晶成長させる半導体基板の製造方法。

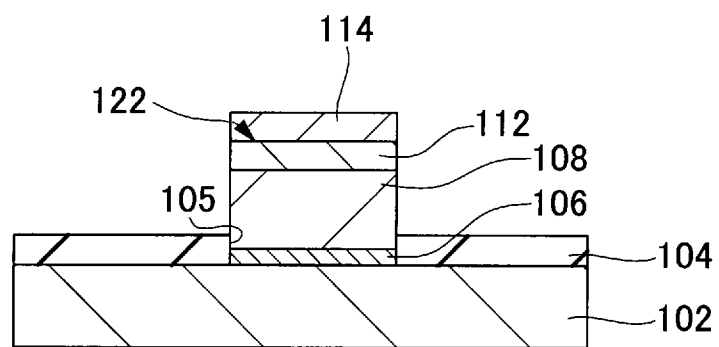
[請求項25] 前記複数のシード結晶を形成する段階の前に、前記ベース基板の上方に、前記ベース基板の少なくとも一部を露出する開口を有し、結晶成長を阻害する阻害層を形成する段階をさらに備え、

前記複数のシード結晶を形成する段階においては、前記開口の内部で前記複数のシード結晶を選択エピタキシャル成長させ、

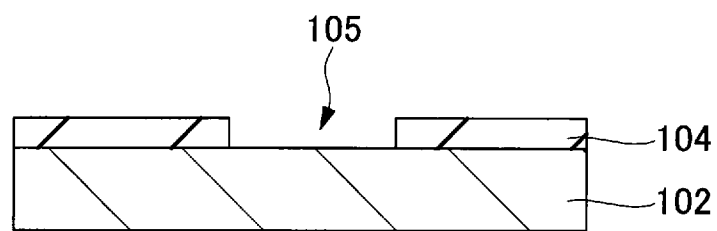
前記複数の3－5族化合物半導体を結晶成長させる段階においては、前記複数の第1伝導型第1半導体、前記複数の第2伝導型半導体、

および前記複数の第 1 伝導型第 2 半導体を選択エピタキシャル成長させる請求項 2 4 に記載の半導体基板の製造方法。

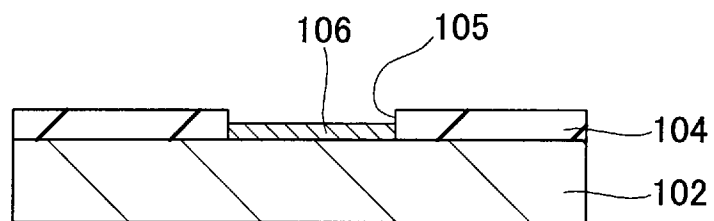
[図1]

100

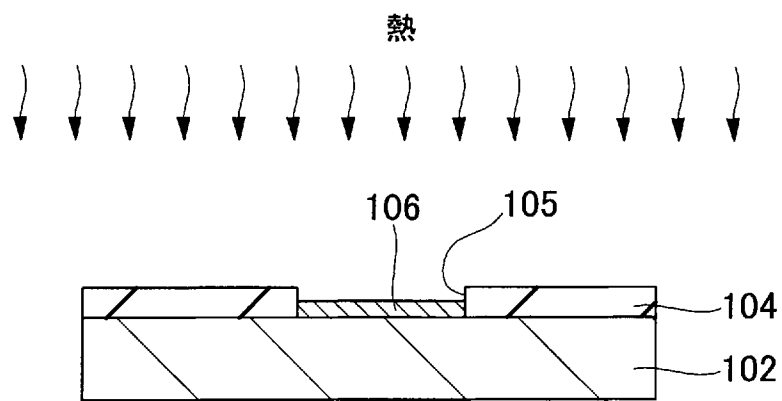
[図2]



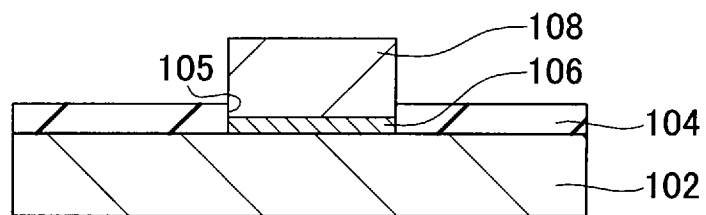
[図3]



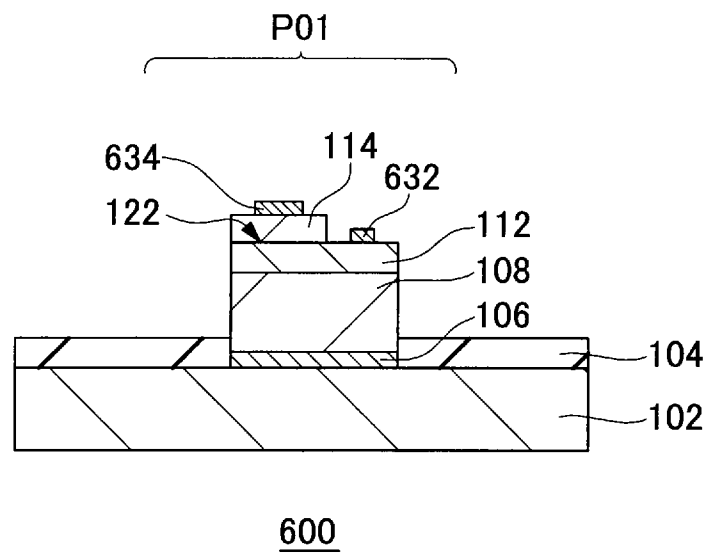
[図4]



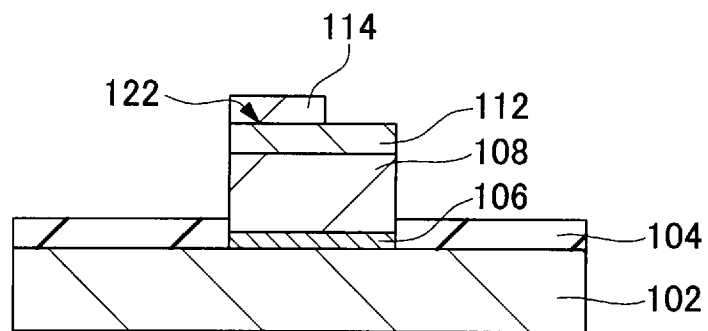
[図5]



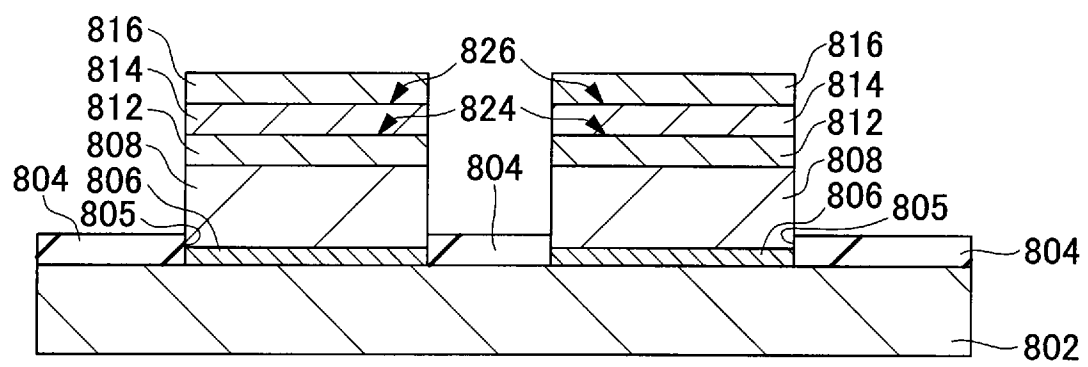
[図6]



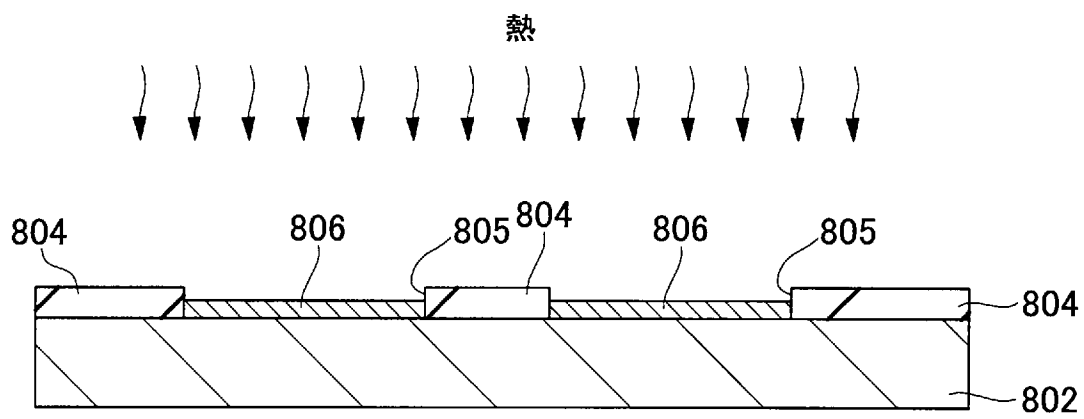
[図7]



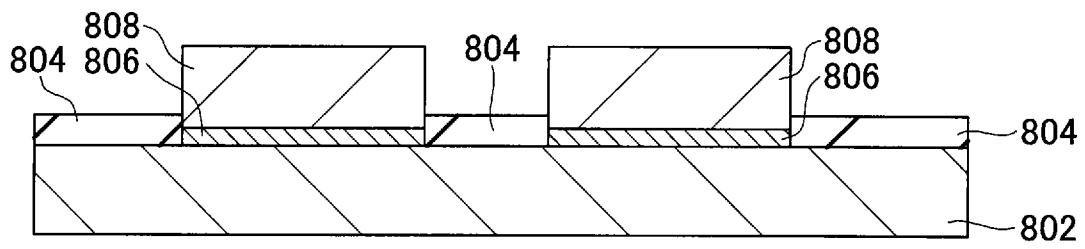
[図8]

800

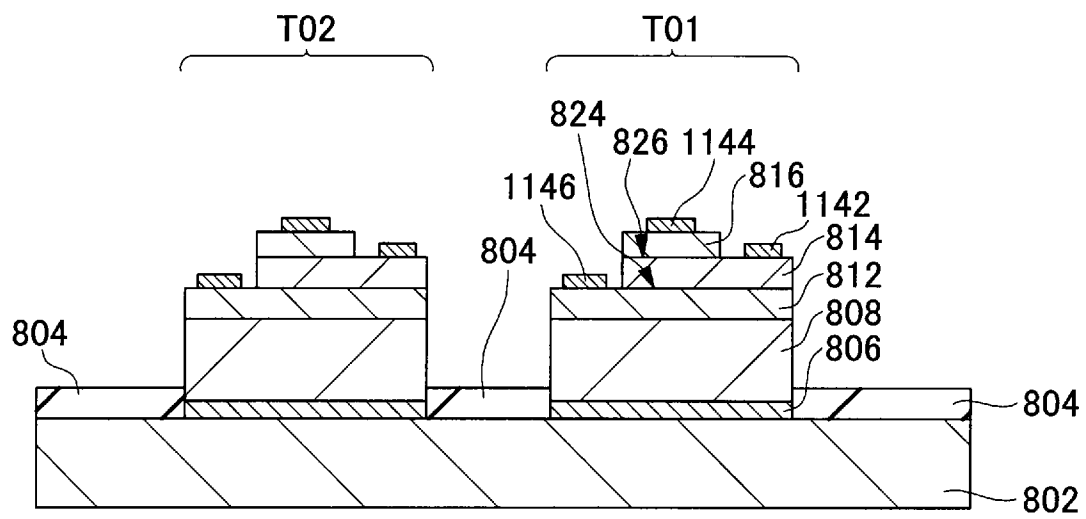
[図9]



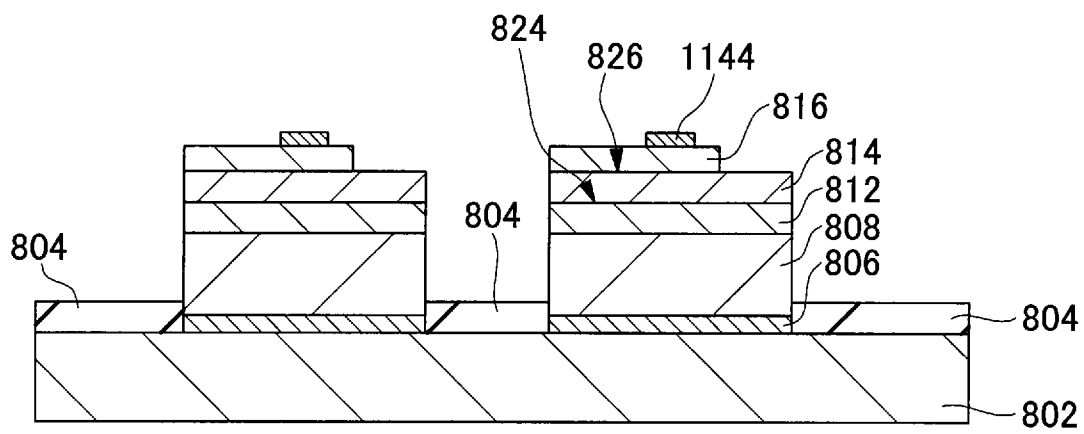
[図10]



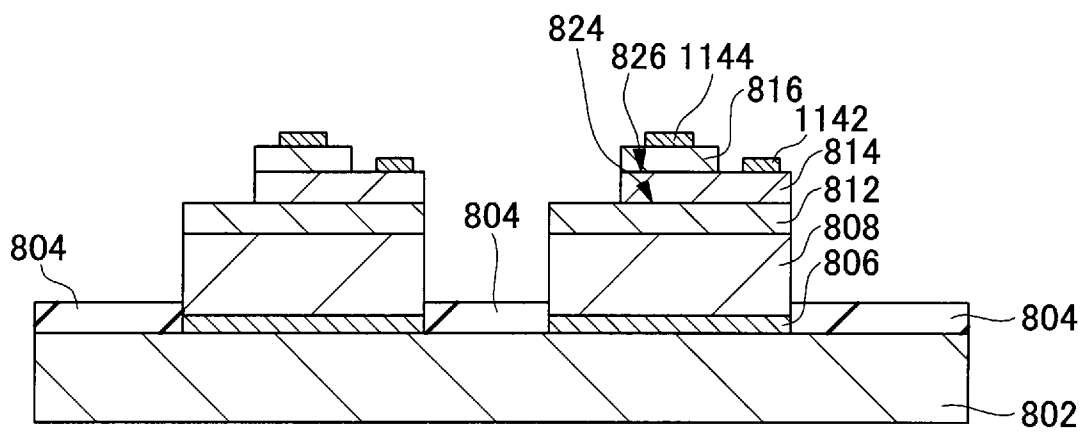
[図11]

1100

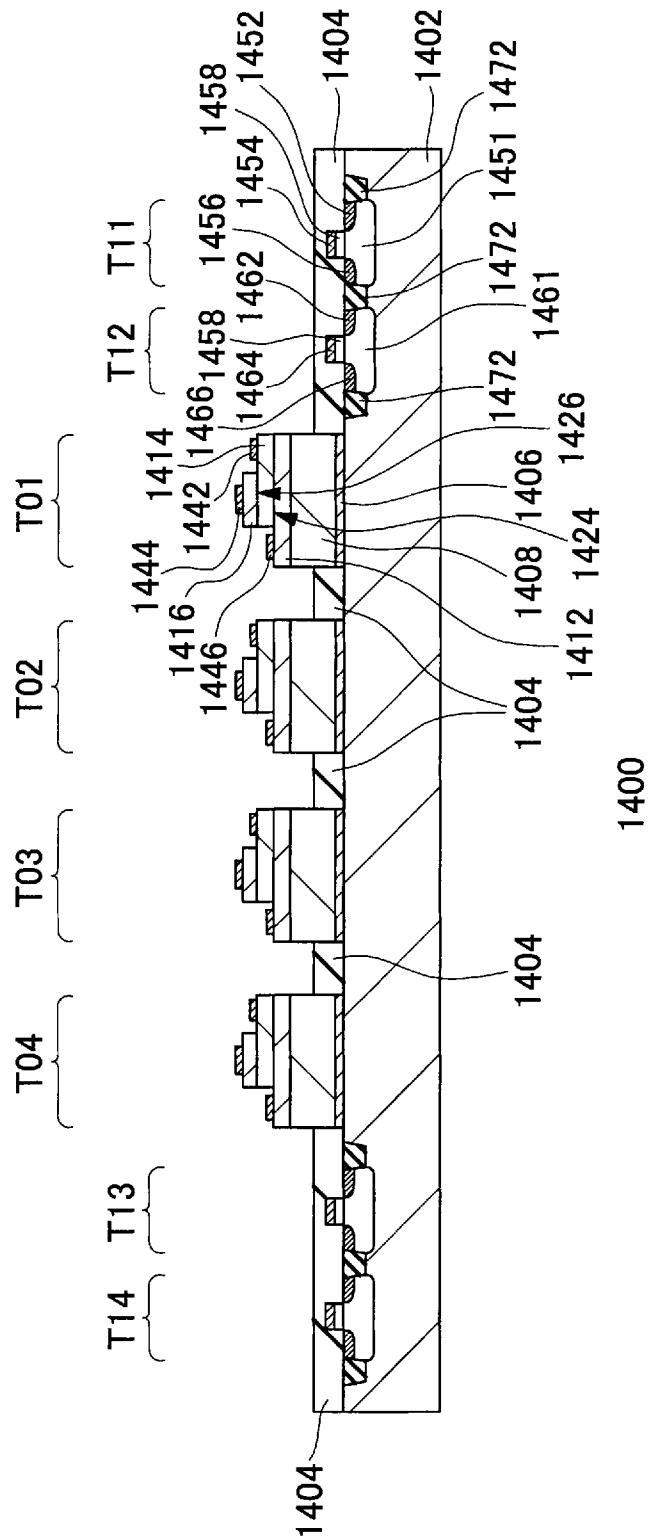
[図12]



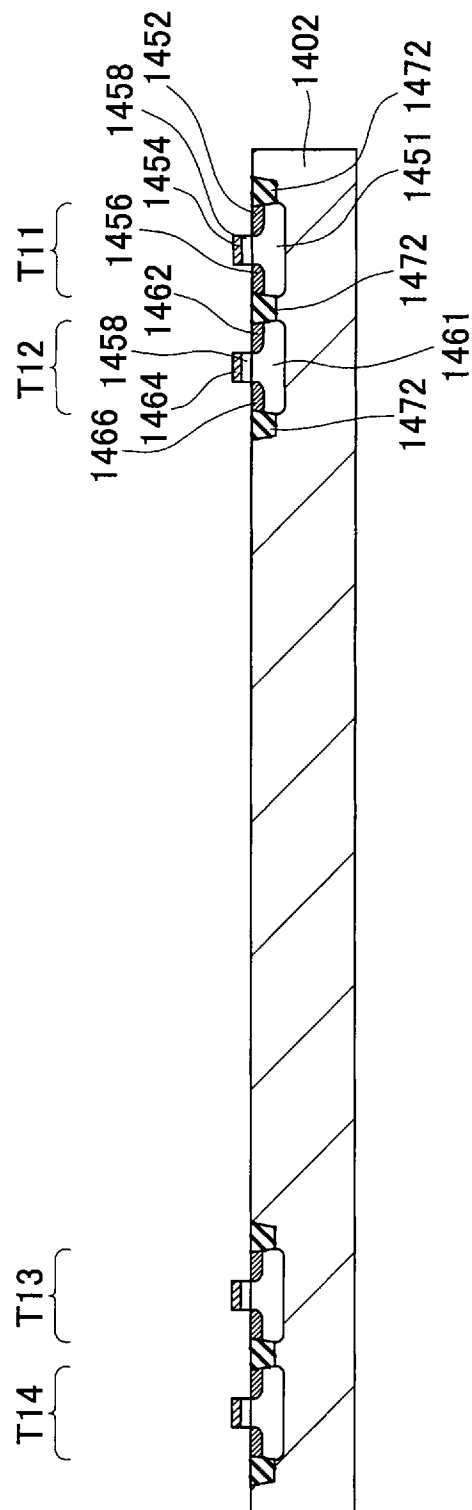
[図13]



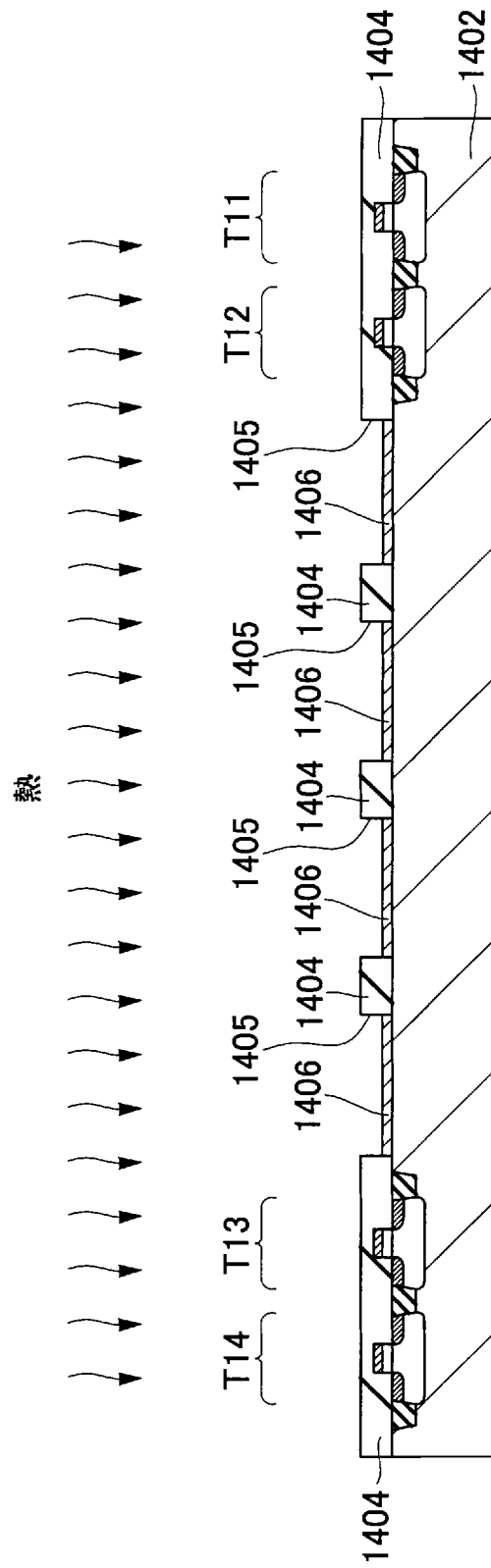
[図14]



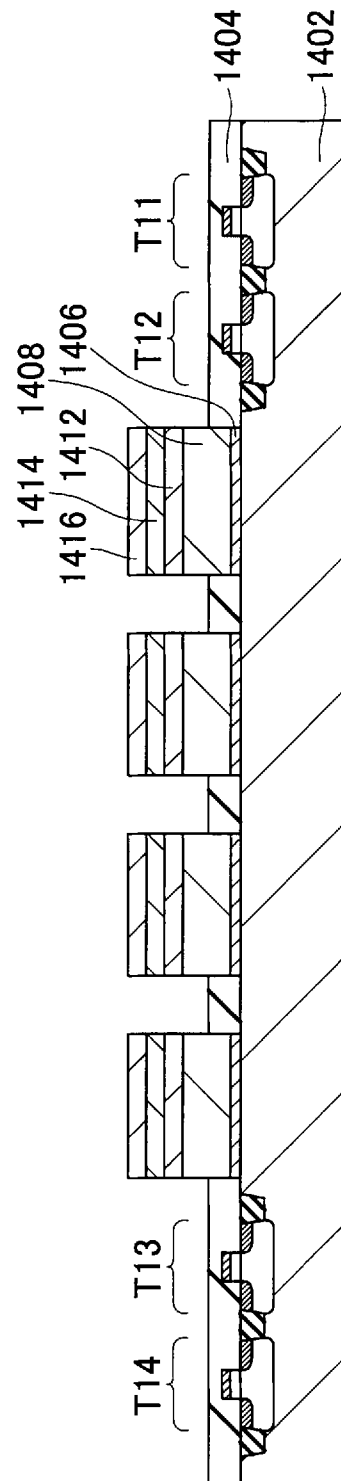
[図15]



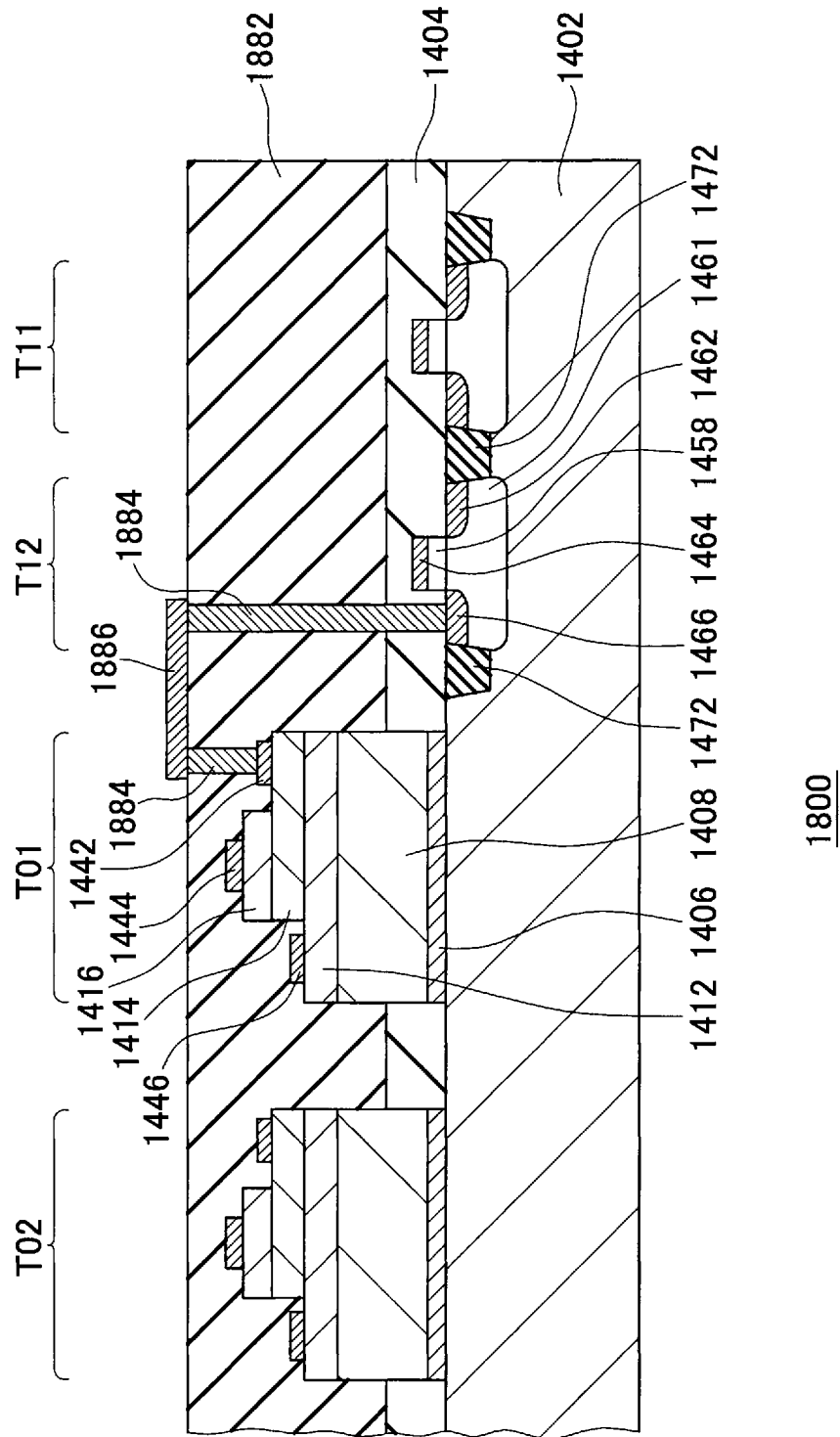
[図16]



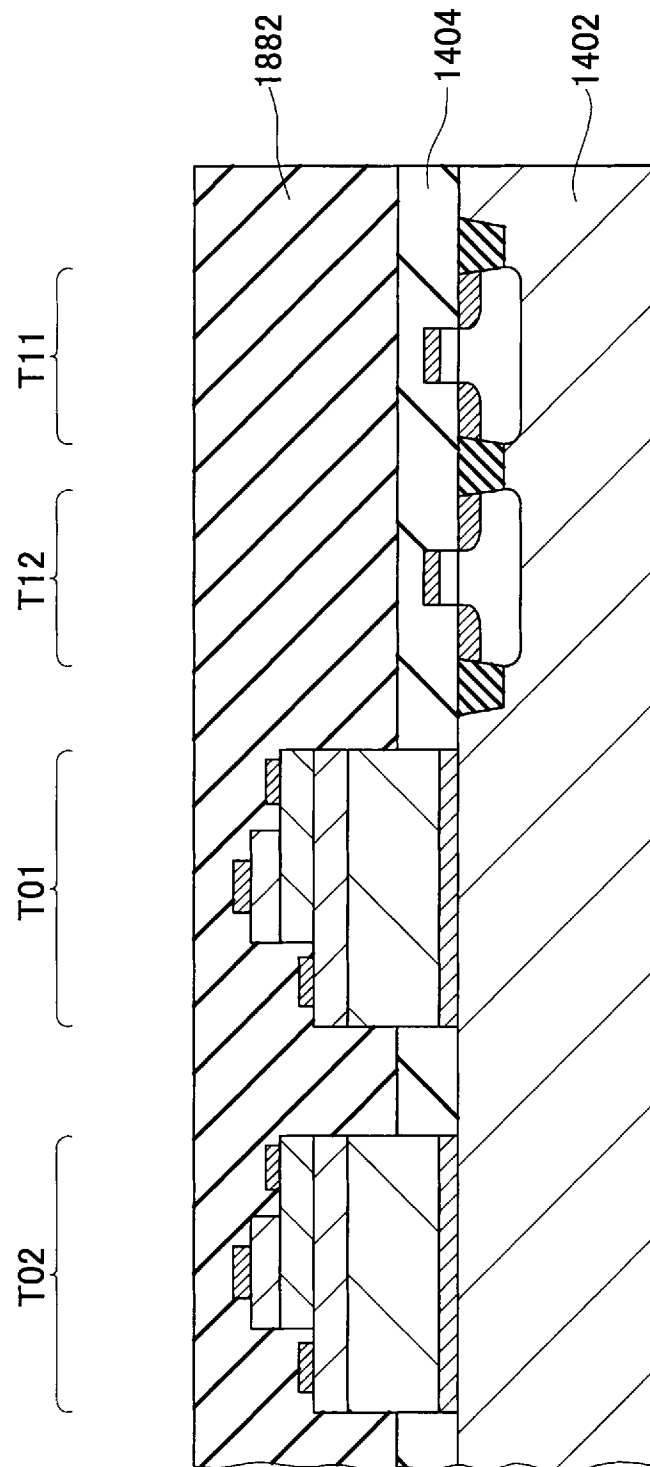
[図17]



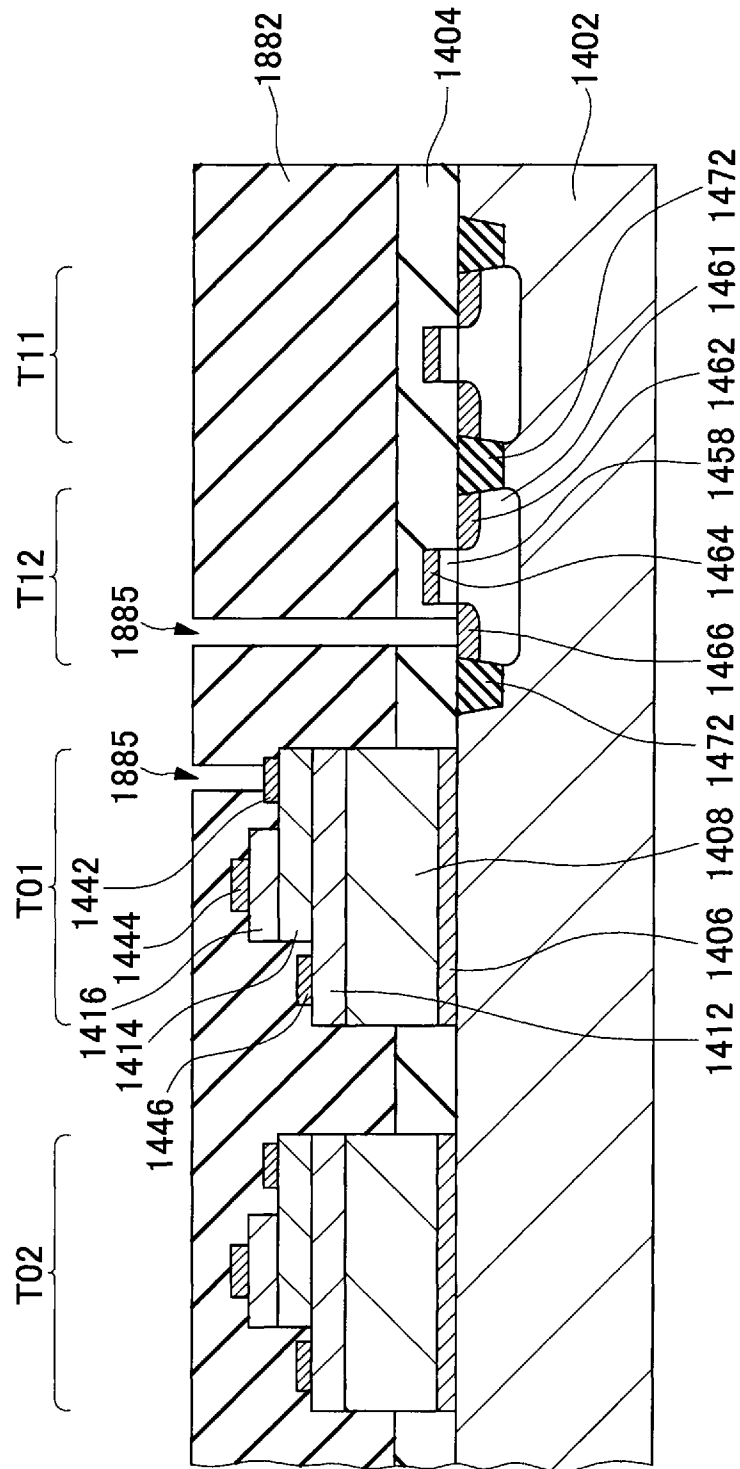
[図18]



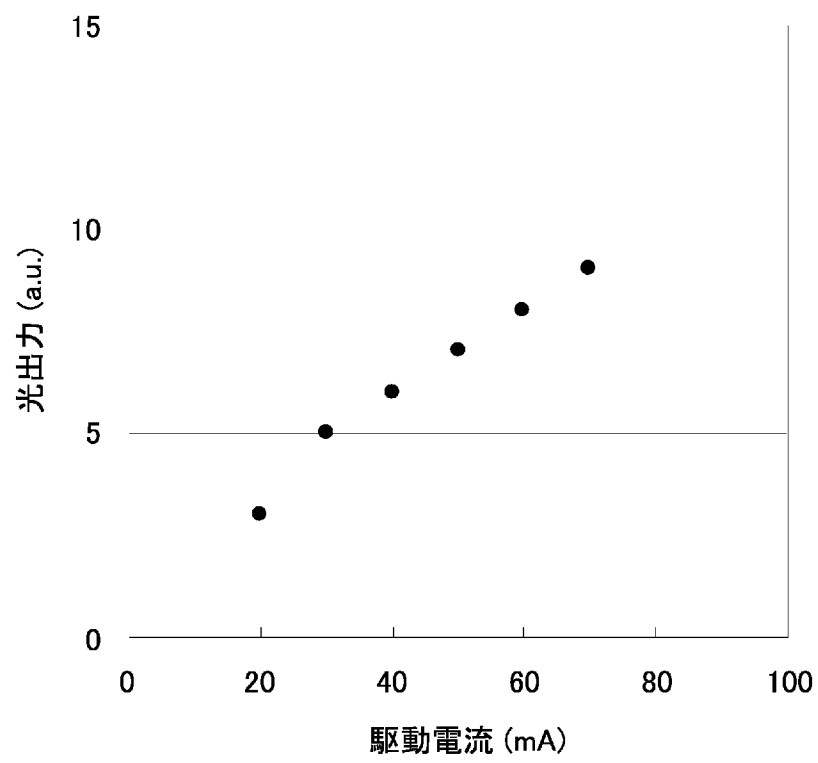
[図19]



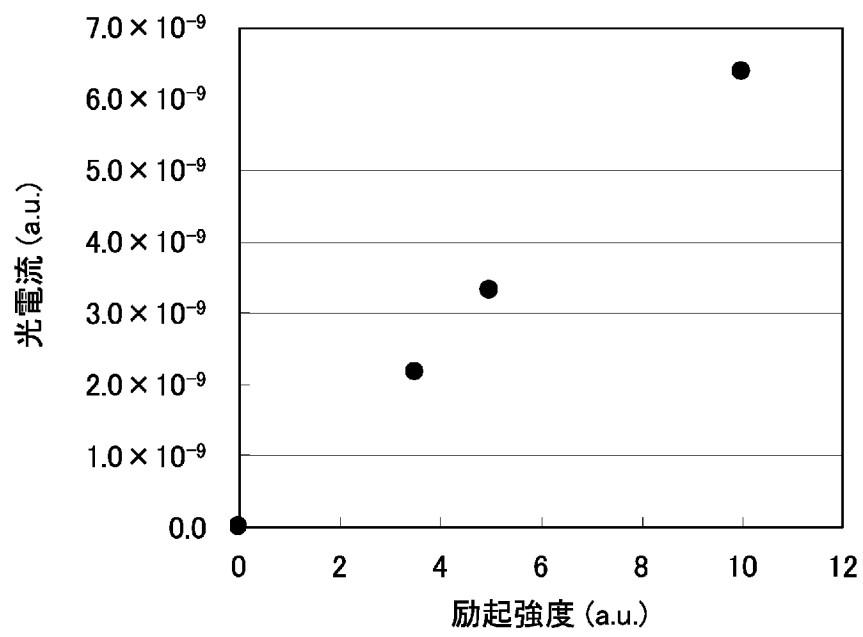
[図20]



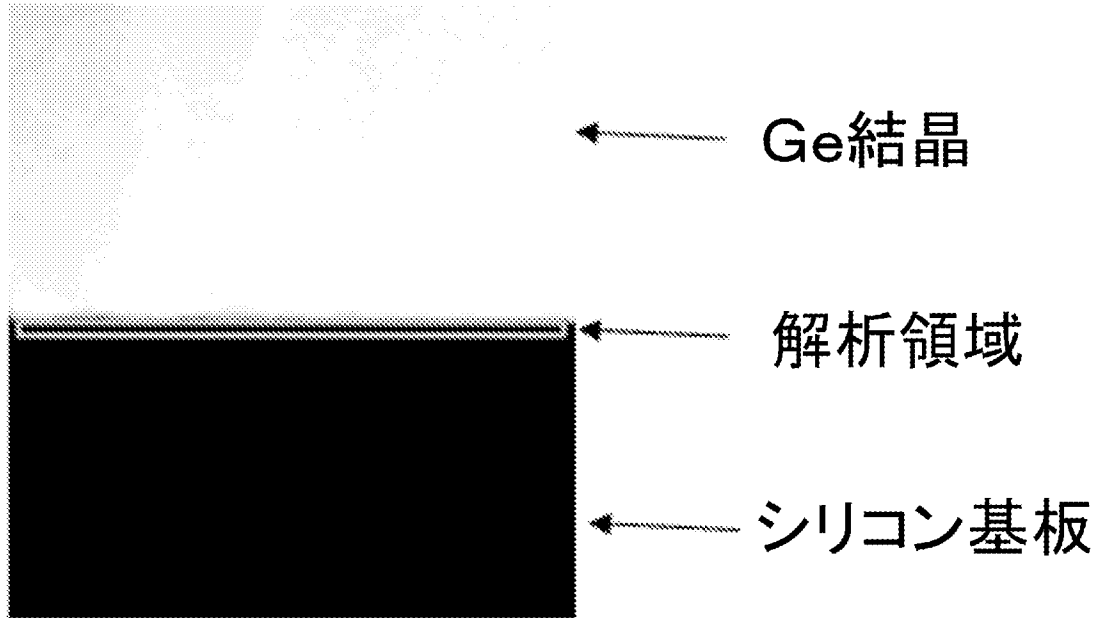
[図21]



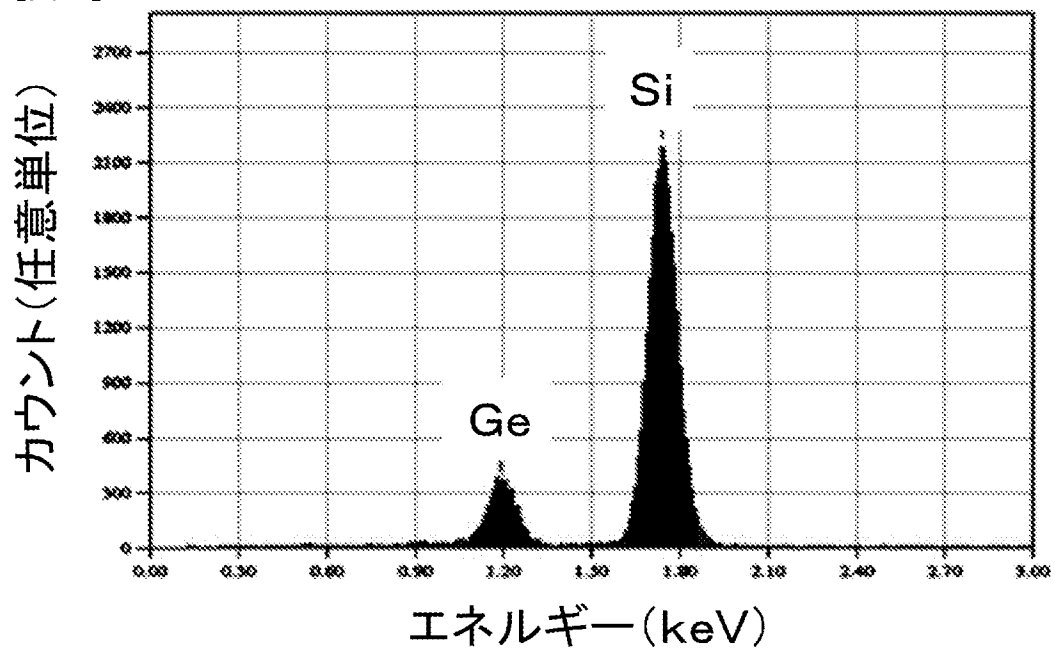
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003715

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10, H01L21/20, H01L21/322, H01L21/324, H01L21/331, H01L21/8222, H01L21/8248, H01L27/06, H01L27/08, H01L27/14, H01L27/15, H01L29/737, H01L29/866, H01L33/00-33/64, H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-339060 A (Kyocera Corp.), 07 December 2001 (07.12.2001), paragraphs [0023] to [0040]; fig. 1, 2 (Family: none)	1-25
Y	JP 2002-299598 A (Fujitsu Ltd.), 11 October 2002 (11.10.2002), paragraphs [0013] to [0173]; fig. 1 to 19 (Family: none)	1-25
Y	JP 2007-73873 A (Showa Denko Kabushiki Kaisha), 22 March 2007 (22.03.2007), paragraphs [0002] to [0058]; fig. 1 to 3 (Family: none)	1-25

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 June, 2010 (22.06.10)

Date of mailing of the international search report
06 July, 2010 (06.07.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003715

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-532294 A (ARIZONA BOARD OF REGENTS, a body corporate acting on behalf of ARIZONA STATE UNIVERSITY), 14 August 2008 (14.08.2008), paragraphs [0010] to [0074] & US 2008/0187768 A1 & EP 1807556 A & EP 1856721 A & WO 2006/099171 A2 & WO 2006/031257 A2 & KR 10-2007-0107755 A	1-25
Y	JP 5-327119 A (Sanyo Electric Co., Ltd.), 10 December 1993 (10.12.1993), paragraphs [0002] to [0012]; fig. 1 to 3 (Family: none)	3,12,18,19, 21-25
Y	JP 62-213117 A (Oki Electric Industry Co., Ltd.), 19 September 1987 (19.09.1987), specification, page 3, upper left column, line 11 to page 4, lower left column, line 3; fig. 1 (Family: none)	3,12,18,19, 21-25
Y	JP 2006-80249 A (Oki Electric Industry Co., Ltd.), 23 March 2006 (23.03.2006), paragraphs [0009] to [0023] (Family: none)	19
Y	JP 2001-308285 A (NEC Corp.), 02 November 2001 (02.11.2001), paragraphs [0017] to [0026] & US 2001/0034069 A1	19
Y	JP 2004-179329 A (Fujitsu Ltd.), 24 June 2004 (24.06.2004), paragraphs [0010] to [0023] (Family: none)	19
Y	JP 9-249499 A (Matsushita Electronics Corp.), 22 September 1997 (22.09.1997), paragraphs [0016] to [0030] (Family: none)	22-25
Y	JP 11-176758 A (Toyoda Gosei Co., Ltd.), 02 July 1999 (02.07.1999), paragraphs [0007] to [0030] (Family: none)	22-25
A	JP 2007-36255 A (Avago Technologies ECBU IP (Singapore) Pte. Ltd.), 08 February 2007 (08.02.2007), paragraphs [0004] to [0018]; fig. 1 to 3 & US 2007/0023761 A1 & EP 1748497 A2 & KR 10-2007-0014054 A & CN 1905132 A	1-25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003715

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L31/10(2006.01)i, H01L21/20(2006.01)i, H01L21/322(2006.01)i,
H01L21/324(2006.01)i, H01L21/331(2006.01)i, H01L21/8222(2006.01)i,
H01L21/8248(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i,
H01L27/14(2006.01)i, H01L27/15(2006.01)i, H01L29/737(2006.01)i,
H01L29/866(2006.01)i, H01L33/12(2010.01)i, H01S5/026(2006.01)i*

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/10, H01L21/20, H01L21/322, H01L21/324, H01L21/331, H01L21/8222, H01L21/8248, H01L27/06, H01L27/08, H01L27/14, H01L27/15, H01L29/737, H01L29/866, H01L33/00-33/64, H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-339060 A（京セラ株式会社）2001. 12. 07, 段落【0023】－【0040】，図1，2 （ファミリーなし）	1-25
Y	JP 2002-299598 A（富士通株式会社）2002. 10. 11, 段落【0013】－【0173】，図1－19 （ファミリーなし）	1-25

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 6 . 2 0 1 0

国際調査報告の発送日

0 6 . 0 7 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

百瀬 正之

2 K

4 0 8 4

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-73873 A (昭和電工株式会社) 2007. 03. 22, 段落【0002】－【0058】, 図1－3 (ファミリーなし)	1-25
Y	JP 2008-532294 A (ARIZONA BOARD OF REGENTS, a body corporate acting on behalf of ARIZONA STATE UNIVERSITY) 2008. 08. 14, 段落【0010】－【0074】 & US 2008/0187768 A1 & EP 1807556 A & EP 1856721 A & WO 2006/099171 A2 & WO 2006/031257 A2 & KR 10-2007-0107755 A	1-25
Y	JP 5-327119 A (三洋電機株式会社) 1993. 12. 10, 段落【0002】－【0012】, 図1－3 (ファミリーなし)	3, 12, 18, 19, 21-25
Y	JP 62-213117 A (沖電気工業株式会社) 1987. 09. 19, 明細書第3ページ左上欄第11行－第4ページ左下欄第3行, 第1図 (ファミリーなし)	3, 12, 18, 19, 21-25
Y	JP 2006-80249 A (沖電気工業株式会社) 2006. 03. 23, 段落【0009】－【0023】 (ファミリーなし)	19
Y	JP 2001-308285 A (日本電気株式会社) 2001. 11. 02, 段落【0017】－【0026】 & US 2001/0034069 A1	19
Y	JP 2004-179329 A (富士通株式会社) 2004. 06. 24, 段落【0010】－【0023】 (ファミリーなし)	19
Y	JP 9-249499 A (松下電子工業株式会社) 1997. 09. 22, 段落【0016】－【0030】 (ファミリーなし)	22-25
Y	JP 11-176758 A (豊田合成株式会社) 1999. 07. 02, 段落【0007】－【0030】 (ファミリーなし)	22-25

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-36255 A (アバゴ・テクノロジーズ・イーシービーユー・アイビー (シンガポール) プライベート・リミテッド) 2007.02.08, 段落【0004】－【0018】, 図1－3 & US 2007/0023761 A1 & EP 1748497 A2 & KR 10-2007-0014054 A & CN 1905132 A	1-25

発明の属する分野の分類

H01L31/10(2006.01)i, H01L21/20(2006.01)i, H01L21/322(2006.01)i,
H01L21/324(2006.01)i, H01L21/331(2006.01)i, H01L21/8222(2006.01)i,
H01L21/8248(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i,
H01L27/14(2006.01)i, H01L27/15(2006.01)i, H01L29/737(2006.01)i,
H01L29/866(2006.01)i, H01L33/12(2010.01)i, H01S5/026(2006.01)i