(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월05일
(11) 등록번호 10-2692527
(24) 등록일자 2024년08월01일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *H03K 7/02* (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H03K 7/02 (2013.01)
(21) 출원번호 10-2023-0070348
(22) 출원일자 2023년05월31일
심사청구일자 2023년05월31일
(56) 선행기술조사문헌
US11398934 B1

(73) 특허권자
고려대학교산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
신화석
서울특별시 동작구 동작대로39길 22(동작동, 이수힐스테이트)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

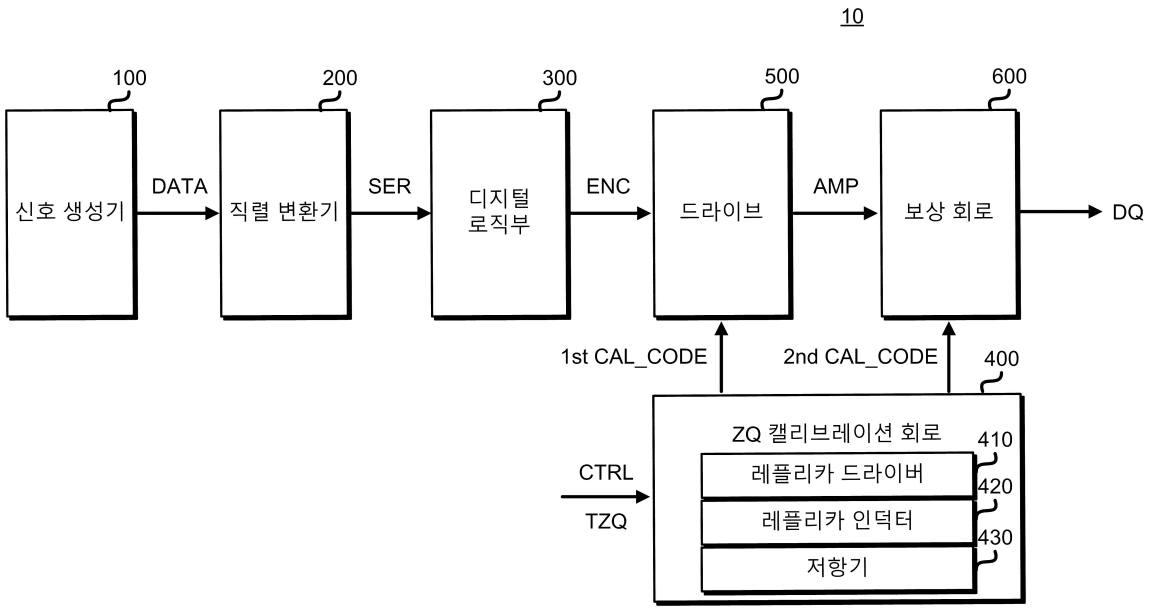
전체 청구항 수 : 총 10 항 심사관 : 황철규

(54) 발명의 명칭 **능동 인덕터 기반의 보상회로를 이용한 PAM-4 송신기 및 그 동작 방법**

(57) 요 약

본 발명은 PAM-4 송신기에 관한 것이다. 본 발명의 일 실시 예에 따른 PAM-4 송신기에 있어서, 입력 데이터를 생성하는 신호 생성기; 상기 입력 데이터를 이진 직렬 데이터로 변환하는 직렬 변환기; 서모미터 코드(Thermometer Code)를 이용하여 상기 이진 직렬 데이터를 상기 PAM-4에 기초하여 정의되는 복수의 레벨에 대응하는 디지털 입력 신호로 변환하는 디지털 로직부; 복수의 코드 신호 하나의 코드 신호에 기초하여 상기 복수의 레벨 중 하나의 레벨에 대응되는 증폭 신호를 출력하도록 구성되는 드라이버; 복수의 능동 인덕터를 포함하고, 상기 복수의 능동 인덕터 중 적어도 하나를 스위칭하는 것에 기초하여 상기 증폭 신호의 이득을 보상하여 보상된 DQ 신호를 출력하도록 구성되는 보상 회로; 및 제어 신호 및 상기 입력 데이터에 대한 테스트 신호에 기초하여 ZQ 캘리브레이션 동작을 수행하여 상기 복수의 코드 신호를 생성하는 ZQ 캘리브레이션 회로를 포함할 수 있다.

대 표 도 - 도1



(72) 발명자

최윤재

서울특별시 서초구 사평대로 310-4(반포동, 반포 센트레빌 아스테리움)

심진철

서울특별시 성북구 삼선교로8길 16(삼선동1가)

김성철

서울특별시 동대문구 왕산로 122 (용두동)

최종혁

경기도 수원시 영통구 삼성로 11(신동, 래미안 영통마크원 2단지)

명 세 서

청구범위

청구항 1

PAM-4 송신기에 있어서,

입력 데이터를 생성하는 신호 생성기;

상기 입력 데이터를 이진 직렬 데이터로 변환하는 직렬 변환기;

서모미터 코드(Thermometer Code)를 이용하여 상기 이진 직렬 데이터를 상기 PAM-4에 기초하여 정의되는 복수의 레벨에 대응하는 디지털 입력 신호로 변환하는 디지털 로직부;

복수의 코드 신호 하나의 코드 신호에 기초하여 상기 복수의 레벨 중 하나의 레벨에 대응되는 증폭 신호를 출력하도록 구성되는 드라이버;

복수의 능동 인덕터를 포함하고, 상기 복수의 능동 인덕터 중 적어도 하나를 스위칭하는 것에 기초하여 상기 증폭 신호의 이득을 보상하여 보상된 DQ 신호를 출력하도록 구성되는 보상 회로; 및

제어 신호 및 상기 입력 데이터에 대한 테스트 신호에 기초하여 ZQ 캘리브레이션 동작을 수행하여 상기 복수의 코드 신호를 생성하는 ZQ 캘리브레이션 회로를 포함하는 PAM-4 송신기.

청구항 2

제1항에 있어서,

상기 복수의 코드 신호는 상기 드라이버에 포함된 복수의 풀-업 회로들 및 복수의 풀-다운 회로들 중 적어도 하나를 온/오프하기 위한 것인 PAM-4 송신기.

청구항 3

제1항에 있어서,

상기 드라이버는:

복수의 PMOS 회로들을 포함하는 제1 풀-업 회로들; 및

복수의 NMOS 회로들을 포함하는 제1 풀-다운 회로들을 포함하고,

상기 보상 회로는:

복수의 PMOS 회로들을 포함하는 제2 풀-업 회로들; 및

복수의 NMOS 회로들을 포함하는 제2 풀-다운 회로들을 포함하는 PAM-4 송신기.

청구항 4

제3항에 있어서,

상기 ZQ 캘리브레이션 회로는:

상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들과 동일한 제3 풀-업 회로들 및 제3 풀-다운 회로들을 포함하고, 상기 테스트 신호 및 상기 제어 신호에 대응하여 상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들을 온/오프하는 제1 ZQ 캘리브레이션 코드 신호를 생성하는 레플리카 드라이버;

상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들과 동일한 제4 풀-업 회로들 및 제4 풀-다운 회로들을 포함하고, 상기 제어 신호에 대응하여 상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들을 온/오프하는 제2 ZQ 캘리브레이션 코드 신호를 생성하는 레플리카 인덕터; 및

상기 레플리카 드라이버 및 상기 레플리카 인덕터의 전압 레벨을 보정하는 저항기를 포함하는 PAM-4 송신기.

청구항 5

제4항에 있어서,

상기 ZQ 캘리브레이션 회로는,

상기 제3 풀-업 회로들 중 적어도 하나의 회로를 부스팅하여 전압 레벨을 보정하는 PAM-4 송신기.

청구항 6

PAM-4 송신기의 동작 방법에 있어서,

상기 PAM-4 송신기에 포함되는 신호 생성기, 직렬 변환기, 디지털 로직부, 드라이버, 보상 회로 및 ZQ 캘리브레이션 회로에 의해 수행되고,

입력 데이터를 생성하는 단계;

상기 입력 데이터를 이진 직렬 데이터로 변환하는 단계;

서모미터 코드(Thermometer Code)를 이용하여 상기 이진 직렬 데이터를 상기 PAM-4에 기초하여 정의되는 복수의 레벨에 대응하는 디지털 입력 신호로 변환하는 단계;

복수의 코드 신호 하나의 코드 신호에 기초하여 상기 복수의 레벨 중 하나의 레벨에 대응되는 증폭 신호를 출력하는 단계;

복수의 능동 인덕터를 포함하고, 상기 복수의 능동 인덕터 중 적어도 하나를 스위칭하는 것에 기초하여 상기 증폭 신호의 이득을 보상하여 보상된 DQ 신호를 출력하는 단계; 및

제어 신호 및 상기 입력 데이터에 대한 테스트 신호에 기초하여 ZQ 캘리브레이션 동작을 수행하여 상기 복수의 코드 신호를 생성하는 단계를 포함하는 PAM-4 송신기의 동작 방법.

청구항 7

제6항에 있어서,

상기 복수의 코드 신호는 상기 드라이버에 포함된 복수의 풀-업 회로들 및 복수의 풀-다운 회로들 중 적어도 하나를 온/오프하기 위한 것인 PAM-4 송신기의 동작 방법.

청구항 8

제6항에 있어서,

상기 드라이버는:

복수의 PMOS 회로들을 포함하는 제1 풀-업 회로들; 및

복수의 NMOS 회로들을 포함하는 제1 풀-다운 회로들을 포함하고,

상기 보상 회로는:

복수의 PMOS 회로들을 포함하는 제2 풀-업 회로들; 및

복수의 NMOS 회로들을 포함하는 제2 풀-다운 회로들을 포함하는 PAM-4 송신기의 동작 방법.

청구항 9

제8항에 있어서,

상기 복수의 코드 신호를 생성하는 단계는:

상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들과 동일한 제3 풀-업 회로들 및 제3 풀-다운 회로들을 포함하고, 상기 테스트 신호 및 상기 제어 신호에 대응하여 상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들을 온/오프하는 제1 ZQ 캘리브레이션 코드 신호를 생성하는 단계;

상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들과 동일한 제4 풀-업 회로들 및 제4 풀-다운 회로들을 포함

하고, 상기 제어 신호에 대응하여 상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들을 온/오프하는 제2 ZQ 캘리브레이션 코드 신호를 생성하는 단계; 및

레플리카 드라이버 및 레플리카 인덕터의 전압 레벨을 보정하는 단계를 포함하는 PAM-4 송신기의 동작 방법.

청구항 10

제9항에 있어서,

상기 복수의 코드 신호를 생성하는 단계는,

상기 제3 풀-업 회로들 중 적어도 하나의 회로를 부스팅하여 전압 레벨을 보정하는 PAM-4 송신기의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 능동 인덕터 기반의 보상회로를 이용한 PAM-4 송신기 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 모바일 장치의 급속한 공급과 인터넷 접속량의 급격한 증가에 따라 고용량 및 고속 데이터 전송에 대한 요구가 날로 증가하고 있다. 하지만, NRZ(Non-Return to Zero) 타입의 인코딩을 기반으로 하는 신호 변조 방식으로는 이러한 고용량 및 고속의 데이터 전송 요구를 만족시키기 어려운 실정이다. 최근에는 펄스 진폭 변조(Pulse Amplitude Modulation; PAM) 방식이 고용량과 고속 데이터 전송을 위한 신호 방식의 대안으로 활발하게 연구되고 있다.

[0003] 한편, 펄스 진폭 변조 방식의 데이터 전송 방식은 한정된 대역폭으로 인해 신호에 노이즈가 발생하게 되어 보상 회로가 필요하게 된다. 종래에서는 Pre-Emphasis 및 De-Emphasis 방식의 보상회로를 사용하였지만, 높은 전력 소모, 작은 출력 신호 및 높은 신호 감쇄 등 문제점을 가지고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제 10-2349415호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 능동 인덕터 기반의 보상회로를 이용한 PAM-4 송신기 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 PAM-4 송신기에 있어서, 입력 데이터를 생성하는 신호 생성기; 상기 입력 데이터를 이진 직렬 데이터로 변환하는 직렬 변환기; 서모미터 코드(Thermometer Code)를 이용하여 상기 이진 직렬 데이터를 상기 PAM-4에 기초하여 정의되는 복수의 레벨에 대응하는 디지털 입력 신호로 변환하는 디지털 로직부; 복수의 코드 신호 하나의 코드 신호에 기초하여 상기 복수의 레벨 중 하나의 레벨에 대응되는 증폭 신호를 출력하도록 구성되는 드라이버; 복수의 능동 인덕터를 포함하고, 상기 복수의 능동 인덕터 중 적어도 하나를 스위칭하는 것에 기초하여 상기 증폭 신호의 이득을 보상하여 보상된 DQ 신호를 출력하도록 구성되는 보상 회로; 및 제어 신호 및 상기 입력 데이터에 대한 테스트 신호에 기초하여 ZQ 캘리브레이션 동작을 수행하여 상기 복수의 코드 신호를 생성하는 ZQ 캘리브레이션 회로를 포함할 수 있다.

[0007] 본 발명의 일 실시 예에 있어서, 상기 복수의 코드 신호는 상기 드라이버에 포함된 복수의 풀-업 회로들 및 복

수의 풀-다운 회로들 중 적어도 하나를 온/오프하기 위한 것일 수 있다.

[0008] 본 발명의 일 실시 예에 있어서, 상기 드라이버는: 복수의 PMOS 회로들을 포함하는 제1 풀-업 회로들; 및 복수의 NMOS 회로들을 포함하는 제1 풀-다운 회로들을 포함하고, 상기 보상 회로는: 복수의 PMOS 회로들을 포함하는 제2 풀-업 회로들; 및 복수의 NMOS 회로들을 포함하는 제2 풀-다운 회로들을 포함할 수 있다.

[0009] 본 발명의 일 실시 예에 있어서, 상기 ZQ 캘리브레이션 회로는: 상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들과 동일한 제3 풀-업 회로들 및 제3 풀-다운 회로들을 포함하고, 상기 테스트 신호 및 상기 제어 신호에 대응하여 상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들을 온/오프하는 제1 ZQ 캘리브레이션 코드 신호를 생성하는 레플리카 드라이버; 상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들과 동일한 제4 풀-업 회로들 및 제4 풀-다운 회로들을 포함하고, 상기 제어 신호에 대응하여 상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들을 온/오프하는 제2 ZQ 캘리브레이션 코드 신호를 생성하는 레플리카 인덕터; 및 상기 레플리카 드라이버 및 상기 레플리카 인덕터의 전압 레벨을 보정하는 저항기를 포함할 수 있다.

[0010] 본 발명의 일 실시 예에 있어서, 상기 ZQ 캘리브레이션 회로는, 상기 제3 풀-업 회로들 중 적어도 하나의 회로를 부스팅하여 전압 레벨을 보정할 수 있다.

[0011] 본 발명은 PAM-4 송신기의 동작 방법에 있어서, 상기 PAM-4 송신기에 포함되는 신호 생성기, 직렬 변환기, 디지털 로직부, 드라이버, 보상 회로 및 ZQ 캘리브레이션 회로에 의해 수행되고, 입력 데이터를 생성하는 단계; 상기 입력 데이터를 이진 직렬 데이터로 변환하는 단계; 서모미터 코드(Thermometer Code)를 이용하여 상기 이진 직렬 데이터를 상기 PAM-4에 기초하여 정의되는 복수의 레벨에 대응하는 디지털 입력 신호로 변환하는 단계; 복수의 코드 신호 하나의 코드 신호에 기초하여 상기 복수의 레벨 중 하나의 레벨에 대응되는 증폭 신호를 출력하는 단계; 복수의 능동 인덕터를 포함하고, 상기 복수의 능동 인덕터 중 적어도 하나를 스위칭하는 것에 기초하여 상기 증폭 신호의 이득을 보상하여 보상된 DQ 신호를 출력하는 단계; 및 제어 신호 및 상기 입력 데이터에 대한 테스트 신호에 기초하여 ZQ 캘리브레이션 동작을 수행하여 상기 복수의 코드 신호를 생성하는 단계를 포함할 수 있다.

[0012] 본 발명의 일 실시 예에 있어서, 상기 복수의 코드 신호는 상기 드라이버에 포함된 복수의 풀-업 회로들 및 복수의 풀-다운 회로들 중 적어도 하나를 온/오프하기 위한 것일 수 있다.

[0013] 본 발명의 일 실시 예에 있어서, 상기 드라이버는: 복수의 PMOS 회로들을 포함하는 제1 풀-업 회로들; 및 복수의 NMOS 회로들을 포함하는 제1 풀-다운 회로들을 포함하고, 상기 보상 회로는: 복수의 PMOS 회로들을 포함하는 제2 풀-업 회로들; 및 복수의 NMOS 회로들을 포함하는 제2 풀-다운 회로들을 포함할 수 있다.

[0014] 본 발명의 일 실시 예에 있어서, 상기 복수의 코드 신호를 생성하는 단계는: 상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들과 동일한 제3 풀-업 회로들 및 제3 풀-다운 회로들을 포함하고, 상기 테스트 신호 및 상기 제어 신호에 대응하여 상기 제1 풀-업 회로들 및 상기 제1 풀-다운 회로들을 온/오프하는 제1 ZQ 캘리브레이션 코드 신호를 생성하는 단계; 상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들과 동일한 제4 풀-업 회로들 및 제4 풀-다운 회로들을 포함하고, 상기 제어 신호에 대응하여 상기 제2 풀-업 회로들 및 상기 제2 풀-다운 회로들을 온/오프하는 제2 ZQ 캘리브레이션 코드 신호를 생성하는 단계; 및 레플리카 드라이버 및 레플리카 인덕터의 전압 레벨을 보정하는 단계를 포함할 수 있다.

[0015] 본 발명의 일 실시 예에 있어서, 상기 복수의 코드 신호를 생성하는 단계는, 상기 제3 풀-업 회로들 중 적어도 하나의 회로를 부스팅하여 전압 레벨을 보정할 수 있다.

발명의 효과

[0016] 본 발명에 따른 능동 인덕터 기반의 보상회로를 이용한 PAM-4 송신기는 임피던스를 보정하기위한 별도의 회로가 필요하지 않아 저전력으로 구동할 수 있으며, 송신기의 전압 및 전류를 제어하여 출력 신호의 높은 선형성을 가질 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시 예에 따른 PAM-4 송신기의 일 예를 보여주는 블록도이다.

도 2는 본 발명의 실시 예에 따른 DQ 신호의 임피던스 매칭 방법을 보여주는 블록도이다.

도 3은 본 발명의 실시 예에 따른 ZQ 캘리브레이션의 회로도이다.

도 4a 내지 도 5c는 본 발명의 실시 예에 따른 ZQ 캘리브레이션의 동작 회로도이다.

도 6은 ZQ 캘리브레이션 동작을 통한 PAM-4 송신기의 RLM 결과를 보여주는 도면이다.

도 7a 및 도 7b는 PAM-4 송신기의 노이즈를 보여주는 다이어그램이다.

도 8은 본 발명의 실시 예에 따른 PAM-4 송신기의 동작의 일 예를 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0019] 도 1은 본 발명의 실시 예에 따른 PAM-4 송신기의 일 예를 보여주는 블록도이다.

[0020] 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 능동 인덕터를 기반으로 기 설정한 주파수 대역에서 피크를 만들어 채널 대역폭을 확장시킬 수 있다. 이에 따라, PAM-4 송신기(10)는 회로 구현의 소자를 최소화하여 신호의 대역폭 감쇠의 영향을 줄일 수 있으며, 저전력으로 구동함으로써 송신기의 전체적인 성능을 향상시킬 수 있다.

[0021] 도 1을 참조하여 좀더 자세히 설명하면, 본 발명의 시시 예에 따른 PAM-4 송신기(10)는 신호 생성기(100), 직렬 변환기(200), 디지털 로직부(300), ZQ 캘리브레이션 회로(400), 드라이버(500) 및 보상 회로(600)를 포함한다.

[0022] 신호 생성기(100)는 본 출원의 다양한 예들에 따른 입력 데이터(DATA)를 생성할 수 있다. 예를 들어, 신호 생성기(100)는 LSB(Least Significant Bit) 및 MSB(Most Significant Bit) 각각의 32비트 입력 데이터(DATA)를 생성할 수 있다.

[0023] 직렬 변환기(200)는 신호 생성기(100)로부터 생성된 입력 데이터(DATA)를 직렬 데이터(SER)로 직렬화할 수 있다. 직렬 데이터(SER)로 변환됨에 따라, 입력 데이터(DATA)는 단일 채널을 통해 전송될 수 있다. 예를 들어, 직렬 변환기(200)는 64비트 입력 데이터(DATA)를 이진(Binary) 직렬 데이터(SER)로 변환할 수 있다.

[0024] 디지털 로직부(300)는 서모미터 코드(Binary-to-Thermometer Code)를 이용하여 이진 직렬 데이터(SER)를 복수의 레벨에 대응하는 디지털 입력 신호(ENC)로 변환할 수 있다.

[0025] ZQ 캘리브레이션 회로(400)는 제어 신호(CTRL)를 입력받아 ZQ 캘리브레이션(Calibration) 동작을 수행하며, 테스트 신호(TZQ)에 대응되는 복수의 코드 신호를 생성할 수 있다. 이를 위해, ZQ 캘리브레이션 회로(400)는 레플리카 드라이버(410), 레플리카 인덕터(420), 저항기(430)를 포함한다.

[0026] 레플리카 드라이버(410)는 신호 제어부(미도시)로부터 제어 신호(CTRL)를 입력받아 캘리브레이션 동작을 수행하여 테스트 신호(TZQ)에 대응되는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다. 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)는 후술할 드라이버(500)의 동작을 제어할 수 있다.

[0027] 레플리카 인덕터(420)는 신호 제어부(미도시)로부터 제어 신호(CTRL)를 입력받아 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 생성할 수 있다. 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)는 후술할 보상 회로(600)의 동작을 제어할 수 있다.

[0028] 저항기(430)는 내부 저항 및 외부 저항을 포함할 수 있으며, 레플리카 드라이버(410) 및 레플리카 인덕터(420)의 전압 또는 전류를 보정할 수 있다.

[0029] 드라이버(500)는 복수의 레벨 중 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)에 기초하여 하나의 레벨의 증폭 신호(AMP)를 출력하도록 구성될 수 있다. 이를 위해, 드라이버(500)는 복수의 PMOS 회로들을 포함하는 제1 풀-업 회로들 및 복수의 NMOS 회로들을 포함하는 제1 풀-다운 회로들을 포함할 수 있다.

[0030] 보상 회로(600)는 복수의 능동 인덕터를 포함하고, 복수의 능동 인덕터 중 적어도 하나를 온/오프하는 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)에 기초하여 증폭 신호(AMP)의 이득을 보상하여 보상된 DQ 신호(DQ)를 출력할 수 있다. 즉, 보상 회로(600)는 증폭 신호(AMP)의 주파수 대역에 피크(Peak)를 만들어 전압 이득만큼 보상하여 보상된 DQ 신호(DQ)를 출력할 수 있다. 이를 위해, 보상 회로(600)는 복수의 PMOS 회로들을 포함하는 제2 풀- 업 회로들 및 복수의 NMOS 회로들을 포함하는 제2 풀-다운 회로들을 포함할 수 있다.

[0031] 이상에서 살펴본 바와 같이, 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 서모미터 코드를 이용하여 이진 데이터를 PAM-4 동작이 가능한 신호로 변환하고, 변환된 신호에 대응하는 임피던스를 제어하여 DQ 신호(DQ)를 출력할 수 있다. 이에 따라, PAM-4 송신기(10)는 고용량으로 고속 데이터 전송을 할 수 있으며, 별도의 회로 없이

임피던스를 제어하여 저전력으로 동작할 수 있다.

[0033] 도 2는 본 발명의 실시 예에 따른 DQ 신호의 임피던스 매칭 방법을 보여주는 블록도이다. 도 2를 참조하면, ZQ 캘리브레이션 회로(400)는 신호 제어부(미도시)로부터 제어 신호(CTRL) 및 테스트 신호(TZQ_1, TZQ_2, TZQ_3)를 입력받을 수 있다. 신호 제어부(미도시)는 후술할 ZQ 캘리브레이션 회로(400)의 복수의 풀-업 또는 풀-다운 회로의 개수에 대응하여 N비트(여기서, N은 자연수)의 코드 신호를 입력할 수 있다.

[0034] 레플리카 드라이버(410)는 드라이버(500)와 동일하도록 구성될 수 있다. 레플리카 드라이버(410)는 레플리카 인덕터(420) 일 단과 연결되며, 레플리카 드라이버(410)는 신호 제어부(미도시)로부터 풀-업 신호(PU_CTRL), 풀-다운 신호(PD_CTRL) 및 테스트 신호(TZQ_1, TZQ_2, TZQ_3)를 입력받을 수 있다. 이에 따라, 레플리카 드라이버(410)는 ZQ 캘리브레이션 동작을 수행하여 테스트 신호(TZQ_1, TZQ_2, TZQ_3)에 대응되는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다. 또한, 레플리카 드라이버(410)는 생성한 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 드라이버(500)에 입력할 수 있다.

[0035] 레플리카 인덕터(420)는 보상 회로(600)와 동일하도록 구성될 수 있다. 레플리카 인덕터(420)는 저항기(430) 일 단과 연결되며, 신호 제어부(미도시)로부터 인덕터 신호(AI_CTRL_P, AI_CTRL_N)를 입력받을 수 있다. 인덕터 신호(AI_CTRL_P, AI_CTRL_N)는 복수의 회로들이 온/오프로 동작하는 신호로 정의될 수 있다. 이에 따라, 레플리카 인덕터(420)는 인덕터 신호(AI_CTRL_P, AI_CTRL_N)에 대응되는 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 생성할 수 있다. 또한, 레플리카 인덕터(420)는 생성한 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 보상 회로(600)에 입력할 수 있다.

[0036] 저항기(430)는 제1 내부 저항(431), 제2 내부 저항(432) 및 외부 저항(433)을 포함하며, 레플리카 드라이버(410) 및 레플리카 인덕터(420)의 전압 또는 전류를 보정할 수 있다.

[0037] 이상에서 상술한 바와 같이, ZQ 캘리브레이션 회로(400)는 드라이버(500) 및 보상 회로(600)의 동작을 제어하는 복수의 코드 신호(CAL_CODE)를 생성할 수 있으며, DQ 신호(DQ)의 임피던스를 보정할 수 있는 회로를 최소화할 수 있다. 이에 따라, PAM-4 송신기는 확장된 대역폭의 감쇠를 최소화할 수 있으며, 저전력으로 구동할 수 있다.

[0039] 도 3은 본 발명의 실시 예에 따른 ZQ 캘리브레이션의 회로도이다.

[0040] 도 3을 참조하면, 레플리카 드라이버(410)는 드라이버(500)와 동일하도록 구성될 수 있다. 즉, 레플리카 드라이버(410)는 복수의 PMOS 회로들을 포함하는 제3 풀-업 회로들(411) 및 복수의 NMOS 회로들을 포함하는 제3 풀-다운 회로들(412)을 포함할 수 있다. 이에 따라, 레플리카 드라이버(410)는 풀-업 신호(PU_CTRL), 풀-다운 신호(PD_CTRL) 및 테스트 신호(TZQ_1, TZQ_2, TZQ_3)에 기초하여 드라이버(500)의 제1 풀-업 회로들 및 제1 풀-다운 회로들을 온/오프 할 수 있는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다.

[0041] 레플리카 인덕터(420)는 보상 회로(600)와 동일하도록 구성될 수 있다. 즉, 레플리카 인덕터(420)는 복수의 PMOS 회로들을 포함하는 제4 풀-업 회로들(421) 및 복수의 NMOS 회로들을 포함하는 제4 풀-다운 회로들(422)을 포함할 수 있다. 이에 따라, 레플리카 인덕터(420)는 인덕터 신호(AI_CTRL_P, AI_CTRL_N)에 기초하여 보상 회로(500)의 제2 풀-업 회로들 및 제2 풀-다운 회로들을 온/오프 할 수 있는 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 생성할 수 있다.

[0042] 저항기(430)는 내부 저항(R_INT)으로 제1 저항(431) 및 제2 저항(432)를 포함하고, 외부 저항(R_EXT, R_EXT)를 포함한다. 저항기(430)는 선택적으로 내부 저항을 동작하여 레플리카 드라이버(410) 및 레플리카 인덕터(420)의 전압 레벨을 보정할 수 있다. 예를 들어, 저항기(430)의 내부 저항(R_INT)은 75Ω 및 150Ω을 가지고, 외부 저항(R_EXT)는 50Ω을 가질 수 있지만 이에 한정되는 것은 아니다.

[0044] 도 4a 내지 도 5c는 본 발명의 실시 예에 따른 ZQ 캘리브레이션의 동작 회로도이다. 구체적으로, 도 4a 내지 도 5c는 PAM-4의 제0 내지 제3 레벨의 전압 레벨을 보정하기 위한 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE) 및 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 생성하는 방법이다. 따라서, 동일하거나 유사한 구성 요소는 동일하거나 유사한 참조 부호로 표시되며, 중복되는 설명 및 제어 신호(CTRL)는 이하 생략될 것이다.

[0046] 도 4a를 참조하면, ZQ 캘리브레이션 회로(400)는 제1 레벨(예를 들어, 767mV)을 서모미터 코드로 변환한 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)가 1, 0, 0가 입력될 경우, ZQ 캘리브레이션 회로(400)는 제1 테스트 신호(TZQ_0)에 연결된 NMOS 회로 및 제1 저항(431)을 동작하여 제1 레벨의 전압 레벨을 보정할 수 있다. 여기서, 제1 저항(431)은 제2 및 제3 테스트 신호(TZQ_1, TZQ_2)에 연결된 PMOS 회로에 대응하는 저항일 수 있다. 이에 따라, ZQ 캘리브레이션 회로(400)는 제1 테스트 신호(TZQ_0)에 연결된 NMOS 회로 및 제1 저항(431)을

동작하는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE) 및 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 생성할 수 있다.

[0048] 도 4b를 참조하면, ZQ 캘리브레이션 회로(400)는 제2 레벨(예를 들어, 633mV)을 서모미터 코드로 변환한 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)가 1, 1, 0가 입력될 경우, ZQ 캘리브레이션 회로(400)는 제1 및 제2 테스트 신호(TZQ_0, TZQ_1)에 연결된 NMOS 회로 및 제2 저항(432)을 동작하여 제2 레벨의 전압 레벨을 보정할 수 있다. 여기서, 제2 저항(432)은 제3 테스트 신호(TZQ_2)에 연결된 PMOS 회로에 대응하는 저항일 수 있다. 이에 따라, ZQ 캘리브레이션 회로(400)는 제1 및 제2 테스트 신호(TZQ_0, TZQ_1)에 연결된 NMOS 회로 및 제2 저항(432)을 동작하는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE) 및 제2 ZQ 캘리브레이션 코드 신호(2ND CAL_CODE)를 생성할 수 있다.

[0050] 도 4c를 참조하면, ZQ 캘리브레이션 회로(400)는 제3 레벨(예를 들어, 500mV)을 서모미터 코드로 변환한 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)가 1, 1, 1가 입력될 경우, ZQ 캘리브레이션 회로(400)는 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)에 연결된 NMOS 회로를 동작하여 제3 레벨의 전압 레벨을 보정할 수 있다. 이에 따라, ZQ 캘리브레이션 회로(400)는 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)에 연결된 NMOS 회로를 동작하는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다.

[0052] 도 5a를 참조하면, ZQ 캘리브레이션 회로(400)는 제2 레벨(예를 들어, 633mV)을 서모미터 코드로 변환한 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)가 1, 1, 0가 입력될 경우, ZQ 캘리브레이션 회로(400)는 제1 내지 제2 테스트 신호(TZQ_0, TZQ_1)에 연결된 NMOS 회로와 제3 테스트 신호(TZQ_2)에 연결된 PMOS 회로를 동작하여 제3 레벨의 전압 레벨을 보정할 수 있다. 이에 따라, ZQ 캘리브레이션 회로(400)는 제1 내지 제2 테스트 신호(TZQ_0, TZQ_1)에 연결된 NMOS 회로와 제3 테스트 신호(TZQ_2)에 연결된 PMOS 회로를 동작하는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다.

[0054] 도 5b를 참조하면, ZQ 캘리브레이션 회로(400)는 제1 레벨(예를 들어, 767mV)을 서모미터 코드로 변환한 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)가 1, 0, 0가 입력될 경우, ZQ 캘리브레이션 회로(400)는 제1 테스트 신호(TZQ_0)에 연결된 NMOS 회로와 제2 및 제3 테스트 신호(TZQ_1, TZQ_2)에 연결된 PMOS 회로를 동작하여 제3 레벨의 전압 레벨을 보정할 수 있다. 이에 따라, ZQ 캘리브레이션 회로(400)는 제1 테스트 신호(TZQ_0)에 연결된 NMOS 회로와 제2 및 제3 테스트 신호(TZQ_1, TZQ_2)에 연결된 PMOS 회로를 동작하는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다.

[0056] 도 5c를 참조하면, ZQ 캘리브레이션 회로(400)는 제0 레벨(예를 들어, 767mV)을 서모미터 코드로 변환한 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)가 0, 0, 0가 입력될 경우, ZQ 캘리브레이션 회로(400)는 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)에 연결된 PMOS 회로를 동작하여 제0 레벨의 전압 레벨을 보정할 수 있다. 이때, ZQ 캘리브레이션 회로(400)는 제1 테스트 신호(TZQ_0)에 연결된 PMOS 회로를 부스팅하여 제0 레벨의 전압 레벨을 보정할 수 있다. 이에 따라, ZQ 캘리브레이션 회로(400)는 제1 내지 제3 테스트 신호(TZQ_0, TZQ_1, TZQ_2)에 연결된 PMOS 회로를 동작하는 제1 ZQ 캘리브레이션 코드 신호(1ST CAL_CODE)를 생성할 수 있다.

[0057] 이상에서 상술한 바와 같이, 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 전압 또는 전류를 증폭시키는 부스팅 동작 시 별도의 회로가 필요하지 않아 회로의 전력 소모량을 줄일 수 있다. 또한, PAM-4 송신기(10)는 전압 레벨을 보정할 수 있는 코드 신호를 생성함으로써 송신기 출력 신호의 높은 선형성을 제공할 수 있다.

[0059] 도 6은 ZQ 캘리브레이션 동작을 통한 PAM-4 송신기의 RLM 결과를 보여주는 도면이다.

[0060] 도 6을 참조하면, PAM-4 송신기(10)는 ZQ 캘리브레이션 회로(400)의 도 4a 내지 도 5c 동작을 통하여 송신기의 전압 레벨 오차 비율인 RLM을 99%으로 높일 수 있다. 이에 따라, 본 발명의 실시 예에 따른 ZQ 캘리브레이션 회로(400)의 동작은 송신기의 선형성을 향상시킬 수 있다.

[0062] 도 7a 및 도 7b는 PAM-4 송신기의 노이즈를 보여주는 다이어그램이다. 구체적으로, 도 7a는 PAM-4 송신기(10)의 ZQ 캘리브레이션 동작이 생략된 경우이고, 도 7b는 PAM-4 송신기(10)의 ZQ캘리브레이션 동작 결과를 나타내는 다이어그램이다.

[0064] 도 7a를 참조하면, PAM-4 송신기(10)는 ZQ 캘리브레이션 동작을 생략할 경우, PAM-4 송신기(10)는 동일한 주파수 대역에서 PAM-4 동작하였으므로 노이즈에 취약한 것을 확인할 수 있다.

[0066] 도 7b를 참조하면, PAM-4 송신기(10)는 ZQ 캘리브레이션 동작을 통해 각각의 전압 레벨 사이의 임피던스를 보정

하여 노이즈를 최소화할 수 있다. 이에 따라, 본 발명의 실시 예에 따른 PAM-4 송신기(10)는 각 전압 레벨 사이에 아이 오프닝(Eye Opening)된 것을 확인할 수 있다.

[0068] 도 8은 본 발명의 실시 예에 따른 PAM-4 송신기의 동작의 일 예를 보여주는 순서도이다.

[0069] 도 8을 참조하면, S110 단계에서, 신호 생성기(100)는 LSB 및 MSB가 포함된 입력 데이터(DATA)를 생성할 수 있다.

[0070] S120 단계에서, 직렬 변환기(200)는 입력 데이터(DATA)를 직렬화하여 이진 직렬 데이터(SER)로 변환할 수 있다.

[0071] S130 단계에서, 디지털 로직부(300)는 서모미터 코드를 이용하여 이진 직렬 데이터를 복수의 레벨에 대응하는 디지털 입력 신호(ENC)로 변환할 수 있다.

[0072] S140 단계에서, ZQ 캘리브레이션 회로(400)는 드라이버(500) 및 보상 회로(600)의 동작을 제어하기 위하여 복수의 코드 신호(CAL_CODE)를 생성할 수 있다.

[0073] S150 단계에서, 드라이버(500)는 복수의 코드 신호(CAL_CODE)에 응답하여 임피던스가 보정된 증폭 신호(AMP)를 출력할 수 있다.

[0074] S160 단계에서, 보상 회로(600)는 복수의 코드 신호(CAL_CODE)에 응답하여 증폭 신호(AMP)에 전압 이득을 보상하여 보상된 DQ 신호(DQ)를 출력할 수 있다.

[0076] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0078] 10 : PAM-4 송신기

100 : 신호 생성기

200 : 직렬 변환기

300 : 디지털 로직부

400 : ZQ 캘리브레이션 회로

500 : 드라이버

600 : 보상 회로

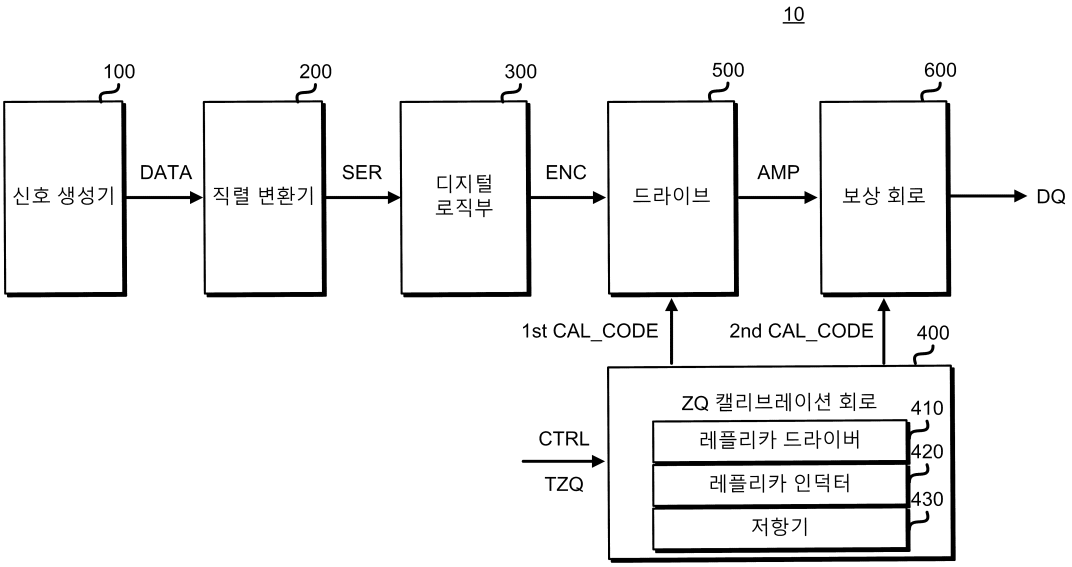
410 : 레플리카 드라이버

420 : 레플리카 인덕터

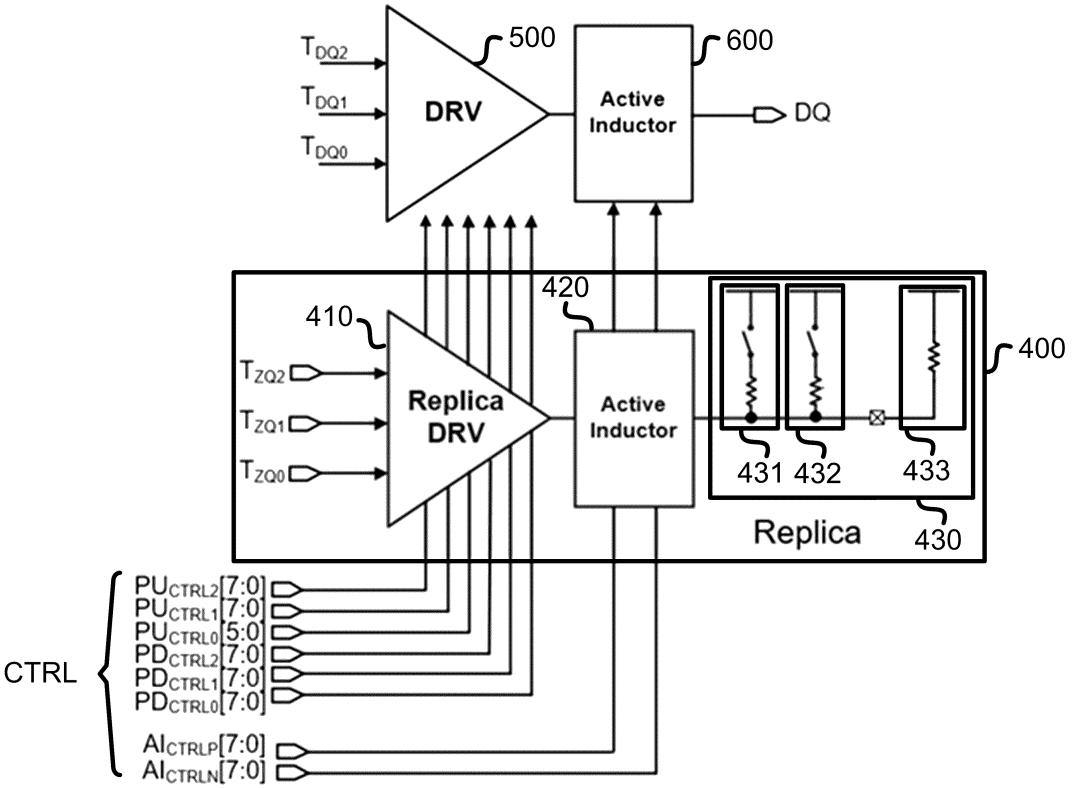
430 : 저항기

도면

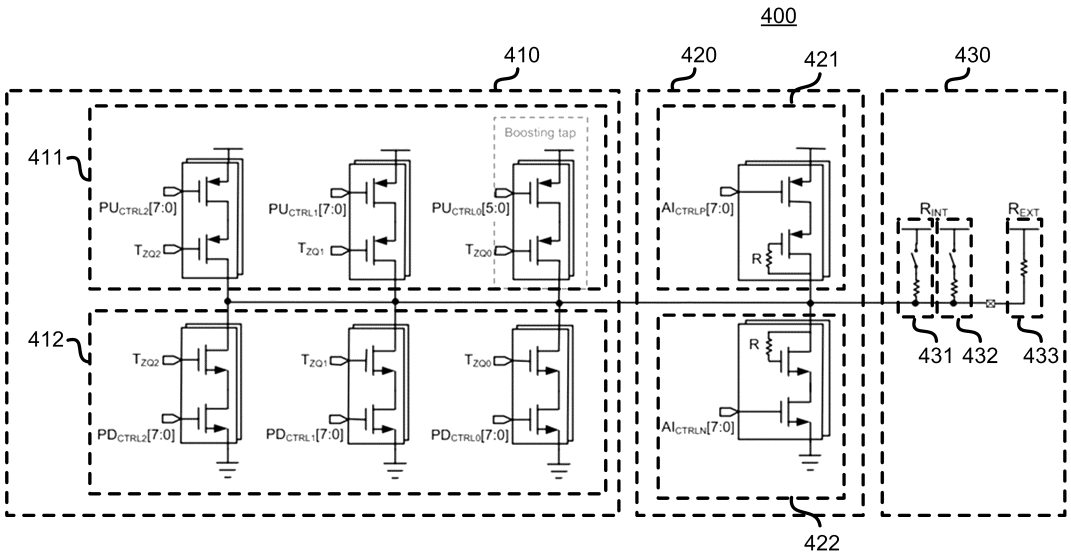
도면1


10
100
200
300
500
600
신호 생성기
DATA
직렬 변환기
SER
디지털 로직부
ENC
드라이브
AMP
보상 회로
DQ
1st CAL_CODE
2nd CAL_CODE
400
ZQ 캘리브레이션 회로
410
레플리카 드라이버
420
레플리카 인덕터
430
저항기
CTRL
TZQ

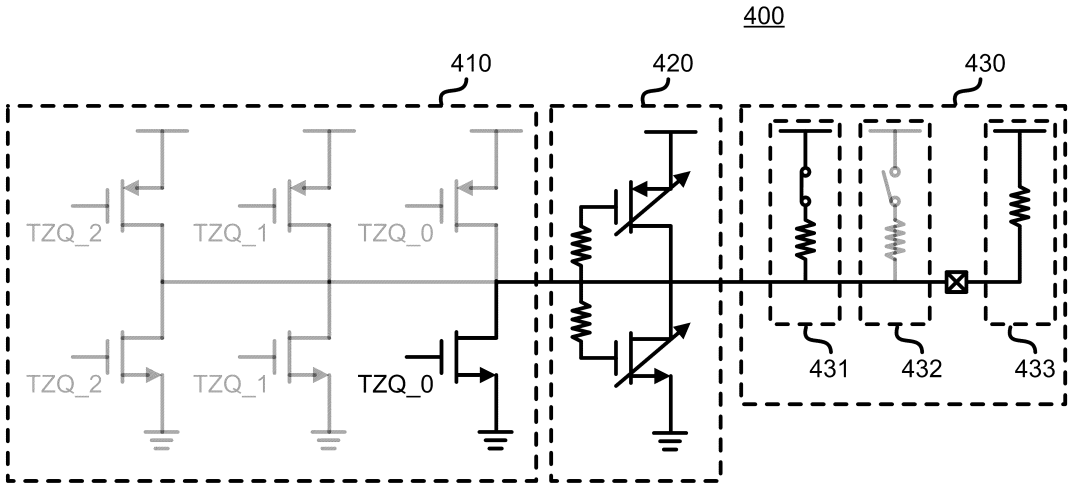
도면2


T_{DQ2}
T_{DQ1}
T_{DQ0}
500
DRV
Active Inductor
600
DQ
420
410
400
T_{ZQ2}
T_{ZQ1}
T_{ZQ0}
Replica DRV
Active Inductor
431
432
433
Replica
430
CTRL
$PU_{CTRL2}[7:0]$
$PU_{CTRL1}[7:0]$
$PU_{CTRL0}[5:0]$
$PD_{CTRL2}[7:0]$
$PD_{CTRL1}[7:0]$
$PD_{CTRL0}[7:0]$
$AI_{CTRLP}[7:0]$
$AI_{CTRLN}[7:0]$

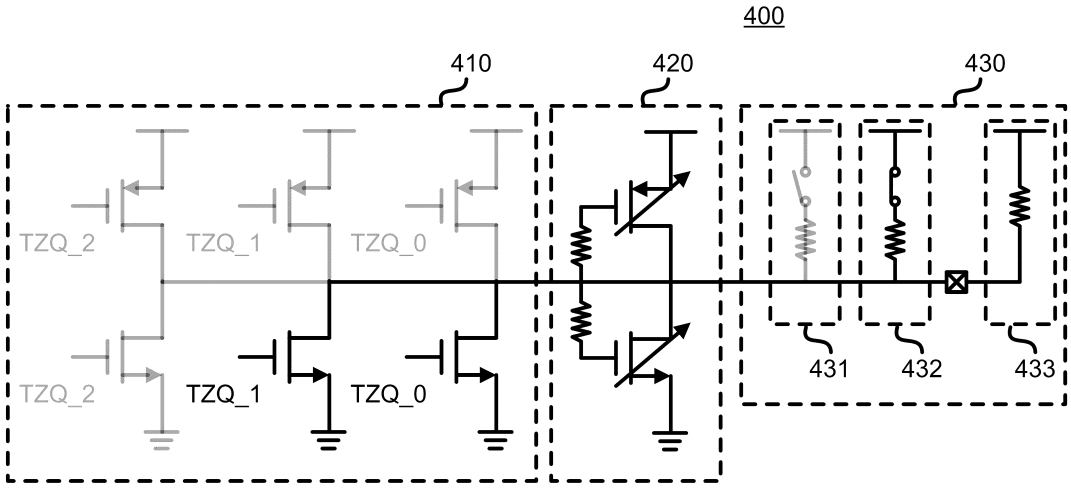
도면3



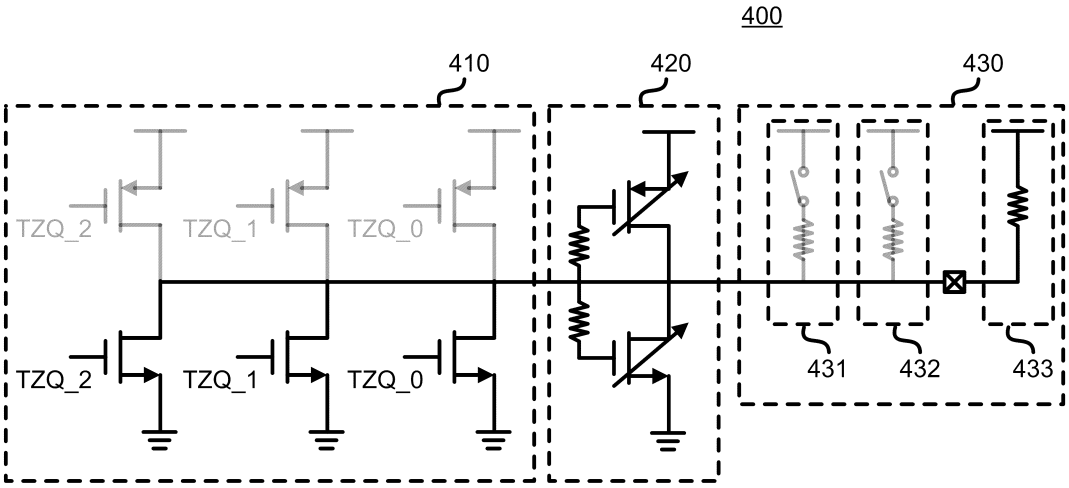
도면4a



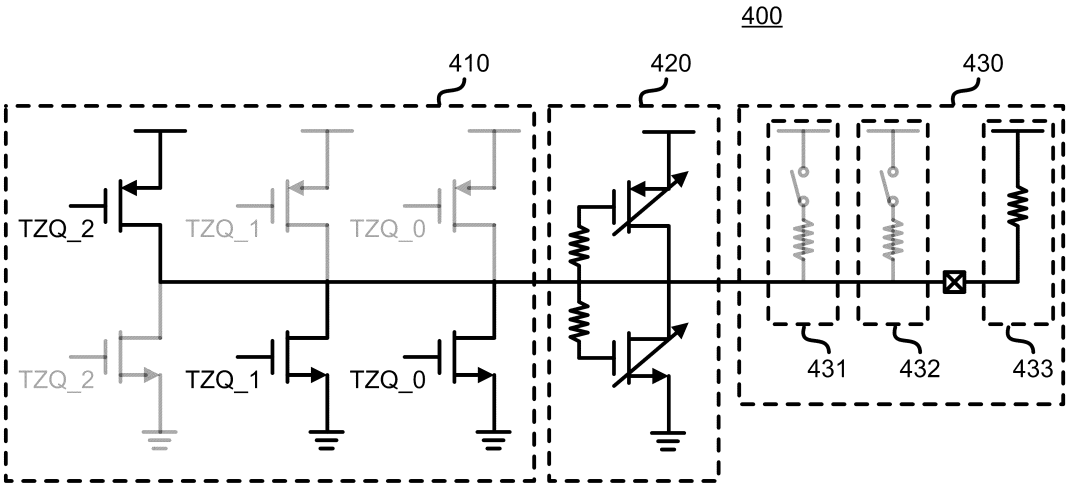
도면4b



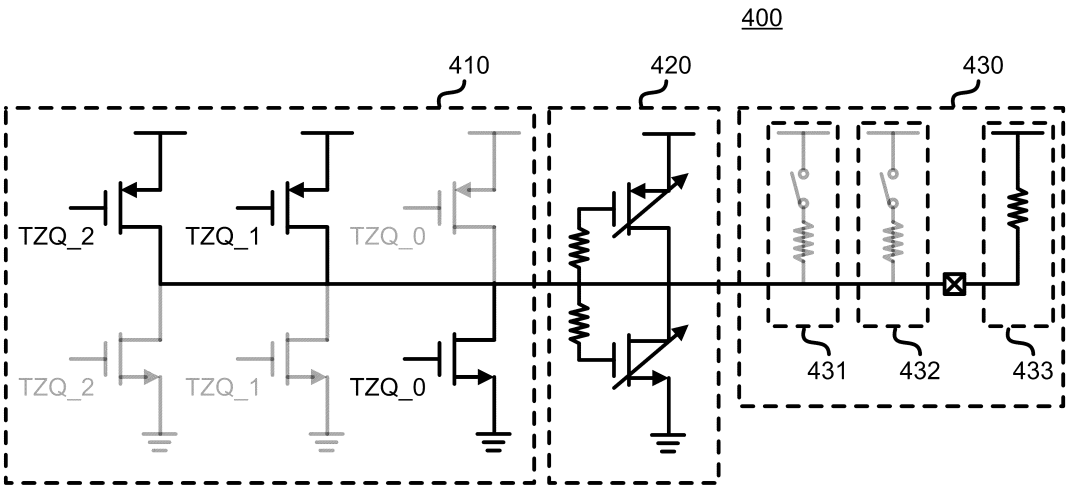
도면4c



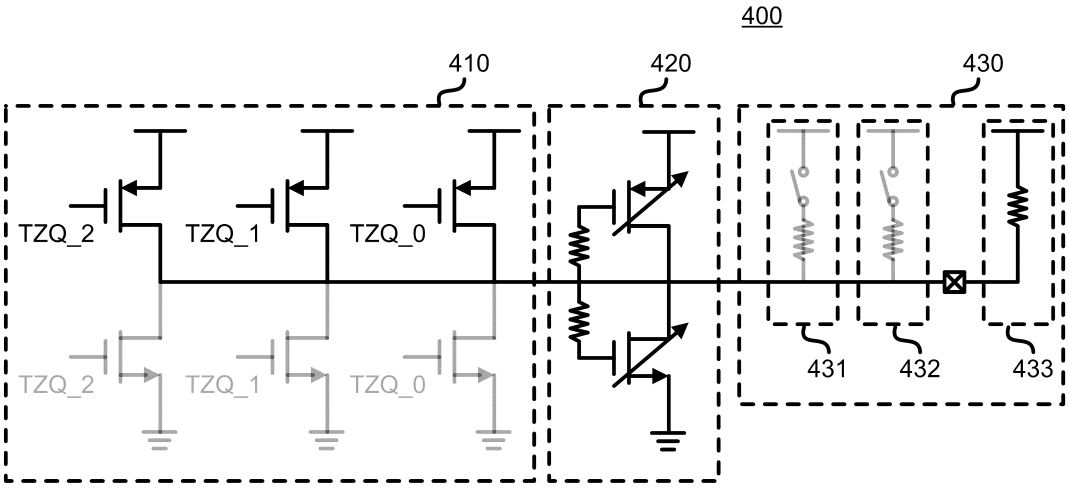
도면5a



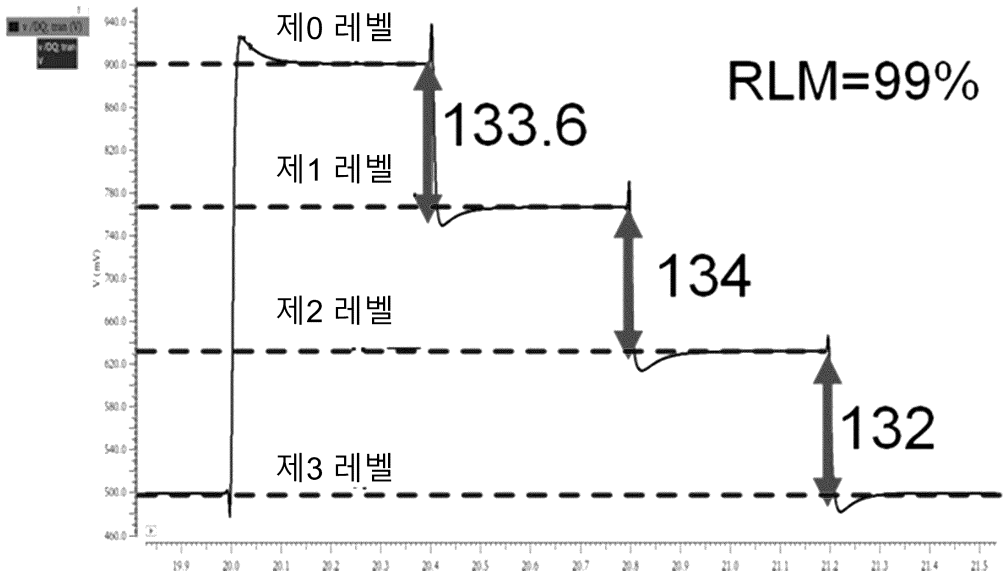
도면5b



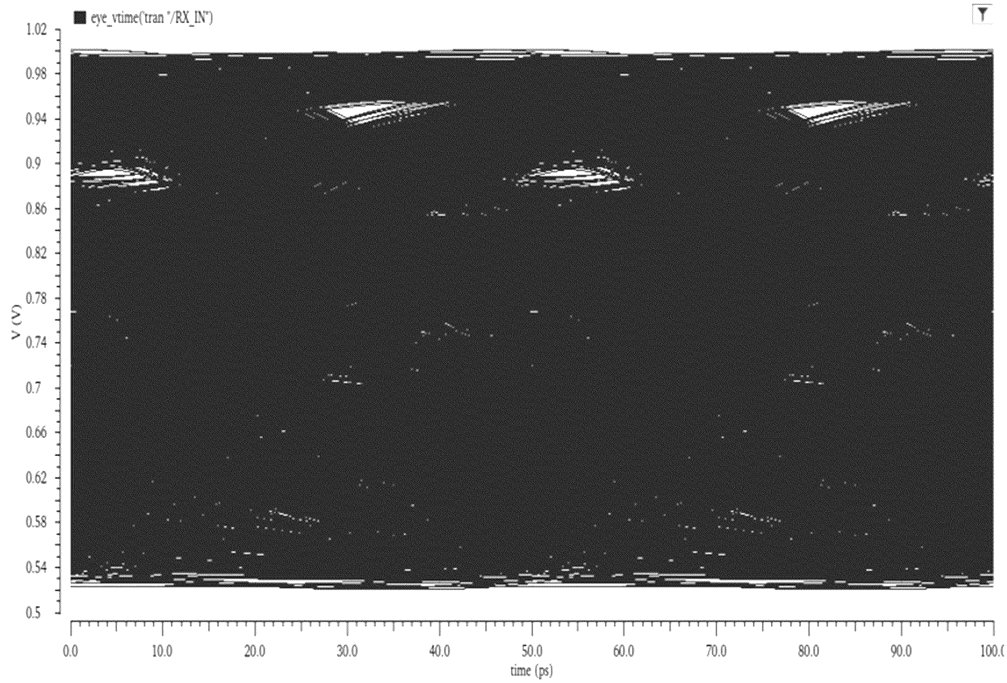
도면5c


400
410
420
430
TZQ_2
TZQ_1
TZQ_0
TZQ_2
TZQ_1
TZQ_0
431
432
433

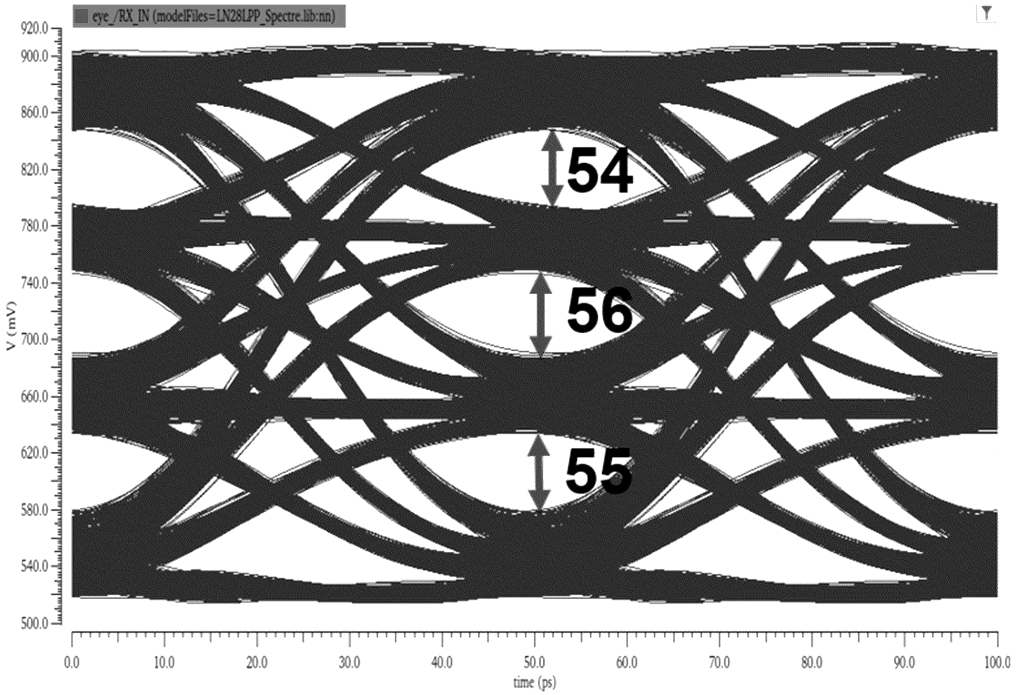
도면6


제0 레벨
제1 레벨
제2 레벨
제3 레벨
133.6
134
132
RLM=99%

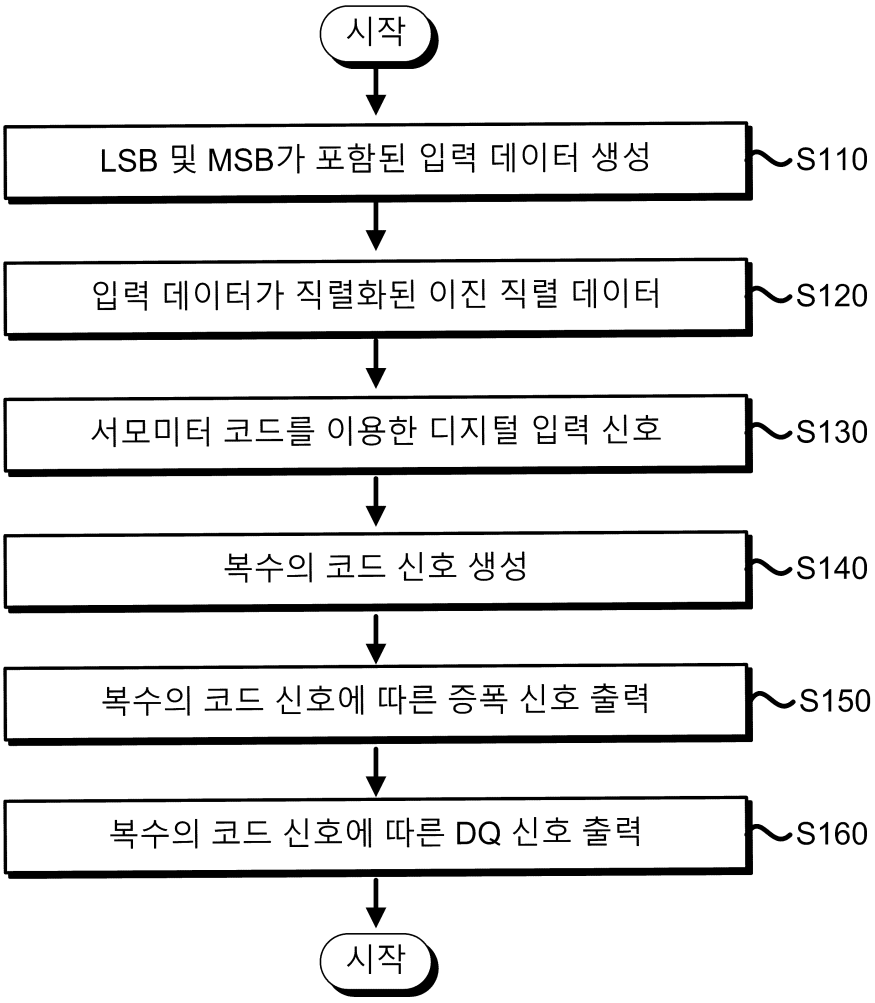
도면7


eye_vtime('tran "/RX_IN")
1.02
0.98
0.94
0.9
0.86
0.82
0.78
0.74
0.7
0.66
0.62
0.58
0.54
0.5
V (V)
0.0
10.0
20.0
30.0
40.0
50.0
60.0
70.0
80.0
90.0
time (ps)

도면8


eye_/RX_IN (modelFiles=LN28LPP_Spectre.lib:nn)
920.0
900.0
860.0
820.0
780.0
740.0
700.0
660.0
620.0
580.0
540.0
500.0
V (mV)
54
56
55
0.0
10.0
20.0
30.0
40.0
50.0
60.0
70.0
80.0
90.0
100.0
time (ps)

도면9


시작
LSB 및 MSB가 포함된 입력 데이터 생성
S110
입력 데이터가 직렬화된 이진 직렬 데이터
S120
서모미터 코드를 이용한 디지털 입력 신호
S130
복수의 코드 신호 생성
S140
복수의 코드 신호에 따른 증폭 신호 출력
S150
복수의 코드 신호에 따른 DQ 신호 출력
S160
시작