

公告本

發明專利說明書

100年6月24日修正替換頁

中文說明書替換頁(100年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096145709

※ 申請日期：96.11.30

※ IPC 分類：H01L 27/146 (2006.01)
H01L 31/18 (2006.01)

一、發明名稱：(中文/英文)

成像器轉移閘極裝置中之矽化物帶

SILICIDE STRAPPING IN IMAGER TRANSFER GATE DEVICE

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 美商豪威科技股份有限公司

OMNIVISION TECHNOLOGIES, INC.

2. 美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

1. 薇琪 周

CHOU, VICKY

2. 琳恩 D 安德森

ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

1. 美國加州聖塔克拉樂市波頓道4275號

4275 BURTON DR., SANTA CLARA, CA 95054, U. S. A.

2. 美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504, U.S.A.

國籍：(中文/英文)

1. 美國 U.S.A.

2. 美國 U.S.A.

三、發明人：(共 7 人)

姓 名：(中文/英文)

1. 詹姆斯 W 艾德基森
ADKISSON, JAMES W.
2. 約翰 J 埃里斯蒙那甘
ELLIS-MONAGHAN, JOHN J.
3. 羅柏特 M 蓋達希
GUIDASH, ROBERT M.
4. 馬克 D 傑夫
JAFFE, MARK D.
5. 愛德華 T 尼爾森
NELSON, EDWARD T.
6. 理察 J 瑞索
RASSEL, RICHARD J.
7. 查爾斯 V 史丹肯皮諾
STANCAMPIANO, CHARLES V.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.
6. 美國 U.S.A.
7. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年12月01日；11/565,801

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種具有雙功函數轉移閘極裝置之CMOS主動像素感測器(APS)單元結構及製造方法。該轉移閘極裝置包含一在基板上形成的介電層；及一在該介電層上形成的雙功函數閘極導體層，該雙功函數閘極導體層包含第一導電率類型摻雜區及一對接的第二導電率類型摻雜區。該轉移閘極裝置定義一通道區，其中由一光感測裝置累積的電荷被轉移至一擴散區。一矽化物結構係形成於該雙功函數閘極導體層頂部，用於電耦合該等第一及第二導電率類型摻雜區。在一具體實施例中，該矽化物接點之面積尺寸係小於該雙功函數閘極導體層之一面積尺寸。矽化物帶之存在防止二極體行為允許閘極之一或另一側浮動至一不確定電壓。

六、英文發明摘要：

A CMOS active pixel sensor (APS) cell structure having dual workfunction transfer gate device and method of fabrication. The transfer gate device comprises a dielectric layer formed on a substrate and a dual workfunction gate conductor layer formed on the dielectric layer comprising a first conductivity type doped region and an abutting second conductivity type doped region. The transfer gate device defines a channel region where charge accumulated by a photosensing device is transferred to a diffusion region. A silicide structure is formed atop the dual workfunction gate conductor layer for electrically coupling the first and second conductivity type doped regions. In one embodiment, the silicide contact is smaller in area dimension than an area dimension of said dual workfunction gate conductor layer. Presence of the silicide strap prevents the diodic behavior from allowing one or the other side of the gate to float to an indeterminate voltage.

七、指定代表圖：

(一)本案指定代表圖為：第（4）圖。

(二)本代表圖之元件符號簡單說明：

- 15 p型基板/p型區
- 60 薄介電層/閘極介電質
- 100 CMOS APS單元/裝置
- 125 轉移閘極
- 130 n型浮動擴散區
- 170 光敏電荷儲存區/n型摻雜區
- 171 閘極邊緣
- 172 閘極邊緣
- 175a p型部分/p型摻雜多晶矽閘極層/陽極
- 175b n型部分/n型摻雜多晶矽閘極層/陰極
- 180 p型摻雜區/光二極體梢式區/光二極體表面層
- 190 部分矽化物帶/光二極體
- 200 光二極體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體光學影像感測器，且尤其係關於一種展現減少滯後、更高容量及低暗電流之新穎CMOS(互補式金氧半導體)影像感測器單元結構。

【先前技術】

CMOS影像感測器已開始替換用於需要影像讀取之應用的習知CCD感測器，如數位相機、行動電話、蜂巢式電話、普遍的數位裝置，如PDA(個人數位助理)、個人電腦、醫學裝置及類似者。有利的係，CMOS影像感測器係藉由以低成本應用目前用於例如光二極體或類似者之半導體裝置的CMOS製程來製造。此外，CMOS影像感測器可藉由一單一電源供應操作，因此可限制用於其之功率消耗低於CCD感測器的消耗，且此外，CMOS邏輯電路及類似邏輯處理裝置係易於整合至感測器晶片內，且因此可微型化CMOS影像感測器。

目前的CMOS影像感測器包含一CMOS主動像素感測器(APS)單元之陣列，其係用來收集光能及將其轉變成可讀取之電信號。各APS單元包含一光敏元件(如一光二極體、光閘極或光電導體)，其覆蓋一基板之摻雜區，用於累積其一下方部分中之光生電荷。一讀出電路係連接至各像素單元及通常包括一擴散區，用於當讀出時從光敏元件接收電荷。典型地，此係藉由一具有一電連接至浮動擴散區之閘極的電晶體裝置達成。成像器亦可包括一電晶體，其具

有一轉移閘極，用於自光敏元件橫跨一通道轉移電荷至浮動擴散區；及一電晶體，其係用於在電荷轉移之前重設浮動擴散區至一預定電荷位準。

如圖1中顯示，一典型CMOS APS單元10包括一梢式(pinned)光二極體20，其具有一摻雜p型的梢式層18，及一下方輕度摻雜n型區17。典型地，梢式二極體20係形成在一p型基板15或一p型磊晶層或p井表面層之頂部，其具有一比二極體梢式層18較低之p型濃度。如已知，表面摻p型梢式層18係電接觸基板15(或p型磊晶層或P井表面層)。光二極體20因此具有兩個具有相同電位之p型區18及15，因此n型摻雜區17在一梢式電壓(V_p)係完全空乏。即，表面梢式層18係電接觸該基板。梢式光二極體被稱為"梢式"係因為當光二極體完全空乏時，光二極體中之電位係被定於一固定值 V_p 。此梢式二極體組態藉由減少暗電流(由暗環境中之一像素輸出的電流)改進裝置性能。然而，梢式光二極體組態可能由於電荷自光二極體不完全轉移至浮動節點而造成影像滯後。

如圖1中進一步顯示，光二極體20之n型摻雜區17及p區18係在一隔離區(例如一淺溝渠隔離(STI)區40)，及一電荷轉移電晶體閘極25(其係由薄間隔件結構23a、b圍繞)間隔開。淺溝渠隔離(STI)區40係位於接近像素影像單元，用於隔離該單元及一鄰近像素單元。在操作中，來自像素之光透過該二極體向下聚焦至光二極體上，其中電子係在n型區17收集。當轉移閘極25操作(即藉由施加一電壓至包含

例如一在薄介電層 60 上之 n 型摻雜多晶矽層 70 的轉移閘極 70 來連通)時，光生電荷 24 係從電荷累積摻雜 n 型摻雜區 17 經由一轉移裝置通道 16 轉移至一浮動擴散區 30，如一浮動 "節點" 摻雜 n+ 型。

圖 2 描述已併入一閘極 25' 之另一先前技術 CMOS APS 單元 10'，該閘極 25' 具有一係 p 型材料 70a 之部分及一係 n 型 70b 之部分。該閘極之 n 型部分 70b 具有一較低 V_t 且該閘極之 p 型部分 70a 具有一較高 V_t。藉由同時在閘極中存在兩者，該轉移閘極具有一內建場，其將電子從光二極體拉至浮動擴散。此外，在 CMOS APS 單元 10' 的設計中，應注意到在陣列中形成在浮動節點擴散上之矽化物接點區(未顯示)造成一亮點缺陷洩漏問題。即，由於在此等擴散上形成的矽化物接點的額外存在，頃發現偶然像素會看見矽化物 "尖峰(spike)"，其洩漏足夠高位準之電流以使像素無法使用。結果，矽化物已因為亮點產生自 CMOS 成像器陣列移除。

圖 3A 描述一 CMOS 成像器 12，其具有一阻隔光二極體表面之矽化物層，因為矽化物阻隔光，而一矽化物層 80 仍形成在轉移閘極多晶矽及浮動擴散上。圖 3B 說明圖 3A 之 CMOS 成像器 12 已自閘極多晶矽及浮動擴散移除矽化物層 80，用於甚至更低之洩漏行為。

圖 3C 說明圖 2 之 CMOS 成像器 10' 的俯視平面圖，其已將矽化物表面層從光二極體 20、閘極多晶矽區 70a、70b 及浮動擴散節點 30 移除。

然而，非常遺憾的是因為包含一具有n及p區之轉移閘極的成像器缺乏該矽化物，形成具有閘極內之內建二極體的各CMOS APS單元閘極多晶矽會防止整個閘極被接觸。即，一僅連接多晶矽閘極之n型或p型側的接點將不會適當地連接至閘極多晶矽層的其他極性上。此導致在閘極之未接觸部分之一時間相依電壓。即，若接觸該閘極的n型部分，則p型部分浮動；同樣地，若接觸該閘極之p型側，則n型部分浮動。若一接點係在邊界邊緣上直接形成，統計上接點覆蓋僅允許其接觸一側。

因此高度需要提供一種CMOS影像感測器陣列，其包括一展現減少(低)滯後及暗電流及消除亮尖峰洩漏現象之新穎APS單元結構。

【發明內容】

本發明一般係關於已改進之半導體成像裝置，且尤其係關於一種可使用標準CMOS程序製造之成像裝置。

本發明係關於一種CMOS影像感測器，其中該感測器包含一光偵測區(如光二極體)；一浮動擴散；一轉移閘極，其係位於該光偵測區及該浮動擴散之間，該轉移閘極包括n及p型摻雜區以形成一二極體；及一互連層(如矽化物結構)，其係電耦合該轉移閘極之n型及p型摻雜區。

在本發明之一具體實施例中，該互連層包含一矽化物且係形成以實體接觸一多晶矽轉移閘極之p型區的至少一部分，及n型區的一部分。該矽化物層亦可在多晶矽閘極寬度之全部或僅一部分上，且矽化物係未形成在擴散(即光

二極體及浮動擴散)上。

較佳係，包括一具有兩功函數(n型及p型閘極多晶矽)之轉移閘極裝置的本發明之CMOS成像器及一矽化物帶，在該光二極體處協同展現一用於暗電流之高阻障件，而一低阻障件係在浮動擴散處提供用於低滯後性能。該矽化物帶防止二極體行為允許該閘極之一或另一側浮動至一不確定電壓。

因此，根據本發明之一態樣，係提供一種主動像素感測器(APS)單元結構及製造方法。該主動像素感測器(APS)單元結構包含：一第一導電率類型材料之一基板；一轉移閘極裝置，其包含一形成在該基板上之閘極介電層，及一形成在該閘極介電層上之雙功函數閘極導體層，該雙功函數閘極導體層包含一第一導電率類型材料之第一摻雜區及一第二導電率類型材料之一第二摻雜區；一光感測裝置，其係形成在鄰近該轉移閘極裝置之第一摻雜區的一基板表面處或之下，用於回應入射至其之光而收集電荷載子；一第二導電率類型材料之一擴散區，其係形成在鄰近該轉移閘極裝置之該第二摻雜區的該基板表面處，該轉移閘極裝置形成一通道區，其致使電荷能在該光感測裝置及該擴散區間轉移；及一矽化物結構，其係形成於該雙功函數閘極導體層頂部，用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區，與該轉移閘極裝置之第二導電率類型材料的該第二摻雜區。

在一具體實施例中，該光感測裝置包含一光二極體，其

包含：一第二導電率類型材料之收集井，其係形成在該基板表面下；及一該第一導電率類型材料的梢式層，其係形成在該基板表面處之該收集井頂部。

在一具體實施例中，該基板、該轉移閘極裝置之該第一導電率類型材料之梢式層，及該雙功函數閘極導體層的該第一摻雜區包括p型摻雜劑材料，如硼或銦。該轉移閘極之該第二導電率類型材料的收集井、該第二導電率類型材料之該浮動擴散區及該雙功函數閘極導體層的該第二摻雜區包括n型摻雜劑材料，例如磷、砷或鎢。

此外，該矽化物結構包含鈦、鉭、鎢、鈷、鎳、鉑、鈀或其合金的一矽化物。

在一具體實施例中，形成在該雙功函數閘極導體層上用於電耦合該轉移閘極裝置之該第一導電率類型材料的第一摻雜區及該第二導電率類型材料的第二摻雜區之該矽化物結構，其面積尺寸係小於該雙功函數閘極導體層之一面積尺寸。

或者是，形成在該雙功函數閘極導體層上用於電耦合該轉移閘極裝置之該第一導電率類型材料之第一摻雜區及該第二導電率類型材料的第二摻雜區之該矽化物結構，係僅在長度尺寸上比該雙功函數閘極導體層之一長度減少。

給定該轉移閘極裝置定義一導電通道區，其中在該轉移閘極裝置下之該收集井及該浮動擴散區間致能電荷轉移，在另一替代具體實施例中，該矽化物結構係形成在該雙功函數閘極導體層頂部上，用於在定義該導電通道區之該區

域外電耦合該轉移閘極裝置之該第一導電率類型材料的第一摻雜區及該第二導電率類型材料之第二摻雜區。

有利的係，本發明之教示可應用於兩極性的裝置，即n型光二極體及p型梢式層及nFET，以及p型光二極體及具有pFET的n型梢式層。

【實施方式】

在詳述本發明之前，應注意較佳係本發明用於(但不限於)一CMOS主動像素感測器。主動像素感測器(APS)指除了功能為開關之電晶體以外，一在像素內之主動電元件。例如，浮動擴散或放大器係主動元件。CMOS指如電晶體之互補式金氧矽類型電組件，其係聯結該像素但典型不在像素中，且其係當一電晶體之源極/汲極係一摻雜劑類型，而其配對電晶體係相反摻雜劑類型時形成。CMOS裝置包括一些優點，其中之一係其消耗較少功率。

圖4透過一斷面圖說明依據本發明之第一具體實施例的線CMOS成像器APS 100之一後端，其包括光感測裝置(如光二極體200)，及含矽(如多晶矽)轉移閘極125。多晶矽轉移閘極125包括形成二極體之一陽極(p型摻雜)區及對接的陰極(n型摻雜)區。在一非限制範例中，多晶矽轉移閘極125包含一肖特基(Schottky)二極體。此外，如圖4中顯示，一導電結構(如一部分矽化物"帶"190)係形成在具有p型175a及n型175b部分之多晶矽閘極的表面上，用於改進閘極阻障ac特性，如本文以下將詳盡描述。如圖4中顯示，部分矽化物帶層190電連接多晶矽閘極125之p型摻雜

175a及n型掺杂175b部分。再者，如圖4中顯示，部分矽化物"帶"層190具有形成在離閘極之邊界一距離處的邊緣，即，矽化物帶190係插入一離多晶矽閘極層之個別邊緣171、172一距離，例如距離 d_1 及 d_2 。已形成的矽化物帶之插入距離 d_1 及 d_2 無須相等，即該帶係僅形成在多晶矽寬度之一部分上，只要矽化物帶190電短路p型部分175a至n型部分175b。因此，如圖5A之俯視圖中所示，矽化物帶190係形成在多晶矽寬度之一部分頂部。應理解在較佳具體實施例中，矽化物帶190係避開擴散130。

雖然未顯示，但現描述用於產生圖4中所示之CMOS成像器APS 100結構的範例方法。應理解，可將其他技術用於形成具有如先前技術中已知的二極體結構(即對接p型及n型閘極多晶矽區)之轉移閘極。裝置100係形成在可為一主體半導體之基板15上，其包括矽、SiGe、SiC、SiGeC、GaAs、InP、InAs及其他半導體，或分層半導體，(例如)絕緣物上矽(SOI)、絕緣物上碳化矽(SiCOI)或絕緣物上矽鋒(SGOI)。為了描述目的，基板15係一第一導電率類型之含矽半導體基板，例如以如硼或銦(對於第III-V族半導體之鎵或鎂)之p型掺雜劑材料輕度掺雜至(例如) 1×10^{14} 至 $1 \times 10^{16} \text{ cm}^{-3}$ 間之範圍的標準濃度。其次，一介電材料層60係藉由標準沈積/成長技術形成在基板15頂部，其將會形成最終轉移閘極介電質。介電層可形成至一範圍在(例如)40 Å至100 Å間之厚度，且可包含適合之閘極介電材料，其包括但不限於：氧化物(如 SiO_2)、氮化物(如氮化

矽)、氮氧化物(如氮氧化矽)、 N_2O 、NO、 ZrO_2 或其他類似材料。在一具體實施例中，閘極介電質60係由一種氧化物構成，例如 SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 $SrTiO_3$ 、 $LaAlO_3$ 及其混合物。介電層60係使用習知熱氧化作用或藉由適合沈積程序(例如化學汽相沈積、電漿輔助化學汽相沈積、原子層沈積(ALD)、蒸鍍、反應濺鍍、化學溶液沈積及其他類似沈積程序)形成在含矽半導體基板15的表面上。閘極介電質16亦可利用以上程序之任何結合來形成。儘管未顯示，應理解介電層可包含一介電材料之堆疊。

其次，一含矽層(例如多晶矽)係使用習知沈積程序形成在介電層60頂部上，該程序包括但不限於：CVD、電漿輔助CVD、濺鍍、電鍍、蒸鍍及其他類似沈積程序(如低壓CVD)。多晶矽層可形成至一範圍在約 $1k\text{ \AA}$ 至 $2k\text{ \AA}$ 之厚度，但可在此範圍外。或者是，含矽層可包含一多晶矽層之堆疊。轉移閘極125係接著藉由一微影蝕刻程序形成，例如在多晶矽層上施加一遮罩(如光阻層)，且施加一經圖案化之遮罩以定義該閘極區，例如決定欲形成之轉移閘極的有效通道長度的長度，且接著顯影光阻及執行一蝕刻程序。基本上，一蝕刻窗口係提供在一光阻遮罩中，其大小及形狀大約地定義欲形成之閘極區的橫向大小及形狀。接著執行一或多個蝕刻程序(如反應離子蝕刻(RIE)程序)，其係經最佳化以確保該多晶矽層及介電層60或介電層堆疊之正確蝕刻，以產生該轉移閘極結構。

在形成在閘極介電層上包括本質多晶矽層的轉移閘極結構後，執行一覆蓋該轉移閘極結構之一部分的後續遮罩沈積程序及離子植入程序，以將一第二導電率類型(如n型摻雜劑材料，例如磷、砷或鎢)之摻雜劑材料植入多晶矽層內，以形成n型摻雜閘極多晶矽部分175b。該n型摻雜劑材料可植入以達到範圍在 $1 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 間之劑量濃度。同樣地，使用一覆蓋剩餘部分(即轉移閘極結構的另一側)之後續遮罩沈積程序，一離子植入程序係執行以將一第一導電率類型(如p型摻雜劑材料，例如硼或鎗或銦)之摻雜劑材料植入多晶矽層內，以形成如圖4中顯示之p型摻雜閘極多晶矽部分175a。可將p型摻雜劑材料植入閘極多晶矽以達到範圍在 $1 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 間之劑量濃度。或者是，多晶矽之摻雜可使用已在植入物在晶片之他處執行的同時藉由適當使用該等植入遮罩在該程序中存在的植入物達到。(一範例將係源極汲極植入物及遮罩，但其他範例亦可行)。

應注意到，在所述方法之一變化中，原地n型、P型摻雜或n型及P型多晶矽材料兩者可根據一原地摻雜沈積程序或沈積(如CVD、電漿輔助等等)在閘極介電層60頂部上沈積。當閘極介電質不能耐受一後續高溫退火時可例如使用原地摻雜沈積程序，而當閘極介電質係一可耐受此高溫退火的材料時，可使用離子植入及退火。

在另一可選用步驟中，閘極側壁間隔件(未顯示)可藉由此項技術中為人熟知之習知沈積程序在轉移閘極的任一側

處形成，及可包含任何習知氧化物或氮化物(如 Si_3N_4)或氧化物/氮化物，其接著藉由RIE或另一類似蝕刻程序來蝕刻。間隔件的厚度可變化，但其典型具有從約5 nm至約150 nm之厚度。

在視需要形成轉移閘極側壁間隔件後，可執行下一步驟以提供光二極體梢式區180。此步驟包含根據此項技術中已知技術形成一光阻層(未顯示)、圖案化且產生一離子植入遮罩，以形成一大約符合閘極邊緣或儘可能接近給定對準公差之一遮罩邊緣，以將一開口提供至一在閘極邊緣及一已形成隔離區(如STI區(未顯示))間之區域，其中光二極體之電荷累積區係欲形成。此開口允許以一足以形成如圖4顯示之p型摻雜劑梢式區180之濃度植入p型摻雜劑材料(例如硼)之離子。此梢式區180可形成向上至一間隔件之邊緣(未顯示)。主動p型摻雜劑材料係接著依範圍在 1×10^{17} 及 $1 \times 10^{19} \text{ cm}^{-3}$ 間之劑量濃度來離子植入。或者，應理解p型梢式光二極體表面層180或可藉由其他已知技術形成。例如，p型表面層180可藉由一氣源電漿摻雜程序形成，或藉由自原地摻雜層或一沈積在欲形成光二極體之區域上的摻雜氧化物層擴散一p型摻雜劑來形成。

另一步驟係接著執行以在光二極體元件200之基板表面的p型摻雜區180下離子植入該n型摻雜劑。可能地，能使用與當植入p型材料以形成梢式區時的相同離子植入遮罩，一離子植入程序係執行以植入第二導電率類型之摻雜劑材料(如n型摻雜劑材料，如磷、砷或鎢)，以在離子植入

p型梢式層 180 之下形成電荷收集層。該 n型摻雜劑材料係以更高能量位準植入，以形成如圖 4 中顯示之光二極體 190 的 n型摻雜區 170。主動 n型摻雜劑材料可以在範圍介於 1×10^{16} 及 $1 \times 10^{18} \text{ cm}^{-3}$ 間之劑量濃度離子植入。如圖 4 顯示，用於收集先生電子的光敏電荷儲存區 170 可藉由多個植入物形成以修整 n型區 170 的輪廓。

除了形成光二極體 200 以外，係執行一在轉移閘極之另一側處形成一 n型浮動擴散區 130 的額外步驟。此步驟包含依據此項技術中為人已知之技術形成一光阻層及圖案化且蝕刻一離子植入遮罩，以形成一大約符合閘極邊緣或儘可能接近給定對準公差之一遮罩邊緣，來提供一開口，其允許以一足以形成如圖 4 顯示之 n+-型摻雜浮動擴散區 130 之濃度植入 n型摻雜劑材料(如磷、砷或鎢)，或向上至一閘極側壁間隔件(未顯示)之邊緣。主動 n+-型摻雜劑材料係以在範圍介於 1×10^{18} 及 1×10^{20} 間之劑量濃度於浮動擴散區處離子植入。由於此離子植入步驟，n型摻雜劑材料亦可額外地在摻雜轉移閘極多晶矽層 175b 部分處植入。

接著係執行一自行對準矽化(salicide)程序以消耗多晶矽閘極 125 來形成根據之本發明金屬矽化物帶 190，如圖 5A 至 5D 顯示。

自行對準矽化程序之第一步驟包括首先使用為人熟知之沈積技術在 p型摻雜 175a 及 n型摻雜 175b 多晶矽閘極層上形成一撫覆式絕緣覆蓋。例如，一介電覆蓋層係利用一沈積程序(例如物理汽相沈積或化學汽相沈積)在多晶矽閘極層

175a、b頂部上形成。介電覆蓋層可為氧化物、氮化物、氮氧化物或其任何結合。在一具體實施例中，一例如 Si_3N_4 之氮化物係用作該介電覆蓋層。介電覆蓋層之厚度(即高度)範圍可從約20 nm至約180 nm。

接著，使用典型微影步驟(即在覆蓋(如氮化物)介電層上形成一圖案化光阻遮罩)，一顯現欲形成的矽化物帶輪廓之區域被蝕刻出。該微影步驟包括將一光阻施加至介電覆蓋層上表面，將光阻曝露至輻射之一所需圖案且使用習知光阻顯影劑將曝露光阻顯影。接著光阻中之圖案係利用一或多個乾式蝕刻步驟轉移至介電覆蓋層，而使下方多晶矽閘極層曝露，及尤其是在介電覆蓋層中開啟一窗口，以在已曝露下方多晶矽層中曝露摻雜區175a、b兩者之鄰近部分。依據本發明，所需圖案係如圖5A至5D中顯示欲形成之矽化物帶的面積及尺寸。因此，(例如)如圖5A中顯示之本發明的俯視平面圖所示，應用於上方覆蓋介電(如氮化物)層(未顯示)之微影蝕刻遮罩、顯影及蝕刻程序，將導致沿閘極長度從個別閘極邊緣171、172之各者插入一距離 d_1 及 d_2 的下方多晶矽層之曝露區195，將進行矽化物接點的形成。在一些具體實施例中，圖案化光阻可在該圖案已轉移進入介電覆蓋層後移除。

可在形成圖案化閘極時用於本發明之適合乾式蝕刻程序包括但不限於：反應離子蝕刻、離子束蝕刻、電漿蝕刻或雷射消融。

接著，其次係執行在蝕刻出圖案化氮化物層中沈積一矽

化物金屬(未顯示)的步驟，以致該曝露之下方多晶矽層變得填充矽化物金屬。用於形成矽化物帶之金屬包含可與矽反應以形成金屬矽化物的任何金屬。此等金屬之範例包括但不限於：鈦、鉭、鎢、鈷、鋨、鎳、鉑、鈀或其合金。可使用任何習知沈積程序來沈積該金屬，包括(例如)濺鍍、化學汽相沈積、矽化物蒸鍍之物理汽相沈積(PVD)、化學溶液沈積、電鍍及類似者。

在將矽化物金屬沈積在定義矽化物帶190之尺寸的曝露多晶矽區後，一熱退火程序係用以在該結構中形成一矽化物相；較佳係該矽化物代表一金屬矽化物之最低電阻相。退火係利用此項技術中為人熟知之環境及溫度執行，其造成矽化物金屬與下方多晶矽反應，以形成如圖4中顯示之金屬矽化物層190。在一具體實施例中，矽化物金屬可包含鈷，應注意 CoSi_2 使用一此項技術中已知之兩步驟退火程序形成。在本發明之另一具體實施例中，矽化物金屬係鎳或鉑； NiSi 及 PtSi 係使用一單一退火步驟形成。接著，可使用一選擇性溼式蝕刻步驟將任何非反應矽化物金屬從該結構移除。

在一具體實施例中，晶圓係接著在一氮氣環境中於大約 500°C 至約 800°C 退火達到大約30秒，以與多晶矽層175a、b之部分反應來形成導電矽化物帶190。

在完成以上所提之本發明金屬矽化物閘極處理後，可使用用於建構一電晶體至電晶體及電晶體至外部接點之互連結構的習知方法。

圖 5B 透過一俯視平面圖說明依據如圖 5A 中所示本發明具體實施例的第一變化形成之 CMOS APS 單元 100'，其中一矽化物帶 191 係利用本文描述之程序形成，其使邊緣形成為一離該邊界閘極之邊緣一插入距離 d_1 、 d_2 ，然而係形成以實質上在多晶矽之整個寬度上延伸。因此，參考本文相對於圖 5A 描述之自行對準矽化程序，例如圖 5B 中顯示，應用於上方覆蓋介電(如氮化物)層(未顯示)之微影蝕刻遮罩、顯影及蝕刻程序，將導致形成下方多晶矽層之曝露區 196，其係沿閘極長度從個別閘極邊緣 171、172 之各者插入一距離 d_1 及 d_2 ，然而其對於多晶矽層寬度的兩邊緣例如係延伸一距離 d_w 。

圖 5C 透過一俯視平面圖說明依據如圖 5A 中所示本發明具體實施例的第二變化形成之 CMOS APS 單元 100''，其中一矽化物帶 192 係利用本文描述之程序形成，其使邊緣形成為一離該邊界閘極之邊緣一插入距離 d_1 、 d_2 ，然而係延伸該多晶矽閘極之一短距離。因此，(例如)參考本文相對於圖 5A 描述之自行對準矽化程序，如圖 5C 中顯示，應用於上方覆蓋介電(如氮化物)層(未顯示)之微影蝕刻遮罩、顯影及蝕刻程序，將導致形成下方多晶矽層之曝露區 197，其係沿閘極長度從個別閘極邊緣 171、172 之各者插入一距離 d_1 及 d_2 ，然而其例如僅延伸該多晶矽之一短距離。

依據本發明之另一具體實施例，用於 CMOS 成像器 APS 轉移閘極之矽化物帶可在一不直接位於導電通道上的多晶

矽閘極之一部分上製成(即只要n及p區係由該帶縮短)。圖5D透過一俯視平面圖說明依據如圖5A中所示本發明具體實施例的一第三變化形成之CMOS APS單元100'''，其中一矽化物帶193係利用本文描述之程序形成，其使邊緣形成一離邊界閘極之邊緣一插入距離，且其延伸該多晶矽之一短距離。然而，帶193係自定義用於轉移裝置之通道區的閘極175a、b之部分偏移。即，矽化物帶193係形成在不直接位於導電通道上之多晶矽閘極的一部分上。因此，(例如)參考本文相對於圖5A描述之自行對準矽化程序，如圖5D中顯示，應用於上方覆蓋介電(如氮化物)層(未顯示)之微影蝕刻遮罩、顯影及蝕刻程序，將導致形成下方多晶矽層之曝露區198，其係沿該閘極長度從個別閘極邊緣171、172之各者插入一距離，且其僅延伸達該多晶矽之一短距離，例如在一不直接覆蓋該裝置通道區之區中。

應理解，除了如所述之矽化物接點結構以外，可實施用於電短路轉移閘極多晶矽之陽極175a及陰極175b部分的任何導電結構。然而，重要的是光偵測區及浮動擴散區係無矽化物。

在此參考圖5A至5D之所示及所述結構之益處係一高阻障件存在於光二極體處，用於減少暗電流洩漏，且一低阻障係出現在浮動擴散處，用於較低之滯後。該矽化物帶防止二極體行為允許該閘極之一或另一側浮動至一不確定電壓。

參考圖6，其顯示一實施一影像感測器302的相機裝置

300之側視圖，影像感測器302具有圖5A至5D所述依據本發明之個別具體實施例形成的CMOS主動像素感測器(APS)單元100至100'''。

儘管已顯示及描述係認為本發明的較佳具體實施例，當然應理解可易於在不脫離本發明精神下進行形式或細節中的各種修改及改變。例如，儘管本文描述之較佳具體實施例係關於n型光二極體及p型梢式層及nFET，本發明之原理可有利地應用於p型光二極體及具有pFET之n型梢式層。因此本發明係意欲不受限於所述及說明的精確形式，而是應視為涵蓋所有落入隨附申請專利範圍之範疇內的修改。

【圖式簡單說明】

熟習此項技術人士在檢視結合附圖之以上詳細說明後會瞭解本發明之目的、特徵及優點，其中：

圖1描述一依據先前技術用於一影像感測器之CMOS主動像素感測器(APS)單元10；

圖2透過一斷面圖說明依據先前技術具有一閘極多晶矽層(其具有一內建二極體(即pn接面))之一CMOS主動像素感測器(APS)單元10'；

圖3A及3B透過一斷面圖說明CMOS主動像素感測器(APS)單元12，其已將矽化物接觸區自光二極體移除(圖3A)，及依據先前技術使矽化物表面層接觸區自閘極多晶矽層及浮動擴散層移除(圖3B)；

圖3C說明圖2之CMOS成像器10'的俯視平面圖，其已將矽化物表面層從光二極體20、閘極多晶矽區70a、70b及浮

動擴散節點30移除。

圖4透過一斷面圖說明一依據本發明第一具體實施例的CMOS APS單元100，其已將矽化物接觸區從光二極體及浮動結點擴散區移除，且具有形成在閘極多晶矽上之一部分導電帶，用於改進閘極阻障件ac特性；

圖5A透過一俯視平面圖說明依據圖4中所示本發明之具體實施例形成的CMOS APS單元100；

圖5B透過一俯視平面圖說明依據圖4中所示本發明之具體實施例的第一變化形成的CMOS APS單元100'；

圖5C透過一俯視平面圖說明依據圖4中所示本發明之具體實施例的第二變化形成的CMOS APS單元100''；

圖5D透過一俯視平面圖說明依據圖4中所示本發明之具體實施例的第三變化形成的CMOS APS單元100'''；及

圖6係一實施一具有依據本發明形成的CMOS主動像素感測器(APS)單元之影像感測器的相機裝置之側視圖。

【主要元件符號說明】

- 10 CMOS APS單元
- 10' CMOS APS單元/CMOS成像器
- 12 CMOS成像器
- 15 p型基板/p型區
- 16 轉移裝置通道/閘極介電質
- 17 n型摻雜區
- 18 條式層/p型區
- 20 條式二極體/條式光二極體

- 23a 間隔件結構
 23b 間隔件結構
 24 光生電荷
 25 電荷轉移電晶體閘極
 25' 閘極
 30 浮動擴散區/浮動擴散節點
 40 淺溝渠隔離(STI)區
 60 薄介電層/閘極介電質
 70 n型摻雜多晶矽層/轉移閘極
 70a p型材料/閘極多晶矽區
 70b n型材料/閘極多晶矽區
 80 硅化物層
 100 CMOS成像器APS單元/裝置
 100' CMOS APS單元
 100'' CMOS APS單元
 100''' CMOS APS單元
 125 轉移閘極
 130 n型浮動擴散區
 170 光敏電荷儲存區/n型摻雜區
 171 閘極邊緣
 172 閘極邊緣
 175a p型部分/p型摻雜多晶矽閘極層/陽極
 175b n型部分/n型摻雜多晶矽閘極層/陰極
 180 p型摻雜區/光二極體肖式區/光二極體表面層

- 190 硅化物帶 / 光二極體
- 191 硅化物帶
- 192 硅化物帶
- 193 硅化物帶
- 195 曝露區
- 196 曝露區
- 197 曝露區
- 198 曝露區
- 200 光二極體
- 300 相機裝置
- 302 影像感測器

十、申請專利範圍：

1. 一種主動像素感測器(APS)單元結構，其包含：

一第一導電率類型材料之一基板；

一轉移閘極裝置，其包含一形成在該基板上之閘極介電層，及一形成在該閘極介電層上之雙功函數閘極導體層；該雙功函數閘極導體層包含第一導電率類型材料之一第一摻雜區及一第二導電率類型材料之一第二摻雜區；

一光感測裝置，其係形成在一鄰近該轉移閘極裝置之該第一摻雜區的基板表面處或之下，用於回應於入射至其之光而收集電荷載子；

一第二導電率類型材料之一擴散區，其係形成在鄰近該轉移閘極裝置之該第二摻雜區的該基板表面處，該轉移閘極裝置形成一通道區，其致使電荷能在該光感測裝置及該擴散區間轉移；及

一矽化物結構，其係形成於該雙功函數閘極導體層頂部，用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區，與該轉移閘極裝置之第二導電率類型材料的該第二摻雜區。

2. 如請求項1之APS單元結構，其中該光感測裝置包含一光二極體，其包含：

一第二導電率類型材料之一收集井，其係形成在該基板表面下；及

該第一導電率類型材料的一梢式層，其係形成在該基

板表面處之該收集井頂部。

3. 如請求項1之APS單元結構，其進一步包含一隔離區，該隔離區係鄰近該梢式層及收集井形成。
4. 如請求項2之APS單元結構，其中該基板、該轉移閘極的該第一導電率類型材料之該梢式層，及該雙功函數閘極導體層的該第一摻雜區包括p型摻雜劑材料。
5. 如請求項4之APS單元結構，其中該p型摻雜劑材料包含硼或銦之一。
6. 如請求項2之APS單元結構，其中該轉移閘極之該第二導電率類型材料的該收集井、該第二導電率類型材料之該擴散區及該雙功函數閘極導體層的該第二摻雜區包括n型摻雜劑材料。
7. 如請求項6之APS單元結構，其中該n型摻雜劑材料包含磷、砷或鎵之一。
8. 如請求項6之APS單元結構，其中該閘極轉移裝置之該雙功函數閘極導體層包含一二極體。
9. 如請求項1之APS單元結構，其中該矽化物結構包含鈦、鉭、鎢、鈷、鎳、鉑、鈀或其合金的一矽化物。
10. 如請求項1之APS單元結構，其中形成在該雙功函數閘極導體層上，用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區及第二導電率類型材料的該第二摻雜區之該矽化物結構，其面積尺寸係小於該雙功函數閘極導體層之一面積尺寸。
11. 如請求項1之APS單元結構，其中形成在該雙功函數閘極

導體層頂部上，用於電耦合該轉移閘極裝置之第一導電率類型材料之該第一摻雜區及第二導電率類型材料的該第二摻雜區之該矽化物結構，係在長度尺寸上比該雙功函數閘極導體層之一長度減少。

12. 如請求項1之APS單元結構，其中該轉移閘極裝置定義一導電通道區，其中在該轉移閘極裝置下之該收集井及該擴散區間致能電荷轉移，該矽化物結構係形成在該雙功函數閘極導體層頂部上，用於在定義該導電通道區之該區域外電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區及第二導電率類型材料之該第二摻雜區。
13. 一種用於形成一主動像素感測器(APS)單元結構之方法，其包含以下步驟：

提供一第一導電率類型材料之一基板；

形成一轉移閘極裝置，其包含一形成在該基板上之閘極介電層，及一形成在該閘極介電層上之雙功函數閘極導體層，該雙功函數閘極導體層包含第一導電率類型材料之一第一摻雜區及一第二導電率類型材料之一第二摻雜區；

形成一光感測裝置，其係在鄰近該轉移閘極裝置之該第一摻雜側區的一基板表面處或之下，用於回應入射至其之光而收集電荷載子；

形成一第二導電率類型材料之一擴散區，其係在鄰近該轉移閘極裝置之該第二摻雜區的該基板表面處，該轉移閘極裝置形成一通道區，其致使電荷能在該光感測裝

置及該擴散區間轉移；及

形成一矽化物結構，其係在該雙功函數閘極導體層頂部上，用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區，與該轉移閘極裝置之第二導電率類型材料的該第二摻雜區。

14. 如請求項13之形成一APS單元結構的方法，其中該光感測裝置包含一光二極體，該形成一光感測裝置包含：

在該基板表面下植入第二導電率類型材料，以形成一包括該第二導電率類型材料之收集井；及

在該基板表面處之該收集井頂部上形成該第一導電率類型材料之一光二極體梢式層。

15. 如請求項14之形成一APS單元結構的方法，其進一步包含形成一鄰近該光二極體梢式層及收集井之隔離區。

16. 如請求項14之形成一APS單元結構的方法，其中該基板、該轉移閘極之該第一導電率類型材料之該梢式層，及該雙功函數閘極導體層的該第一摻雜區包括p型摻雜劑材料。

17. 如請求項16之形成一APS單元結構的方法，其中該p型摻雜劑材料包含硼或銦之一。

18. 如請求項14之形成一APS單元結構的方法，其中該轉移閘極之該第二導電率類型材料的該收集井、第二導電率類型材料之該擴散區及該雙功函數閘極導體層的該第二摻雜區包括n型摻雜劑材料。

19. 如請求項18之形成一APS單元結構的方法，其中該n型摻

雜劑材料包含磷、砷或銻之一。

20. 如請求項13之形成一APS單元結構的方法，其中形成在該雙功函數閘極導體層上用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區，及第二導電率類型材料的該第二摻雜區之該矽化物結構，其面積尺寸係小於該雙功函數閘極導體層之一面積尺寸。
21. 如請求項13之形成一APS單元結構的方法，其中形成在該雙功函數閘極導體層頂部上用於電耦合該轉移閘極裝置之第一導電率類型材料之該第一摻雜區，及第二導電率類型材料的該第二摻雜區之該矽化物結構係在長度尺寸上比該雙功函數閘極導體層之一長度減少。
22. 如請求項13之形成一APS單元結構的方法，其中該轉移閘極裝置定義一導電通道區，其中在該轉移閘極裝置下之該收集井及該浮動擴散區間致能電荷轉移，該矽化物結構係形成在該雙功函數閘極導體層頂部上，用於在定義該導電通道區之該區域外電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區及第二導電率類型材料之該第二摻雜區。
23. 如請求項13之形成一APS單元結構的方法，其中在該雙功函數閘極導體層頂部上之該形成一矽化物結構包含：
在該雙功函數閘極導體上形成一絕緣覆蓋層；
在該絕緣覆蓋層中開啟一區域以曝露該雙功函數閘極導體層之一表面，該雙功函數閘極導體層包括第一導電率類型材料之該第一摻雜區及第二導電率類型材料之該

第二摻雜區兩者；

沈積一金屬，其係能在該雙功函數閘極導體層之一曝露表面部分上形成一矽化物；及
將該金屬材料退火以形成該矽化物結構。

24. 如請求項23之形成一APS單元結構的方法，其中該金屬包含鈦、鉭、鎢、鈷、鎳、鉑、鈀或其合金。
25. 如請求項23之形成一APS單元結構的方法，其中該第一退火係在一從約500°C至約800°C之溫度處執行。
26. 一種像素之CMOS影像感測器陣列，各像素包括一主動像素感測器(APS)單元結構，其包含：
 一第一導電率類型材料之一基板；
 一轉移閘極裝置，其包含一形成在該基板上之閘極介電層，及一形成在該閘極介電層上之雙功函數閘極導體層，該雙功函數閘極導體層包含第一導電率類型材料之一第一摻雜區及一第二導電率類型材料之一第二摻雜區；
 一光感測裝置，其係形成在鄰近該轉移閘極裝置之該第一摻雜側區的一基板表面處或之下，用於回應於入射至其之光而收集電荷載子；
 一第二導電率類型材料之一擴散區，其係形成在鄰近該轉移閘極裝置之該第二摻雜區的該基板表面處，該轉移閘極裝置形成一通道區，其致使電荷能在該光感測裝置及該擴散區間轉移；及
 一矽化物結構，其係形成於該雙功函數閘極導體層頂

部上，用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區，與該轉移閘極裝置之第二導電率類型材料的該第二摻雜區。

27. 一種相機裝置，其包含：

一像素之影像感測器陣列，各像素包括一主動像素感測器(APS)單元結構，各該APS單元結構包含：

一第一導電率類型材料之一基板；

一轉移閘極裝置，其包含一形成在該基板上之閘極介電層，及一形成在該閘極介電層上之雙功函數閘極導體層，該雙功函數閘極導體層包含第一導電率類型材料之一第一摻雜區及一第二導電率類型材料之一第二摻雜區；

一光感測裝置，其係形成在鄰近該轉移閘極裝置之該第一摻雜區的一基板表面處或之下，用於回應於入射至其之光而收集電荷載子；

一第二導電率類型材料之一擴散區，其係形成在鄰近該轉移閘極裝置之該第二摻雜區的該基板表面處，該轉移閘極裝置形成一通道區，其致使電荷能在該光感測裝置及該擴散區間轉移；及

一矽化物結構，其係形成於該雙功函數閘極導體層頂部上，用於電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區，與該轉移閘極裝置之第二導電率類型材料的該第二摻雜區。

28. 如請求項27之相機裝置，其中該光感測裝置包含一光二

極體，其包含：

一第二導電率類型材料之一收集井，其係形成在該基板表面下；及

該第一導電率類型材料之一梢式層，其係在形成該基板表面處之該收集井頂部上。

29. 如請求項27之相機裝置，其進一步包含一鄰近該梢式層及收集井形成之隔離區。
30. 如請求項28之相機裝置，其中該基板、該轉移閘極的該第一導電率類型材料之該梢式層，及該雙功函數閘極導體層的該第一摻雜區包括p型摻雜劑材料。
31. 如請求項30之相機裝置，其中該p型摻雜劑材料包含硼或銦之一。
32. 如請求項28之相機裝置，其中該轉移閘極之該第二導電率類型材料的該收集井、該第二導電率類型材料之該擴散區及該雙功函數閘極導體層的該第二摻雜區包括n型摻雜劑材料。
33. 如請求項32之相機裝置，其中該n型摻雜劑材料包含磷、砷或鎢之一。
34. 如請求項32之相機裝置，其中該閘極轉移裝置之該雙功函數閘極導體層包含一二極體。
35. 如請求項27之相機裝置，其中該矽化物結構包含鈦、鉭、鎢、鈷、鎳、鉑、鈀或其合金的一矽化物。
36. 如請求項27之相機裝置，其中形成在該雙功函數閘極導體層上用於電耦合該轉移閘極裝置之第一導電率類型材

料的該第一摻雜區，及第二導電率類型材料的該第二摻雜區之該矽化物結構，其面積尺寸係小於該雙功函數閘極導體層之一面積尺寸。

37. 如請求項27之相機裝置，其中形成在該雙功函數閘極導體層頂部上用於電耦合該轉移閘極裝置之第一導電率類型材料之該第一摻雜區，及第二導電率類型材料的該第二摻雜區之該矽化物結構，係在長度尺寸上比該雙功函數閘極導體層之一長度減少。
38. 如請求項27之相機裝置，其中該轉移閘極裝置定義一導電通道區，其中在該轉移閘極裝置下之該收集井及該擴散區間致能電荷轉移，該矽化物結構係形成在該雙功函數閘極導體層頂部上，用於在定義該導電通道區之該區域外電耦合該轉移閘極裝置之第一導電率類型材料的該第一摻雜區及第二導電率類型材料之該第二摻雜區。

十一、圖式：

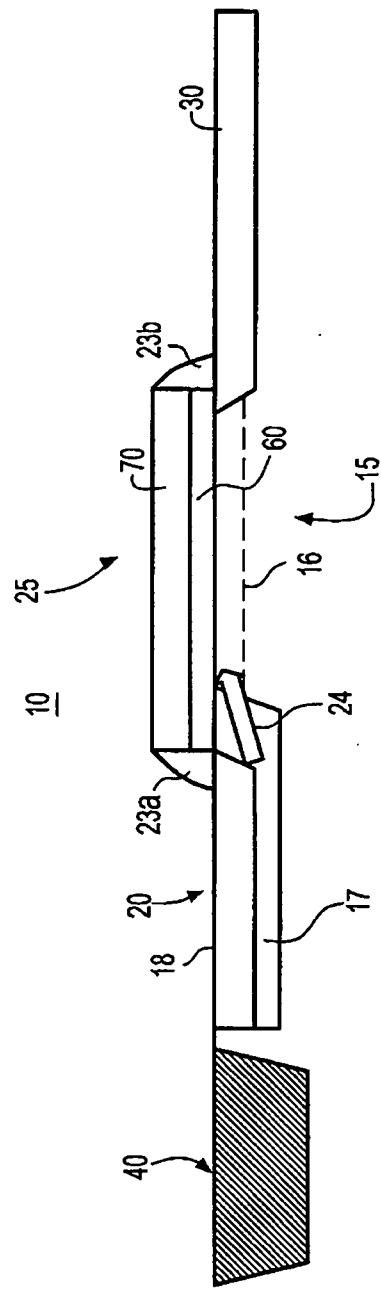


圖 1

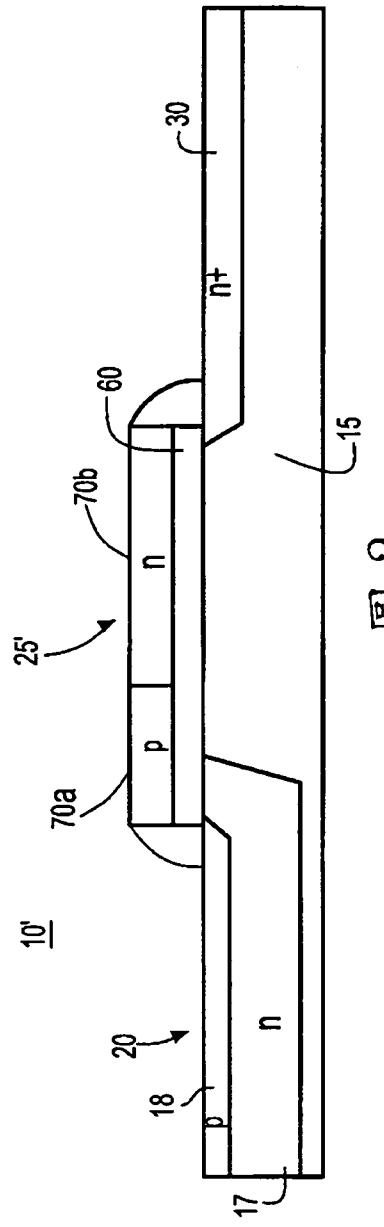


圖 2

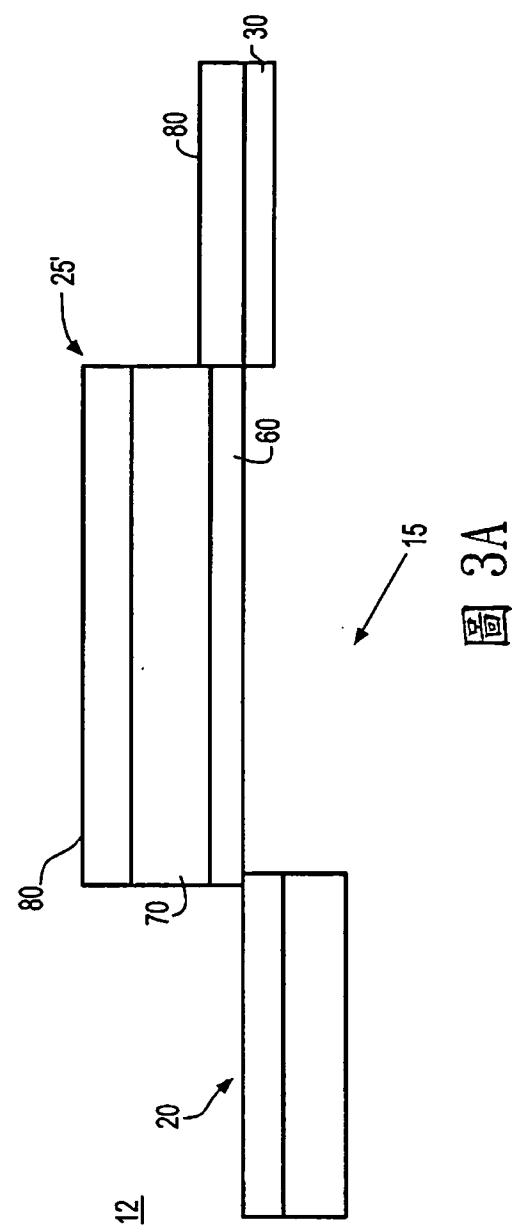


圖 3A

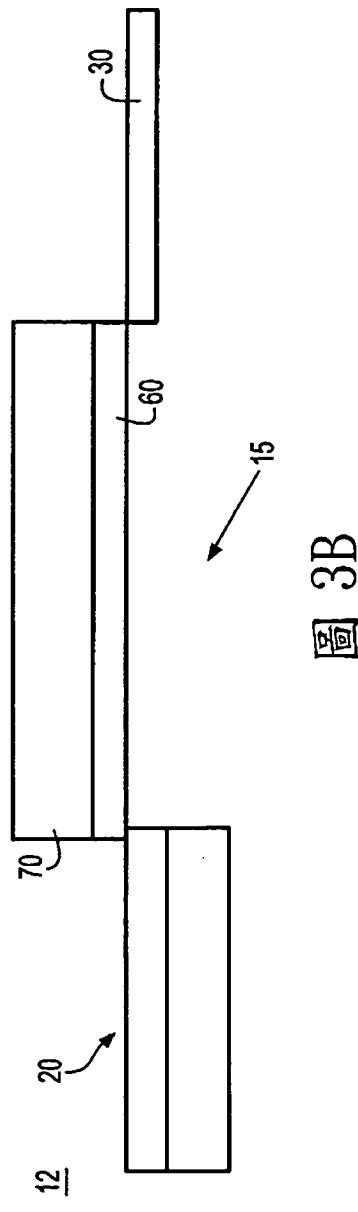


圖 3B

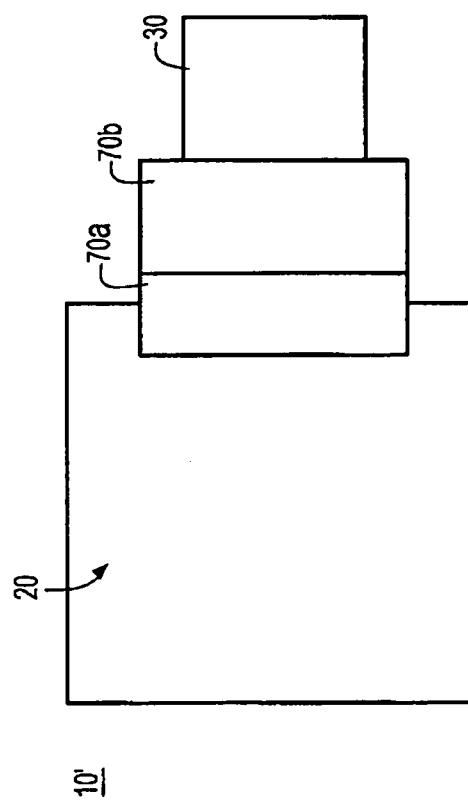


圖 3C

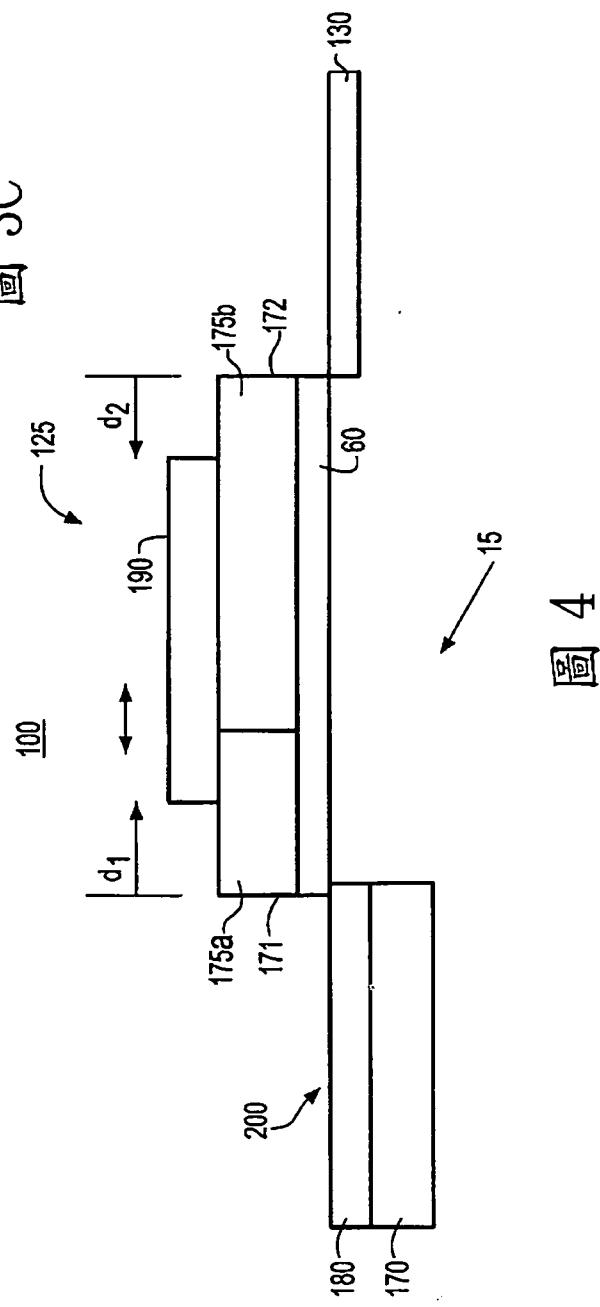


圖 4

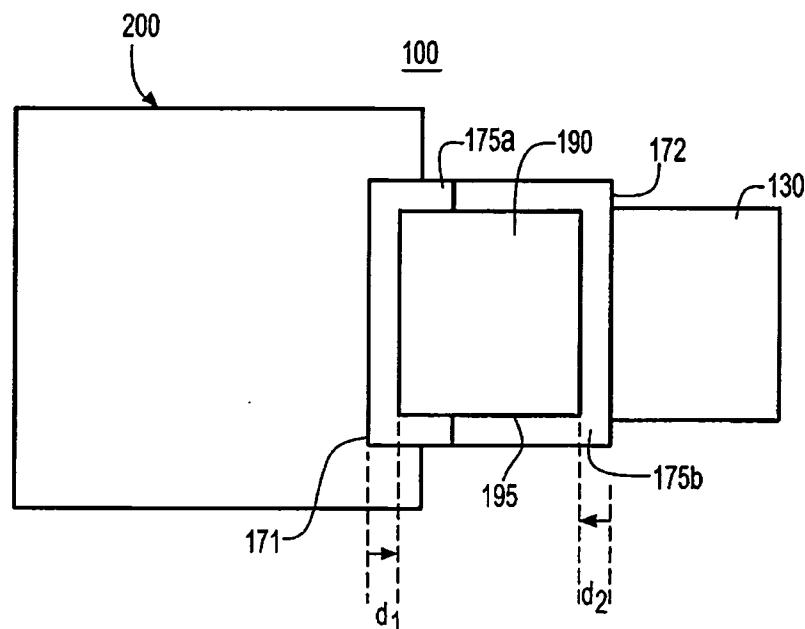


圖 5A

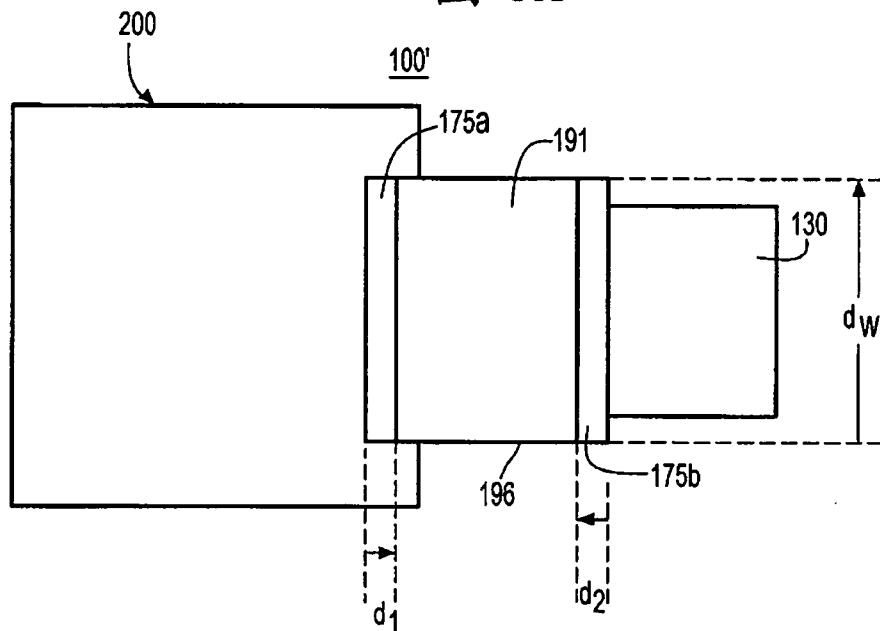


圖 5B

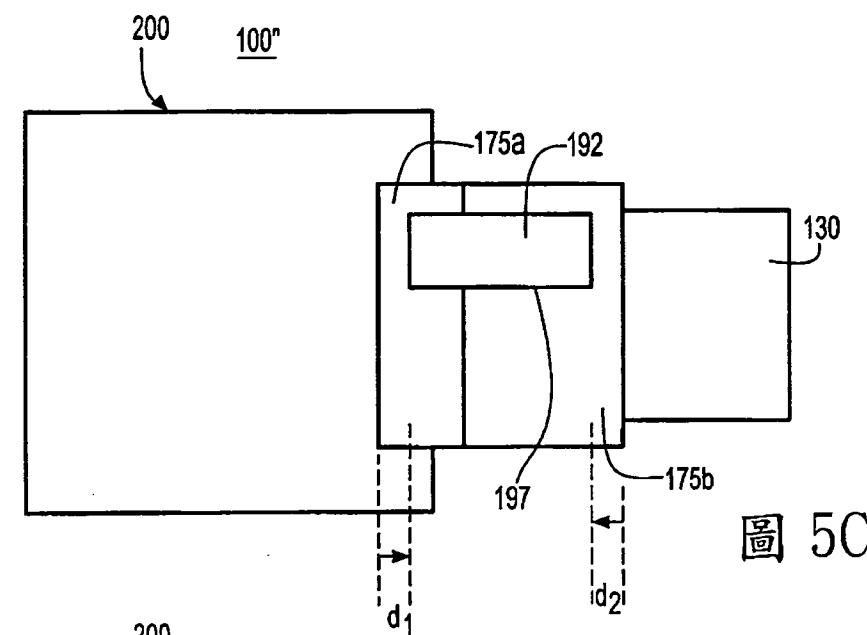


圖 5C

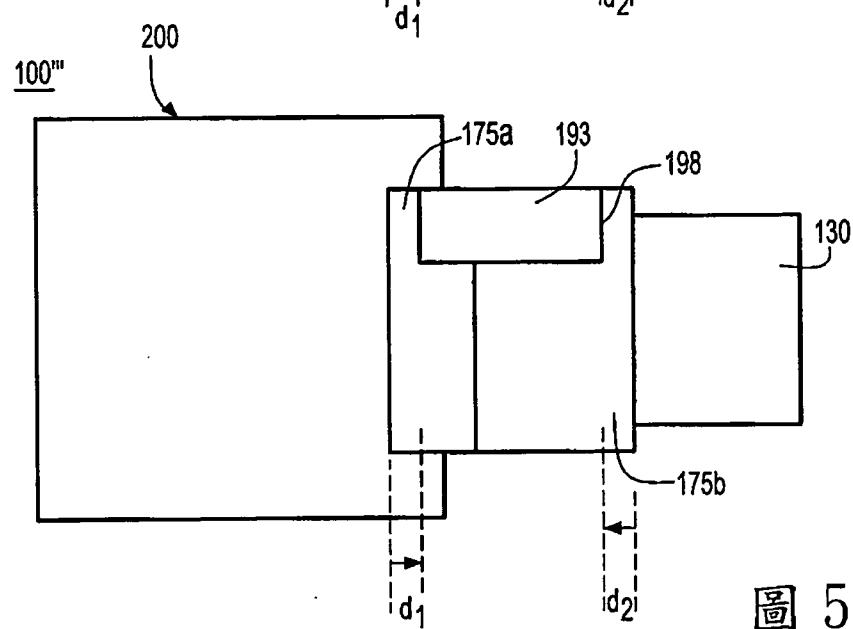


圖 5D

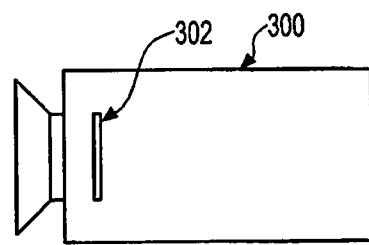


圖 6