



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0077156
(43) 공개일자 2016년07월01일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H04N 5/347 (2011.01)
H04N 5/355 (2011.01) H04N 5/3745 (2011.01)
(52) CPC특허분류
H01L 27/14603 (2013.01)
H01L 27/14609 (2013.01)
(21) 출원번호 10-2016-7013976
(22) 출원일자(국제) 2014년11월18일
심사청구일자 2016년05월26일
(85) 번역문제출일자 2016년05월26일
(86) 국제출원번호 PCT/JP2014/080533
(87) 국제공개번호 WO 2015/072575
국제공개일자 2015년05월21일
(30) 우선권주장
JP-P-2013-238067 2013년11월18일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 니콘
일본국 도쿄도 미나토쿠 고난 2초메 15반 3고
(72) 발명자
고마이 아츠시
일본국 도쿄도 미나토쿠 고난 2초메 15반 3고 가
부시키가이샤 니콘 나이
와타나베 요시유키
일본국 도쿄도 미나토쿠 고난 2초메 15반 3고 가
부시키가이샤 니콘 나이
사루와타리 오사무
일본국 도쿄도 미나토쿠 고난 2초메 15반 3고 가
부시키가이샤 니콘 나이
(74) 대리인
특허법인코리어나

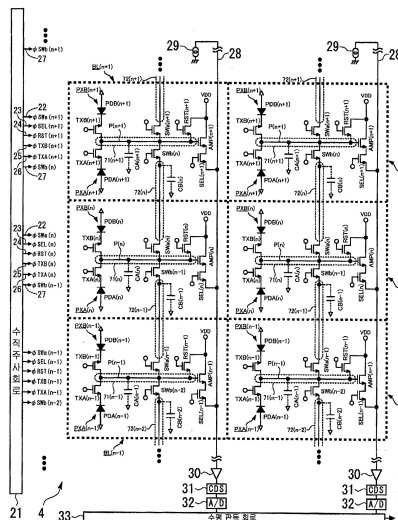
전체 청구항 수 : 총 37 항

(54) 발명의 명칭 교체 활상 소자 및 활상 장치

(57) 요약

교체 활상 소자는, 광전 변환부와 광전 변환부의 전하를 축적하는 전하 축적부를 갖는 복수의 화소와, 이웃하는 2 개의 화소의 전하 축적부의 사이를 전기적으로 접속하는 복수의 연결부를 갖는 접속부를 구비한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/14612 (2013.01)

H01L 27/14641 (2013.01)

H01L 27/14689 (2013.01)

H04N 5/347 (2013.01)

H04N 5/355 (2013.01)

H04N 5/3745 (2013.01)

(30) 우선권주장

JP-P-2013-238439 2013년11월19일 일본(JP)

JP-P-2013-238442 2013년11월19일 일본(JP)

JP-P-2014-137755 2014년07월03일 일본(JP)

명세서

청구범위

청구항 1

광전 변환부와 상기 광전 변환부의 전하를 축적하는 전하 축적부를 갖는 복수의 화소와,
이웃하는 2 개의 상기 화소의 상기 전하 축적부의 사이를 전기적으로 접속하는 복수의 연결부를 갖는 접속부를
구비하는, 고체 촬상 소자.

청구항 2

제 1 항에 있어서,
상기 접속부는, 복수의 스위치와 접속 영역을 구비하고,
상기 복수의 스위치는, 각각, 상기 전하 축적부와 상기 접속 영역의 사이에 형성되는, 고체 촬상 소자.

청구항 3

제 2 항에 있어서,
상기 복수의 스위치에는, 상기 연결부 1 개당 2 개 이상의 스위치가 포함되는, 고체 촬상 소자.

청구항 4

제 2 항 또는 제 3 항에 있어서,
상기 복수의 스위치 중 온 상태의 스위치가, 상기 이웃하는 2 개의 상기 화소 중 1 개의 화소의 상기 전하 축적
부에 대해 전기적으로 접속된 상태가 되지 않도록, 상기 복수의 스위치를 제어하는 제 1 동작 모드와, 상기 복
수의 스위치 중 1 개 이상의 소정수의 온 상태의 스위치가, 상기 1 개의 화소의 상기 전하 축적부에 대해 전기
적으로 접속된 상태가 되도록, 상기 복수의 스위치를 제어하는 제 2 동작 모드를 갖는 제어부를 구비하는, 고체
촬상 소자.

청구항 5

제 2 항 또는 제 3 항에 있어서,
상기 복수의 화소 중 3 개 이상의 화소의 상기 전하 축적부가, 상기 복수의 스위치의 2 세트 이상에 의해 염주
가 이어진 형상으로 접속된, 고체 촬상 소자.

청구항 6

제 5 항에 있어서,
상기 복수의 스위치 중 온 상태의 스위치가, 상기 3 개 이상의 화소 중 1 개의 화소의 상기 전하 축적부에 대해
전기적으로 접속된 상태가 되지 않도록 상기 복수의 스위치를 제어하는 제 1 동작 모드와, 상기 복수의 스위치
중 1 개 이상의 소정수의 온 상태의 스위치가, 상기 1 개의 화소의 상기 전하 축적부에 대해 전기적으로 접속된
상태가 되도록, 상기 복수의 스위치를 제어하는 제 2 동작 모드를 갖는 제어부를 구비하는, 고체 촬상 소자.

청구항 7

제 2 항 내지 제 6 항 중 어느 한 항에 있어서,
상기 복수의 화소의 각각은, 복수의 상기 광전 변환부와, 상기 복수의 광전 변환부의 각각으로부터 상기 접속
영역에 전하를 전송하는 복수의 전송 스위치를 갖는, 고체 촬상 소자.

청구항 8

제 7 항에 있어서,

상기 전송 스위치는 트랜지스터로 이루어지고,

상기 복수의 화소의 각각에 있어서, 상기 복수의 전송 스위치 중 1 개의 전송 스위치의 소스 또는 드레인이 되는 확산 영역, 및, 상기 복수의 전송 스위치 중 다른 1 개의 전송 스위치의 소스 또는 드레인이 되는 확산 영역이, 상기 복수의 광전 변환부 중 1 개의 광전 변환부와 상기 복수의 광전 변환부 중 다른 1 개의 광전 변환부의 사이에 형성된 1 개의 확산 영역에서 겹쳐지고,

상기 복수의 화소의 각각에 있어서, 상기 1 개의 전송 스위치의 게이트 전극은, 상기 1 개의 확산 영역의, 상기 1 개의 광전 변환부의 측에 배치되고,

상기 복수의 화소의 각각에 있어서, 상기 다른 1 개의 전송 스위치의 게이트 전극은, 상기 1 개의 확산 영역의, 상기 다른 1 개의 광전 변환부의 측에 배치되는, 고체 촬상 소자.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 복수의 광전 변환부의 수 및 상기 복수의 전송 스위치의 수가 각각 2 개인, 고체 촬상 소자.

청구항 10

제 9 항에 있어서,

상기 복수의 스위치에는, 상기 연결부 1 개당 2 개의 스위치가 포함되고,

상기 2 개의 스위치 중 1 개의 스위치와 다른 1 개의 스위치의 소정 방향의 위치 어긋남량은, 상기 복수의 광전 변환부의 상기 소정 방향의 피치보다 크고 또한 상기 피치의 2 배보다 작은, 고체 촬상 소자.

청구항 11

제 2 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 복수의 스위치에는, 상기 연결부 1 개당 2 개의 스위치가 포함되고,

상기 2 개의 스위치가 오프인 경우에 있어서의 상기 2 개의 스위치 사이의 상기 접속 영역과 기준 전위의 사이의 용량의 값은, 상기 2 개의 스위치가 오프인 경우에 있어서의 상기 전하 축적부와 상기 기준 전위의 사이의 용량의 값에 대해 $\pm 20\%$ 의 범위 내의 값인, 고체 촬상 소자.

청구항 12

제 2 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 복수의 스위치에는, 상기 연결부 1 개당 2 개의 스위치가 포함되고,

상기 2 개의 스위치가 오프인 경우에 있어서의 상기 2 개의 스위치 사이의 상기 접속 영역을 구성하는 배선의 적어도 일부의 폭이 상기 화소 내의 다른 배선의 폭보다 넓은 것, 상기 접속 영역에 MOS 용량이 접속되어 있는 것, 및, 상기 복수의 스위치를 구성하지 않는 확산 용량이 상기 접속 영역에 접속되어 있는 것 중 어느 1 개 이상을 만족하는, 고체 촬상 소자.

청구항 13

제 1 항에 있어서,

상기 접속부는, 복수의 스위치와 접속 영역을 구비하고,

상기 복수의 스위치는, 상기 전하 축적부와 상기 접속 영역을 전기적으로 접속 절단하는 제 1 스위치와, 상기 접속 영역과 다른 상기 접속 영역을 전기적으로 접속 절단하는 제 2 스위치를 포함하는, 고체 촬상 소자.

청구항 14

제 13 항에 있어서,

상기 제 2 스위치는, 복수의 상기 접속 영역을 염주가 이어진 형상으로 접속하는, 고체 활상 소자.

청구항 15

제 13 항 또는 제 14 항에 있어서,

복수의 상기 제 1 스위치 중 p 개 (p 는 1 이상의 정수) 의 온 상태의 제 1 스위치 및 복수의 상기 제 2 스위치 중 q 개 (q 는 p 보다 큰 정수) 의 온 상태의 제 2 스위치가, 상기 복수의 화소 중 1 개의 화소의 상기 전하 축적부에 대해 전기적으로 접속된 상태가 되도록, 상기 복수의 스위치를 제어하는 제 1 동작 모드를 갖는 제어부를 구비하는, 고체 활상 소자.

청구항 16

제 15 항에 있어서,

상기 p 가 1 인, 고체 활상 소자.

청구항 17

제 13 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 제어부는, 상기 복수의 화소 중 1 개의 화소의 상기 전하 축적부와 이것에 대응하는 상기 접속 영역의 사이를 전기적으로 접속 절단하는 상기 제 1 스위치가 오프하도록, 상기 복수의 화소 중 상기 1 개의 화소의 상기 제 1 스위치를 제어하는 제 2 동작 모드를 갖는, 고체 활상 소자.

청구항 18

제 13 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 복수의 화소의 각각은, 복수의 상기 광전 변환부와, 상기 복수의 광전 변환부의 각각으로부터 상기 접속 영역에 전하를 전송하는 복수의 전송 스위치를 갖는, 고체 활상 소자.

청구항 19

제 1 항에 있어서,

상기 접속부는, 복수의 스위치와 접속 영역을 구비하고,

상기 화소는, 상기 접속 영역을 기준 전압으로 리셋하는 리셋 스위치를 갖고,

상기 리셋 스위치는, 상기 접속 영역을 통해서 상기 복수의 스위치 중 1 개의 스위치와 접속되는, 고체 활상 소자.

청구항 20

제 19 항에 있어서,

상기 복수의 스위치는, 상기 전하 축적부와 상기 접속 영역을 전기적으로 접속 절단하는 제 1 스위치와, 상기 접속 영역과 다른 상기 접속 영역을 전기적으로 접속 절단하는 제 2 스위치를 포함하고,

상기 1 개의 스위치는 상기 제 1 스위치인, 고체 활상 소자.

청구항 21

제 20 항에 있어서,

상기 복수의 화소의 각각은, 복수의 상기 광전 변환부와, 상기 복수의 광전 변환부의 각각으로부터 상기 접속 영역에 전하를 전송하는 복수의 전송 스위치를 갖는, 고체 활상 소자.

청구항 22

제 20 항 또는 제 21 항에 있어서,

상기 2 개의 화소 중 1 개의 화소의 상기 전하 축적부와, 이것에 대응하는 상기 접속 영역의 사이를 전기적으로

접속 절단하는 상기 제 1 스위치가, 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에만 일단 온하고, 또한, 상기 1 개의 화소의 상기 전하 축적부에 대응하는 상기 접속 영역을 상기 기준 전압으로 리셋하는 상기 리셋 스위치가, 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에 적어도 온하도록, 상기 제 1 스위치 및 상기 리셋 스위치를 제어하는 제 1 동작 모드를 갖는 제어부를 구비하는, 고체 촬상 소자.

청구항 23

제 22 항에 있어서,

상기 제어부는, 상기 1 개의 화소의 상기 전하 축적부와, 이것에 대응하는 상기 접속 영역의 사이를 전기적으로 접속 절단하는 상기 제 1 스위치가 온하고, 상기 제 2 스위치가 오프하고, 또한, 상기 1 개의 화소의 상기 전하 축적부에 대응하는 상기 접속 영역을 상기 기준 전압으로 리셋하는 상기 리셋 스위치가, 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에만 온하도록, 상기 제 1 스위치, 상기 제 2 스위치 및 상기 리셋 스위치를 제어하는 제 2 동작 모드를 갖는, 고체 촬상 소자.

청구항 24

제 22 항 또는 제 23 항에 있어서,

상기 제어부는, 상기 1 개의 화소의 상기 전하 축적부와, 이것에 대응하는 상기 접속 영역의 사이를 전기적으로 접속 절단하는 상기 제 1 스위치가 온하고, 상기 제 2 스위치가 온하고, 또한, 상기 1 개의 화소의 상기 전하 축적부에 대응하는 상기 접속 영역을 상기 기준 전압으로 리셋하는 상기 리셋 스위치가, 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에만 온하도록, 상기 제 1 스위치, 상기 제 2 스위치 및 상기 리셋 스위치를 제어하는 제 3 동작 모드를 갖는, 고체 촬상 소자.

청구항 25

제 20 항 또는 제 21 항에 있어서,

상기 복수의 스위치는, 상기 복수의 화소 중 3 개 이상의 화소의 상기 전하 축적부와, 이들 3 개 이상의 상기 전하 축적부에 각각 대응하는 3 개 이상의 상기 접속 영역의 사이의 전기적인 접속을, 각각 전기적으로 접속 절단하는 3 개 이상의 상기 제 1 스위치를 포함하고,

상기 3 개 이상의 접속 영역이 복수의 상기 제 2 스위치에 의해 염주가 이어진 형상으로 접속되고,

상기 3 개 이상의 접속 영역을 상기 기준 전압으로 리셋하는 3 개 이상의 상기 리셋 스위치를 구비하는, 고체 촬상 소자.

청구항 26

제 25 항에 있어서,

상기 3 개 이상의 화소 중 1 개의 화소의 상기 전하 축적부와, 이것에 대응하는 상기 접속 영역의 사이를 전기적으로 접속 절단하는 상기 제 1 스위치가, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에만 일단 온하고, 또한, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부에 대응하는 상기 접속 영역을 상기 기준 전압으로 리셋하는 상기 리셋 스위치가, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에 적어도 온하도록, 상기 제 1 스위치 및 상기 리셋 스위치를 제어하는 제 1 동작 모드를 갖는 제어부를 구비하는, 고체 촬상 소자.

청구항 27

제 26 항에 있어서,

상기 제어부는, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부와, 이것에 대응하는 상기 접속 영역의 사이를 전기적으로 접속 절단하는 상기 제 1 스위치가 온하고, 상기 제 2 스위치가 오프하고, 또한, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부에 대응하는 상기 접속 영역을 상기 기준 전압으로 리셋하는 상기 리셋 스위치가, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋시에만 온하도록, 상기 제 1 스위치, 상기 제 2 스위치 및 상기 리셋 스위치를 제어하는 제 2 동작 모드를 갖는, 고체 촬상 소자.

청구항 28

제 26 항 또는 제 27 항에 있어서,

상기 제어부는, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부와, 이것에 대응하는 상기 접속 영역의 사이를 전기적으로 접속 절단하는 상기 제 1 스위치가 온하고, 상기 제 2 스위치가 온하고, 또한, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부에 대응하는 상기 접속 영역을 상기 기준 전압으로 리셋하는 상기 리셋 스위치가, 상기 3 개 이상의 화소 중 상기 1 개의 화소의 상기 전하 축적부의 전위의 리셋 시에만 온하도록, 상기 제 1 스위치, 상기 제 2 스위치 및 상기 리셋 스위치를 제어하는 제 3 동작 모드를 갖는, 고체 촬상 소자.

청구항 29

제 1 항에 있어서,

상기 접속부는, 복수의 스위치와 접속 영역을 구비하고,

상기 화소는, 상기 접속 영역과 기생 용량을 발생하는 더미 배선을 갖는, 고체 촬상 소자.

청구항 30

제 29 항에 있어서,

상기 화소의 상기 전하 축적부를 기준 전압으로 리셋하는 리셋 스위치를 구비하고,

상기 더미 배선은, 상기 연결부를 구성하는 배선에 대해 대략 평행하게 배치되고, 또한, 일단이 상기 리셋 스위치와 전기적으로 접속되는, 고체 촬상 소자.

청구항 31

제 29 항에 있어서,

상기 화소의 상기 전하 축적부를 기준 전압으로 리셋하는 리셋 스위치를 구비하고,

상기 화소의 상기 전하 축적부를 상기 기준 전압으로 리셋할 때, 상기 리셋 스위치와 상기 전하 축적부에 전기적으로 접속되어 있는 1 개의 상기 스위치를 일시적으로 온하는, 고체 촬상 소자.

청구항 32

1 개의 광전 변환부, 노드, 및, 상기 1 개의 광전 변환부에 대응하여 형성되고 상기 광전 변환부로부터 상기 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과,

1 개의 상기 화소 블록의 상기 노드와 다른 1 개의 상기 화소 블록의 상기 노드의 사이에 형성된 전기적인 접속부와,

상기 접속부 중에 형성된 상기 화소 블록 1 개당 복수의 연결 스위치를 구비하는, 고체 촬상 소자.

청구항 33

복수의 광전 변환부, 노드, 및, 상기 복수의 광전 변환부에 각각 대응하여 형성되고 상기 복수의 광전 변환부로부터 상기 노드에 전하를 전송하는 복수의 전송 스위치를 갖는 복수의 화소 블록과,

인접하는 2 개의 상기 화소 블록의 상기 노드간에 형성된 복수의 연결 스위치를 구비하는, 고체 촬상 소자.

청구항 34

1 개의 광전 변환부, 제 1 노드, 및, 상기 1 개의 광전 변환부에 대응하여 형성되고 상기 광전 변환부로부터 상기 제 1 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과,

1 개의 상기 화소 블록의 상기 제 1 노드 및 다른 1 개의 상기 화소 블록의 상기 제 1 노드에 각각 대응하는 2 개의 제 2 노드와,

상기 1 개의 화소 블록의 상기 제 1 노드 및 상기 다른 1 개의 화소 블록의 상기 제 1 노드와 상기 2 개의 제 2

노드의 사이를, 각각 전기적으로 접속 및 절단하는 2 개의 제 1 스위치부와,

상기 2 개의 제 2 노드 사이를 전기적으로 접속 및 절단하는 제 2 스위치부를 구비하는, 고체 촬상 소자.

청구항 35

1 개의 광전 변환부, 제 1 노드, 및, 상기 1 개의 광전 변환부에 대응하여 형성되고 상기 광전 변환부로부터 상기 제 1 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과,

3 개 이상의 상기 화소 블록의 상기 제 1 노드에 각각 대응하는 3 개 이상의 제 2 노드와,

상기 3 개 이상의 상기 화소 블록의 제 1 노드와 상기 3 개 이상의 제 2 노드의 사이를 각각 전기적으로 접속 및 절단하는 3 개 이상의 제 1 스위치부와,

상기 3 개 이상의 제 2 노드를 접속하고, 각각이 2 개의 상기 제 2 노드 사이를 전기적으로 접속 및 절단하는 복수의 제 2 스위치부를 구비하는, 고체 촬상 소자.

청구항 36

1 개의 광전 변환부, 제 1 노드, 및, 상기 1 개의 광전 변환부에 대응하여 형성되고 상기 광전 변환부로부터 상기 제 1 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과,

1 개의 상기 화소 블록의 상기 제 1 노드 및 다른 1 개의 상기 화소 블록의 상기 제 1 노드에 각각 대응하는 2 개의 제 2 노드와,

상기 1 개의 화소 블록의 상기 제 1 노드 및 상기 다른 1 개의 화소 블록의 상기 제 1 노드와 상기 2 개의 제 2 노드의 사이를, 각각 전기적으로 접속 및 절단하는 2 개의 제 1 스위치부와,

상기 2 개의 제 2 노드 사이를 전기적으로 접속 및 절단하는 제 2 스위치부와,

상기 2 개의 제 2 노드에 각각 소정 전위를 공급하는 2 개의 제 3 스위치부를 구비하는, 고체 촬상 소자.

청구항 37

제 1 항 내지 제 36 항 중 어느 한 항에 기재된 고체 촬상 소자를 구비하는, 촬상 장치.

발명의 설명

기술 분야

[0001] 본 발명은 고체 촬상 소자 및 촬상 장치에 관한 것이다.

배경 기술

[0002] 하기 특허문헌 1 에는, 복수의 화소로서 적어도 2 개의 화소가 각각 (a) 포토디텍터, (b) 플로팅 용량부를 이루는 전하 전압 변환 영역 및 (c) 증폭기로의 입력부를 포함하는 복수의 화소와, 상기 전하 전압 변환 영역끼리를 선택적으로 접속하는 연결 스위치를 구비한 고체 촬상 소자가 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 공표특허공보 2008-546313호

발명의 내용

해결하려는 과제

[0004] 상기 종래의 고체 촬상 소자에 있어서, 상기 연결 스위치를 온하여 상기 전하 전압 변환 영역끼리를 접속함으로써, 접속된 전체의 전하 전압 변환 영역에서의 포화 전자수가 확대되기 때문에, 다이내믹 레인지를 확대시킬 수

있다.

[0005] 또, 상기 종래의 고체 촬상 소자에 있어서, 상기 연결 스위치를 오프하여 상기 전하 전압 변환 영역을 다른 전하 전압 변환 영역으로부터 분리함으로써, 전하 전압 변환 용량이 작아져 그 전하 전압 변환 계수가 커지기 때문에, 고감도 판독시의 SN 비가 높아진다.

[0006] 그러나, 상기 종래의 고체 촬상 소자에서는, 상기 연결 스위치를 오프로 해도, 고감도 판독시의 SN 비를 그다지 높게 할 수는 없었다.

[0007] 본 발명은, 이와 같은 사정을 감안하여 이루어진 것으로, 다이내믹 레인지를 확대시킬 수 있음과 함께, 고감도 판독시의 SN 비를 향상시킬 수 있는 고체 촬상 소자, 및, 이것을 사용한 촬상 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명의 제 1 양태에 의하면, 고체 촬상 소자는, 광전 변환부와 광전 변환부의 전하를 축적하는 전하 축적부를 갖는 복수의 화소와, 이웃하는 2 개의 화소의 전하 축적부의 사이를 전기적으로 접속하는 복수의 연결부를 갖는 접속부를 구비한다.

[0009] 본 발명의 제 2 양태에 의하면, 제 1 양태의 고체 촬상 소자에 있어서, 접속부는, 복수의 스위치와 접속 영역을 구비하고, 복수의 스위치는, 각각, 전하 축적부와 접속 영역의 사이에 형성되는 것이 바람직하다.

[0010] 본 발명의 제 3 양태에 의하면, 제 2 양태의 고체 촬상 소자에 있어서, 복수의 스위치에는, 연결부 1 개당 2 개 이상의 스위치가 포함되는 것이 바람직하다.

[0011] 본 발명의 제 4 양태에 의하면, 제 2 또는 3 양태의 고체 촬상 소자에 있어서, 복수의 스위치 중 온 상태의 스위치가, 이웃하는 2 개의 화소 중 1 개의 화소의 전하 축적부에 대해 전기적으로 접속된 상태가 되지 않도록, 복수의 스위치를 제어하는 제 1 동작 모드와, 복수의 스위치 중 1 개 이상의 소정수의 온 상태의 스위치가, 1 개의 화소의 전하 축적부에 대해 전기적으로 접속된 상태가 되도록, 복수의 스위치를 제어하는 제 2 동작 모드를 갖는 제어부를 구비하는 것이 바람직하다.

[0012] 본 발명의 제 5 양태에 의하면, 제 2 또는 3 양태의 고체 촬상 소자에 있어서, 복수의 화소 중 3 개 이상의 화소의 전하 축적부가, 복수의 스위치의 2 세트 이상에 의해 염주가 이어진 형상으로 접속되는 것이 바람직하다.

[0013] 본 발명의 제 6 양태에 의하면, 제 5 양태의 고체 촬상 소자에 있어서, 복수의 스위치 중 온 상태의 스위치가, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부에 대해 전기적으로 접속된 상태가 되지 않도록 복수의 스위치를 제어하는 제 1 동작 모드와, 복수의 스위치 중 1 개 이상의 소정수의 온 상태의 스위치가, 1 개의 화소의 전하 축적부에 대해 전기적으로 접속된 상태가 되도록, 복수의 스위치를 제어하는 제 2 동작 모드를 갖는 제어부를 구비하는 것이 바람직하다.

[0014] 본 발명의 제 7 양태에 의하면, 제 2 ~ 6 중 어느 일 양태의 고체 촬상 소자에 있어서, 복수의 화소의 각각은, 복수의 광전 변환부와, 복수의 광전 변환부의 각각으로부터 접속 영역에 전하를 전송하는 복수의 전송 스위치를 갖는 것이 바람직하다.

[0015] 본 발명의 제 8 양태에 의하면, 제 7 양태의 고체 촬상 소자에 있어서, 전송 스위치는 트랜지스터로 이루어지고, 복수의 화소의 각각에 있어서, 복수의 전송 스위치 중 1 개의 전송 스위치의 소스 또는 드레인이 되는 확산 영역, 및, 복수의 전송 스위치 중 다른 1 개의 전송 스위치의 소스 또는 드레인이 되는 확산 영역이, 복수의 광전 변환부 중 1 개의 광전 변환부와 복수의 광전 변환부 중 다른 1 개의 광전 변환부의 사이에 형성된 1 개의 확산 영역에서 겹겹되고, 복수의 화소의 각각에 있어서, 1 개의 전송 스위치의 게이트 전극은, 1 개의 확산 영역의, 1 개의 광전 변환부의 측에 배치되고, 복수의 화소의 각각에 있어서, 다른 1 개의 전송 스위치의 게이트 전극은, 1 개의 확산 영역의, 다른 1 개의 광전 변환부의 측에 배치되는 것이 바람직하다.

[0016] 본 발명의 제 9 양태에 의하면, 제 7 또는 8 양태의 고체 촬상 소자에 있어서, 복수의 광전 변환부의 수 및 복수의 전송 스위치의 수가 각각 2 개인 것이 바람직하다.

[0017] 본 발명의 제 10 양태에 의하면, 제 9 양태의 고체 촬상 소자에 있어서, 복수의 스위치에는, 연결부 1 개당 2 개의 스위치가 포함되고, 2 개의 스위치 중 1 개의 스위치와 다른 1 개의 스위치의 소정 방향의 위치 어긋남량은, 복수의 광전 변환부의 소정 방향의 피치보다 크고 또한 피치의 2 배보다 작은 것이 바람직하다.

- [0018] 본 발명의 제 11 양태에 의하면, 제 2 ~ 10 중 어느 일 양태의 고체 촬상 소자에 있어서, 복수의 스위치에는, 연결부 1 개당 2 개의 스위치가 포함되고, 2 개의 스위치가 오프인 경우에 있어서의 2 개의 스위치 사이의 접속 영역과 기준 전위의 사이의 용량의 값은, 2 개의 스위치가 오프인 경우에 있어서의 전하 축적부와 기준 전위의 사이의 용량의 값에 대해 $\pm 20\%$ 의 범위 내의 값인 것이 바람직하다.
- [0019] 본 발명의 제 12 양태에 의하면, 제 2 ~ 11 중 어느 일 양태의 고체 촬상 소자에 있어서, 복수의 스위치에는, 연결부 1 개당 2 개의 스위치가 포함되고, 2 개의 스위치가 오프인 경우에 있어서의 2 개의 스위치 사이의 접속 영역을 구성하는 배선의 적어도 일부의 폭이 화소 내의 다른 배선의 폭보다 넓은 것, 접속 영역에 MOS 용량이 접속되어 있는 것, 및, 복수의 스위치를 구성하지 않는 확산 용량이 접속 영역에 접속되어 있는 것 중 어느 1 개 이상을 만족하는 것이 바람직하다.
- [0020] 본 발명의 제 13 양태에 의하면, 제 1 양태의 고체 촬상 소자에 있어서, 접속부는 복수의 스위치와 접속 영역을 구비하고, 복수의 스위치는, 전하 축적부와 접속 영역을 전기적으로 접속 절단하는 제 1 스위치와, 접속 영역과 다른 접속 영역을 전기적으로 접속 절단하는 제 2 스위치를 포함하는 것이 바람직하다.
- [0021] 본 발명의 제 14 양태에 의하면, 제 13 양태의 고체 촬상 소자에 있어서, 제 2 스위치는, 복수의 접속 영역을 염주가 이어진 형상으로 접속하는 것이 바람직하다.
- [0022] 본 발명의 제 15 양태에 의하면, 제 13 또는 14 양태의 고체 촬상 소자에 있어서, 복수의 제 1 스위치 중 p 개 (p 는 1 이상의 정수) 의 온 상태의 제 1 스위치 및 복수의 제 2 스위치 중 q 개 (q 는 p 보다 큰 정수) 의 온 상태의 제 2 스위치가, 복수의 화소 중 1 개의 화소의 전하 축적부에 대해 전기적으로 접속된 상태가 되도록, 복수의 스위치를 제어하는 제 1 동작 모드를 갖는 제어부를 구비하는 것이 바람직하다.
- [0023] 본 발명의 제 16 양태에 의하면, 제 15 양태의 고체 촬상 소자에 있어서, p 가 1 인 것이 바람직하다.
- [0024] 본 발명의 제 17 양태에 의하면, 제 13 ~ 16 중 어느 일 양태의 고체 촬상 소자에 있어서, 제어부는, 복수의 화소 중 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가 오프하도록, 복수의 화소 중 1 개의 화소의 제 1 스위치를 제어하는 제 2 동작 모드를 갖는 것이 바람직하다.
- [0025] 본 발명의 제 18 양태에 의하면, 제 13 ~ 17 중 어느 일 양태의 고체 촬상 소자에 있어서, 복수의 화소의 각각은, 복수의 광전 변환부와, 복수의 광전 변환부의 각각으로부터 접속 영역에 전하를 전송하는 복수의 전송 스위치를 갖는 것이 바람직하다.
- [0026] 본 발명의 제 19 양태에 의하면, 제 1 양태의 고체 촬상 소자에 있어서, 접속부는, 복수의 스위치와 접속 영역을 구비하고, 화소는, 접속 영역을 기준 전압으로 리셋하는 리셋 스위치를 갖고, 리셋 스위치는, 접속 영역을 통해서 복수의 스위치 중 1 개의 스위치와 접속되는 것이 바람직하다.
- [0027] 본 발명의 제 20 양태에 의하면, 제 19 양태의 고체 촬상 소자에 있어서, 복수의 스위치는, 전하 축적부와 접속 영역을 전기적으로 접속 절단하는 제 1 스위치와, 접속 영역과 다른 접속 영역을 전기적으로 접속 절단하는 제 2 스위치를 포함하고, 1 개의 스위치는 제 1 스위치인 것이 바람직하다.
- [0028] 본 발명의 제 21 양태에 의하면, 제 20 양태의 고체 촬상 소자에 있어서, 복수의 화소의 각각은, 복수의 광전 변환부와, 복수의 광전 변환부의 각각으로부터 접속 영역에 전하를 전송하는 복수의 전송 스위치를 갖는 것이 바람직하다.
- [0029] 본 발명의 제 22 양태에 의하면, 제 20 또는 21 양태의 고체 촬상 소자에 있어서, 2 개의 화소 중 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가, 1 개의 화소의 전하 축적부의 전위의 리셋시에만 일단 온하고, 또한, 1 개의 화소의 전하 축적부에 대응하는 접속 영역을 기준 전압으로 리셋하는 리셋 스위치가, 1 개의 화소의 전하 축적부의 전위의 리셋시에 적어도 온하도록, 제 1 스위치 및 리셋 스위치를 제어하는 제 1 동작 모드를 갖는 제어부를 구비하는 것이 바람직하다.
- [0030] 본 발명의 제 23 양태에 의하면, 제 22 양태의 고체 촬상 소자에 있어서, 제어부는, 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가 온하고, 제 2 스위치가 오프하고, 또한, 1 개의 화소의 전하 축적부에 대응하는 접속 영역을 기준 전압으로 리셋하는 리셋 스위치가, 1 개의 화소의 전하 축적부의 전위의 리셋시에만 온하도록, 제 1 스위치, 제 2 스위치 및 리셋 스위치를 제어하는 제 2 동작 모드를 갖는 것이 바람직하다.

- [0031] 본 발명의 제 24 양태에 의하면, 제 22 또는 23 양태의 고체 활상 소자에 있어서, 제어부는, 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가 온하고, 제 2 스위치가 온하고, 또한, 1 개의 화소의 전하 축적부에 대응하는 접속 영역을 기준 전압으로 리셋하는 리셋 스위치가, 1 개의 화소의 전하 축적부의 전위의 리셋시에만 온하도록, 제 1 스위치, 제 2 스위치 및 리셋 스위치를 제어하는 제 3 동작 모드를 갖는 것이 바람직하다.
- [0032] 본 발명의 제 25 양태에 의하면, 제 20 또는 21 양태의 고체 활상 소자에 있어서, 복수의 스위치는, 복수의 화소 중 3 개 이상의 화소의 전하 축적부와, 이들 3 개 이상의 전하 축적부에 각각 대응하는 3 개 이상의 접속 영역의 사이의 전기적인 접속을, 각각 전기적으로 접속 절단하는 3 개 이상의 제 1 스위치를 포함하고, 3 개 이상의 접속 영역이 복수의 제 2 스위치에 의해 염주가 이어진 형상으로 접속되고, 3 개 이상의 접속 영역을 기준 전압으로 리셋하는 3 개 이상의 리셋 스위치를 구비하는 것이 바람직하다.
- [0033] 본 발명의 제 26 양태에 의하면, 제 25 양태의 고체 활상 소자에 있어서, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부의 전위의 리셋시에만 일단 온하고, 또한, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부에 대응하는 접속 영역을 기준 전압으로 리셋하는 리셋 스위치가, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부의 전위의 리셋시에 적어도 온하도록, 제 1 스위치 및 리셋 스위치를 제어하는 제 1 동작 모드를 갖는 제어부를 구비하는 것이 바람직하다.
- [0034] 본 발명의 제 27 양태에 의하면, 제 22 양태의 고체 활상 소자에 있어서, 제어부는, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가 온하고, 제 2 스위치가 오프하고, 또한, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부에 대응하는 접속 영역을 기준 전압으로 리셋하는 리셋 스위치가, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부의 전위의 리셋시에만 온하도록, 제 1 스위치, 제 2 스위치 및 리셋 스위치를 제어하는 제 2 동작 모드를 갖는 것이 바람직하다.
- [0035] 본 발명의 제 28 양태에 의하면, 제 26 또는 27 양태의 고체 활상 소자에 있어서, 제어부는, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부와, 이것에 대응하는 접속 영역의 사이를 전기적으로 접속 절단하는 제 1 스위치가 온하고, 제 2 스위치가 온하고, 또한, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부에 대응하는 접속 영역을 기준 전압으로 리셋하는 리셋 스위치가, 3 개 이상의 화소 중 1 개의 화소의 전하 축적부의 전위의 리셋시에만 온하도록, 제 1 스위치, 제 2 스위치 및 리셋 스위치를 제어하는 제 3 동작 모드를 갖는 것이 바람직하다.
- [0036] 본 발명의 제 29 양태에 의하면, 제 1 양태의 고체 활상 소자에 있어서, 접속부는, 복수의 스위치와 접속 영역을 구비하고, 화소는, 접속 영역과 기생 용량을 발생하는 더미 배선을 갖는 것이 바람직하다.
- [0037] 본 발명의 제 30 양태에 의하면, 제 29 양태의 고체 활상 소자에 있어서, 화소의 전하 축적부를 기준 전압으로 리셋하는 리셋 스위치를 구비하고, 더미 배선은, 연결부를 구성하는 배선에 대해 대략 평행하게 배치되고, 또한, 일단이 리셋 스위치와 전기적으로 접속되는 것이 바람직하다.
- [0038] 본 발명의 제 31 양태에 의하면, 제 29 양태의 고체 활상 소자에 있어서, 화소의 전하 축적부를 기준 전압으로 리셋하는 리셋 스위치를 구비하고, 화소의 전하 축적부를 기준 전압으로 리셋할 때, 리셋 스위치와 전하 축적부에 전기적으로 접속되어 있는 1 개의 스위치를 일시적으로 온하는 것이 바람직하다.
- [0039] 본 발명의 제 32 양태에 의하면, 고체 활상 소자는, 1 개의 광전 변환부, 노드, 및, 1 개의 광전 변환부에 대응하여 형성되고 광전 변환부로부터 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과, 1 개의 화소 블록의 노드와 다른 1 개의 화소 블록의 노드의 사이에 형성된 전기적인 접속부와, 접속부 중에 형성된 화소 블록 1 개당 복수의 연결 스위치를 구비한다.
- [0040] 본 발명의 제 33 양태에 의하면, 고체 활상 소자는, 복수의 광전 변환부, 노드, 및, 복수의 광전 변환부에 각각 대응하여 형성되고 복수의 광전 변환부로부터 노드에 전하를 전송하는 복수의 전송 스위치를 갖는 복수의 화소 블록과, 인접하는 2 개의 화소 블록의 노드간에 형성된 복수의 연결 스위치를 구비한다.
- [0041] 본 발명의 제 34 양태에 의하면, 고체 활상 소자는, 1 개의 광전 변환부, 제 1 노드, 및, 1 개의 광전 변환부에 대응하여 형성되고 광전 변환부로부터 제 1 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과, 1 개의 화소 블록의 제 1 노드 및 다른 1 개의 화소 블록의 제 1 노드에 각각 대응하는 2 개의 제 2 노드와, 1 개의 화소 블록의 제 1 노드 및 다른 1 개의 화소 블록의 제 1 노드와 2 개의 제 2 노드의 사이를, 각각 전기적으로 접속 및 절단하는 2 개의 제 1 스위치부와, 2 개의 제 2 노드 사이를 전기적으로 접속 및 절단하는

제 2 스위치부를 구비한다.

[0042] 본 발명의 제 35 양태에 의하면, 고체 촬상 소자는, 1 개의 광전 변환부, 제 1 노드, 및, 1 개의 광전 변환부에 대응하여 형성되고 광전 변환부로부터 제 1 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과, 3 개 이상의 화소 블록의 제 1 노드에 각각 대응하는 3 개 이상의 제 2 노드와, 3 개 이상의 화소 블록의 제 1 노드와 3 개 이상의 제 2 노드의 사이를 각각 전기적으로 접속 및 절단하는 3 개 이상의 제 1 스위치부와, 3 개 이상의 제 2 노드를 접속하고, 각각이 2 개의 제 2 노드 사이를 전기적으로 접속 및 절단하는 복수의 제 2 스위치부를 구비한다.

[0043] 본 발명의 제 36 양태에 의하면, 고체 촬상 소자는, 1 개의 광전 변환부, 제 1 노드, 및, 1 개의 광전 변환부에 대응하여 형성되고 광전 변환부로부터 제 1 노드에 전하를 전송하는 1 개의 전송 스위치를 갖는 복수의 화소 블록과, 1 개의 화소 블록의 제 1 노드 및 다른 1 개의 화소 블록의 제 1 노드에 각각 대응하는 2 개의 제 2 노드와, 1 개의 화소 블록의 제 1 노드 및 다른 1 개의 화소 블록의 제 1 노드와 2 개의 제 2 노드의 사이를, 각각 전기적으로 접속 및 절단하는 2 개의 제 1 스위치부와, 2 개의 제 2 노드 사이를 전기적으로 접속 및 절단하는 제 2 스위치부와, 2 개의 제 2 노드에 각각 소정 전위를 공급하는 2 개의 제 3 스위치부를 구비한다.

[0044] 본 발명의 제 37 양태에 의하면, 촬상 장치는, 제 1 ~ 36 중 어느 일 양태의 고체 촬상 소자를 구비한다.

도면의 간단한 설명

[0045] 도 1 은, 본 발명의 제 1 실시형태에 의한 전자 카메라를 모식적으로 나타내는 개략 블록도이다.

도 2 는, 도 1 중의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 3 은, 도 2 중의 3 개의 화소 블록의 부근을 확대하여 나타내는 회로도이다.

도 4 는, 도 3 에 나타내는 3 개의 화소 블록의 부근을 모식적으로 나타내는 개략 평면도이다.

도 5 는, 도 4 중의 1 개의 화소 블록의 부근을 확대하여 나타내는 개략 평면도이다.

도 6 은, 도 2 에 나타내는 고체 촬상 소자의 소정의 동작 모드를 나타내는 타이밍 차트이다.

도 7 은, 도 2 에 나타내는 고체 촬상 소자의 다른 동작 모드를 나타내는 타이밍 차트이다.

도 8 은, 도 2 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 9 는, 비교예에 의한 고체 촬상 소자의 3 개의 화소 블록의 부근을 나타내는 회로도이다.

도 10 은, 도 9 에 나타내는 3 개의 화소 블록의 부근을 모식적으로 나타내는 개략 평면도이다.

도 11 은, 본 발명의 제 2 실시형태에 의한 전자 카메라의 고체 촬상 소자의 3 개의 화소 블록의 부근을 나타내는 회로도이다.

도 12 는, 도 11 에 나타내는 3 개의 화소 블록의 부근을 모식적으로 나타내는 개략 평면도이다.

도 13 은, 본 발명의 제 3 실시형태에 의한 전자 카메라의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 14 는, 본 발명의 제 4 실시형태에 의한 전자 카메라의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 15 는, 도 14 중의 4 개의 화소 블록의 부근을 확대하여 나타내는 회로도이다.

도 16 은, 도 14 에 나타내는 고체 촬상 소자의 소정의 동작 모드를 나타내는 타이밍 차트이다.

도 17 은, 도 14 에 나타내는 고체 촬상 소자의 다른 동작 모드를 나타내는 타이밍 차트이다.

도 18 은, 도 14 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 19 는, 도 14 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 20 은, 도 14 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 21 은, 본 발명의 제 5 실시형태에 의한 전자 카메라의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 22 는, 도 1 중의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 23 은, 도 1 중의 4 개의 화소 블록의 부근을 확대하여 나타내는 회로도이다.

도 24 는, 도 22 에 나타내는 고체 촬상 소자의 소정의 동작 모드를 나타내는 타이밍 차트이다.

도 25 는, 도 22 에 나타내는 고체 촬상 소자의 다른 동작 모드를 나타내는 타이밍 차트이다.

도 26 은, 도 22 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 27 은, 도 22 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 28 은, 도 22 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 29 는, 본 발명의 제 7 실시형태에 의한 전자 카메라의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 30 은, 도 1 중의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 31 은, 도 1 중의 4 개의 화소 블록의 부근을 확대하여 나타내는 회로도이다.

도 32 는, 도 31 중의 3 개의 화소 블록의 부근을 모식적으로 나타내는 개략 평면도이다.

도 33 은, 도 32 중의 1 개의 화소 블록의 부근을 확대하여 나타내는 개략 평면도이다.

도 34 는, 도 30 에 나타내는 고체 촬상 소자의 소정의 동작 모드를 나타내는 타이밍 차트이다.

도 35 는, 도 30 에 나타내는 고체 촬상 소자의 다른 동작 모드를 나타내는 타이밍 차트이다.

도 36 은, 도 30 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 37 은, 도 30 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 38 은, 도 30 에 나타내는 고체 촬상 소자의 또 다른 동작 모드를 나타내는 타이밍 차트이다.

도 39 는, 비교예에 의한 고체 촬상 소자의 3 개의 화소 블록의 부근을 나타내는 회로도이다.

도 40 은, 도 37 에 나타내는 3 개의 화소 블록의 부근을 모식적으로 나타내는 개략 평면도이다.

도 41 은, 본 발명의 제 9 실시형태에 의한 전자 카메라의 고체 촬상 소자의 개략 구성을 나타내는 회로도이다.

도 42 는, 본 발명의 제 10 실시형태에 의한 전자 카메라의 고체 촬상 소자의 3 개의 화소 블록의 부근을 나타내는 회로도이다.

도 43 은, 도 42 중의 3 개의 화소 블록의 부근을 확대하여 나타내는 회로도이다.

도 44 는, 노드 (P(n)) 의 전위를 리셋하는 모습을 예시하는 타이밍 차트이다.

도 45 는, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 3 개의 화소 블록의 부근을 나타내는 회로도이다.

도 46 은, 도 45 에 나타내는 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이다.

도 47 은, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 제 1 동작 모드를 나타내는 타이밍 차트이다.

도 48 은, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 제 2A 동작 모드를 나타내는 타이밍 차트이다.

도 49 는, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 제 2B 동작 모드를 나타내는 타이밍 차트이다.

도 50 은, 노드 (P(n)) 의 전위를 리셋하는 모습을 예시하는 타이밍 차트이다.

발명을 실시하기 위한 구체적인 내용

[0046] 이하, 본 발명에 의한 고체 촬상 소자 및 촬상 장치에 대하여, 도면을 참조하여 설명한다.

[0047] [제 1 실시형태]

[0048] 도 1 은, 본 발명의 제 1 실시형태에 의한 전자 카메라 (1) 를 모식적으로 나타내는 개략 블록도이다.

[0049] 본 실시형태에 의한 전자 카메라 (1) 는, 예를 들어 일안 리플렉스 디지털 메라로서 구성되지만, 본 발명에 의

한 촬상 장치는, 이것에 한정되지 않고, 콤팩트 카메라 등의 다른 전자 카메라나, 휴대 전화에 탑재된 전자 카메라나, 동영상 촬상하는 비디오 카메라 등의 전자 카메라 등의 각종 촬상 장치에 적용할 수 있다.

[0050] 전자 카메라 (1) 에는, 촬영 렌즈 (2) 가 장착된다. 이 촬영 렌즈 (2) 는, 렌즈 제어부 (3) 에 의해 포커스나 조리개가 구동된다. 이 촬영 렌즈 (2) 의 이미지 공간에는, 고체 촬상 소자 (4) 의 촬상면이 배치된다.

[0051] 고체 촬상 소자 (4) 는, 촬상 제어부 (5) 의 지령에 의해 구동되고, 디지털 화상 신호를 출력한다. 통상적인 본 촬영시 (정지 영상 촬영시) 등에서는, 촬상 제어부 (5) 는, 예를 들어, 전체 화소를 동시에 리셋하는 소위 글로벌 리셋 후에, 도시하지 않는 메커니컬 셔터로 노광한 후에, 소정의 판독 동작을 실시하도록 고체 촬상 소자 (4) 를 제어한다. 또, 전자 뷰파인더 모드나 동영상 촬영시 등에서는, 촬상 제어부 (5) 는, 예를 들어 소위 롤링 전자 셔터를 실시하면서 소정의 판독 동작을 실시하도록 고체 촬상 소자 (4) 를 제어한다. 이러한 때에, 촬상 제어부 (5) 는, 후술하는 바와 같이, ISO 감도의 설정값에 따라서, 후술하는 각 동작 모드의 판독 동작을 실시하도록, 고체 촬상 소자 (4) 를 제어한다. 디지털 신호 처리부 (6) 는, 고체 촬상 소자 (4) 로부터 출력되는 디지털 화상 신호에 대해, 디지털 증폭, 색 보간 처리, 화이트 밸런스 처리 등의 화상 처리 등을 실시한다. 디지털 신호 처리부 (6) 에 의한 처리 후의 화상 신호는, 메모리 (7) 에 일단 축적된다. 메모리 (7) 는, 버스 (8) 에 접속되어 있다. 버스 (8) 에는, 렌즈 제어부 (3), 촬상 제어부 (5), CPU (9), 액정 표시 패널 등의 표시부 (10), 기록부 (11), 화상 압축부 (12) 및 화상 처리부 (13) 등도 접속된다. CPU (9) 에는, 릴리스 버튼 등의 조작부 (14) 가 접속된다. 조작부 (14) 에 의해 ISO 감도를 설정할 수 있도록 되어 있다. 기록부 (11) 에는 기록 매체 (11a) 가 자유롭게 착탈할 수 있도록 장착된다.

[0052] 전자 카메라 (1) 내의 CPU (9) 는, 조작부 (14) 의 조작에 의해 전자 뷰파인더 모드나 동영상 촬영이나 통상적인 본 촬영 (정지 영상 촬영) 등이 지시되면, 그것에 맞추어 촬상 제어부 (5) 를 구동한다. 이 때, 렌즈 제어부 (3) 에 의해, 포커스나 조리개가 적절히 조정된다. 고체 촬상 소자 (4) 는, 촬상 제어부 (5) 의 지령에 의해 구동되고, 디지털 화상 신호를 출력한다. 고체 촬상 소자 (4) 로부터의 디지털 화상 신호는, 디지털 신호 처리부 (6) 에서 처리된 후에, 메모리 (7) 에 축적된다. CPU (9) 는, 전자 뷰파인더 모드시에는 그 화상 신호를 표시부 (10) 에 화상 표시시키고, 동영상 촬영시에는 그 화상 신호를 기록 매체 (11a) 에 기록한다. 통상적인 본 촬영시 (정지 영상 촬영시) 등의 경우에는, CPU (9) 는, 고체 촬상 소자 (4) 로부터의 디지털 화상 신호가 디지털 신호 처리부 (6) 에서 처리되어 메모리 (7) 에 축적된 후에, 조작부 (14) 의 지령에 기초하여, 필요에 따라 화상 처리부 (13) 나 화상 압축부 (12) 에서 원하는 처리를 실시하고, 기록부 (11) 에 처리 후의 신호를 출력시키고 기록 매체 (11a) 에 기록한다.

[0053] 도 2 는, 도 1 중의 고체 촬상 소자 (4) 의 개략 구성을 나타내는 회로도이다. 도 3 은, 도 2 중의 열 방향으로 순차 늘어난 3 개의 화소 블록 (BL) 의 부근을 확대하여 나타내는 회로도이다. 도 4 는, 도 3 에 나타내는 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이다. 도 5 는, 도 4 중의 1 개의 화소 블록 (BL) 의 부근을 확대하여 나타내는 개략 평면도이다. 본 실시형태에서는, 고체 촬상 소자 (4) 는, CMOS 형의 고체 촬상 소자로서 구성되어 있지만, 이것에 한정되지 않고, 예를 들어, 다른 XY 어드레스형 고체 촬상 소자로서 구성해도 된다.

[0054] 고체 촬상 소자 (4) 는, 도 2 내지 도 4 에 나타내는 바와 같이, N 행 M 열에 2 차원 매트릭스상으로 배치되고 각각 2 개의 화소 (PX (PXA, PXB)) 를 갖는 화소 블록 (BL) 과, 화소 블록 (BL) 의 1 개당 복수의 연결 스위치로서의 연결 트랜지스터 (SWa, SWb) 와, 수직 주사 회로 (21) 와, 화소 블록 (BL) 의 행마다 형성된 제어선 (22 ~ 27) 과, 화소 (PX) 의 열마다 (화소 블록 (BL) 의 열마다) 형성되고 대응하는 열의 화소 (PX) (화소 블록 (BL)) 로부터의 신호를 수취하는 복수의 (M 개의) 수직 신호선 (28) 과, 각 수직 신호선 (28) 에 형성된 정전류원 (29) 과, 각 수직 신호선 (28) 에 대응하여 형성된 칼럼 앰프 (30), CDS 회로 (상관 2 중 샘플링 회로) (31) 및 A/D 변환기 (32) 와, 수평 판독 회로 (33) 를 갖고 있다.

[0055] 또한, 칼럼 앰프 (30) 로서, 아날로그 증폭기를 사용해도 되고, 소위 스위치드 커패시터 앰프를 사용해도 된다. 또, 칼럼 앰프 (30) 는, 반드시 형성하지는 않아도 된다.

[0056] 도면 표기의 편의상, 도 2 에서는 M=2 로서 나타내고 있지만, 열수 (M) 는 실제로는 보다 많은 임의의 수가 된다. 또, 행수 (N) 도 한정되지 않는다. 화소 블록 (BL) 을 행마다 구별하는 경우, j 행째의 화소 블록 (BL) 은 부호 BL(j) 로 나타낸다. 이 점은, 다른 요소나 후술하는 제어 신호에 대해서도 동일하다. 도 2 및 도 3 에는, 3 행에 걸치는 n-1 행째 내지 n+1 행째의 화소 블록 (BL(n-1) ~ BL(n+1)) 이 나타나 있다.

[0057] 또한, 도면에서는, 화소 블록 (BL) 중 도 2 및 도 3 중 하측의 화소의 부호를 PXA 로 하고, 도 2 및 도 3 중 상

측의 화소의 부호를 PXB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 PX 를 붙여 설명하는 경우가 있다. 또, 도면에서는, 화소 (PXA) 의 포토다이오드의 부호를 PDA 로 하고, 화소 (PXB) 의 포토다이오드의 부호를 PDB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 PD 를 붙여 설명하는 경우가 있다. 마찬가지로, 화소 (PXA) 의 전송 트랜지스터의 부호를 TXA 로 하고, 화소 (PXB) 의 전송 트랜지스터의 부호를 TXB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 TX 를 붙여 설명하는 경우가 있다. 또한, 본 실시형태에서는, 화소 (PX) 의 포토다이오드 (PD) 는, 2N 행 M 열에 2 차원 매트릭스상으로 배치되어 있다.

[0058] 본 실시형태에서는, 각 화소 (PX) 는, 입사광에 따른 신호 전하를 생성하고 축적하는 광전 변환부로서의 포토다이오드 (PD) 와, 포토다이오드 (PD) 로부터 노드 (P) 에 전하를 전송하는 전송 스위치로서의 전송 트랜지스터 (TX) 를 갖고 있다.

[0059] 본 실시형태에서는, 복수의 화소 (PX) 는, 포토다이오드 (PD) 가 열 방향으로 순차 늘어선 2 개의 화소 (PX (PXA, PXB)) 마다 화소 블록 (BL) 을 이루고 있다. 도 2 및 도 3 에 나타내는 바와 같이, 각 화소 블록 (BL) 마다, 당해 화소 블록 (BL) 에 속하는 2 개의 화소 (PX (PXA, PXB)) 가, 1 세트의 노드 (P), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL) 를 공유하고 있다. 노드 (P) 에는 기준 전위와의 사이에 용량 (전하 전압 변환 용량) 이 형성되고, 그 용량에 의해, 노드 (P) 에 전송되어 온 전하가 전압으로 변환된다. 증폭 트랜지스터 (AMP) 는, 노드 (P) 의 전위에 따른 신호를 출력하는 증폭부를 구성하고 있다. 리셋 트랜지스터 (RST) 는, 노드 (P) 의 전위를 리셋하는 리셋 스위치를 구성하고 있다. 선택 트랜지스터 (SEL) 는, 당해 화소 블록 (BL) 을 선택하기 위한 선택부를 구성하고 있다. 포토다이오드 (PD) 및 전송 트랜지스터 (TX) 는, 2 개의 화소 (PX (PXA, PXB)) 에서 공유되는 일 없이, 화소 (PX) 마다 형성되어 있다. 도 2 및 도 3 에서는, n 은 화소 블록 (BL) 의 행을 나타내고 있다. 예를 들어, 1 행째의 화소 (PX (PXA)) 와 2 행째의 화소 (PX (PXB)) 에 의해 1 행째의 화소 블록 (BL) 이 구성되고, 3 행째의 화소 (PX (PXA)) 와 4 행째의 화소 (PX (PXB)) 에 의해 2 행째의 화소 블록 (BL) 이 구성되어 있다.

[0060] 또한, 본 발명에서는, 예를 들어, 포토다이오드 (PD) 가 열 방향으로 순차 늘어선 3 개 이상의 화소 (PX) 마다 화소 블록 (BL) 을 구성하도록 해도 된다.

[0061] 도면에는 나타내고 있지 않지만, 본 실시형태에서는, 각각의 화소 (PX) 의 포토다이오드 (PD) 의 광 입사측에는, 각각이 상이한 색 성분의 광을 투과시키는 복수 종류의 컬러 필터가, 소정의 색 배열 (예를 들어, 배이어 배열) 로 배치되어 있다. 화소 (PX) 는, 컬러 필터에 의한 색 분해에 의해 각 색에 대응하는 전기 신호를 출력한다.

[0062] 각 화소 블록 (BL) 중 열 방향으로 서로 이웃하는 각 2 개의 화소 블록 (BL) 에 대해, 일방의 화소 블록 (BL) 의 노드 (P) 와 타방의 화소 블록 (BL) 의 노드 (P) 의 사이에 형성된 전기적인 접속로 (접속부) 로서 그 사이에 고유의 접속로 (접속부) 중에, 2 개의 연결 스위치로서의 2 개의 연결 트랜지스터 (SWa, SWb) 가 직렬로 형성되어 있다. 이에 따라, 본 실시형태에서는, 3 개 이상의 화소 블록 (BL) 의 노드 (P) 가, 복수의 상기 접속로 (접속부) 에 의해 염주가 이어진 형상으로 접속되어 있다. 그들 2 개의 연결 트랜지스터 (SWa, SWb) 중, 연결 트랜지스터 (SWa) 는, 도 2 및 도 3 중의 하측의 화소 블록 (BL) 의 노드 (P) 측에 배치된 것이고, 연결 트랜지스터 (SWb) 는, 도 2 및 도 3 중의 상측의 화소 블록 (BL) 의 노드 (P) 의 측에 배치된 것이다.

[0063] 예를 들어, n 행째의 화소 블록 (BL(n)) 의 노드 (P(n)) 와 n+1 행째의 화소 블록 (BL) 의 노드 (P(n+1)) 의 사이의 전기적인 접속로로서 그 사이에 고유의 접속로 중에, 2 개의 연결 트랜지스터 (SWa(n), SWb(n)) 가 직렬로 형성되어 있다. 도 4 에 나타내는 바와 같이, 연결 트랜지스터 (SWa(n)) 는 화소 블록 (BL(n)) 의 영역 내에 형성되는 한편, 연결 트랜지스터 (SWb(n)) 는 화소 블록 (BL(n+1)) 의 영역 내에 형성되어 있지만, 이들 연결 트랜지스터 (SWa(n), SWb(n)) 에는, 동일한 고유의 접속로 중에 직렬로 형성되어 있는 것을 나타내기 위해서, 부호의 말미에 동일한 (n) 을 붙이고 있다. 또한, 본 발명에서는, 상기 각 고유의 접속로 중에 3 개 이상의 연결 스위치를 직렬로 형성해도 되지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이, 상기 각 고유의 접속로 중에 2 개의 연결 트랜지스터 (SWa, SWb) 를 직렬로 형성하는 것이 바람직하다.

[0064] 도 2 및 도 3 에 있어서, VDD 는 전원 전위이다. 또한, 본 실시형태에서는, 트랜지스터 (TXA, TXB, AMP, RST, SEL, SWa, SWb) 는, 모두 nMOS 트랜지스터이다.

[0065] 전송 트랜지스터 (TXA) 의 게이트는 행마다 제어선 (26) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{TXA}) 가 수직 주사 회로 (21) 로부터 공급된다. 전송 트랜지스터 (TXB) 의 게이트는 행마다 제어선 (25) 에 공통

으로 접속되고, 거기에는, 제어 신호 (ϕTXB) 가 수직 주사 회로 (21) 로부터 공급된다. 리셋 트랜지스터 (RST) 의 게이트는 행마다 제어선 (24) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕRST) 가 수직 주사 회로 (21) 로부터 공급된다. 선택 트랜지스터 (SEL) 의 게이트는 행마다 제어선 (23) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕSEL) 가 수직 주사 회로 (21) 로부터 공급된다. 연결 트랜지스터 (SWa) 의 게이트는 행마다 제어선 (22) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕSWa) 가 수직 주사 회로 (21) 로부터 공급된다. 연결 트랜지스터 (SWb) 의 게이트는 행마다 제어선 (27) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕSWb) 가 수직 주사 회로 (21) 로부터 공급된다. 예를 들어, 전송 트랜지스터 (TXA(n)) 의 게이트에는 제어 신호 ($\phi\text{TXA(n)}$) 가 공급되고, 전송 트랜지스터 (TXB(n)) 의 게이트에는 제어 신호 ($\phi\text{TXB(n)}$) 가 공급되고, 리셋 트랜지스터 (RST(n)) 의 게이트에는 제어 신호 ($\phi\text{RST(n)}$) 가 공급되고, 선택 트랜지스터 (SEL(n)) 의 게이트에는 제어 신호 ($\phi\text{SEL(n)}$) 가 공급되고, 연결 트랜지스터 (SWa(n)) 의 게이트에는 제어 신호 ($\phi\text{SWa(n)}$) 가 공급되고, 연결 트랜지스터 (SWb(n)) 의 게이트에는 제어 신호 ($\phi\text{SWb(n)}$) 가 공급된다.

[0066] 각 트랜지스터 (TXA, TXB, RST, SEL, SWa, SWb) 는, 대응하는 제어 신호 (ϕTXA , ϕTXB , ϕRST , ϕSEL , ϕSWa , ϕSWb) 가 하이 레벨 (H) 일 때에 온하고, 로 레벨 (L) 일 때에 오프한다.

[0067] 수직 주사 회로 (21) 는, 도 1 중의 촬상 제어부 (5) 에 의한 제어하에서, 화소 블록 (BL) 의 행마다, 제어 신호 (ϕTXA , ϕTXB , ϕRST , ϕSEL , ϕSWa , ϕSWb) 를 각각 출력하고, 화소 블록 (BL), 연결 트랜지스터 (SWa, SWb) 를 제어하고, 정지 영상 판독 동작이나 동영상 판독 동작 등을 실현한다. 이 제어에 있어서, 예를 들어 ISO 감도의 설정값에 따라, 후술하는 각 동작 모드의 판독 동작이 실시된다. 이 제어에 의해, 각 수직 신호선 (28) 에는, 그에 대응하는 열의 화소 (PX) 의 신호 (아날로그 신호) 가 공급된다.

[0068] 본 실시형태에서는, 수직 주사 회로 (21) 는, 후술하는 각 동작 모드들, 도 1 중의 촬상 제어부 (5) 로부터의 지령 (제어 신호) 에 따라 전환하여 실시하는 제어부를 구성하고 있다.

[0069] 수직 신호선 (28) 에 판독된 신호는, 각 열마다, 칼럼 앰프 (30) 에서 증폭되고 또한 CDS 회로 (31) 에서 광 신호 (화소 (PX) 로 광전 변환된 광 정보를 포함하는 신호) 와 암신호 (광 신호로부터 빼야 할 노이즈 성분을 포함하는 차분용 신호) 의 차분을 얻는 처리가 실시된 후에, A/D 변환기 (32) 에서 디지털 신호로 변환되고, 그 디지털 신호는 A/D 변환기 (32) 에 유지된다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 필요에 따라 소정의 신호 형식으로 변환되어, 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.

[0070] 또한, CDS 회로 (31) 는, 도 1 중의 촬상 제어부 (5) 에 의한 제어하에서 타이밍 발생 회로 (도시 생략) 로부터 암신호 샘플링 신호 (ϕDARKC) 를 받고, ϕDARKC 가 하이 레벨 (H) 인 경우에 칼럼 앰프 (30) 의 출력 신호를 암신호로서 샘플링함과 함께, 도 1 중의 촬상 제어부 (5) 에 의한 제어하에서 상기 타이밍 발생 회로로부터 광 신호 샘플링 신호 (ϕSIGC) 를 받고, ϕSIGC 가 H 인 경우에 칼럼 앰프 (30) 의 출력 신호를 광 신호로서 샘플링한다. 그리고, CDS 회로 (31) 는, 상기 타이밍 발생 회로로부터의 클럭이나 펄스에 기초하여, 샘플링한 암신호와 광신호의 차분에 따른 신호를 출력한다. 이와 같은 CDS 회로 (31) 의 구성으로는, 공지된 구성을 채용할 수 있다.

[0071] 여기서, 도 4 및 도 5 를 참조하여, 화소 블록 (BL) 의 구조에 대하여 설명한다. 실제로는, 포토다이오드 (PD) 의 상부에는 컬러 필터나 마이크로 렌즈 등이 배치되지만, 도 4 및 도 5 에서는 생략하고 있다. 또한, 도 4 및 도 5 에 있어서, 전원선, 그라운드선 및 제어선 (22 ~ 27) 등의 레이아웃은 생략하고 있다.

[0072] 본 실시형태에서는, N 형 실리콘 기판 (도시 생략) 상에 P 형 웰 (도시 생략) 이 형성되고, 상기 P 형 웰 중에 포토다이오드 (PD) 등의 화소 블록 (BL) 에 있어서의 각 소자가 배치되어 있다. 도 5 에 있어서, 부호 41 ~ 49 는, 전술한 각 트랜지스터의 일부가 되어 있는 N 형 불순물 확산 영역이다. 부호 61 ~ 67 은, 폴리 실리콘에 의한 각 트랜지스터의 게이트 전극이다. 또한, 확산 영역 (42, 45) 은, 도시하지 않는 전원선에 의해 전원 전압 (VDD) 이 인가되는 영역이다.

[0073] 포토다이오드 (PDA(n), PDB(n)) 는, 상기 P 형 웰 중에 형성된 N 형의 전하 축적층 (도시 생략) 과 그 표면층에 배치된 P 형의 공핍화 (空乏化) 방지층 (도시 생략) 으로 이루어지는 매립형 포토다이오드이다. 포토다이오드 (PDA(n), PDB(n)) 는, 입사하는 광을 광전 변환하고, 발생한 전하를 그 전하 축적층에 축적한다.

[0074] 전송 트랜지스터 (TXA(n)) 는, 포토다이오드 (PDA(n)) 의 전하 축적층을 소스, 확산 영역 (41) 을 드레인, 게이트 전극 (61) 을 게이트로 하는 nMOS 트랜지스터이다. 전송 트랜지스터 (TXB(n)) 는, 포토다이오드 (PDB(n)) 의 전하 축적층을 소스, 확산 영역 (41) 을 드레인, 게이트 전극 (62) 을 게이트로 하는 nMOS 트랜지

스터이다. 확산 영역 (41) 은, 포토다이오드 (PDA(n)) 와 포토다이오드 (PDB(n)) 의 사이에 형성되어 있다.

확산 영역 (41) 은, 전송 트랜지스터 (TXA(n)) 의 드레인이 되는 확산 영역 및 전송 트랜지스터 (TXB(n)) 의 드레인이 되는 확산 영역으로서 겸용되고 있다. 전송 트랜지스터 (TXA(n)) 의 게이트 전극 (61) 은, 확산 영역 (41) 의 포토다이오드 (PDA(n)) 측에 배치되어 있다. 전송 트랜지스터 (TXB(n)) 의 게이트 전극 (62) 은, 확산 영역 (41) 의 포토다이오드 (PDB(n)) 측에 배치되어 있다.

[0075] 증폭 트랜지스터 (AMP(n)) 는, 확산 영역 (42) 을 드레인, 확산 영역 (43) 을 소스, 게이트 전극 (63) 을 게이트로 하는 nMOS 트랜지스터이다. 선택 트랜지스터 (SEL(n)) 는, 확산 영역 (43) 을 드레인, 확산 영역 (44) 을 소스, 게이트 전극 (64) 을 게이트로 하는 nMOS 트랜지스터이다. 확산 영역 (44) 은, 수직 신호선 (28) 에 접속되어 있다. 리셋 트랜지스터 (RST(n)) 는, 확산 영역 (45) 을 드레인, 확산 영역 (46) 을 소스, 게이트 전극 (65) 을 게이트로 하는 nMOS 트랜지스터이다.

[0076] 연결 트랜지스터 (SWa(n)) 는, 확산 영역 (46) 을 소스, 확산 영역 (47) 을 드레인, 게이트 전극 (66) 을 게이트로 하는 nMOS 트랜지스터이다. 연결 트랜지스터 (SWb(n-1)) 는, 확산 영역 (48) 을 드레인, 확산 영역 (49) 을 소스, 게이트 전극 (67) 을 게이트로 하는 nMOS 트랜지스터이다.

[0077] 화소 블록 (BL(n)) 의 게이트 전극 (63) 및 확산 영역 (41, 46) 그리고 연결 트랜지스터 (SWb(n-1)) 의 확산 영역 (48) 사이가, 배선 (71(n)) 에 의해 서로 전기적으로 접속되어 도통하고 있다. 본 실시형태에서는, 노드 (P(n)) 는, 배선 (71(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다.

[0078] n 행째 이외의 화소 블록 (BL) 의 구조도, 전술한 n 행째의 화소 블록 (BL(n)) 의 구조와 동일하다. 연결 트랜지스터 (SWa(n)) 이외의 연결 트랜지스터 (SWa) 의 구조도, 전술한 연결 트랜지스터 (SWa(n)) 의 구조와 동일하다. 연결 트랜지스터 (SWb(n)) 이외의 연결 트랜지스터 (SWb) 의 구조도, 전술한 연결 트랜지스터 (SWb(n)) 의 구조와 동일하다.

[0079] 그리고, 상기 각 고유의 접속로 중에 직렬로 형성되어 있는 2 개의 연결 트랜지스터 (SWa, SWb) 에 대해, 연결 트랜지스터 (SWa) 의 확산 영역 (47) 과 연결 트랜지스터 (SWb) 의 확산 영역 (49) 의 사이가, 배선 (72) 에 의해 접속되어 있다. 예를 들어, 연결 트랜지스터 (SWa(n-1)) 의 확산 영역 (47) 과 연결 트랜지스터 (SWb(n-1)) 의 확산 영역 (49) 의 사이가, 배선 (72(n-1)) 에 의해 전기적으로 접속되어 있다. 배선 (72(n-1)) 은, 연결 트랜지스터 (SWa(n-1), SWb(n-1)) 가 오프인 경우에 있어서의 연결 트랜지스터 (SWa(n-1), SWb(n-1)) 사이의 접속부를 구성하고 있다. 연결 트랜지스터 (SWa(n)) 의 확산 영역 (47) 과 연결 트랜지스터 (SWb(n)) 의 확산 영역 (49) 의 사이가, 배선 (72(n)) 에 의해 전기적으로 접속되어 있다. 배선 (72(n)) 은, 연결 트랜지스터 (SWa(n), SWb(n)) 가 오프인 경우에 있어서의 연결 트랜지스터 (SWa(n), SWb(n)) 사이의 접속부를 구성하고 있다.

[0080] 여기서, 도 4 에 나타내는 바와 같이, 상기 각 고유의 접속로 중에 직렬로 형성되어 있는 2 개의 연결 트랜지스터 (SWa, SWb) 사이의 열 방향의 위치 어긋남량을 L_s 로 하고, 포토다이오드 (PD) 의 열 방향의 피치를 P_g 로 한다. 본 발명에서는, 피치 (P_g) 와 위치 어긋남량 (L_s) 의 관계는 한정되는 것은 아니지만, 후술하는 용량 (CA) 의 용량값 (C_{fd1}) 을 작게 하기 위해서는, $P_g < L_s < 2 \times P_g$ 인 것이 바람직하다. 본 실시형태에서는, 예를 들어, 연결 트랜지스터 (SWb(n-1)) 가 연결 트랜지스터 (SWa(n)) 의 근방에 배치되고, 위치 어긋남량 (L_s) 이 $2 \times P_g$ 를 약간 하회할 정도로 설정되어, 배선 (71(n)) 의 길이가 극력 짧게 되고, 후술하는 용량 (CA(n)) 의 용량값 (C_{fd1}) 이 극력 작아지도록 되어 있다.

[0081] 도 2 내지 도 5 에 있어서, CA(n) 은, 연결 트랜지스터 (SWa(n), SWb(n-1)) 가 오프하고 있는 경우의, 노드 (P(n)) 와 기준 전위의 사이의 용량이다. 용량 (CA(n)) 의 용량값을 C_{fd1} 로 한다. CB(n) 은, 연결 트랜지스터 (SWa(n), SWb(n)) 가 오프하고 있는 경우의, 배선 (72(n)) 과 기준 전위의 사이의 용량을 나타내고 있다. 용량 (CB(n)) 의 용량값을 C_{fd2} 로 한다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0082] 용량 (CA(n)) 은, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역 (41) 의 용량과, 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역 (46) 의 용량과, 연결 트랜지스터 (SWa(n)) 의 소스 확산 영역 (46) 의 용량과, 연결 트랜지스터 (SWb(n-1)) 의 드레인 확산 영역 (48) 의 용량과, 증폭 트랜지스터 (AMP(n)) 의 게이트 전극 (63) 의 용량과, 배선 (71(n)) 의 배선 용량으로 구성되고, 그들 용량값의 합계가 용량 (CA(n)) 의 용량값 (C_{fd1}) 이 된다. 이 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0083] 여기서, 연결 트랜지스터 (SWa) 의 온시의 채널 용량의 값 및 연결 트랜지스터 (SWb) 의 온시의 채널 용량의 값

을, 양방 모두 C_{sw} 로 한다. 통상적으로, 용량값 (C_{sw}) 은, 용량값 (C_{fd1} , C_{fd2}) 에 대해 작은 값이다.

[0084] 지금, 화소 블록 ($BL(n)$) 에 주목하여, 연결 트랜지스터 ($SWa(n)$, $SWb(n-1)$) 가 양방 모두 오프하면 (즉, 각 연결 트랜지스터 (SWa , SWb) 중 온 상태의 연결 트랜지스터가 노드 ($P(n)$) 에 대해 전기적으로 접속된 상태가 되지 않고, 연결 트랜지스터 (SWa , SWb) 가 형성되어 있는 접속로가 노드 ($P(n)$) 에 대해 전기적으로 접속된 상태가 되지 않으면), 노드 ($P(n)$) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은, 용량 ($CA(n)$) 이 된다.

따라서, 노드 ($P(n)$) 의 전하 전압 변환 용량의 용량값은, C_{fd1} 이 된다. 이 상태는, 후술하는 제 1 동작 모드를 나타내는 도 6 중의 기간 ($T2$) 의 상태에 상당하고 있다.

[0085] 또, 화소 블록 ($BL(n)$) 에 주목하여, 연결 트랜지스터 ($SWa(n)$) 가 온하면, 각 연결 트랜지스터 (SWa , SWb) 중 연결 트랜지스터 ($SWa(n)$) 이외의 온 상태의 연결 트랜지스터가 노드 ($P(n)$) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 연결 트랜지스터 ($SWb(n-1)$, $SWb(n)$) 가 오프이면), 노드 ($P(n)$) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은, 용량 ($CA(n)$) 에 대해, 용량 ($CB(n)$) 및 연결 트랜지스터 ($SWa(n)$) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 노드 ($P(n)$) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + C_{fd2} + C_{sw} \approx C_{fd1} + C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 2A 동작 모드를 나타내는 도 7 중의 기간 ($T2$) 의 상태에 상당하고 있다.

[0086] 또한, 화소 블록 ($BL(n)$) 에 주목하여, 연결 트랜지스터 ($SWa(n)$, $SWb(n)$) 가 양방 모두 온하면, 각 연결 트랜지스터 (SWa , SWb) 중 연결 트랜지스터 ($SWa(n)$, $SWb(n)$) 이외의 온 상태의 연결 트랜지스터가 노드 ($P(n)$) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 연결 트랜지스터 ($SWb(n-1)$, $SWa(n+1)$) 가 오프이면), 노드 ($P(n)$) 의 전하 전압 변환 용량은, 용량 ($CA(n)$) 에 대해, 용량 ($CB(n)$), 연결 트랜지스터 ($SWa(n)$, $SWb(n)$) 의 온시의 채널 용량 및 용량 ($CA(n+1)$) 을 부가한 것이 된다. 따라서, 노드 ($P(n)$) 의 전하 전압 변환 용량의 용량값은, $2 \times C_{fd1} + C_{fd2} + 2 \times C_{sw} \approx 2 \times C_{fd1} + C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 2B 동작 모드를 나타내는 도 8 중의 기간 ($T2$) 의 상태에 상당하고 있다.

[0087] 이와 같이, 각 연결 트랜지스터 (SWa , SWb) 중 노드 ($P(n)$) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터가 없으면, 노드 ($P(n)$) 의 전하 전압 변환 용량의 용량값이 최소가 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 판독이 가능해진다.

[0088] 한편, 각 연결 트랜지스터 (SWa , SWb) 중 노드 ($P(n)$) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터의 수를 1 개 이상의 원하는 수로 늘려 가면, 노드 ($P(n)$) 의 전하 전압 변환 용량의 용량값을 원하는 값으로 크게 할 수 있고, 큰 신호 전하량을 취급할 수 있기 때문에, 포화 전자수를 확대할 수 있다. 이에 따라, 다이나믹 레인지를 확대할 수 있다.

[0089] 이상, 화소 블록 ($BL(n)$) 의 노드 ($P(n)$) 에 대하여 설명했지만, 다른 화소 블록 (BL) 의 노드 (P) 에 대해서도 동일하다.

[0090] 도 6 은, 도 2 에 나타내는 고체 촬상 소자 (4) 의 제 1 동작 모드를 나타내는 타이밍 차트이다. 이 제 1 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 연결 트랜지스터 (SWa , SWb) 중 선택된 화소 블록 (BL) 의 노드 (P) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터가 없는 상태 (당해 노드 (P) 의 전하 전압 변환 용량이 최소인 상태) 에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA , TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA , PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다. 도 6 에 나타내는 예에서는, 전체 화소 (PXA , PXB) 의 신호를 판독하지만, 이것에 한정되지 않고, 예를 들어, 화소 행을 슈아내어 판독하는 슈아내기 판독 등을 실시해도 된다. 이 점은, 후술하는 도 7 및 도 8 에 각각 나타내는 각 예에 대해서도 동일하다.

[0091] 도 6 은, 기간 ($T1$) 에 있어서 $n-1$ 행째의 화소 블록 ($BL(n-1)$) 이 선택되고, 기간 ($T2$) 에 있어서 n 행째의 화소 블록 ($BL(n)$) 이 선택되고, 기간 ($T3$) 에 있어서 $n+1$ 행째의 화소 블록 ($BL(n+1)$) 이 선택되어 가는 상황을 나타내고 있다. 어느 행의 화소 블록 (BL) 이 선택된 경우의 동작도 동일하므로, 여기서는, n 행째의 화소 블록 ($BL(n)$) 이 선택된 경우의 동작에 대해서만 설명한다.

[0092] 기간 ($T2$) 의 개시 전에 이미, 소정의 노광 기간에 있어서, 포토다이오드 ($PDA(n)$, $PDB(n)$) 의 노광이 종료되어 있다. 이 노광은, 통상적인 본 촬영시 (정지 영상 촬영시) 등에서는, 전체 화소를 동시에 리셋하는 소위 글로벌 리셋 후에 메커니컬 셔터 (도시 생략) 에 의해 실시되고, 전자 뷰파인더 모드시나 동영상 촬영시 등에서는, 소위 롤링 전자 셔터 동작에 의해 실시된다. 기간 ($T2$) 의 개시 직전에는, 모든 트랜지스터 (SEL , RST , TXA , TXB , SWa , SWb) 는 오프하고 있다.

- [0093] 기간 (T2) 에 있어서, n 행째의 $\phi_{SEL(n)}$ 이 H 가 되고, n 행째의 화소 블록 (BL(n)) 의 선택 트랜지스터 (SEL(n)) 가 온이 되고, n 행째의 화소 블록 (BL(n)) 이 선택된다.
- [0094] 또, 기간 (T2) 에 있어서, $\phi_{SWa(n)}$, $\phi_{SWb(n-1)}$ 이 L 이 되고, 연결 트랜지스터 (SWa(n), SWb(n-1)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 연결 트랜지스터 (SWa, SWb) 중 선택된 화소 블록 (BL(n)) 의 노드 (P(n)) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터가 없는 상태가 된다. 따라서, 전술한 바와 같이, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값은, Cfd1 이 되고, 최소가 된다.
- [0095] 기간 (T2) 의 개시 직후부터 일정 기간만, $\phi_{RST(n)}$ 이 H 가 되어 n 행째의 리셋 트랜지스터 (RST(n)) 가 일단 온이 되고, 노드 (P(n)) 의 전위가 일단 전원 전위 (VDD) 로 리셋된다.
- [0096] 기간 (T2) 중의 그 후의 시점 (t1) 으로부터 일정 기간만, 암신호 샘플링 신호 (ϕ_{DARKC}) 가 H 가 되어, 노드 (P(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 암신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0097] 기간 (T2) 중의 그 후의 시점 (t2) 으로부터 일정 기간만, $\phi_{TXA(n)}$ 이 H 가 되어 n 행째의 전송 트랜지스터 (TXA(n)) 가 온이 된다. 이에 따라, n 행째의 화소 블록 (BL(n)) 의 포토다이오드 (PDA(n)) 에 축적되어 있던 신호 전하가, 노드 (P(n)) 의 전하 전압 변환 용량으로 전송된다. 노드 (P(n)) 의 전위는, 노이즈 성분을 제외하면, 이 신호 전하의 양과 노드 (P(n)) 의 전하 전압 변환 용량의 용량값의 역수에 비례한 값이 된다.
- [0098] 기간 (T2) 중의 그 후의 시점 (t3) 에 있어서, 광 신호 샘플링 신호 (ϕ_{SIGC}) 가 H 가 되어, 노드 (P(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 광 신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0099] 그 후에 ϕ_{SIGC} 가 L 이 된 시점 후에, CDS 회로 (31) 는, 시점 (t1) 으로부터의 일정 기간에서 샘플링한 암신호와 시점 (t3) 으로부터의 일정 시간에서 샘플링한 광 신호의 차분에 따른 신호를 출력한다. A/D 변환기 (32) 는, 이 차분에 따른 신호를 디지털 신호로 변환하여 유지한다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 디지털 신호 화상 신호로서 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.
- [0100] 그리고, 기간 (T2) 중의 시점 (t4) 으로부터 일정 기간만, $\phi_{RST(n)}$ 이 H 가 되어 n 행째의 리셋 트랜지스터 (RST(n)) 가 일단 온이 되고, 노드 (P(n)) 의 전위가 일단 전원 전위 (VDD) 로 리셋된다.
- [0101] 기간 (T2) 중의 그 후의 시점 (t5) 으로부터 일정 기간만, 암신호 샘플링 신호 (ϕ_{DARKC}) 가 H 가 되어, 노드 (P(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 암신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0102] 기간 (T2) 중의 그 후의 시점 (t6) 으로부터 일정 기간만, $\phi_{TXB(n)}$ 이 H 가 되어 n 행째의 전송 트랜지스터 (TXB(n)) 가 온이 된다. 이에 따라, n 행째의 화소 블록 (BL(n)) 의 포토다이오드 (PDB(n)) 에 축적되어 있던 신호 전하가, 노드 (P(n)) 의 전하 전압 변환 용량으로 전송된다. 노드 (P(n)) 의 전위는, 노이즈 성분을 제외하면, 이 신호 전하의 양과 노드 (P(n)) 의 전하 전압 변환 용량의 용량값의 역수에 비례한 값이 된다.
- [0103] 기간 (T2) 중의 그 후의 시점 (t7) 에 있어서, 광 신호 샘플링 신호 (ϕ_{SIGC}) 가 H 가 되어, 노드 (P(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 광 신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0104] 그 후에 ϕ_{SIGC} 가 L 이 된 시점 후에, CDS 회로 (31) 는, 시점 (t5) 으로부터의 일정 기간에서 샘플링한 암신호와 시점 (t7) 으로부터의 일정 시간에서 샘플링한 광 신호의 차분에 따른 신호를 출력한다. A/D 변환기 (32) 는, 이 차분에 따른 신호를 디지털 신호로 변환하여 유지한다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 디지털 신호 화상 신호로서 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.
- [0105] 이와 같이, 상기 제 1 동작 모드에서는, 각 연결 트랜지스터 (SWa, SWb) 중 선택된 화소 블록 (BL) 의 노드 (P) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터가 없기 때문에, 선택된 화소 블록 (BL) 의 노드 (P)

의 전하 전압 변환 용량의 용량값이 최소가 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 관독이 가능해진다. 예를 들어, ISO 감도의 설정값이 가장 높은 경우에, 촬상 제어부 (5) 에 의해, 상기 제 1 동작 모드를 실시하도록 지령된다.

[0106] 도 7 은, 도 2 에 나타내는 고체 촬상 소자 (4) 의 제 2A 동작 모드를 나타내는 타이밍 차트이다. 제 2A 동작 모드는, 제 2 동작 모드 중 1 개의 동작 모드이다. 이 제 2 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 연결 트랜지스터 (SWa, SWb) 중 1 개 이상의 소정수의 온 상태의 연결 트랜지스터가, 선택된 화소 블록 (BL) 의 노드 (P) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 운시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 관독하는 동작의 예이다. 상기 제 2A 동작 모드는, 상기 제 2 동작 모드에 있어서, 상기 소정수를 1 개로 한 동작의 예이다.

[0107] 도 7 도, 도 6 과 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 7 에 나타내는 제 2A 동작 모드가 도 6 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.

[0108] 도 7 에 나타내는 제 2A 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, $\phi_{SWa(n)}$ 이 H 가 됨과 함께 $\phi_{SWb(n-1)}$ 이 L 이 되고, 연결 트랜지스터 (SWa(n)) 가 온이 됨과 함께 연결 트랜지스터 (SWb(n-1)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 연결 트랜지스터 (SWa, SWb) 중 1 개의 온 상태의 연결 트랜지스터 (여기서는, 연결 트랜지스터 (SWa(n))) 가, 선택된 화소 블록 (BL(n)) 의 노드 (P(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1}+C_{fd2}+C_{sw}\approx C_{fd1}+C_{fd2}$ 가 되고, 도 6 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 1 단계 커진다.

[0109] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.

[0110] 이와 같이, 상기 제 2A 동작 모드에서는, 각 연결 트랜지스터 (SWa, SWb) 중 1 개의 온 상태의 연결 트랜지스터가, 선택된 화소 블록 (BL) 의 노드 (P) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 노드 (P) 의 전하 전압 변환 용량의 용량값이 말하자면 1 단계 커지고, 노드 (P) 의 전하 전압 변환 용량에서의 포화 전자수를 1 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 1 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 1 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 2A 동작 모드를 실시하도록 지령된다.

[0111] 도 8 은, 도 2 에 나타내는 고체 촬상 소자 (4) 의 제 2B 동작 모드를 나타내는 타이밍 차트이다. 제 2B 동작 모드는, 상기 제 2 동작 모드 중 다른 1 개의 동작 모드이며, 상기 소정수를 2 개로 한 동작예이다.

[0112] 도 8 도, 도 6 및 도 7 과 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 8 에 나타내는 제 2B 동작 모드가 도 6 에 나타내는 상기 제 1 동작 모드나 도 7 에 나타내는 제 2A 동작 모드와 다른 곳은, 이하에 설명하는 점이다.

[0113] 도 8 에 나타내는 제 2B 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, $\phi_{SWa(n)}$, $\phi_{SWb(n)}$ 이 H 가 됨과 함께 $\phi_{SWb(n-1)}$, $\phi_{SWa(n+1)}$ 이 L 이 되고, 연결 트랜지스터 (SWa(n), SWb(n)) 가 온이 됨과 함께 연결 트랜지스터 (SWb(n-1), SWa(n+1)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 연결 트랜지스터 (SWa, SWb) 중 2 개의 온 상태의 연결 트랜지스터 (여기서는, 연결 트랜지스터 (SWa(n), SWb(n))) 가, 선택된 화소 블록 (BL(n)) 의 노드 (P(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값은, $2\times C_{fd1}+C_{fd2}+2C_{sw}\approx 2\times C_{fd1}+C_{fd2}$ 가 되고, 도 6 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 2 단계 커진다.

[0114] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.

[0115] 이와 같이, 상기 제 2B 동작 모드에서는, 각 연결 트랜지스터 (SWa, SWb) 중 2 개의 온 상태의 연결 트랜지스터가, 선택된 화소 블록 (BL) 의 노드 (P) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 노드 (P) 의 전하 전압 변환 용량의 용량값이 말하자면 2 단계 커지고, 노드 (P) 의 전하 전압 변환 용량에서의 포화 전

자수를 2 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 2 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 2 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 2B 동작 모드를 실시하도록 지령된다.

[0116] 또한, 상기 제 2 동작 모드에 있어서, 상기 소정수를 3 개 이상으로 해도 된다.

[0117] 여기서, 본 실시형태에 있어서의 고체 촬상 소자 (4) 와 비교되는 비교예에 의한 고체 촬상 소자에 대하여 설명한다. 도 9 는, 이 비교예에 의한 고체 촬상 소자의 3 개의 화소 블록 (BL) 의 부근을 나타내는 회로도이며, 도 3 에 대응하고 있다. 도 10 은, 도 9 에 나타내는 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이며, 도 4 및 도 5 에 대응하고 있다. 도 9 및 도 10 에 있어서, 도 3, 도 4 및 도 5 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다. 또한, 도 10 에 있어서, 확산 영역이나 게이트 전극에 부호를 붙이고 있지 않지만, 그들 부호는 도 5 와 동일하므로, 도 5 를 참조하기 바란다.

[0118] 이 비교예가 본 실시형태와 다른 곳은, 각 연결 트랜지스터 (SWb) 가 제거되고, 배선 (71, 72) 을 포함하는 배선 (171) 에 의해, 제거된 각 연결 트랜지스터 (SWb) 의 지점이 단락 상태가 되어 있는 점이다. 예를 들어, 본 실시형태에서는, 연결 트랜지스터 (SWb(n-1)) 가 제거되고, 배선 (71(n), 72(n-1)) 을 포함하는 배선 (171(n)) 에 의해, 화소 블록 (BL(n)) 의 게이트 전극 (63) 및 확산 영역 (41, 46) 그리고 연결 트랜지스터 (SWa(n-1)) 의 확산 영역 (47) 사이가, 서로 전기적으로 접속되어 도통하고 있다.

[0119] 도 9 및 도 10 에 있어서, CAB(n) 은, 연결 트랜지스터 (SWa(n), SWa(n-1)) 가 오프하고 있는 경우의, 노드 (P(n)) 와 기준 전위의 사이의 용량이다. 용량 (CAB(n)) 의 용량값을 Cfd 로 한다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0120] 용량 (CAB(n)) 은, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역 (41) 의 용량과, 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역 (46) 과, 연결 트랜지스터 (SWa(n)) 의 소스 확산 영역 (46) 과, 연결 트랜지스터 (SWa(n-1)) 의 드레인 확산 영역 (47) 의 용량과, 증폭 트랜지스터 (AMP(n)) 의 게이트 전극 (63) 의 용량과, 배선 (171(n)) 의 배선 용량으로 구성되고, 그들 용량값의 합계가 용량 (CAB(n)) 의 용량값 (Cfd) 이 된다. 이 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0121] 배선 (171(n)) 의 배선 용량은, 배선 (71(n)) 의 배선 용량 (부유 용량) 과 배선 (171(n)) 의 배선 용량의 합에 거의 동등하다. 따라서, 용량 (CAB(n)) 의 용량값 (Cfd) 은, 본 실시형태에 있어서의 전술한 용량 (CA(n)) 의 용량값 (Cfd1) 과 용량 (CB(n)) 의 용량값 (Cfd2) 의 합에 거의 동등해져, $Cfd \approx Cfd1 + Cfd2$ 가 된다.

[0122] 이 비교예에서는, 화소 블록 (BL(n)) 에 주목하여, 연결 트랜지스터 (SWa(n), SWa(n-1)) 가 양방 모두 오프하면, 노드 (P(n)) 의 전하 전압 변환 용량은, 용량 (CAB(n)) 이 된다. 따라서, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값은, Cfd 가 되어 비교예에 있어서의 최소가 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 비교예에 있어서의 최고의 SN 비에 의한 관독이 가능해진다.

[0123] 이 비교예에서는, 화소 블록 (BL(n)) 에 주목하여, 각 연결 트랜지스터 (SWa) 중 1 개 이상의 소정수의 온 상태의 연결 트랜지스터가, 노드 (P(n)) 에 대해 전기적으로 접속된 상태로 하면, 그 온 상태의 연결 트랜지스터의 수에 따라 노드 (P(n)) 의 전하 전압 변환 용량의 용량값은 커지고, 포화 전자수를 확대할 수 있다. 이에 따라, 다이내믹 레인지를 확대할 수 있다.

[0124] 그런데, 이 비교예에서는, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값은, $Cfd \approx Cfd1 + Cfd2$ 보다 작게 할 수 없다. 따라서, 이 비교예에 의하면, 전하 전압 변환 계수를 그다지 크게 할 수 없어, 그다지 높은 SN 비로 관독할 수가 없다.

[0125] 이에 대해, 본 실시형태에 의하면, 연결 트랜지스터 (SWb) 가 추가되어 있으므로, 전술한 바와 같이, 노드 (P(n)) 의 전하 전압 변환 용량의 최소의 용량값을 $Cfd1 \approx Cfd - Cfd2$ 로 할 수 있어, 상기 비교예에 비해 보다 작게 할 수 있다.

[0126] 따라서, 본 실시형태에 의하면, 다이내믹 레인지를 확대시킬 수 있음과 함께, 상기 비교예에 비해, 고감도 관독시의 SN 비를 향상시킬 수 있다.

[0127] 본 실시형태에서는, 열 방향으로 순차 이웃하는 모든 2 개의 노드 (P) 사이에 연결 트랜지스터 (SWa, SWb) 를 형성하고 있지만, 본 발명에서는, 반드시 이것에 한정되는 것은 아니다. 예를 들어, 열 방향으로 늘어서는 q 개 (q 는 2 이상의 정수) 간격의 노드 (P) 와 당해 노드 (P) 에 대해 도 중 하측에 이웃하는 노드 (P) 의 사

이에는, 연결 트랜지스터 (SWa, SWb) 를 형성하지 않고 그 사이를 항상 개방해 두어도 된다. 이 경우, q 의 수가 작을수록 상기 제 2 동작 모드에 있어서의 상기 소정수의 최대수가 작아지고, 다이내믹 레인지의 확대 정도가 저하되지만, 상기 비교예에 비해 고감도 판독시의 SN 비를 향상시킬 수 있다.

[0128] 또한, 도 6 내지 도 8 을 참조하여 설명한 각 동작에는, 각 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하를, 다른 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하와 혼합하는 일 없이 판독하는 동작의 예였다. 그러나, 본 발명에서는, 각 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하를, 동색 (同色) 의 다른 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하와 혼합하여 판독해도 된다.

[0129] 예를 들어, 연결 트랜지스터 (SWa(n-1), SWb(n-1), SWa(n), SWb(n)) 를 온으로 하여 노드 (P(n-1), P(n), P(n+1)) 를 서로 연결하고, TXA(n-1), TXA(n), TXA(n+1) 을 동시에 온으로 하면, 배이어 배열 등을 전체로 한 경우에 있어서의 동색의 3 개의 화소 (PXA(n-1), PXA(n), PXA(n+1)) 의 포토다이오드 (PDA(n-1), PDA(n), PDA(n+1)) 의 신호 전하가 서로 연결된 노드 (P(n-1), P(n), P(n+1)) 에서 평균화되고, 동색 3 화소 혼합 판독의 기능을 실현할 수 있다. 이 때, 연결 트랜지스터 (SWb(n-2), SWa(n+1)) 를 오프로 하고, 노드 (P(n-1), P(n), P(n+1)) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터의 수를 최소한으로 함으로써, 연결된 노드 (P(n-1), P(n), P(n+1)) 에 있어서의 전하 전압 변환 용량값이 최소가 되고, 최고의 SN 비로 동색 3 화소 혼합 판독을 실시할 수 있다. 한편, 연결 트랜지스터 (SWa(n-1), SWb(n-1), SWa(n), SWb(n)) 외에, 1 개 이상의 온 상태의 연결 트랜지스터가 노드 (P(n-1), P(n), P(n+1)) 에 대해 전기적으로 접속되도록 하면, 그 수에 따라, 연결된 노드 (P(n-1), P(n), P(n+1)) 에 있어서의 전하 전압 변환 용량값이 커지고, 동색 3 화소 혼합 판독의 다이내믹 레인지를 확대할 수 있다.

[0130] [제 2 실시형태]

[0131] 도 11 은, 본 발명의 제 2 실시형태에 의한 전자 카메라의 고체 촬상 소자의 3 개의 화소 블록 (BL) 의 부근을 나타내는 회로도이며, 도 3 에 대응하고 있다. 도 12 는, 도 9 에 나타내는 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이며, 도 4 및 도 5 에 대응하고 있다. 도 11 및 도 12 에 있어서, 도 3, 도 4 및 도 5 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.

[0132] 본 실시형태가 상기 제 1 실시형태와 다른 곳은, 각 배선 (72) 에, 용량값 (Cfd3) 을 갖는 조정 용량 (CB') 이 추가되어 있는 점이다. 용량 (CB(n)) 은, 연결 트랜지스터 (SWa(n), SWb(n)) 가 오프하고 있는 경우의, 배선 (72(n)) 과 기준 전위의 사이의 용량이므로, 조정 용량 (CB'(n)) 도 용량 (CB(n)) 에 포함되는 것이지만, 조정 용량 (CB') 은, 상기 제 1 실시형태에 있어서의 용량 (CB(n)) 의 용량값 (Cfd2) 을 이루는 구성에 대해, 용량값 (Cfd3) 을 추가하는 구성 요소인 것을 명시하기 위해서, 도 11 및 도 12 에 있어서 용량 (CB(n)) 과는 별개로 조정 용량 (CB') 을 나타내고 있다. 상기 제 1 실시형태에서는, 용량 (CB(n)) 의 용량값은 Cfd2 인데 반해, 본 실시형태에서는, 용량 (CB(n)) 의 용량값은 Cfd2+Cfd3 이 된다. 이러한 점은, 다른 용량 (CB), 배선 (72), 조정 용량 (CB') 에 대해서도 동일하다.

[0133] 본 실시형태에 의하면, 상기 제 1 실시형태와 동일한 이점이 얻어지는 것 외에, 조정 용량 (CB') 을 형성함으로써, 용량 (CB) 의 용량값을 임의의 원하는 용량값으로 설정할 수 있다.

[0134] 조정 용량 (CB') 은, 구체적으로는, 예를 들어, (i) 배선 (72) 의 배선펙의 적어도 일부의 폭을 화소 블록 (BL) 내의 다른 배선의 배선펙보다 넓게 함으로써, 배선 (72) 의 면적을 상기 제 1 실시형태에 있어서의 배선 (72) 의 면적보다 넓게 하는 것, (ii) 배선 (72) 에 MOS 용량을 접속하는 것, (iii) 연결 트랜지스터 (SWa, SWb) 를 구성하지 않는 확산 용량을 접속하는 것, (iv) 연결 트랜지스터 (SWa) 의 드레인 확산 영역 (47) 의 면적을 상기 제 1 실시형태에 있어서의 드레인 확산 영역 (47) 의 면적보다 넓게 하는 것, (v) 연결 트랜지스터 (SWb) 의 소스 확산 영역 (49) 의 면적을 상기 제 1 실시형태에 있어서의 소스 확산 영역 (49) 의 면적보다 넓게 하는 것 중 1 개 또는 2 개 이상을 조합함으로써 구성할 수 있다.

[0135] 여기서, 조정 용량 (CB') 의 용량값 (Cfd3) 의 설정의 일례에 대하여 설명한다. 노드 (P) 의 전하 전압 변환 용량의 용량값은, 기준 용량값의 정수배가 되는 것이 바람직하다. 그러나, 전술한 제 1 실시형태의 구조에서는, 조정 용량 (CB') 을 부가하지 않는 경우에는, 일반적으로, 용량 (CA) 의 용량값 (Cfd1) 에 대해, 용량 (CB) 의 용량값 (Cfd2) 은 작아진다. 따라서, 예를 들어, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값을 기준 용량값의 2 배로 하기 위해서는, 연결 트랜지스터 (SWa(n), SWb(n)) 를 온으로 하여, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값을 $2 \times Cfd1 + Cfd2 + 2 \times Csw$ 로 하여, 2 개의 화소 블록 (BL(n), BL(n+1)) 을 사용하게 된다.

- [0136] 이에 대해, 본 실시형태에 있어서, 조정 용량 (CB')의 용량값 (Cfd3)이 Cfd1-Cfd2가 되도록 조정 용량 (CB')을 형성하면, 용량 (CB)의 용량값이 $cfd2+Cfd3=Cfd1$ 이 된다. 따라서, 노드 (P(n))의 전하 전압 변환 용량의 용량값을 기준 용량값의 2 배로 하기 위해서는, 연결 트랜지스터 (SWa(n))를 온하는 것만으로 되고, 1 개의 화소 블록 (BL(n))을 사용하는 것만으로 좋다. 또, 더욱 큰 포화 전하량을 취급하는 경우에는, 연결하는 화소 블록 (BL)의 수를 대폭 삭감할 수 있다.
- [0137] 이와 같은 조정 용량 (CB')의 용량값 (Cfd3)의 설정례는, 일례에 지나지 않고, 이것에 한정되지 않는다.
- [0138] 또한, 노드 (P)의 전하 전압 변환 용량의 용량값을 기준 용량값의 정수배에 가깝게 하기 위해서는, 용량 (CB)의 용량값은, 용량 (CA)의 용량값에 대해 $\pm 20\%$ 의 범위 내의 값인 것이 바람직하고, 용량 (CA)의 용량값에 대해 $\pm 10\%$ 의 범위 내의 값인 것이 보다 바람직하다.
- [0139] [제 3 실시형태]
- [0140] 도 13은, 본 발명의 제 3 실시형태에 의한 전자 카메라의 고체 촬상 소자 (84)의 개략 구성을 나타내는 회로도이며, 도 2에 대응하고 있다. 도 13에 있어서, 도 2 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.
- [0141] 본 실시형태가 상기 제 1 실시형태와 다른 곳은, 본 실시형태에서는, 상기 제 1 실시형태에 있어서, 각 화소 블록 (BL)에 있어서, 포토다이오드 (PDB) 및 전송 트랜지스터 (TXB)가 제거되고, 각 화소 블록 (BL)이 화소 (PXA)가 되어 있는 점이다. 단, 본 실시형태에서는, 포토다이오드 (PDA)의 열 방향의 밀도는, 상기 제 1 실시형태에 있어서의 포토다이오드 (PDA)의 열 방향의 밀도의 2 배가 되고, 상기 제 1 실시형태에 있어서의 포토다이오드 (PDA, PDB)전체의 열 방향의 밀도와 동일하게 되어 있다. 본 실시형태에서는, n은, 화소 블록 (BL)의 행을 나타냄과 동시에, 화소 (PXA)의 행을 나타내는 것이 된다.
- [0142] 바꾸어 말하면, 상기 제 1 실시형태에서는, 각 화소 블록 (BL)은 2 개의 화소 (PX (PXA, PXB))로 구성되어 있는 데 반해, 본 실시형태에서는, 각 화소 블록 (BL)은 1 개의 화소 (PX (PXA))로 구성되어 있다. 그리고, 상기 제 1 실시형태에서는, 화소 블록 (BL)에 속하는 2 개의 화소 (PX (PXA, PXB))가, 1 세트의 노드 (P), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL)를 공유하고 있는 데 반해, 본 실시형태에서는, 각 화소 (PX) (본 실시형태에서는, PXA 만)가, 각각 1 세트의 노드 (P), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL)를 갖고 있다.
- [0143] 기본적으로, 상기 제 1 실시형태의 설명은, 화소 블록 (BL)을 화소 (PXA)로 치환함으로써, 본 실시형태의 설명으로서 적합하다. 따라서, 여기서는, 본 실시형태의 상세한 설명은 생략한다.
- [0144] 본 실시형태에 의해서도, 상기 제 1 실시형태와 동일한 이점이 얻어진다.
- [0145] 또한, 본 발명에서는, 상기 제 1 실시형태를 변형하여 본 실시형태를 얻은 것과 동일한 변형을, 상기 제 2 실시형태에 대해 적용해도 된다.
- [0146] [제 4 실시형태]
- [0147] 도 14는, 본 발명의 제 4 실시형태에 의한 전자 카메라의 고체 촬상 소자 (94)의 개략 구성을 나타내는 회로도이며, 도 2에 대응하고 있다. 도 15는, 도 14 중의 열 방향으로 순차 늘어진 4 개의 화소 블록 (BL)의 부근을 확대하여 나타내는 회로도이며, 도 3에 대응하고 있다. 도 14 및 도 15에 있어서, 도 2 및 도 3 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다. 본 실시형태가 상기 제 1 실시형태와 다른 곳은, 이하에 설명하는 점이다.
- [0148] 본 실시형태에서는, 상기 제 1 실시형태에 있어서, 제 1 연결 트랜지스터 (SWa), 제 2 연결 트랜지스터 (SWb) 및 배선 (71, 72)이 제거되고, 그 대신에, 제 1 노드 (Pa)와 이것에 대응하는 제 2 노드 (Pb)의 사이를 전기적으로 접속 및 절단하는 제 1 스위치부로서의 제 1 트랜지스터 (SWA), 2 개의 제 2 노드 (Pb) 사이를 전기적으로 접속 및 절단하는 제 2 스위치부로서의 제 2 트랜지스터 (SWB), 및, 배선 (97, 98)이 형성되어 있다.
- [0149] 화소 블록 (BL(n))의 제 1 노드 (Pa(n))는, 상기 제 1 실시형태에 있어서의 노드 (P(n))에 상당하고 있다. 전송 트랜지스터 (TXA(n))는, 포토다이오드 (PDA(n))로부터 제 1 노드 (Pa(n))에 전하를 전송하고, 전송 트랜지스터 (TXB(n))는 포토다이오드 (PDB(n))로부터 제 1 노드 (Pa(n))에 전하를 전송한다. 제 1 노드 (Pa(n))에는 기준 전위와의 사이에 용량 (전하 전압 변환 용량)이 형성되고, 그 용량에 의해, 제 1 노드 (Pa(n))에 전송되어 온 전하가 전압으로 변환된다. 증폭 트랜지스터 (AMP(n))는, 제 1 노드 (Pa(n))의

전위에 따른 신호를 출력한다. 리셋 트랜지스터 (RST(n)) 는, 제 1 노드 (Pa(n)) 의 전위를 리셋한다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

- [0150] 제 1 트랜지스터 (SWA(n)) 는, 제 1 노드 (Pa(n)) 와 이것에 대응하는 제 2 노드 (Pb(n)) 의 사이를 전기적으로 접속 및 절단하는 제 1 스위치부를 구성하고 있다. 이와 같은 제 1 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 제 1 트랜지스터 (SWA(n)) 로 구성하는 것이 바람직하다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 에 대해서도 동일하다.
- [0151] 각 제 2 트랜지스터 (SWB) 는, 각 화소 블록 (BL) 중 열 방향으로 서로 이웃하는 각 2 개의 화소 블록 (BL) 에 대해, 일방의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 와 타방의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 의 사이를 전기적으로 접속 및 절단하도록 형성된 제 2 스위치부를 구성하고 있다. 이에 따라, 본 실시형태에서는, 3 개 이상의 화소 블록 (BL) 의 제 1 노드 (Pa) 가, 복수의 상기 제 2 스위치부에 의해 염주가 이어진 형상으로 접속되어 있다. 전술한 바와 같은 제 2 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 제 2 트랜지스터 (SWB) 로 구성하는 것이 바람직하다.
- [0152] 예를 들어, 제 2 트랜지스터 (SWB(n)) 는, n 행째의 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대응하는 제 2 노드 (Pb(n)) 와 n-1 행째의 화소 블록 (BL(n-1)) 의 제 1 노드 (Pa(n-1)) 에 대응하는 제 2 노드 (Pb(n-1)) 의 사이를 전기적으로 접속 및 절단하도록 형성되어 있다. 이 점은, 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.
- [0153] 화소 블록 (BL(n)) 의 증폭 트랜지스터 (AMP(n)) 의 게이트 전극, 리셋 트랜지스터 (RST(n)) 의 소스 영역, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역, 및, 제 1 트랜지스터 (SWA(n)) 의 소스 확산 영역의 사이가, 배선 (97(n)) 에 의해 서로 전기적으로 접속되어 도통하고 있다. 제 1 노드 (Pa(n)) 는, 배선 (97(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.
- [0154] 제 1 트랜지스터 (SWA(n)) 의 드레인 확산 영역, 제 2 트랜지스터 (SWB(n)) 의 드레인 확산 영역 및 제 2 트랜지스터 (SWB(n+1)) 의 소스 확산 영역의 사이가, 배선 (98(n)) 에 의해 서로 전기적으로 접속되어 도통하고 있다. 제 2 노드 (Pb(n)) 는, 배선 (98(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 및 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.
- [0155] 제 1 트랜지스터 (SWA) 의 게이트는 행마다 제어선 (95) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SWA}) 가 수직 주사 회로 (21) 로부터 공급된다. 제 2 트랜지스터 (SWB) 의 게이트는 행마다 제어선 (96) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SWB}) 가 수직 주사 회로 (21) 로부터 공급된다.
- [0156] 도 14 및 도 15 에 있어서, CC(n) 은, 제 1 트랜지스터 (SWA(n)) 가 오프하고 있는 경우의, 제 1 노드 (Pa(n)) 와 기준 전위의 사이의 용량이다. 용량 (CC(n)) 의 용량값을 Cfd1' 로 한다. CD(n) 은, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n), SWB(n+1)) 가 오프하고 있는 경우의, 배선 (98(n)) 과 기준 전위의 사이의 용량이다. 용량 (CD(n)) 의 용량값을 Cfd2' 로 한다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 및 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.
- [0157] 용량 (CC(n)) 은, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역의 용량과, 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역의 용량과, 제 1 트랜지스터 (SWA(n)) 의 소스 확산 영역의 용량과, 증폭 트랜지스터 (AMP(n)) 의 게이트 전극의 용량과, 배선 (97(n)) 의 배선 용량으로 구성되고, 그들의 용량값의 합계가 용량 (CC(n)) 의 용량값 (Cfd1') 이 된다. 이 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.
- [0158] 또한, 제 2 트랜지스터 (SWB(n)) 의 소스 확산 영역의 용량은 용량 (CC(n)) 의 구성 요소가 되지 않기 때문에, 그 만큼, 용량 (CC(n)) 의 용량값 (Cfd1') 은 작아진다. 이 점, 상기 제 1 실시형태에서는, 연결 트랜지스터 (SWa(n)) 의 소스 확산 영역 (46) 의 용량 뿐만 아니라 연결 트랜지스터 (SWb(n-1)) 의 드레인 확산 영역 (48) 의 용량도 용량 (CB) 의 구성 요소로 되어 있으므로, 그 만큼 용량 (CB) 의 용량값 (Cfd1) 은 커진다. 즉, 본 실시형태에 있어서의 용량값 (Cfd1') 은, 상기 제 1 실시형태에 있어서의 용량값 (Cfd1) 보다, 트랜지스터 확산 용량 1 개분만큼 작아진다.
- [0159] 여기서, 제 1 트랜지스터 (SWA) 의 온시의 채널 용량의 값 및 제 2 트랜지스터 (SWB) 의 온시의 채널 용량의 값

을, 양방 모두 C_{sw} 로 한다. 통상적으로, 용량값 (C_{sw}) 은, 용량값 ($C_{fd1'}$, $C_{fd2'}$) 에 대해 작은 값이다.

[0160] 지금, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 가 오프하면 (즉, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면), 제 1 노드 (Pa(n)) 와 기준 전위 사이의 용량 (전하 전압 변환 용량) 은, 용량 ($CC(n)$) 이 된다.

따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1'}$ 가 된다. 이 상태는, 후술하는 제 1 동작 모드를 나타내는 도 16 중의 기간 (T2) 의 상태에 상당하고 있다.

[0161] 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 제 1 트랜지스터 (SWA(n)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 제 2 트랜지스터 (SWB(n), SWB(n+1)) 가 오프이면), 제 1 노드 (Pa(n)) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은, 용량 ($CC(n)$) 에 대해, 용량 ($CD(n)$) 및 제 1 트랜지스터 (SWA(n)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1'} + C_{fd2'} + C_{sw} \approx C_{fd1'} + C_{fd2'}$ 가 된다. 이 상태는, 후술하는 제 2A 동작 모드를 나타내는 도 17 중의 기간 (T2) 의 상태에 상당하고 있다.

[0162] 또한, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWB(n+1)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWB(n), SWA(n+1), SWB(n+2)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 ($CC(n)$) 에 대해, 용량 ($CD(n)$), 용량 ($CD(n+1)$) 및 트랜지스터 (SWA(n), SWB(n+1)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1'} + 2 \times C_{fd2'} + 2 \times C_{sw} \approx C_{fd1'} + 2 \times C_{fd2'}$ 가 된다. 이 상태는, 후술하는 제 2B 동작 모드를 나타내는 도 18 중의 기간 (T2) 의 상태에 상당하고 있다.

[0163] 나아가 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n), SWA(n+1)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWA(n+1), SWB(n+1)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWB(n), SWB(n+2)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 ($CC(n)$) 에 대해, 용량 ($CD(n)$), 용량 ($CD(n+1)$), 용량 ($CC(n+1)$) 및 트랜지스터 (SWA(n), SWA(n+1), SWB(n+1)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $2 \times C_{fd1'} + 2 \times C_{fd2'} + 3 \times C_{sw} \approx 2 \times C_{fd1'} + 2 \times C_{fd2'}$ 가 된다. 이 상태는, 후술하는 제 2C 동작 모드를 나타내는 도 19 중의 기간 (T2) 의 상태에 상당하고 있다.

[0164] 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1), SWB(n+2)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWB(n+1), SWB(n+2)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWA(n+1), SWA(n+2), SWB(n), SWB(n+3)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 ($CC(n)$) 에 대해, 용량 ($CD(n)$), 용량 ($CD(n+1)$), 용량 ($CD(n+2)$) 및 트랜지스터 (SWA(n), SWB(n+1), SWB(n+2)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1'} + 3 \times C_{fd2'} + 3 \times C_{sw} \approx C_{fd1'} + 3 \times C_{fd2'}$ 가 된다. 이 상태는, 후술하는 제 2C 동작 모드를 나타내는 도 20 중의 기간 (T2) 의 상태에 상당하고 있다.

[0165] 이와 같이, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없으면, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값이 최소의 용량값 ($C_{fd1'}$) 이 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 판독이 가능해진다. 그리고, 전술한 바와 같이, 용량값 ($C_{fd1'}$) 이 상기 제 1 실시형태에 있어서의 최소의 용량값 (C_{fd1}) 보다 트랜지스터 확산 용량 1 개분만큼 작아지므로, 본 실시형태에 의하면, 상기 제 1 실시형태와 비교해도, 전하 전압 변환 계수가 한층 커지고, 보다 한층 높은 SN 비에 의한 판독이 가능해진다.

[0166] 한편, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터의 수를 1 개 이상의 원하는 수로 늘려 가면, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값을 원하는 값으로 크게 할 수 있고, 큰 신호 전하량을 취급할 수 있기 때문에, 포화 전자수를 확대할 수 있다. 이에 따라, 다이내믹 레인을 확대할 수 있다.

- [0167] 이상, 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대하여 설명했지만, 다른 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해서도 동일하다.
- [0168] 도 16 은, 도 14 에 나타내는 고체 촬상 소자 (94) 의 제 1 동작 모드를 나타내는 타이밍 차트이다. 이 제 1 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없는 상태 (당해 제 1 노드 (Pa) 의 전하 전압 변환 용량이 최소인 상태) 에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다. 도 16 에 나타내는 예에서는, 전체 화소 (PXA, PXB) 의 신호를 판독하지만, 이것에 한정되지 않고, 예를 들어, 화소 행을 속아내어 판독하는 속아내기 판독 등을 실시해도 된다. 이 점은, 후술하는 도 17 내지 도 20 에 각각 나타내는 각 예에 대해서도 동일하다.
- [0169] 지금까지의 설명으로부터 도 16 에 나타내는 제 1 동작 모드의 동작은 분명하므로, 그 상세한 설명은 생략한다.
- [0170] 도 17 은, 도 14 에 나타내는 고체 촬상 소자 (94) 의 제 2A 동작 모드를 나타내는 타이밍 차트이다. 제 2A 동작 모드는, 제 2 동작 모드 중 1 개의 동작 모드이다. 이 제 2 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개 이상의 소정수의 온 상태의 트랜지스터가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다. 상기 제 2A 동작 모드는, 상기 제 2 동작 모드에 있어서, 상기 소정수를 1 개 (제 1 트랜지스터 (SWA) 의 1 개) 로 한 동작의 예이다.
- [0171] 지금까지의 설명으로부터 도 17 에 나타내는 제 2A 동작 모드의 동작은 분명하므로, 그 상세한 설명은 생략한다.
- [0172] 도 18 은, 도 14 에 나타내는 고체 촬상 소자 (94) 의 제 2B 동작 모드를 나타내는 타이밍 차트이다. 제 2B 동작 모드는, 상기 제 2 동작 모드 중 다른 1 개의 동작 모드이며, 상기 소정수를 2 개 (제 1 트랜지스터 (SWA) 1 개와 제 2 트랜지스터 (SWB) 1 개) 로 한 동작예이다. 지금까지의 설명으로부터 도 18 에 나타내는 제 2B 동작 모드의 동작은 분명하므로, 그 상세한 설명은 생략한다.
- [0173] 도 19 는, 도 14 에 나타내는 고체 촬상 소자 (94) 의 제 2C 동작 모드를 나타내는 타이밍 차트이다. 제 2C 동작 모드는, 상기 제 2 동작 모드 중 또 다른 1 개의 동작 모드이며, 상기 소정수를 3 개 (제 1 트랜지스터 (SWA) 2 개와 제 2 트랜지스터 (SWB) 1 개) 로 한 동작예이다. 지금까지의 설명으로부터 도 19 에 나타내는 제 2C 동작 모드의 동작은 분명하므로, 그 상세한 설명은 생략한다.
- [0174] 도 20 은, 도 14 에 나타내는 고체 촬상 소자 (94) 의 제 2D 동작 모드를 나타내는 타이밍 차트이다. 제 2D 동작 모드는, 상기 제 2 동작 모드 중 또 다른 1 개의 동작 모드이며, 상기 소정수를 3 개 (제 1 트랜지스터 (SWA) 1 개와 제 2 트랜지스터 (SWB) 2 개) 로 한 동작예이다. 지금까지의 설명으로부터 도 20 에 나타내는 제 2D 동작 모드의 동작은 분명하므로, 그 상세한 설명은 생략한다.
- [0175] 본 실시형태에 의하면, 상기 제 1 실시형태와 마찬가지로, 다이내믹 레인지를 확대시킬 수 있음과 함께, 상기 비교예에 비해, 고감도 판독시의 SN 비를 향상시킬 수 있다. 또, 본 실시형태에 의하면, 상기 제 1 실시형태와 비교해도, 전하 전압 변환 계수가 한층 커지고, 보다 한층 높은 SN 비에 의한 고감도 판독이 가능해진다.
- [0176] 본 실시형태에서는, 열 방향으로 순차 이웃하는 모든 2 개의 제 2 노드 (Pb) 사이에 제 2 트랜지스터 (SWB) 를 형성하고 있지만, 본 발명에서는, 반드시 이것에 한정되는 것은 아니다. 예를 들어, 열 방향으로 늘어서는 r 개 (r 은 2 이상의 정수) 간격의 제 2 노드 (Pb) 와 당해 제 2 노드 (Pb) 에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb) 의 사이에는, 제 2 트랜지스터 (SWB) 를 형성하지 않고 그 사이를 항상 개방해 두어도 된다. 이 경우, r 의 수가 작을수록 상기 제 2 동작 모드에 있어서의 상기 소정수의 최대수가 작아지고, 다이내믹 레인지의 확대 정도가 저하되지만, 상기 비교예에 비해 고감도 판독시의 SN 비를 향상시킬 수 있다. 또, 예를 들어, 열 방향으로 늘어서는 s 개 (s 는 1 이상의 정수) 간격의 제 2 노드 (Pb) 와 당해 제 2 노드 (Pb) 에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb) 의 사이에는, 제 2 트랜지스터 (SWB) 를 형성하지 않고 그 사이를 전기적으로 단락시켜 뒀도 된다. 또한, 예를 들어, 열 방향으로 늘어서는 u 개 (u 는 1 이상의 정수) 간격의 제 2 노드 (Pb) 와 당해 제 2 노드 (Pb) 에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb) 의 사이에만 제 2 트랜지스터 (SWB) 를 형성하는 한편으로, 열 방향으로 늘어서는 u 개 간격 이외의 제 2 노드 (Pb) 와 당해 제 2 노드 (Pb) 에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb) 의 사이를 전기적으로 단락시켜도 된다.

- [0177] 또한, 상기 제 2 실시형태와 마찬가지로, 본 실시형태에 있어서, 배선 (98) 에 조정 용량을 형성해도 된다. 또, 본 실시형태에 있어서도, 용량 (CD) 의 용량값을, 용량 (CC) 의 용량값에 대해 $\pm 20\%$ 의 범위 내의 값으로 해도 되고, 용량 (CC) 의 용량값에 대해 $\pm 10\%$ 의 범위 내의 값으로 해도 된다. 이러한 점은, 후술하는 제 5 실시형태에 대해서도 동일하다.
- [0178] 또한, 도 16 내지 도 20 에 나타내는 각 동작에는, 각 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하를, 다른 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하와 혼합하는 일 없이 관독하는 동작의 예였다. 그러나, 본 발명에서는, 각 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하를, 동색의 다른 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하와 혼합하여 관독해도 된다.
- [0179] 예를 들어, 제 1 트랜지스터 (SWA(n-1), SWA(n), SWA(n+1)) 및 제 2 트랜지스터 (SWB(n), SWB(n+1)) 를 온으로 하여 제 1 노드 (Pa(n-1), Pa(n), Pa(n+1)) 를 서로 연결하고, TXA(n-1), TXA(n), TXA(n+1) 을 동시에 온으로 하면, 배이어 배열 등을 전제로 한 경우에 있어서의 동색의 3 개의 화소 (PXA(n-1), PXA(n), PXA(n+1)) 의 포토다이오드 (PDA(n-1), PDA(n), PDA(n+1)) 의 신호 전하가 서로 연결된 제 1 노드 (Pa(n-1), Pa(n), Pa(n+1)) 에서 평균화되고, 동색 3 화소 혼합 관독의 기능을 실현할 수 있다. 이 때, 제 2 트랜지스터 (SWB(n-2), SWB(n+2)) 를 오프로 하고, 제 1 노드 (Pa(n-1), Pa(n), Pa(n+1)) 에 대해 전기적으로 접속되는 온 상태의 제 1 또는 제 2 트랜지스터의 수를 최소한으로 함으로써, 연결된 제 1 노드 (Pa(n-1), Pa(n), Pa(n+1)) 에 있어서의 전하 전압 변환 용량값이 최소가 되고, 최고의 SN 비로 동색 3 화소 혼합 관독을 실시할 수 있다. 한편, 제 1 트랜지스터 (SWA(n-1), SWA(n), SWA(n+1)) 및 제 2 트랜지스터 (SWB(n), SWB(n+1)) 외에, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개 이상의 온 상태의 트랜지스터가 제 1 노드 (Pa(n-1), Pa(n), Pa(n+1)) 에 대해 전기적으로 접속되도록 하면, 그 수에 따라, 연결된 제 1 노드 (Pa(n-1), Pa(n), Pa(n+1)) 에 있어서의 전하 전압 변환 용량값이 커지고, 동색 3 화소 혼합 관독의 다이내믹 레인지를 확대할 수 있다.
- [0180] [제 5 실시형태]
- [0181] 도 21 은, 본 발명의 제 5 실시형태에 의한 전자 카메라의 고체 촬상 소자 (104) 의 개략 구성을 나타내는 회로도이며, 도 14 에 대응하고 있다. 도 21 에 있어서, 도 14 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.
- [0182] 본 실시형태가 상기 제 4 실시형태와 다른 곳은, 본 실시형태에서는, 상기 제 4 실시형태에 있어서, 각 화소 블록 (BL) 에 있어서, 포토다이오드 (PDB) 및 전송 트랜지스터 (TXB) 가 제거되고, 각 화소 블록 (BL) 이 화소 (PXA) 가 되어 있는 점이다. 단, 본 실시형태에서는, 포토다이오드 (PDA) 의 열 방향의 밀도는, 상기 제 4 실시형태에 있어서의 포토다이오드 (PDA) 의 열 방향의 밀도의 2 배가 되고, 상기 제 4 실시형태에 있어서의 포토다이오드 (PDA, PDB) 전체의 열 방향의 밀도와 동일하게 되어 있다. 본 실시형태에서는, n 은, 화소 블록 (BL) 의 행을 나타냄과 동시에, 화소 (PXA) 의 행을 나타내는 것이 된다.
- [0183] 바꾸어 말하면, 상기 제 4 실시형태에서는, 각 화소 블록 (BL) 은 2 개의 화소 (PX (PXA, PXB)) 로 구성되어 있는 데 반해, 본 실시형태에서는, 각 화소 블록 (BL) 은 1 개의 화소 (PX (PXA)) 로 구성되어 있다. 그리고, 상기 제 4 실시형태에서는, 화소 블록 (BL) 에 속하는 2 개의 화소 (PX (PXA, PXB)) 가, 1 세트의 제 1 노드 (Pa), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL) 를 공유하고 있는 데 반해, 본 실시형태에서는, 각 화소 (PX) (본 실시형태에서는, PXA 만) 가, 각각 1 세트의 제 1 노드 (Pa), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL) 를 갖고 있다.
- [0184] 기본적으로, 상기 제 4 실시형태의 설명은, 화소 블록 (BL) 을 화소 (PXA) 로 치환함으로써, 본 실시형태의 설명으로서 적합하다. 따라서, 여기서는, 본 실시형태의 상세한 설명은 생략한다.
- [0185] 본 실시형태에 의해서도, 상기 제 4 실시형태와 동일한 이점이 얻어진다.
- [0186] [제 6 실시형태]
- [0187] 도 22 는, 본 발명의 제 6 실시형태에 의한 전자 카메라의 고체 촬상 소자 (604) 의 개략 구성을 나타내는 회로도이다. 도 23 은, 도 22 중의 열 방향으로 순차 늘어선 4 개의 화소 블록 (BL) 의 부근을 확대하여 나타내는 회로도이다. 본 실시형태에서는, 고체 촬상 소자 (604) 는, CMOS 형의 고체 촬상 소자로서 구성되어 있지만, 이것에 한정되지 않고, 예를 들어, 다른 XY 어드레스형 고체 촬상 소자로서 구성해도 된다.
- [0188] 고체 촬상 소자 (604) 는, 도 22 및 도 23 에 나타내는 바와 같이, N 행 M 열에 2 차원 매트릭스상으로 배치되

고 각각 2 개의 화소 (PX (PXA, PXB)) 를 갖는 화소 블록 (BL) 과, 후술하는 제 1 노드 (Pa) 와 이것에 대응하는 제 2 노드 (Pb) 의 사이를 전기적으로 접속 및 절단하는 제 1 스위치부로서의 제 1 트랜지스터 (SWA) 와, 2 개의 제 2 노드 (Pb) 사이를 전기적으로 접속 및 절단하는 제 2 스위치부로서의 제 2 트랜지스터 (SWB) 와, 수직 주사 회로 (21) 와, 화소 블록 (BL) 의 행마다 형성된 제어선 (22 ~ 27) 과, 화소 (PX) 의 열마다 (화소 블록 (BL) 의 열마다) 형성되어 대응하는 열의 화소 (PX) (화소 블록 (BL)) 로부터의 신호를 수취하는 복수의 (M 개의) 수직 신호선 (28) 과, 각 수직 신호선 (28) 에 형성된 정전류원 (29) 과, 각 수직 신호선 (28) 에 대응하여 형성된 칼럼 앰프 (30), CDS 회로 (상관 2 중 샘플링 회로) (31) 및 A/D 변환기 (32) 와, 수평 판독 회로 (33) 를 갖고 있다.

[0189] 또한, 칼럼 앰프 (30) 로서, 아날로그 증폭기를 사용해도 되고, 소위 스위치드 커패시터 앰프를 사용해도 된다. 또, 칼럼 앰프 (30) 는, 반드시 형성하지는 않아도 된다.

[0190] 도면 표기의 편의상, 도 22 에서는 $M=2$ 로서 나타내고 있지만, 열수 (M) 는 실제로는 보다 많은 임의의 수가 된다. 또, 행수 (N) 도 한정되지 않는다. 화소 블록 (BL) 을 행마다 구별하는 경우, j 행째의 화소 블록 (BL) 은 부호 BL(j) 로 나타낸다. 이 점은, 다른 요소나 후술하는 제어 신호에 대해서도 동일하다. 도 22 및 도 23 에는, 4 행에 걸치는 n-1 행째 내지 n+2 행째의 화소 블록 (BL(n-1) ~ BL(n+2)) 이 도시되어 있다.

[0191] 또한, 도면에서는, 화소 블록 (BL) 중 도 22 및 도 23 중 하측의 화소의 부호를 PXA 로 하고, 도 22 및 도 23 중 상측의 화소의 부호를 PXB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 PX 를 붙여 설명하는 경우가 있다. 또, 도면에서는, 화소 (PXA) 의 포토다이오드의 부호를 PDA 로 하고, 화소 (PXB) 의 포토다이오드의 부호를 PDB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 PD 를 붙여 설명하는 경우가 있다. 마찬가지로, 화소 (PXA) 의 전송 트랜지스터의 부호를 TXA 로 하고, 화소 (PXB) 의 전송 트랜지스터의 부호를 TXB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 TX 를 붙여 설명하는 경우가 있다. 또한, 본 실시형태에서는, 화소 (PX) 의 포토다이오드 (PD) 는, 2N 행 M 열에 2 차원 매트릭스상으로 배치되어 있다.

[0192] 본 실시형태에서는, 각 화소 (PX) 는, 입사광에 따른 신호 전하를 생성하고 축적하는 광전 변환부로서의 포토다이오드 (PD) 와, 포토다이오드 (PD) 로부터 제 1 노드 (Pa) 에 전하를 전송하는 전송 스위치로서의 전송 트랜지스터 (TX) 를 갖고 있다.

[0193] 본 실시형태에서는, 복수의 화소 (PX) 는, 포토다이오드 (PD) 가 열 방향으로 순차 늘어선 2 개의 화소 (PX (PXA, PXB)) 마다 화소 블록 (BL) 을 이루고 있다. 도 22 및 도 23 에 나타내는 바와 같이, 각 화소 블록 (BL) 마다, 당해 화소 블록 (BL) 에 속하는 2 개의 화소 (PX (PXA, PXB)) 가, 1 세트의 제 1 노드 (Pa), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL) 를 공유하고 있다. 제 1 노드 (Pa) 에는 기준 전위와의 사이에 용량 (전하 전압 변환 용량) 이 형성되고, 그 용량에 의해, 제 1 노드 (Pa) 에 전송되어 온 전하가 전압으로 변환된다. 증폭 트랜지스터 (AMP) 는, 제 1 노드 (Pa) 의 전위에 따른 신호를 출력하는 증폭부를 구성하고 있다. 리셋 트랜지스터 (RST) 는, 제 1 노드 (Pa) 의 전위를 리셋하는 리셋 스위치를 구성하고 있다. 선택 트랜지스터 (SEL) 는, 당해 화소 블록 (BL) 을 선택하기 위한 선택부를 구성하고 있다. 포토다이오드 (PD) 및 전송 트랜지스터 (TX) 는, 2 개의 화소 (PX (PXA, PXB)) 에서 공유되는 일 없이, 화소 (PX) 마다 형성되어 있다. 도 23 및 도 24 에서는, n 은 화소 블록 (BL) 의 행을 나타내고 있다. 예를 들어, 1 행째의 화소 (PX (PXA)) 와 2 행째의 화소 (PX (PXB)) 에 의해 1 행째의 화소 블록 (BL) 이 구성되고, 3 행째의 화소 (PX (PXA)) 와 4 행째의 화소 (PX (PXB)) 에 의해 2 행째의 화소 블록 (BL) 이 구성되어 있다.

[0194] 예를 들어, 화소 블록 (BL(n)) 의 전송 트랜지스터 (TXA(n)) 는, 포토다이오드 (PDA(n)) 로부터 제 1 노드 (Pa(n)) 에 전하를 전송하고, 전송 트랜지스터 (TXB(n)) 는 포토다이오드 (PDB(n)) 로부터 제 1 노드 (Pa(n)) 에 전하를 전송한다. 제 1 노드 (Pa(n)) 에는 기준 전위와의 사이에 용량 (전하 전압 변환 용량) 이 형성되고, 그 용량에 의해, 제 1 노드 (Pa(n)) 에 전송되어 온 전하가 전압으로 변환된다. 증폭 트랜지스터 (AMP(n)) 는, 제 1 노드 (Pa(n)) 의 전위에 따른 신호를 출력한다. 리셋 트랜지스터 (RST(n)) 는, 제 1 노드 (Pa(n)) 의 전위를 리셋한다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0195] 또한, 본 발명에서는, 예를 들어, 포토다이오드 (PD) 가 열 방향으로 순차 늘어선 3 개 이상의 화소 (PX) 마다 화소 블록 (BL) 을 구성하도록 해도 된다.

- [0196] 도면에는 나타나고 있지 않지만, 본 실시형태에서는, 각각의 화소 (PX) 의 포토다이오드 (PD) 의 광 입사측에는, 각각이 상이한 색 성분의 광을 투과시키는 복수 종류의 컬러 필터가, 소정의 색 배열 (예를 들어, 베이어 배열) 로 배치되어 있다. 화소 (PX) 는, 컬러 필터에 의한 색 분해에 의해 각 색에 대응하는 전기 신호를 출력한다.
- [0197] 제 1 트랜지스터 (SWA(n)) 는, 제 1 노드 (Pa(n)) 와 이것에 대응하는 제 2 노드 (Pb(n)) 의 사이를 전기적으로 접속 및 절단하는 제 1 스위치부를 구성하고 있다. 이와 같은 제 1 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 제 1 트랜지스터 (SWA(n)) 로 구성하는 것이 바람직하다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 에 대해서도 동일하다.
- [0198] 각 제 2 트랜지스터 (SWB) 는, 각 화소 블록 (BL) 중 열 방향으로 서로 이웃하는 각 2 개의 화소 블록 (BL) 에 대해, 일방의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 와 타방의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 의 사이를 전기적으로 접속 및 절단하도록 형성된 제 2 스위치부를 구성하고 있다. 이에 따라, 본 실시형태에서는, 3 개 이상의 화소 블록 (BL) 의 제 1 노드 (Pa) 가, 복수의 상기 제 2 스위치부에 의해 염주가 이어진 형상으로 접속되어 있다. 전술한 바와 같은 제 2 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 제 2 트랜지스터 (SWB) 로 구성하는 것이 바람직하다.
- [0199] 예를 들어, 제 2 트랜지스터 (SWB(n)) 는, n 행째의 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대응하는 제 2 노드 (Pb(n)) 와 n-1 행째의 화소 블록 (BL(n-1)) 의 제 1 노드 (Pa(n-1)) 에 대응하는 제 2 노드 (Pb(n-1)) 의 사이를 전기적으로 접속 및 절단하도록 형성되어 있다. 이 점은, 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.
- [0200] 화소 블록 (BL(n)) 의 증폭 트랜지스터 (AMP(n)) 의 게이트 전극, 리셋 트랜지스터 (RST(n)) 의 소스 영역, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역, 및, 제 1 트랜지스터 (SWA(n)) 의 소스 확산 영역의 사이가, 배선 (71(n)) 에 의해 서로 전기적으로 접속되어 도통하고 있다. 제 1 노드 (Pa(n)) 는, 배선 (71(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.
- [0201] 제 1 트랜지스터 (SWA(n)) 의 드레인 확산 영역, 제 2 트랜지스터 (SWB(n)) 의 드레인 확산 영역 및 제 2 트랜지스터 (SWB(n+1)) 의 소스 확산 영역의 사이가, 배선 (72(n)) 에 의해 서로 전기적으로 접속되어 도통하고 있다. 제 2 노드 (Pb(n)) 는, 배선 (72(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 및 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.
- [0202] 도 22 및 도 23 에 있어서, VDD 는 전원 전위이다. 또한, 본 실시형태에서는, 트랜지스터 (TXA, TXB, AMP, RST, SEL, SWA, SWB) 는, 모두 nMOS 트랜지스터이다.
- [0203] 전송 트랜지스터 (TXA) 의 게이트는 행마다 제어선 (26) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{TXA}) 가 수직 주사 회로 (21) 로부터 공급된다. 전송 트랜지스터 (TXB) 의 게이트는 행마다 제어선 (25) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{TXB}) 가 수직 주사 회로 (21) 로부터 공급된다. 리셋 트랜지스터 (RST) 의 게이트는 행마다 제어선 (24) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{RST}) 가 수직 주사 회로 (21) 로부터 공급된다. 선택 트랜지스터 (SEL) 의 게이트는 행마다 제어선 (23) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SEL}) 가 수직 주사 회로 (21) 로부터 공급된다. 제 1 트랜지스터 (SWA) 의 게이트는 행마다 제어선 (22) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SWA}) 가 수직 주사 회로 (21) 로부터 공급된다. 제 2 트랜지스터 (SWB) 의 게이트는 행마다 제어선 (27) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SWB}) 가 수직 주사 회로 (21) 로부터 공급된다. 예를 들어, 전송 트랜지스터 (TXA(n)) 의 게이트에는 제어 신호 ($\phi_{TXA(n)}$) 가 공급되고, 전송 트랜지스터 (TXB(n)) 의 게이트에는 제어 신호 ($\phi_{TXB(n)}$) 가 공급되고, 리셋 트랜지스터 (RST(n)) 의 게이트에는 제어 신호 ($\phi_{RST(n)}$) 가 공급되고, 선택 트랜지스터 (SEL(n)) 의 게이트에는 제어 신호 ($\phi_{SEL(n)}$) 가 공급되고, 제 1 트랜지스터 (SWA(n)) 의 게이트에는 제어 신호 ($\phi_{SWA(n)}$) 가 공급되고, 제 2 트랜지스터 (SWB(n)) 의 게이트에는 제어 신호 ($\phi_{SWB(n)}$) 가 공급된다.
- [0204] 각 트랜지스터 (TXA, TXB, RST, SEL, SWA, SWB) 는, 대응하는 제어 신호 (ϕ_{TXA} , ϕ_{TXB} , ϕ_{RST} , ϕ_{SEL} , ϕ_{SWA} , ϕ_{SWB}) 가 하이 레벨 (H) 일 때에 온하고, 로 레벨 (L) 일 때에 오프한다.

- [0205] 수직 주사 회로 (21) 는, 도 1 중의 촬상 제어부 (5) 에 의한 제어하에서, 화소 블록 (BL) 의 행마다, 제어 신호 (ϕ_{TXA} , ϕ_{TXB} , ϕ_{RST} , ϕ_{SEL} , ϕ_{SWA} , ϕ_{SWB}) 를 각각 출력하고, 화소 블록 (BL), 제 1 트랜지스터 (SWA), 제 2 트랜지스터 (SWB) 를 제어하고, 정지 영상 판독 동작이나 동영상 판독 동작 등을 실현한다. 이 제어에 있어서, 예를 들어 ISO 감도의 설정값에 따라, 후술하는 각 동작 모드의 판독 동작이 실시된다. 이 제어에 의해, 각 수직 신호선 (28) 에는, 그에 대응하는 열의 화소 (PX) 의 신호 (아날로그 신호) 가 공급된다.
- [0206] 본 실시형태에서는, 수직 주사 회로 (21) 는, 후술하는 각 동작 모드를, 도 22 중의 촬상 제어부 (5) 로부터의 지령 (제어 신호) 에 따라 전환하여 실시하는 제어부를 구성하고 있다.
- [0207] 수직 신호선 (28) 에 판독된 신호는, 각 열마다, 칼럼 앰프 (30) 에서 증폭되고 또한 CDS 회로 (31) 에서 광 신호 (화소 (PX) 로 광전 변환된 광 정보를 포함하는 신호) 와 암신호 (광 신호로부터 빼야 할 노이즈 성분을 포함하는 차분용 신호) 의 차분을 얻는 처리가 실시된 후에, A/D 변환기 (32) 에서 디지털 신호로 변환되고, 그 디지털 신호는 A/D 변환기 (32) 에 유지된다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 필요에 따라 소정의 신호 형식으로 변환되어, 외부 (도 22 중의 디지털 신호 처리부 (6)) 로 출력된다.
- [0208] 또한, CDS 회로 (31) 는, 도 1 중의 촬상 제어부 (5) 에 의한 제어하에서 타이밍 발생 회로 (도시 생략) 로부터 암신호 샘플링 신호 (ϕ_{DARKC}) 를 받고, ϕ_{DARKC} 가 하이 레벨 (H) 인 경우에 칼럼 앰프 (30) 의 출력 신호를 암신호로서 샘플링함과 함께, 도 1 중의 촬상 제어부 (5) 에 의한 제어하에서 상기 타이밍 발생 회로로부터 광 신호 샘플링 신호 (ϕ_{SIGC}) 를 받고, ϕ_{SIGC} 가 H 인 경우에 칼럼 앰프 (30) 의 출력 신호를 광 신호로서 샘플링한다. 그리고, CDS 회로 (31) 는, 상기 타이밍 발생 회로로부터의 클럭이나 펄스에 기초하여, 샘플링한 암신호와 광신호의 차분에 따른 신호를 출력한다. 이와 같은 CDS 회로 (31) 의 구성으로는, 공지된 구성을 채용할 수 있다.
- [0209] 도 22 및 도 23 에 있어서, CC(n) 은, 제 1 트랜지스터 (SWA(n)) 가 오프하고 있는 경우의, 제 1 노드 (Pa(n)) 와 기준 전위의 사이의 용량이다. 용량 (CC(n)) 의 용량값을 Cfd1 로 한다. CD(n) 은, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n), SWB(n+1)) 가 오프하고 있는 경우의, 제 2 노드 (Pb(n)) 와 기준 전위의 사이의 용량이다. 용량 (CD(n)) 의 용량값을 Cfd2 로 한다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 및 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.
- [0210] 용량 (CD(n)) 은, 배선 (72(n)) 의 배선 용량과, 제 1 트랜지스터 (SWA(n)) 의 드레인 확산 영역의 용량과, 제 2 트랜지스터 (SWB(n)) 의 드레인 확산 영역의 용량과, 제 2 트랜지스터 (SWB(n+1)) 의 소스 확산 영역의 용량으로 구성된다. 트랜지스터의 소스 확산 영역이나 드레인 확산 영역의 용량은, 가해지는 전압이 변화하면, 공핍층의 치수가 변화하므로, CD(n) 에 가해지는 전압이 변화하면, CD(n) 의 용량값 (Cfd2) 은 변화한다. 그러나, 제 1 트랜지스터 (SWA(n)) 의 드레인 확산 영역의 용량과, 제 2 트랜지스터 (SWB(n)) 의 드레인 확산 영역의 용량과, 제 2 트랜지스터 (SWB(n+1)) 의 소스 확산 영역의 용량은, 배선 (72(n)) 의 배선 용량에 대해 작기 때문에, CD(n) 에 가해지는 전압이 변화했을 때의 CD(n) 의 용량값 (Cfd2) 의 변화량은 무시 가능하다. 따라서, CD(n) 의 용량값 (Cfd2) 의 전압 의존성은 무시 가능하다.
- [0211] 용량 (CC(n)) 은, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역의 용량과, 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역의 용량과, 제 1 트랜지스터 (SWA(n)) 의 소스 확산 영역의 용량과, 증폭 트랜지스터 (AMP(n)) 의 게이트 전극의 용량과, 배선 (71(n)) 의 배선 용량으로 구성되고, 이들 용량값의 합계가 용량 (CC(n)) 의 용량값 (Cfd1) 이 된다. 따라서, 트랜지스터의 소스 확산 영역의 용량이나 게이트 전극의 용량은, 가해지는 전압이 변화하면, 공핍층의 치수가 변화하기 때문에, 용량 (CC(n)) 의 용량값 (Cfd1) 에는 전압 의존성이 있다. 이 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다. 또한, 제 2 트랜지스터 (SWB(n)) 의 소스 확산 영역의 용량은 용량 (CC(n)) 의 구성 요소가 되지 않기 때문에, 그 만큼, 용량 (CC(n)) 의 용량값 (Cfd1) 은 작아진다.
- [0212] 여기서, 제 1 트랜지스터 (SWA) 의 온시의 채널 용량의 값 및 제 2 트랜지스터 (SWB) 의 온시의 채널 용량의 값을, 양방 모두 Csw 로 한다. 통상적으로, 용량값 (Csw) 은, 용량값 (Cfd1, Cfd2) 에 대해 작은 값이다.
- [0213] 지금, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 가 오프하면 (즉, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면), 제 1 노드 (Pa(n)) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은, 용량 (CC(n)) 이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, Cfd1 이 된다. 이 상태는, 후술하

는 제 1 동작 모드를 나타내는 도 24 중의 기간 (T2) 의 상태에 상당하고 있다.

[0214] 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 제 1 트랜지스터 (SWA(n)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 제 2 트랜지스터 (SWB(n), SWB(n+1)) 가 오프이면), 제 1 노드 (Pa(n)) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은, 용량 (CC(n)) 에 대해, 용량 (CD(n)) 및 제 1 트랜지스터 (SWA(n)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + C_{fd2} + C_{sw} \approx C_{fd1} + C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 2 동작 모드를 나타내는 도 26 중의 기간 (T2) 의 상태에 상당하고 있다.

[0215] 또한, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWB(n+1)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWB(n), SWA(n+1), SWB(n+2)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 (CC(n)) 에 대해, 용량 (CD(n)), 용량 (CD(n+1)) 및 트랜지스터 (SWA(n), SWB(n+1)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + 2 \times C_{fd2} + 2 \times C_{sw} \approx C_{fd1} + 2 \times C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 3 동작 모드를 나타내는 도 27 중의 기간 (T2) 의 상태에 상당하고 있다.

[0216] 나아가 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n), SWA(n+1)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWA(n+1), SWB(n+1)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWB(n), SWB(n+2)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 (CC(n)) 에 대해, 용량 (CD(n)), 용량 (CD(n+1)), 용량 (CC(n+1)) 및 트랜지스터 (SWA(n), SWA(n+1), SWB(n+1)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $2 \times C_{fd1} + 2 \times C_{fd2} + 3 \times C_{sw} \approx 2 \times C_{fd1} + 2 \times C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 4 동작 모드를 나타내는 도 27 중의 기간 (T2) 의 상태에 상당하고 있다.

[0217] 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1), SWB(n+2)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWB(n+1), SWB(n+2)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWA(n+1), SWA(n+2), SWB(n), SWB(n+3)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 (CC(n)) 에 대해, 용량 (CD(n)), 용량 (CD(n+1)), 용량 (CD(n+2)) 및 트랜지스터 (SWA(n), SWB(n+1), SWB(n+2)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + 3 \times C_{fd2} + 3 \times C_{sw} \approx C_{fd1} + 3 \times C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 5 동작 모드를 나타내는 도 28 중의 기간 (T2) 의 상태에 상당하고 있다.

[0218] 이와 같이, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없으면, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값이 최소의 용량값 (C_{fd1}) 이 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 판독이 가능해진다.

[0219] 한편, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터의 수를 1 개 이상의 원하는 수로 늘려 가면, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값을 원하는 값으로 크게 할 수 있고, 큰 신호 전하량을 취급할 수 있기 때문에, 포화 전자수를 확대할 수 있다. 이에 따라, 다이내믹 레인지를 확대할 수 있다.

[0220] 이상, 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대하여 설명했지만, 다른 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해서도 동일하다.

[0221] 도 24 는, 도 22 에 나타내는 고체 촬상 소자 (604) 의 제 1 동작 모드를 나타내는 타이밍 차트이다. 이 제 1 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없는 상태 (당해 제 1 노드 (Pa) 의 전하 전압 변환 용량이 최소인 상태) 에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의

신호를 행마다 순차 판독하는 동작의 예이다. 도 24 에 나타내는 예에서는, 전체 화소 (PXA, PXB) 의 신호를 판독하지만, 이것에 한정되지 않고, 예를 들어, 화소 행을 속아내어 판독하는 속아내기 판독 등을 실시해된다. 이 점은, 후술하는 도 25 내지 도 28 에 각각 나타내는 각 예에 대해서도 동일하다.

- [0222] 도 24 는, 기간 (T1) 에 있어서 $n-1$ 행째의 화소 블록 (BL($n-1$)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 $n+1$ 행째의 화소 블록 (BL($n+1$)) 이 선택되어 가는 상황을 나타내고 있다. 어느 행의 화소 블록 (BL) 이 선택된 경우의 동작도 동일하므로, 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택된 경우의 동작에 대해서만 설명한다.
- [0223] 기간 (T2) 의 개시 전에 이미, 소정의 노광 기간에 있어서, 포토다이오드 (PDA(n), PDB(n)) 의 노광이 종료되어 있다. 이 노광은, 통상적인 본 촬영시 (정지 영상 촬영시) 등에서는, 전체 화소를 동시에 리셋하는 소위 글로벌 리셋 후에 메커니컬 셔터 (도시 생략) 에 의해 실시되고, 전자 뷰파인더 모드시나 동영상 촬영시 등에서는, 소위 롤링 전자 셔터 동작에 의해 실시된다. 기간 (T2) 의 개시 직전에는, 모든 트랜지스터 (SEL, RST, TXA, TXB, SWA, SWB) 는 오프하고 있다.
- [0224] 기간 (T2) 에 있어서, n 행째의 $\phi\text{SEL}(n)$ 이 H 가 되고, n 행째의 화소 블록 (BL(n)) 의 선택 트랜지스터 (SEL(n)) 가 온이 되고, n 행째의 화소 블록 (BL(n)) 이 선택된다.
- [0225] 또, 기간 (T2) 에 있어서, $\phi\text{SWA}(n)$ 이 L 이 되고, 제 1 트랜지스터 (SWA(n)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없는 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, Cfd1 이 되고, 최소가 된다.
- [0226] 기간 (T2) 의 개시 직후부터 일정 기간만, $\phi\text{RST}(n)$ 이 H 가 되어 n 행째의 리셋 트랜지스터 (RST(n)) 가 일단 온이 되고, 제 1 노드 (Pa(n)) 의 전위가 일단 전원 전위 (VDD) 로 리셋된다.
- [0227] 기간 (T2) 중의 그 후의 시점 (t1) 으로부터 일정 기간만, 암신호 샘플링 신호 (ϕDARKC) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 암신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0228] 기간 (T2) 중의 그 후의 시점 (t2) 으로부터 일정 기간만, $\phi\text{TXA}(n)$ 이 H 가 되어 n 행째의 전송 트랜지스터 (TXA(n)) 가 온이 된다. 이에 따라, n 행째의 화소 블록 (BL(n)) 의 포토다이오드 (PDA(n)) 에 축적되어 있던 신호 전하가, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량으로 전송된다. 제 1 노드 (Pa(n)) 의 전위는, 노이즈 성분을 제외하면, 이 신호 전하의 양과 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값의 역수에 비례한 값이 된다.
- [0229] 기간 (T2) 중의 그 후의 시점 (t3) 에 있어서, 광 신호 샘플링 신호 (ϕSIGC) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 광 신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0230] 그 후에 ϕSIGC 가 L 이 된 시점 후에, CDS 회로 (31) 는, 시점 (t1) 으로부터의 일정 기간에서 샘플링한 암신호와 시점 (t3) 으로부터의 일정 시간에서 샘플링한 광 신호의 차분에 따른 신호를 출력한다. A/D 변환기 (32) 는, 이 차분에 따른 신호를 디지털 신호로 변환하여 유지한다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 디지털 신호 화상 신호로서 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.
- [0231] 그리고, 기간 (T2) 중의 시점 (t4) 으로부터 일정 기간만, $\phi\text{RST}(n)$ 이 H 가 되어 n 행째의 리셋 트랜지스터 (RST(n)) 가 일단 온이 되고, 제 1 노드 (Pa(n)) 의 전위가 일단 전원 전위 (VDD) 로 리셋된다.
- [0232] 기간 (T2) 중의 그 후의 시점 (t5) 으로부터 일정 기간만, 암신호 샘플링 신호 (ϕDARKC) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 암신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0233] 기간 (T2) 중의 그 후의 시점 (t6) 으로부터 일정 기간만, $\phi\text{TXB}(n)$ 이 H 가 되어 n 행째의 전송 트랜지스터 (TXB(n)) 가 온이 된다. 이에 따라, n 행째의 화소 블록 (BL(n)) 의 포토다이오드 (PDB(n)) 에 축적되어

있던 신호 전하가, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량으로 전송된다. 제 1 노드 (Pa(n)) 의 전위는, 노이즈 성분을 제외하면, 이 신호 전하의 양과 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값의 역수에 비례한 값이 된다.

[0234] 기간 (T2) 중의 그 후의 시점 (t7) 에 있어서, 광 신호 샘플링 신호 (ϕ SIGC) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 광 신호로서 CDS 회로 (31) 에 의해 샘플링된다.

[0235] 그 후에 ϕ SIGC 가 L 이 된 시점 후에, CDS 회로 (31) 는, 시점 (t5) 으로부터의 일정 기간에서 샘플링한 암신호와 시점 (t7) 으로부터의 일정 시간에서 샘플링한 광 신호의 차분에 따른 신호를 출력한다. A/D 변환기 (32) 는, 이 차분에 따른 신호를 디지털 신호로 변환하여 유지한다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 디지털 신호 화상 신호로서 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.

[0236] 이와 같이, 상기 제 1 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없기 때문에, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 최소가 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 판독이 가능해진다. 예를 들어, ISO 감도의 설정값이 가장 높은 경우 에, 촬상 제어부 (5) 에 의해, 상기 제 1 동작 모드를 실시하도록 지령된다.

[0237] 도 25 는, 도 22 에 나타내는 고체 촬상 소자 (604) 의 제 2 동작 모드를 나타내는 타이밍 차트이다. 이 제 2 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개의 온 상태의 트랜지스터 (SWA) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다.

[0238] 도 25 도, 도 24 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 25 에 나타내는 제 2 동작 모드가 도 24 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.

[0239] 도 25 에 나타내는 제 2 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, ϕ SWA(n) 이 H 가 됨과 함께 ϕ SWB(n), ϕ SWB(n+1) 이 L 이 되고, 제 1 트랜지스터 (SWA(n)) 가 온이 됨과 함께 제 2 트랜지스터 (SWB(n), ϕ SWB(n+1)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SW) (여기서는, 제 1 트랜지스터 (SWA(n))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + C_{fd2} + C_{sw} = C_{fd1} + C_{fd2}$ 가 되고, 도 24 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 1 단계 커진다.

[0240] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.

[0241] 이와 같이, 상기 제 2 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 1 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 1 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 1 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 1 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 2 동작 모드를 실시하도록 지령된다.

[0242] 도 26 은, 도 22 에 나타내는 고체 촬상 소자 (604) 의 제 3 동작 모드를 나타내는 타이밍 차트이다. 이 제 3 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다.

- [0243] 도 26 도, 도 24 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 26 에 나타내는 제 3 동작 모드가 도 24 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.
- [0244] 도 26 에 나타내는 제 3 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, $\phi_{SWA(n)}$ 및 $\phi_{SWB(n+1)}$ 이 H 가 됨과 함께 $\phi_{SWA(n+1)}$, $\phi_{SWB(n)}$, $\phi_{SWB(n+2)}$ 가 L 이 되고, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온이 됨과 함께 제 1 트랜지스터 (SWA(n+1)) 및 제 2 트랜지스터 (SWB(n), SWB(n+2)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) (여기서는, 제 1 트랜지스터 (SWA(n))) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) (여기서는, 제 2 트랜지스터 (SWB(n+1))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1}+2\times C_{fd2}+C_{sw}\approx C_{fd1}+2\times C_{fd2}$ 가 되고, 도 24 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 2 단계 커진다.
- [0245] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.
- [0246] 이와 같이, 상기 제 3 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 2 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 2 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 2 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 2 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 3 동작 모드를 실시하도록 지령된다.
- [0247] 도 27 은, 도 22 에 나타내는 고체 촬상 소자 (604) 의 제 4 동작 모드를 나타내는 타이밍 차트이다. 이 제 4 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 2 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 관독하는 동작의 예이다.
- [0248] 도 27 도, 도 24 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 27 에 나타내는 제 4 동작 모드가 도 24 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.
- [0249] 도 27 에 나타내는 제 4 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, $\phi_{SWA(n)}$, $\phi_{SWA(n+1)}$ 및 $\phi_{SWB(n+1)}$ 이 H 가 됨과 함께 $\phi_{SWB(n)}$, $\phi_{SWB(n+2)}$ 가 L 이 되고, 제 1 트랜지스터 (SWA(n), SWA(n+1)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온이 됨과 함께 제 2 트랜지스터 (SWB(n), SWB(n+2)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 2 개의 온 상태의 제 1 트랜지스터 (SWA) (여기서는, 제 1 트랜지스터 (SWA(n), SWA(n+1))) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) (여기서는, 제 2 트랜지스터 (SWB(n+1))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $2\times C_{fd1}+2\times C_{fd2}+3\times C_{sw}\approx 2\times C_{fd1}+2\times C_{fd2}$ 가 되고, 도 24 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 3 단계 커진다.
- [0250] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.
- [0251] 이와 같이, 상기 제 4 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 2 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 3 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 3 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 3 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 3 단계 작은

값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 4 동작 모드를 실시하도록 지령된다.

- [0252] 도 28 은, 도 22 에 나타내는 고체 촬상 소자 (604) 의 제 5 동작 모드를 나타내는 타이밍 차트이다. 이 제 5 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다.
- [0253] 도 28 도, 도 24 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 28 에 나타내는 제 5 동작 모드가 도 24 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.
- [0254] 도 28 에 나타내는 제 5 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, ϕ SWA(n) 및 ϕ SWB(n+1), ϕ SWB(n+2) 가 H 가 됨과 함께 ϕ SWA(n+1), ϕ SWA(n+2), ϕ SWB(n), ϕ SWB(n+3) 이 L 이 되고, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1), SWB(n+2)) 가 온이 됨과 함께 제 1 트랜지스터 (SWA(n+1), SWA(n+2)) 및 제 2 트랜지스터 (SWB(n), SWB(n+3)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) (여기서는, 제 1 트랜지스터 (SWA(n))) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) (여기서는, 제 2 트랜지스터 (SWB(n+1), SWB(n+2))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1}+3\times C_{fd2}+3\times C_{sw}\approx C_{fd1}+3\times C_{fd2}$ 가 되고, 도 24 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 3 단계 커진다.
- [0255] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.
- [0256] 이와 같이, 상기 제 5 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 3 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 3 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 3 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 3 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 5 동작 모드를 실시하도록 지령된다.
- [0257] 여기서, 도 27 에 나타내는 제 4 동작 모드와 상기 도 28 에 나타내는 제 5 동작 모드를 비교한다. 전술한 바와 같이, 상기 제 4 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 2 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되고, 그 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값은, $2\times C_{fd1}+2\times C_{fd2}+3\times C_{sw}\approx 2\times C_{fd1}+2\times C_{fd2}$ 가 된다. 한편, 상기 제 5 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되고, 그 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값은, $C_{fd1}+3\times C_{fd2}+3\times C_{sw}\approx C_{fd1}+3\times C_{fd2}$ 가 된다.
- [0258] 따라서, 용량 (CC) 의 용량값 (Cfd1) 과 용량 (CD) 의 용량값 (Cfd2) 이 동일하면, 상기 제 4 동작 모드 및 상기 제 5 동작 모드 중 어느 것에 있어서도, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 용량값은 동일해지고, 다이내믹 레인지를 동일한 정도 확대할 수 있다.
- [0259] 그런데, 전술한 바와 같이, 용량값 (Cfd1) 에는 전압 의존성이 있는 한편으로, 용량값 (Cfd2) 의 전압 의존성은 무시 가능하다. 따라서, 상기 제 5 동작 모드에 있어서 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값의 전압 의존성은, 1 개의 용량 (CC) 의 용량값 (Cfd1) 의 전압 의존성의 분만큼, 상기 제 4 동작 모드에 있어서 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값의 전압 의존성보다 작아진다.
- [0260] 따라서, 상기 제 5 동작 모드에 의하면, 상기 제 4 동작 모드에 비해, 다이내믹 레인지 확대시의 용량의 전압 의존성의 영향을 저감할 수 있고, 나아가서는, 광전 변환의 선형성을 높일 수 있다.
- [0261] 상기 제 5 동작 모드는, 각 제 1 트랜지스터 (SWA) 중 p 개 (p 는 1 이상의 정수) 의 온 상태의 제 1 트랜지스

터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 q 개 (q 는 p 보다 큰 정수) 의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 1 개의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태가 되도록, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 가 제어되는 동작 모드의 일례이며, $p=1$ 또한 $q=2$ 로 한 예이다.

앞의 설명으로부터 이해할 수 있는 바와 같이, 이 동작 모드에서는, $p+q$ 의 값이 3 이상의 임의의 소정값일 때, $q \leq p$ 로 한 동작 모드 (그 동작 모드의 일례로서 $p=2$ 또한 $q=1$ 로 한 것이 상기 제 4 동작 모드이다.) 에 비해, 다이내믹 레인지 확대시의 용량의 전압 의존성의 영향을 저감할 수 있다. 상기 p 는 1 이상의 정수이면 되는데, $p+q$ 의 값이 동일하면, 상기 p 가 작을수록 용량의 전압 의존성의 영향을 저감할 수 있으므로, 바람직하다. 특히, $p=1$ 로 하면, 용량의 전압 의존성의 영향을 최소한으로 억제할 수 있으므로, 가장 바람직하다.

[0262] 본 실시형태에서는, 열 방향으로 순차 이웃하는 모든 2 개의 제 2 노드 (Pb) 사이에 제 2 트랜지스터 (SWB) 를 형성하고 있지만, 본 발명에서는 반드시 이것에 한정되는 것은 아니다. 예를 들어, 열 방향으로 늘어서는 r 개 (r 은 2 이상의 정수) 간격의 제 2 노드 (Pb) 와 당해 제 2 노드 (Pb) 에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb) 의 사이에는, 제 2 트랜지스터 (SWB) 를 형성하지 않고 그 사이를 항상 개방해 두어도 된다. 이 경우, r 의 수가 작을수록 다이내믹 레인지의 확대 정도가 저하되지만, 고감도 판독시의 SN 비를 향상시킬 수 있다. 또, 예를 들어, 열 방향으로 늘어서는 s 개 (s 는 4 이상의 정수) 간격의 제 2 노드 (Pb) 와 당해 제 2 노드 (Pb) 에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb) 의 사이에는, 제 2 트랜지스터 (SWB) 를 형성하지 않고 그 사이를 전기적으로 단락시켜 뒀도 된다.

[0263] 또한, 예를 들어 배선 (72) 의 폭 등을 조정함으로써, 용량 (CD) 의 용량값을, 용량 (CC) 의 용량값에 대해 $\pm 20\%$ 의 범위 내의 값으로 해도 되고, 용량 (CC) 의 용량값에 대해 $\pm 10\%$ 의 범위 내의 값으로 해도 된다. 이 점은, 후술하는 제 7 실시형태에 대해서도 동일하다.

[0264] 또한, 도 24 내지 도 28 을 참조하여 설명한 각 동작예는, 각 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하를, 다른 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하와 혼합하는 일 없이 판독하는 동작의 예였다. 그러나, 본 발명에서는, 각 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하를, 동색의 다른 화소 (PX) 의 포토다이오드 (PD) 의 신호 전하와 혼합하여 판독해도 된다.

[0265] 예를 들어, 제 1 트랜지스터 (SWA($n-1$), SWA(n), SWA($n+1$)) 및 제 2 트랜지스터 (SWB(n), SWB($n+1$)) 를 온으로 하여 제 1 노드 (Pa($n-1$), Pa(n), Pa($n+1$)) 를 서로 연결하고, TXA($n-1$), TXA(n), TXA($n+1$) 을 동시에 온으로 하면, 베이어 배열 등을 전제로 한 경우에 있어서의 동색의 3 개의 화소 (PXA($n-1$), PXA(n), PXA($n+1$)) 의 포토다이오드 (PDA($n-1$), PDA(n), PDA($n+1$)) 의 신호 전하가 서로 연결된 제 1 노드 (Pa($n-1$), Pa(n), Pa($n+1$)) 에서 평균화되고, 동색 3 화소 혼합 판독의 기능을 실현할 수 있다. 이 때, 제 2 트랜지스터 (SWB($n-2$), SWB($n+2$)) 를 오프로 하고, 제 1 노드 (Pa($n-1$), Pa(n), Pa($n+1$)) 에 대해 전기적으로 접속되는 온 상태의 제 1 또는 제 2 트랜지스터의 수를 최소한으로 함으로써, 연결된 제 1 노드 (Pa($n-1$), Pa(n), Pa($n+1$)) 에 있어서의 전하 전압 변환 용량값이 최소가 되고, 최고의 SN 비로 동색 3 화소 혼합 판독을 실시할 수 있다. 한편, 제 1 트랜지스터 (SWA($n-1$), SWA(n), SWA($n+1$)) 및 제 2 트랜지스터 (SWB(n), SWB($n+1$)) 외에, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개 이상의 온 상태의 트랜지스터가 제 1 노드 (Pa($n-1$), Pa(n), Pa($n+1$)) 에 대해 전기적으로 접속되도록 하면, 그 수에 따라, 연결된 제 1 노드 (Pa($n-1$), Pa(n), Pa($n+1$)) 에 있어서의 전하 전압 변환 용량값이 커지고, 동색 3 화소 혼합 판독의 다이내믹 레인지를 확대할 수 있다.

[0266] [제 7 실시형태]

[0267] 도 29 는, 본 발명의 제 7 실시형태에 의한 전자 카메라의 고체 촬상 소자 (704) 의 개략 구성을 나타내는 회로도이며, 도 22 에 대응하고 있다. 도 29 에 있어서, 도 22 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.

[0268] 본 실시형태가 상기 제 6 실시형태와 다른 곳은, 본 실시형태에서는, 상기 제 6 실시형태에 있어서, 각 화소 블록 (BL) 에 있어서, 포토다이오드 (PDB) 및 전송 트랜지스터 (TXB) 가 제거되고, 각 화소 블록 (BL) 이 화소 (PXA) 가 되어 있는 점이다. 단, 본 실시형태에서는, 포토다이오드 (PDA) 의 열 방향의 밀도는, 상기 제 6 실시형태에 있어서의 포토다이오드 (PDA) 의 열 방향의 밀도의 2 배가 되고, 상기 제 6 실시형태에 있어서의 포토다이오드 (PDA, PDB) 전체의 열 방향의 밀도와 동일하게 되어 있다. 본 실시형태에서는, n 은, 화소 블록 (BL) 의 행을 나타냄과 동시에, 화소 (PXA) 의 행을 나타내는 것이 된다.

- [0269] 바꾸어 말하면, 상기 제 6 실시형태에서는, 각 화소 블록 (BL) 은 2 개의 화소 (PX (PXA, PXB)) 로 구성되어 있는 데 반해, 본 실시형태에서는, 각 화소 블록 (BL) 은 1 개의 화소 (PX (PXA)) 로 구성되어 있다. 그리고, 상기 제 6 실시형태에서는, 화소 블록 (BL) 에 속하는 2 개의 화소 (PX (PXA, PXB)) 가, 1 세트의 제 1 노드 (Pa), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL) 를 공유하고 있는 데 반해, 본 실시형태에서는, 각 화소 (PX) (본 실시형태에서는, PXA 만) 가, 각각 1 세트의 제 1 노드 (Pa), 증폭 트랜지스터 (AMP), 리셋 트랜지스터 (RST) 및 선택 트랜지스터 (SEL) 를 갖고 있다.
- [0270] 기본적으로, 상기 제 6 실시형태의 설명은, 화소 블록 (BL) 을 화소 (PXA) 로 치환함으로써, 본 실시형태의 설명으로서 적합하다. 따라서, 여기서는, 본 실시형태의 상세한 설명은 생략한다.
- [0271] 본 실시형태에 의해서도, 상기 제 6 실시형태와 동일한 이점이 얻어진다.
- [0272] [제 8 실시형태]
- [0273] 도 30 은, 본 발명의 제 8 실시형태에 의한 전자 카메라의 고체 촬상 소자 (804) 의 개략 구성을 나타내는 회로도이다. 도 31 은, 도 30 중의 열 방향으로 순차 늘어선 4 개의 화소 블록 (BL) 의 부근을 확대하여 나타내는 회로도이다. 도 32 는, 도 31 중의 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이다. 도 33 은, 도 32 중의 1 개의 화소 블록 (BL) 의 부근을 확대하여 나타내는 개략 평면도이다. 본 실시형태에서는, 고체 촬상 소자 (804) 는, CMOS 형의 고체 촬상 소자로서 구성되어 있지만, 이것에 한정되지 않고, 예를 들어, 다른 XY 어드레스형 고체 촬상 소자로서 구성해도 된다.
- [0274] 고체 촬상 소자 (804) 는, 도 30 내지 도 32 에 나타내는 바와 같이, N 행 M 열에 2 차원 매트릭스상으로 배치되고 각각 2 개의 화소 (PX (PXA, PXB)) 를 갖는 화소 블록 (BL) 과, 후술하는 제 1 노드 (Pa) 와 이것에 대응하는 제 2 노드 (Pb) 의 사이를 전기적으로 접속 및 절단하는 제 1 스위치부로서의 제 1 트랜지스터 (SWA) 와, 2 개의 제 2 노드 (Pb) 사이를 전기적으로 접속 및 절단하는 제 2 스위치부로서의 제 2 트랜지스터 (SWB) 와, 제 2 노드 (Pb) 에 소정 전위로서의 전원 전압 (VDD) 을 공급하는 제 3 스위치부로서의 리셋 트랜지스터 (RST) 와, 수직 주사 회로 (21) 와, 화소 블록 (BL) 의 행마다 형성된 제어선 (22 ~ 27) 과, 화소 (PX) 의 열마다 (화소 블록 (BL) 의 열마다) 형성되고 대응하는 열의 화소 (PX) (화소 블록 (BL)) 로부터의 신호를 수취하는 복수의 (M 개의) 수직 신호선 (28) 과, 각 수직 신호선 (28) 에 형성된 정전류원 (29) 과, 각 수직 신호선 (28) 에 대응하여 형성된 칼럼 앰프 (30), CDS 회로 (상관 2 중 샘플링 회로) (31) 및 A/D 변환기 (32) 와, 수평 판독 회로 (33) 를 갖고 있다.
- [0275] 또한, 칼럼 앰프 (30) 로서, 아날로그 증폭기를 사용해도 되고, 소위 스위치드 커패시터 앰프를 사용해도 된다. 또, 칼럼 앰프 (30) 는, 반드시 형성하지는 않아도 된다.
- [0276] 도면 표기의 편의상, 도 30 에서는 M=2 로서 나타내고 있지만, 열수 (M) 는 실제로는 보다 많은 임의의 수가 된다. 또, 행수 (N) 도 한정되지 않는다. 화소 블록 (BL) 을 행마다 구별하는 경우, j 행째의 화소 블록 (BL) 은 부호 BL(j) 로 나타낸다. 이 점은, 다른 요소나 후술하는 제어 신호에 대해서도 동일하다. 도 30 및 도 31 에는, 4 행에 걸치는 n-1 행째 내지 n+2 행째의 화소 블록 (BL(n-1) ~ BL(n+2)) 이 도시되어 있다.
- [0277] 또한, 도면에서는, 화소 블록 (BL) 중 도 30 및 도 31 중 하측의 화소의 부호를 PXA 로 하고, 도 30 및 도 31 중 상측의 화소의 부호를 PXB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 PX 를 붙여 설명하는 경우가 있다. 또, 도면에서는, 화소 (PXA) 의 포토다이오드의 부호를 PDA 로 하고, 화소 (PXB) 의 포토다이오드의 부호를 PDB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 PD 를 붙여 설명하는 경우가 있다. 마찬가지로, 화소 (PXA) 의 전송 트랜지스터의 부호를 TXA 로 하고, 화소 (PXB) 의 전송 트랜지스터의 부호를 TXB 로 하여, 양자를 구별하고 있지만, 양자를 구별하지 않고 설명할 때에는 양자에 부호 TX 를 붙여 설명하는 경우가 있다. 또한, 본 실시형태에서는, 화소 (PX) 의 포토다이오드 (PD) 는, 2N 행 M 열에 2 차원 매트릭스상으로 배치되어 있다.
- [0278] 본 실시형태에서는, 각 화소 (PX) 는, 입사광에 따른 신호 전하를 생성하고 축적하는 광전 변환부로서의 포토다이오드 (PD) 와, 포토다이오드 (PD) 로부터 제 1 노드 (Pa) 에 전하를 전송하는 전송 스위치로서의 전송 트랜지스터 (TX) 를 갖고 있다.
- [0279] 본 실시형태에서는, 복수의 화소 (PX) 는, 포토다이오드 (PD) 가 열 방향으로 순차 늘어선 2 개의 화소 (PX (PXA, PXB)) 마다 화소 블록 (BL) 을 이루고 있다. 도 30 및 도 31 에 나타내는 바와 같이, 각 화소 블록

(BL) 마다, 당해 화소 블록 (BL) 에 속하는 2 개의 화소 (PX (PXA, PXB)) 가, 1 세트의 제 1 노드 (Pa), 증폭 트랜지스터 (AMP) 및 선택 트랜지스터 (SEL) 를 공유하고 있다. 제 1 노드 (Pa) 에는 기준 전위와의 사이에 용량 (전하 전압 변환 용량) 이 형성되고, 그 용량에 의해, 제 1 노드 (Pa) 에 전송되어 온 전하가 전압으로 변환된다. 증폭 트랜지스터 (AMP) 는, 제 1 노드 (Pa) 의 전위에 따른 신호를 출력하는 증폭부를 구성하고 있다. 선택 트랜지스터 (SEL) 는, 당해 화소 블록 (BL) 을 선택하기 위한 선택부를 구성하고 있다. 포토다이오드 (PD) 및 전송 트랜지스터 (TX) 는, 2 개의 화소 (PX (PXA, PXB)) 에서 공유되는 일 없이, 화소 (PX) 마다 형성되어 있다. 도 30 및 도 31 에서는, n 은 화소 블록 (BL) 의 행을 나타내고 있다. 예를 들어, 1 행째의 화소 (PX (PXA)) 와 2 행째의 화소 (PX (PXB)) 에 의해 1 행째의 화소 블록 (BL) 이 구성되고, 3 행째의 화소 (PX (PXA)) 와 4 행째의 화소 (PX (PXB)) 에 의해 2 행째의 화소 블록 (BL) 이 구성되어 있다.

[0280] 예를 들어, 화소 블록 (BL(n)) 의 전송 트랜지스터 (TXA(n)) 는, 포토다이오드 (PDA(n)) 로부터 제 1 노드 (Pa(n)) 에 전하를 전송하고, 전송 트랜지스터 (TXB(n)) 는 포토다이오드 (PDB(n)) 로부터 제 1 노드 (Pa(n)) 에 전하를 전송한다. 제 1 노드 (Pa(n)) 에는 기준 전위와의 사이에 용량 (전하 전압 변환 용량) 이 형성되고, 그 용량에 의해, 제 1 노드 (Pa(n)) 에 전송되어 온 전하가 전압으로 변환된다. 증폭 트랜지스터 (AMP(n)) 는, 제 1 노드 (Pa(n)) 의 전위에 따른 신호를 출력한다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0281] 또한, 본 발명에서는, 예를 들어, 포토다이오드 (PD) 가 열 방향으로 순차 늘어선 3 개 이상의 화소 (PX) 마다 화소 블록 (BL) 을 구성하도록 해도 된다.

[0282] 도면에는 나타나고 있지 않지만, 본 실시형태에서는, 각각의 화소 (PX) 의 포토다이오드 (PD) 의 광 입사측에는, 각각이 상이한 색 성분의 광을 투과시키는 복수 종류의 컬러 필터가, 소정의 색 배열 (예를 들어, 베이어 배열) 로 배치되어 있다. 화소 (PX) 는, 컬러 필터에 의한 색 분해에 의해 각 색에 대응하는 전기 신호를 출력한다.

[0283] 제 1 트랜지스터 (SWA(n)) 는, 제 1 노드 (Pa(n)) 와 이것에 대응하는 제 2 노드 (Pb(n)) 의 사이를 전기적으로 접속 및 절단하는 제 1 스위치부를 구성하고 있다. 이와 같은 제 1 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 제 1 트랜지스터 (SWA(n)) 로 구성하는 것이 바람직하다. 이러한 점은, 다른 제 1 트랜지스터 (SWA) 에 대해서도 동일하다.

[0284] 각 제 2 트랜지스터 (SWB) 는, 각 화소 블록 (BL) 중 열 방향으로 서로 이웃하는 각 2 개의 화소 블록 (BL) 에 대해, 일방의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 와 타방의 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 의 사이를 전기적으로 접속 및 절단하도록 형성된 제 2 스위치부를 구성하고 있다. 이에 따라, 본 실시형태에서는, 3 개 이상의 화소 블록 (BL) 의 제 1 노드 (Pa) 가, 복수의 상기 제 2 스위치부에 의해 염주가 이어진 형상으로 접속되어 있다. 전술한 바와 같은 제 2 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 제 2 트랜지스터 (SWB) 로 구성하는 것이 바람직하다.

[0285] 예를 들어, 제 2 트랜지스터 (SWB(n)) 는, n 행째의 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대응하는 제 2 노드 (Pb(n)) 와 n-1 행째의 화소 블록 (BL(n-1)) 의 제 1 노드 (Pa(n-1)) 에 대응하는 제 2 노드 (Pb(n-1)) 의 사이를 전기적으로 접속 및 절단하도록 형성되어 있다. 이 점은, 다른 제 2 트랜지스터 (SWB) 에 대해서도 동일하다.

[0286] 리셋 트랜지스터 (RST(n)) 는, 제 2 노드 (Pb(n)) 에 소정 전위로서의 전원 전압 (VDD) 을 공급하는 제 3 스위치부를 구성하고 있다. 이와 같은 제 3 스위치부는, 복수의 트랜지스터 등의 스위치를 조합하여 구성하는 것도 가능하지만, 구조를 간단하게 하기 위해서, 본 실시형태와 같이 단일의 리셋 트랜지스터 (RST(n)) 로 구성하는 것이 바람직하다. 이러한 점은, 다른 리셋 트랜지스터 (RST) 에 대해서도 동일하다.

[0287] 도 30 및 도 31 에 있어서, VDD 는 전원 전위이다. 또한, 본 실시형태에서는, 트랜지스터 (TXA, TXB, AMP, RST, SEL, SWA, SWB) 는, 모두 nMOS 트랜지스터이다.

[0288] 전송 트랜지스터 (TXA) 의 게이트는 행마다 제어선 (26) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{TXA}) 가 수직 주사 회로 (21) 로부터 공급된다. 전송 트랜지스터 (TXB) 의 게이트는 행마다 제어선 (25) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{TXB}) 가 수직 주사 회로 (21) 로부터 공급된다. 리셋 트랜지스터 (RST) 의 게이트는 행마다 제어선 (24) 에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{RST}) 가 수직 주사 회로

(21)로부터 공급된다. 선택 트랜지스터 (SEL)의 게이트는 행마다 제어선 (23)에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SEL})가 수직 주사 회로 (21)로부터 공급된다. 제 1 트랜지스터 (SWA)의 게이트는 행마다 제어선 (22)에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SWA})가 수직 주사 회로 (21)로부터 공급된다. 제 2 트랜지스터 (SWB)의 게이트는 행마다 제어선 (27)에 공통으로 접속되고, 거기에는, 제어 신호 (ϕ_{SWB})가 수직 주사 회로 (21)로부터 공급된다. 예를 들어, 전송 트랜지스터 (TXA(n))의 게이트에는 제어 신호 ($\phi_{TXA(n)}$)가 공급되고, 전송 트랜지스터 (TXB(n))의 게이트에는 제어 신호 ($\phi_{TXB(n)}$)가 공급되고, 리셋 트랜지스터 (RST(n))의 게이트에는 제어 신호 ($\phi_{RST(n)}$)가 공급되고, 선택 트랜지스터 (SEL(n))의 게이트에는 제어 신호 ($\phi_{SEL(n)}$)가 공급되고, 제 1 트랜지스터 (SWA(n))의 게이트에는 제어 신호 ($\phi_{SWA(n)}$)가 공급되고, 제 2 트랜지스터 (SWB(n))의 게이트에는 제어 신호 ($\phi_{SWB(n)}$)가 공급된다.

[0289] 각 트랜지스터 (TXA, TXB, RST, SEL, SWA, SWB)는, 대응하는 제어 신호 (ϕ_{TXA} , ϕ_{TXB} , ϕ_{RST} , ϕ_{SEL} , ϕ_{SWA} , ϕ_{SWB})가 하이 레벨 (H)일 때에 온하고, 로 레벨 (L)일 때에 오프한다.

[0290] 수직 주사 회로 (21)는, 도 1 중의 촬상 제어부 (5)에 의한 제어하에서, 화소 블록 (BL)의 행마다, 제어 신호 (ϕ_{TXA} , ϕ_{TXB} , ϕ_{RST} , ϕ_{SEL} , ϕ_{SWA} , ϕ_{SWB})를 각각 출력하고, 화소 블록 (BL), 제 1 트랜지스터 (SWA), 제 2 트랜지스터 (SWB)를 제어하고, 정지 영상 관독 동작이나 동영상 관독 동작 등을 실현한다. 이 제어에 있어서, 예를 들어 ISO 감도의 설정값에 따라, 후술하는 각 동작 모드의 관독 동작이 실시된다. 이 제어에 의해, 각 수직 신호선 (28)에는, 그에 대응하는 열의 화소 (PX)의 신호 (아날로그 신호)가 공급된다.

[0291] 본 실시형태에서는, 수직 주사 회로 (21)는, 후술하는 각 동작 모드를, 도 1 중의 촬상 제어부 (5)로부터의 지령 (제어 신호)에 따라 전환하여 실시하는 제어부를 구성하고 있다.

[0292] 수직 신호선 (28)에 관독된 신호는, 각 열마다, 칼럼 앰프 (30)에서 증폭되고 또한 CDS 회로 (31)에서 광 신호 (화소 (PX)로 광전 변환된 광 정보를 포함하는 신호)와 암신호 (광 신호로부터 빼야 할 노이즈 성분을 포함하는 차분용 신호)의 차분을 얻는 처리가 실시된 후에, A/D 변환기 (32)에서 디지털 신호로 변환되고, 그 디지털 신호는 A/D 변환기 (32)에 유지된다. 각 A/D 변환기 (32)에 유지된 디지털 화상 신호는, 수평 관독 회로 (33)에 의해 수평 주사되고, 필요에 따라 소정의 신호 형식으로 변환되어, 외부 (도 1 중의 디지털 신호 처리부 (6))로 출력된다.

[0293] 또한, CDS 회로 (31)는, 도 1 중의 촬상 제어부 (5)에 의한 제어하에서 타이밍 발생 회로 (도시 생략)로부터 암신호 샘플링 신호 (ϕ_{DARKC})를 받고, ϕ_{DARKC} 가 하이 레벨 (H)인 경우에 칼럼 앰프 (30)의 출력 신호를 암신호로서 샘플링함과 함께, 도 1 중의 촬상 제어부 (5)에 의한 제어하에서 상기 타이밍 발생 회로로부터 광 신호 샘플링 신호 (ϕ_{SIGC})를 받고, ϕ_{SIGC} 가 H인 경우에 칼럼 앰프 (30)의 출력 신호를 광 신호로서 샘플링한다. 그리고, CDS 회로 (31)는, 상기 타이밍 발생 회로로부터의 클럭이나 펄스에 기초하여, 샘플링한 암신호와 광 신호의 차분에 따른 신호를 출력한다. 이와 같은 CDS 회로 (31)의 구성으로는, 공지된 구성을 채용할 수 있다.

[0294] 여기서, 도 32 및 도 33을 참조하여, 화소 블록 (BL)의 구조에 대하여 설명한다. 실제로는, 포토다이오드 (PD)의 상부에는 컬러 필터나 마이크로 렌즈등이 배치되지만, 도 32 및 도 33에서는 생략하고 있다. 또한, 도 32 및 도 33에 있어서, 전원선, 그라운드선 및 제어선 (22 ~ 27)등의 레이아웃은 생략하고 있다.

[0295] 본 실시형태에서는, N형 실리콘 기판 (도시 생략)상에 P형 웰 (도시 생략)이 형성되고, 상기 P형 웰 중에 포토다이오드 (PD)등의 화소 블록 (BL)에 있어서의 각 소자가 배치되어 있다. 도 33에 있어서, 부호 41 ~ 50은, 전술한 각 트랜지스터의 일부가 되어 있는 N형 불순물 확산 영역이다. 부호 61 ~ 67은, 폴리 실리콘에 의한 각 트랜지스터의 게이트 전극이다. 또한, 확산 영역 (42, 50)은, 도시하지 않는 전원선에 의해 전원 전압 (VDD)이 인가되는 영역이다.

[0296] 포토다이오드 (PDA(n), PDB(n))는, 상기 P형 웰 중에 형성된 N형의 전하 축적층 (도시 생략)과 그 표면 측에 배치된 P형의 공핍화 방지층 (도시 생략)으로 이루어지는 매립형 포토다이오드이다. 포토다이오드 (PDA(n), PDB(n))는, 입사하는 광을 광전 변환하고, 발생한 전하를 그 전하 축적층에 축적한다.

[0297] 전송 트랜지스터 (TXA(n))는, 포토다이오드 (PDA(n))의 전하 축적층을 소스, 확산 영역 (41)을 드레인, 게이트 전극 (61)을 게이트로 하는 nMOS 트랜지스터이다. 전송 트랜지스터 (TXB(n))는, 포토다이오드 (PDB(n))의 전하 축적층을 소스, 확산 영역 (41)을 드레인, 게이트 전극 (62)를 게이트로 하는 nMOS 트랜지스터이다. 확산 영역 (41)은, 포토다이오드 (PDA(n))와 포토다이오드 (PDB(n))의 사이에 형성되어 있다.

확산 영역 (41)은, 전송 트랜지스터 (TXA(n))의 드레인이 되는 확산 영역 및 전송 트랜지스터 (TXB(n))의

드레인이 되는 확산 영역으로서 겸용되고 있다. 전송 트랜지스터 (TXA(n))의 게이트 전극 (61)은, 확산 영역 (41)의 포토다이오드 (PDA(n))측에 배치되어 있다. 전송 트랜지스터 (TXB(n))의 게이트 전극 (62)은, 확산 영역 (41)의 포토다이오드 (PDB(n))측에 배치되어 있다.

[0298] 증폭 트랜지스터 (AMP(n))는, 확산 영역 (42)을 드레인, 확산 영역 (43)을 소스, 게이트 전극 (63)을 게이트로 하는 nMOS 트랜지스터이다. 선택 트랜지스터 (SEL(n))는, 확산 영역 (43)을 드레인, 확산 영역 (44)을 소스, 게이트 전극 (64)을 게이트로 하는 nMOS 트랜지스터이다. 확산 영역 (44)은, 수직 신호선 (28)에 접속되어 있다.

[0299] 제 1 트랜지스터 (SWA(n))는, 확산 영역 (45)을 소스, 확산 영역 (46)을 드레인, 게이트 전극 (65)을 게이트로 하는 nMOS 트랜지스터이다. 제 2 트랜지스터 (SWB(n))는, 확산 영역 (47)을 드레인, 확산 영역 (48)을 소스, 게이트 전극 (66)을 게이트로 하는 nMOS 트랜지스터이다. 리셋 트랜지스터 (RST(n))는, 확산 영역 (49)을 소스, 확산 영역 (50)을 드레인, 게이트 전극 (67)을 게이트로 하는 nMOS 트랜지스터이다.

[0300] 화소 블록 (BL(n))의 게이트 전극 (63) 및 확산 영역 (41, 45)사이, 배선 (71(n))에 의해 서로 전기적으로 접속되어 도통하고 있다. 본 실시형태에서는, 제 1 노드 (Pa(n))는, 배선 (71(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다.

[0301] 제 1 트랜지스터 (SWA(n))의 드레인 확산 영역 (46), 제 2 트랜지스터 (SWB(n))의 드레인 확산 영역 (47), 리셋 트랜지스터 (RST(n))의 소스 확산 영역 (49) 및 제 2 트랜지스터 (SWB(n+1))의 소스 확산 영역 (48)의 사이, 배선 (72(n))에 의해 서로 전기적으로 접속되어 도통하고 있다. 제 2 노드 (Pb(n))는, 배선 (72(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다. 이러한 점은, 다른 제 1 트랜지스터 (SWA), 다른 제 2 트랜지스터 (SWB) 및 다른 리셋 트랜지스터 (RST)에 대해서도 동일하다.

[0302] n 행째 이외의 화소 블록 (BL)의 구조도, 전술한 n 행째의 화소 블록 (BL(n))의 구조와 동일하다. 제 1 트랜지스터 (SWA(n)) 이외의 제 1 트랜지스터 (SWA)의 구조도, 전술한 제 1 트랜지스터 (SWA(n))의 구조와 동일하다. 제 2 트랜지스터 (SWB(n)) 이외의 연결 트랜지스터 (SWb)의 구조도, 전술한 연결 트랜지스터 (SWb(n))의 구조와 동일하다. 리셋 트랜지스터 (RST(n)) 이외의 리셋 트랜지스터 (RST)의 구조도, 전술한 리셋 트랜지스터 (RST(n))의 구조와 동일하다.

[0303] 도 30 내지 도 33에 있어서, CC(n)은, 제 1 트랜지스터 (SWA(n))가 오프하고 있는 경우의, 제 1 노드 (Pa(n))와 기준 전위의 사이의 용량이다. 용량 (CC(n))의 용량값을 Cfd1로 한다. CD(n)은, 제 1 트랜지스터 (SWA(n)), 제 2 트랜지스터 (SWB(n), SWB(n+1)) 및 리셋 트랜지스터 (RST(n))가 오프하고 있는 경우의, 배선 (72(n))과 기준 전위의 사이의 용량이다. 용량 (CD(n))의 용량값을 Cfd2로 한다. 이러한 점은, 다른 제 1 트랜지스터 (SWA), 다른 제 2 트랜지스터 (SWB) 및 다른 리셋 트랜지스터 (RST)에 대해서도 동일하다.

[0304] 용량 (CC(n))은, 전송 트랜지스터 (TXA(n), TXB(n))의 드레인 확산 영역 (41)의 용량과, 제 1 트랜지스터 (SWA(n))의 소스 확산 영역의 용량과, 증폭 트랜지스터 (AMP(n))의 게이트 전극 (63)의 용량과, 배선 (71(n))의 배선 용량으로 구성되고, 그들의 용량값의 합계가 용량 (CC(n))의 용량값 (Cfd1)이 된다. 이 점은, 다른 화소 블록 (BL)의 행에 대해서도 동일하다. 또한, 제 2 트랜지스터 (SWB(n))의 드레인 확산 영역 (47) 및 리셋 트랜지스터 (RST(n))의 소스 확산 영역 (49)은 용량 (CC(n))의 구성 요소가 되지 않기 때문에, 그 만큼, 용량 (CC(n))의 용량값 (Cfd1)은 작아진다.

[0305] 여기서, 제 1 트랜지스터 (SWA)의 온시의 채널 용량의 값 및 제 2 트랜지스터 (SWB)의 온시의 채널 용량의 값을, 양방 모두 Csw로 한다. 통상적으로, 용량값 (Csw)은, 용량값 (Cfd1, Cfd2)에 대해 작은 값이다.

[0306] 지금, 화소 블록 (BL(n))에 주목하여, 제 1 트랜지스터 (SWA(n))가 오프하면 (즉, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 온 상태의 트랜지스터가 제 1 노드 (Pa(n))에 대해 전기적으로 접속된 상태가 되지 않으면), 제 1 노드 (Pa(n))와 기준 전위의 사이의 용량 (전하 전압 변환 용량)은, 용량 (CC(n))이 된다. 따라서, 제 1 노드 (Pa(n))의 전하 전압 변환 용량의 용량값은, Cfd1이 된다. 이 상태는, 후술하는 제 1 동작 모드를 나타내는 도 34 중의 기간 (T2) 중의 제 1 노드 (Pa(n))의 리셋시 이외의 상태 (도 34 중의 기간 (T2)에 있어서 $\phi_{SWA(n)}$ 이 L 기간인 상태)에 상당하고 있다.

[0307] 또, 화소 블록 (BL(n))에 주목하여, 제 1 트랜지스터 (SWA(n))가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 제 1 트랜지스터 (SWA(n)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n))에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 제 2 트랜지스터 (SWB(n), SWB(n+1))가 오

프이면), 제 1 노드 (Pa(n)) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은, 용량 (CC(n)) 에 대해, 용량 (CD(n)) 및 제 1 트랜지스터 (SWA(n)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + C_{fd2} + C_{sw} \approx C_{fd1} + C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 2 동작 모드를 나타내는 도 35 중의 기간 (T2) 의 상태에 상당하고 있다.

[0308] 또한, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWB(n+1)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWB(n), SWA(n+1), SWB(n+2)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 (CC(n)) 에 대해, 용량 (CD(n)), 용량 (CD(n+1)) 및 트랜지스터 (SWA(n), SWB(n+1)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + 2 \times C_{fd2} + 2 \times C_{sw} \approx C_{fd1} + 2 \times C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 3A 동작 모드를 나타내는 도 36 중의 기간 (T2) 의 상태에 상당하고 있다.

[0309] 나아가 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n), SWA(n+1)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWA(n+1), SWB(n+1)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWB(n), SWB(n+2)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 (CC(n)) 에 대해, 용량 (CD(n)), 용량 (CD(n+1)), 용량 (CC(n+1)) 및 트랜지스터 (SWA(n), SWA(n+1), SWB(n+1)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $2 \times C_{fd1} + 2 \times C_{fd2} + 3 \times C_{sw} \approx 2 \times C_{fd1} + 2 \times C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 3B 동작 모드를 나타내는 도 37 중의 기간 (T2) 의 상태에 상당하고 있다.

[0310] 또, 화소 블록 (BL(n)) 에 주목하여, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1), SWB(n+2)) 가 온하면, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중, 트랜지스터 (SWA(n), SWB(n+1), SWB(n+2)) 이외의 온 상태의 트랜지스터가 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 되지 않으면 (여기서는, 구체적으로는, 트랜지스터 (SWA(n+1), SWA(n+2), SWB(n), SWB(n+3)) 가 오프이면), 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량은, 용량 (CC(n)) 에 대해, 용량 (CD(n)), 용량 (CD(n+1)), 용량 (CD(n+2)) 및 트랜지스터 (SWA(n), SWB(n+1), SWB(n+2)) 의 온시의 채널 용량을 부가한 것이 된다. 따라서, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + 3 \times C_{fd2} + 3 \times C_{sw} \approx C_{fd1} + 3 \times C_{fd2}$ 가 된다. 이 상태는, 후술하는 제 3C 동작 모드를 나타내는 도 38 중의 기간 (T2) 의 상태에 상당하고 있다.

[0311] 이와 같이, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없으면, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값이 최소의 용량값 (C_{fd1}) 이 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 판독이 가능해진다.

[0312] 한편, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터의 수를 1 개 이상의 원하는 수로 늘려 가면, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값을 원하는 값으로 크게 할 수 있고, 큰 신호 전하량을 취급할 수 있기 때문에, 포화 전자수를 확대할 수 있다. 이에 따라, 다이내믹 레인을 확대할 수 있다.

[0313] 이상, 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대하여 설명했지만, 다른 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해서도 동일하다.

[0314] 도 34 는, 도 30 에 나타내는 고체 촬상 소자 (804) 의 제 1 동작 모드를 나타내는 타이밍 차트이다. 이 제 1 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없는 상태 (당해 제 1 노드 (Pa) 의 전하 전압 변환 용량이 최소인 상태) 에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다. 도 34 에 나타내는 예에서는, 전체 화소 (PXA, PXB) 의 신호를 판독하지만, 이것에 한정되지 않고, 예를 들어, 화소 행을 속아내어 판독하는 속아내기 판독 등을 실시해도 된다. 이 점은, 후술하는 도 35 내지 도 38 에 각각 나타내는 각 예에 대해서도 동일하다.

[0315] 도 34 는, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의

화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 어느 행의 화소 블록 (BL) 이 선택된 경우의 동작도 동일하므로, 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택된 경우의 동작에 대해서만 설명한다.

- [0316] 기간 (T2) 의 개시 전에 이미, 소정의 노광 기간에 있어서, 포토다이오드 (PDA(n), PDB(n)) 의 노광이 종료되어 있다. 이 노광은, 통상적인 본 촬영시 (정지 영상 촬영시) 등에서는, 전체 화소를 동시에 리셋하는 소위 글로벌 리셋 후에 메커니컬 셔터 (도시 생략) 에 의해 실시되고, 전자 뷰파인더 모드시나 동영상 촬영시 등에서는, 소위 롤링 전자 셔터 동작에 의해 실시된다. 기간 (T2) 의 개시 직전에는, 모든 트랜지스터 (SEL, RST, TXA, TXB, SWA, SWB) 는 오프하고 있다.
- [0317] 기간 (T2) 에 있어서, n 행째의 $\phi\text{SEL}(n)$ 이 H 가 되고, n 행째의 화소 블록 (BL(n)) 의 선택 트랜지스터 (SEL(n)) 가 온이 되고, n 행째의 화소 블록 (BL(n)) 이 선택된다. 또, 기간 (T2) 에 있어서, n 행째의 $\phi\text{RST}(n)$ 이 H 가 되고, 리셋 트랜지스터 (RST(n)) 가 온이 된다. 무엇보다도, 리셋 트랜지스터 (RST(n)) 는 반드시 기간 (T2) 의 전체에 걸쳐 온으로 할 필요는 없고, $\phi\text{RST}(n)$ 은, 제 1 노드 (Pa(n)) 의 리셋시 (즉, 도 34 중의 $\phi\text{SWA}(n)$ 의 H 기간) 만 H 로 해도 된다.
- [0318] 기간 (T2) 의 개시 직후부터 일정 기간 (제 1 노드 (Pa(n)) 의 리셋시) 만, $\phi\text{SWA}(n)$ 이 H 가 되어 n 행째의 제 1 트랜지스터 (SWA(n)) 가 일단 온이 된다. 이 때, $\phi\text{RST}(n)$ 이 H 가 되어 있어 리셋 트랜지스터 (RST(n)) 가 온하고 있기 때문에, 온 상태의 리셋 트랜지스터 (RST(n)) 및 온 상태의 제 1 트랜지스터 (SWA(n)) 를 경유하여, 제 1 노드 (Pa(n)) 의 전위가 일단 전원 전위 (VDD) 로 리셋된다.
- [0319] 그 후, 제 1 트랜지스터 (SWA(n)) 가 오프가 되면, 각 트랜지스터 (SWA, SWB) 중 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없는 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, Cfd1 이 되고, 최소가 된다.
- [0320] 기간 (T2) 중의 그 후의 시점 (t1) 으로부터 일정 기간만, 암신호 샘플링 신호 (ϕDARKC) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 암신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0321] 기간 (T2) 중의 그 후의 시점 (t2) 으로부터 일정 기간만, $\phi\text{TXA}(n)$ 이 H 가 되어 n 행째의 전송 트랜지스터 (TXA(n)) 가 온이 된다. 이에 따라, n 행째의 화소 블록 (BL(n)) 의 포토다이오드 (PDA(n)) 에 축적되어 있던 신호 전하가, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량으로 전송된다. 제 1 노드 (Pa(n)) 의 전위는, 노이즈 성분을 제외하면, 이 신호 전하의 양과 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값의 역수에 비례한 값이 된다.
- [0322] 기간 (T2) 중의 그 후의 시점 (t3) 에 있어서, 광 신호 샘플링 신호 (ϕSIGC) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 광 신호로서 CDS 회로 (31) 에 의해 샘플링된다.
- [0323] 그 후에 ϕSIGC 가 L 이 된 시점 후에, CDS 회로 (31) 는, 시점 (t1) 으로부터의 일정 기간에서 샘플링한 암신호와 시점 (t3) 으로부터의 일정 시간에서 샘플링한 광 신호의 차분에 따른 신호를 출력한다. A/D 변환기 (32) 는, 이 차분에 따른 신호를 디지털 신호로 변환하여 유지한다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 디지털 신호 화상 신호로서 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.
- [0324] 그리고, 기간 (T2) 중의 시점 (t4) 으로부터 일정 기간 (제 1 노드 (Pa(n)) 의 리셋시) 만, $\phi\text{SWA}(n)$ 이 H 가 되어 n 행째의 제 1 트랜지스터 (SWA(n)) 가 일단 온이 된다. 이 때, $\phi\text{SEL}(n)$ 이 H 가 되어 있어 리셋 트랜지스터 (RST(n)) 가 온하고 있기 때문에, 온 상태의 리셋 트랜지스터 (RST(n)) 및 온 상태의 제 1 트랜지스터 (SWA(n)) 를 경유하여, 제 1 노드 (Pa(n)) 의 전위가 일단 전원 전위 (VDD) 로 리셋된다.
- [0325] 그 후, 제 1 트랜지스터 (SWA(n)) 가 오프가 되면, 각 트랜지스터 (SWA, SWB) 중 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없는 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, Cfd1 이 되고, 최소가 된다.
- [0326] 기간 (T2) 중의 그 후의 시점 (t5) 으로부터 일정 기간만, 암신호 샘플링 신호 (ϕDARKC) 가 H 가 되어, 제 1

노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 암신호로서 CDS 회로 (31) 에 의해 샘플링된다.

[0327] 기간 (T2) 중의 그 후의 시점 (t6) 으로부터 일정 기간만, $\phi_{TXB}(n)$ 이 H 가 되어 n 행째의 전송 트랜지스터 (TXB(n)) 가 온이 된다. 이에 따라, n 행째의 화소 블록 (BL(n)) 의 포토다이오드 (PDB(n)) 에 축적되어 있던 신호 전하가, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량으로 전송된다. 제 1 노드 (Pa(n)) 의 전위는, 노이즈 성분을 제외하면, 이 신호 전하의 양과 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값의 역수에 비례한 값이 된다.

[0328] 기간 (T2) 중의 그 후의 시점 (t7) 에 있어서, 광 신호 샘플링 신호 (ϕ_{SIGC}) 가 H 가 되어, 제 1 노드 (Pa(n)) 에 나타나는 전위가 n 행째의 증폭 트랜지스터 (AMP(n)) 에서 증폭된 후에 선택 트랜지스터 (SEL(n)) 및 수직 신호선 (28) 을 경유하고 또한 칼럼 앰프 (30) 에서 증폭된 신호가, 광 신호로서 CDS 회로 (31) 에 의해 샘플링된다.

[0329] 그 후에 ϕ_{SIGC} 가 L 이 된 시점 후에, CDS 회로 (31) 는, 시점 (t5) 으로부터의 일정 기간에서 샘플링한 암신호와 시점 (t7) 으로부터의 일정 시간에서 샘플링한 광 신호의 차분에 따른 신호를 출력한다. A/D 변환기 (32) 는, 이 차분에 따른 신호를 디지털 신호로 변환하여 유지한다. 각 A/D 변환기 (32) 에 유지된 디지털 화상 신호는, 수평 판독 회로 (33) 에 의해 수평 주사되고, 디지털 신호 화상 신호로서 외부 (도 1 중의 디지털 신호 처리부 (6)) 로 출력된다.

[0330] 이와 같이, 상기 제 1 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되는 온 상태의 트랜지스터가 없기 때문에, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 최소가 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 판독이 가능해진다. 예를 들어, ISO 감도의 설정값이 가장 높은 경우,에, 촬상 제어부 (5) 에 의해, 상기 제 1 동작 모드를 실시하도록 지령된다.

[0331] 도 35 는, 도 30 에 나타내는 고체 촬상 소자 (804) 의 제 2 동작 모드를 나타내는 타이밍 차트이다. 이 제 2 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개의 온 상태의 트랜지스터 (SWA) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다.

[0332] 도 35 도, 도 34 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 35 에 나타내는 제 2 동작 모드가 도 34 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.

[0333] 도 35 에 나타내는 제 2 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, $\phi_{SWA}(n)$ 이 H 가 됨과 함께 $\phi_{SWB}(n)$, $\phi_{SWB}(n+1)$ 이 L 이 되고, 제 1 트랜지스터 (SWA(n)) 가 온이 됨과 함께 제 2 트랜지스터 (SWB(n), $\phi_{SWB}(n+1)$) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SW) (여기서는, 제 1 트랜지스터 (SWA(n))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + C_{fd2} + C_{sw} \approx C_{fd1} + C_{fd2}$ 가 되고, 도 34 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 1 단계 커진다.

[0334] 그리고, 도 35 에 나타내는 제 2 동작 모드에서는, $\phi_{SWA}(n)$ 이 H 가 되어 있어 제 1 트랜지스터 (SWA(n)) 가 온이 되어 있는 한편으로, 제 1 노드 (Pa(n)) 의 리셋시 (기간 (T2) 의 개시 직후부터 일정 기간 및 기간 (T2) 중의 시점 (t4) 으로부터의 일정 기간) 에만, $\phi_{RST}(n)$ 이 H 가 되어 리셋 트랜지스터 (RST(n)) 가 온이 된다. 이에 따라, 제 1 노드 (Pa(n)) 의 전위의 리셋이 적절히 실시된다.

[0335] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.

[0336] 이와 같이, 상기 제 2 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 1 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용

량에서의 포화 전자수를 1 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 1 단계 확대할 수 있다.

예를 들어, ISO 감도의 설정값이 가장 높은 값에서 1 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 2 동작 모드를 실시하도록 지령된다.

[0337] 도 36 은, 도 30 에 나타내는 고체 촬상 소자 (804) 의 제 3A 동작 모드를 나타내는 타이밍 차트이다. 제 3A 동작 모드는, 제 3 동작 모드 중 1 개의 동작 모드이다. 이 제 3 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 와 이것에 대응하는 제 2 노드 (Pb) 의 사이를 전기적으로 접속 및 절단하는 제 1 트랜지스터 (SWA) 가 온하고, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 에 대해 전기적으로 접속되는 제 2 트랜지스터 (SWB) 가 온하고, 또한, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대응하는 제 2 노드 (Pb) 에 전원 전위 (VDD) 를 공급하는 리셋 트랜지스터 (RST) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 리셋시만 온하는 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 판독하는 동작의 예이다. 상기 제 3A 동작 모드는, 상기 제 3 동작 모드에 있어서, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해, 온 상태의 1 개의 제 1 트랜지스터 (SWA) 및 온 상태의 1 개의 제 2 트랜지스터 (SWB) 가 전기적으로 접속되는 동작의 예이다.

[0338] 도 36 도, 도 34 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 36 에 나타내는 제 3A 동작 모드가 도 36 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.

[0339] 도 36 에 나타내는 제 3A 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, $\phi_{SWA(n)}$ 및 $\phi_{SWB(n+1)}$ 이 H 가 됨과 함께 $\phi_{SWA(n+1)}$, $\phi_{SWB(n)}$, $\phi_{SWB(n+2)}$ 가 L 이 되고, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB(n+1)) 가 온이 됨과 함께 제 1 트랜지스터 (SWA(n+1)) 및 제 2 트랜지스터 (SWB(n), SWB(n+2)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) (여기서는, 제 1 트랜지스터 (SWA(n))) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) (여기서는, 제 2 트랜지스터 (SWB(n+1))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + C_{fd2} + C_{sw} \approx C_{fd1} + C_{fd2}$ 가 되고, 도 34 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 2 단계 커진다.

[0340] 그리고, 도 36 에 나타내는 제 3A 동작 모드에서는, $\phi_{SWA(n)}$ 이 H 가 되어 있어 제 1 트랜지스터 (SWA(n)) 가 온이 되어 있는 한편으로, 제 1 노드 (Pa(n)) 의 리셋시 (기간 (T2) 의 개시 직후부터 일정 기간 및 기간 (T2) 중의 시점 (t4) 으로부터의 일정 기간) 에만, $\phi_{RST(n)}$ 이 H 가 되어 리셋 트랜지스터 (RST(n)) 가 온이 된다. 이에 따라, 제 1 노드 (Pa(n)) 의 전위의 리셋이 적절히 실시된다. 이 점은, 후술하는 도 37 에 나타내는 제 3B 동작 모드 및 도 38 에 나타내는 제 3C 동작 모드에 대해서도 동일하다.

[0341] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.

[0342] 이와 같이, 상기 제 3 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 2 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 2 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 2 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 2 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 3A 동작 모드를 실시하도록 지령된다.

[0343] 도 37 은, 도 30 에 나타내는 고체 촬상 소자 (804) 의 제 3B 동작 모드를 나타내는 타이밍 차트이다. 이 제 3B 동작 모드는, 상기 제 3 동작 모드에 있어서, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해, 온 상태의 2 개의 제 1 트랜지스터 (SWA) 및 온 상태의 1 개의 제 2 트랜지스터 (SWB) 가 전기적으로 접속되는 동작의 예이다.

[0344] 도 37 도, 도 32 와 마찬가지로, 기간 (T1) 에 있어서 n-1 행째의 화소 블록 (BL(n-1)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 n+1 행째의 화소 블록 (BL(n+1)) 이 선택되어 가는 상황을 나타내고 있다. 도 37 에 나타내는 제 3B 동작 모드가 도 32 에 나타내는 상

기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.

- [0345] 도 37 에 나타내는 제 3B 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, ϕ SWA(n), ϕ SWA($n+1$) 및 ϕ SWB($n+1$) 이 H 가 됨과 함께 ϕ SWB(n), ϕ SWB($n+2$) 가 L 이 되고, 제 1 트랜지스터 (SWA(n), SWA($n+1$)) 및 제 2 트랜지스터 (SWB($n+1$)) 가 온이 됨과 함께 제 2 트랜지스터 (SWB(n), SWB($n+2$)) 가 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 2 개의 온 상태의 제 1 트랜지스터 (SWA) (여기서는, 제 1 트랜지스터 (SWA(n), SWA($n+1$))) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) (여기서는, 제 2 트랜지스터 (SWB($n+1$))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $2 \times C_{fd1} + 2 \times C_{fd2} + 3 \times C_{sw} \approx 2 \times C_{fd1} + 2 \times C_{fd2}$ 가 되고, 도 34 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 3 단계 커진다.
- [0346] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.
- [0347] 이와 같이, 상기 제 3B 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 2 개의 온 상태의 제 1 트랜지스터 (SWA) 및 1 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 3 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 3 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 3 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 3 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 3B 동작 모드를 실시하도록 지령된다.
- [0348] 도 38 은, 도 30 에 나타내는 고체 촬상 소자 (804) 의 제 3C 동작 모드를 나타내는 타이밍 차트이다. 이 제 3C 동작 모드는, 각 화소 블록 (BL) 을 행마다 순차 선택해 가고, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속된 상태에서, 선택된 화소 블록 (BL) 의 전송 트랜지스터 (TXA, TXB) 를 순차 선택적으로 온시켜, 선택된 화소 블록 (BL) 의 각 포토다이오드 (PDA, PDB) 의 신호를 행마다 순차 관측하는 동작의 예이다.
- [0349] 도 38 도, 도 34 와 마찬가지로, 기간 (T1) 에 있어서 $n-1$ 행째의 화소 블록 (BL($n-1$)) 이 선택되고, 기간 (T2) 에 있어서 n 행째의 화소 블록 (BL(n)) 이 선택되고, 기간 (T3) 에 있어서 $n+1$ 행째의 화소 블록 (BL($n+1$)) 이 선택되어 가는 상황을 나타내고 있다. 도 38 에 나타내는 제 3C 동작 모드가 도 32 에 나타내는 상기 제 1 동작 모드와 다른 곳은, 이하에 설명하는 점이다.
- [0350] 도 38 에 나타내는 제 3C 동작 모드에서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 있어서, ϕ SWA(n) 및 ϕ SWB($n+1$), ϕ SWB($n+2$) 가 H 가 됨과 함께 ϕ SWA($n+1$), ϕ SWA($n+2$), ϕ SWB(n), ϕ SWB($n+3$) 이 L 이 되고, 제 1 트랜지스터 (SWA(n)) 및 제 2 트랜지스터 (SWB($n+1$), SWB($n+2$)) 가 온이 됨과 함께 제 1 트랜지스터 (SWA($n+1$), SWA($n+2$)) 및 제 2 트랜지스터 (SWB(n), SWB($n+3$)) 이 오프가 된다. 이에 따라, 기간 (T2) 에 있어서, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) (여기서는, 제 1 트랜지스터 (SWA(n))) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) (여기서는, 제 2 트랜지스터 (SWB($n+1$), SWB($n+2$))) 가, 선택된 화소 블록 (BL(n)) 의 제 1 노드 (Pa(n)) 에 대해 전기적으로 접속된 상태가 된다. 따라서, 전술한 바와 같이, 제 1 노드 (Pa(n)) 의 전하 전압 변환 용량의 용량값은, $C_{fd1} + 3 \times C_{fd2} + 3 \times C_{sw} \approx C_{fd1} + 3 \times C_{fd2}$ 가 되고, 도 32 에 나타내는 상기 제 1 동작 모드에 비해서 말하자면 3 단계 커진다.
- [0351] 여기서는, n 행째의 화소 블록 (BL(n)) 이 선택되는 기간 (T2) 에 대하여 설명했지만, 다른 화소 블록 (BL) 이 선택되는 기간에 대해서도 동일하다.
- [0352] 이와 같이, 상기 제 3C 동작 모드에서는, 각 트랜지스터 (SWA, SWB) 중 1 개의 온 상태의 제 1 트랜지스터 (SWA) 및 2 개의 온 상태의 제 2 트랜지스터 (SWB) 가, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 에 대해 전기적으로 접속되므로, 선택된 화소 블록 (BL) 의 제 1 노드 (Pa) 의 전하 전압 변환 용량의 용량값이 말하자면 3 단계 커지고, 제 1 노드 (Pa) 의 전하 전압 변환 용량에서의 포화 전자수를 3 단계 확대할 수 있다. 이에 따라, 다이내믹 레인지를 3 단계 확대할 수 있다. 예를 들어, ISO 감도의 설정값이 가장 높은 값에서 3 단계 작은 값인 경우에, 촬상 제어부 (5) 에 의해, 상기 제 2 동작 모드를 실시하도록 지령된다.
- [0353] 여기서, 본 실시형태에 있어서의 고체 촬상 소자 (804) 와 비교되는 비교예에 의한 고체 촬상 소자에 대하여 설명한다. 도 39 는, 이 비교예에 의한 고체 촬상 소자의 3 개의 화소 블록 (BL) 의 부근을 나타내는 회로도

이며, 도 31 에 대응하고 있다. 도 40 은, 도 39 에 나타내는 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이며, 도 32 및 도 33 에 대응하고 있다. 도 39 및 도 40 에 있어서, 도 31, 도 32 및 도 33 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다. 또한, 도 40 에 있어서, 확산 영역이나 게이트 전극에 부호를 붙이고 있지 않지만, 그들의 부호는 도 33 과 동일하므로, 필요에 따라 도 33 을 참조하기 바란다.

[0354] 이 비교예가 본 실시형태와 다른 곳은, 이하에 설명하는 점이다. 이 비교예에서는, 제 1 및 제 2 트랜지스터 (SWA, SWB) 그리고 배선 (71, 72) 이 제거되고, 그 대신에, 제 1 연결 트랜지스터 (SWa), 제 2 연결 트랜지스터 (SWb) 및 배선 (97, 98) 이 형성되어 있다. 또, 이 비교예에서는, 제 1 노드 (Pa) 에 상당하는 노드 (P) 는 존재하고 있지만, 제 2 노드 (Pb) 에 상당하는 노드는 존재하고 있지 않다. 또한, 본 실시형태에서는, 리셋 트랜지스터 (RST) 의 소스는 제 1 노드 (Pa) 에 접속되지 않고 제 2 노드 (Pb) 에 접속되어 있는 데 반해, 이 비교예에서는, 리셋 트랜지스터 (RST) 의 소스는 노드 (P) 에 접속되어 있다.

[0355] 이 비교예에서는, 각 화소 블록 (BL) 중 열 방향으로 서로 이웃하는 각 2 개의 화소 블록 (BL) 에 대해, 일방의 화소 블록 (BL) 의 노드 (P) 와 타방의 화소 블록 (BL) 의 노드 (P) 의 사이에, 제 1 연결 트랜지스터 (SWa) 및 제 2 연결 트랜지스터 (SWb) 가 직렬로 형성되어 있다. 예를 들어, n 행째의 화소 블록 (BL(n)) 의 노드 (P(n)) 와 n+1 행째의 화소 블록 (BL) 의 노드 (P(n+1)) 의 사이에, 제 1 연결 트랜지스터 (SWa(n)) 및 제 2 연결 트랜지스터 (SWb(n)) 가 직렬로 형성되어 있다.

[0356] 이 비교예에서는, 화소 블록 (BL(n)) 의 증폭 트랜지스터 (AMP(n)) 의 게이트 전극, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역, 제 1 연결 트랜지스터 (SWa(n)) 의 소스 확산 영역, 제 2 연결 트랜지스터 (SWb(n-1)) 의 드레인 확산 영역 및 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역간이, 배선 (97(n)) 에 의해 서로 전기적으로 접속되어 도통하고 있다. 노드 (P(n)) 는, 배선 (97(n)) 및 이에 대해 전기적으로 접속되어 도통하고 있는 지점 전체에 상당하고 있다. 이 점은, 다른 화소 블록 (BL) 에 대해서도 동일하다.

[0357] 또, 이 비교예에서는, 각 2 개의 노드 (P) 사이에 직렬로 형성되어 있는 각 2 개의 연결 트랜지스터 (SWa, SWb) 사이가, 배선 (98) 에 의해 접속되어 있다. 예를 들어, 제 1 연결 트랜지스터 (SWa(n)) 의 드레인 확산 영역과 제 2 연결 트랜지스터 (SWb(n)) 의 소스 확산 영역의 사이가, 배선 (98(n)) 에 의해 전기적으로 접속되어 있다.

[0358] 도 39 및 도 40 에 있어서, CA(n) 은, 연결 트랜지스터 (SWa(n), SWb(n-1)) 가 오프하고 있는 경우의, 노드 (P(n)) 와 기준 전위의 사이의 용량이다. 용량 (CA(n)) 의 용량값을 Cfd1' 로 한다. CB(n) 은, 연결 트랜지스터 (SWa(n), SWb(n)) 가 오프하고 있는 경우의, 배선 (72(n)) 과 기준 전위의 사이의 용량을 나타내고 있다. 이러한 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0359] 용량 (CA(n)) 은, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역의 용량과, 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역의 용량과, 제 1 연결 트랜지스터 (SWa(n)) 의 소스 확산 영역의 용량과, 제 2 연결 트랜지스터 (SWb(n-1)) 의 드레인 확산 영역의 용량과, 증폭 트랜지스터 (AMP(n)) 의 게이트 전극의 용량과, 배선 (97(n)) 의 배선 용량으로 구성되고, 그들의 용량값의 합계가 용량 (CA(n)) 의 용량값 (Cfd1') 이 된다. 이 점은, 다른 화소 블록 (BL) 의 행에 대해서도 동일하다.

[0360] 이에 대해, 본 실시형태에 있어서의 용량 (CC(n)) 은, 전술한 바와 같이, 전송 트랜지스터 (TXA(n), TXB(n)) 의 드레인 확산 영역 (41) 의 용량과, 제 1 트랜지스터 (SWA(n)) 의 소스 확산 영역의 용량과, 증폭 트랜지스터 (AMP(n)) 의 게이트 전극의 용량과, 배선 (71(n)) 의 배선 용량으로 구성되고, 그들의 용량값의 합계가 용량 (CC(n)) 의 용량값 (Cfd1) 으로 되어 있다.

[0361] 따라서, 본 실시형태에 있어서의 용량 (CC(n)) 의 용량값 (Cfd1) 은, 이 비교예에 있어서의 용량 (CA(n)) 의 용량값 (Cfd1') 보다, 제 2 연결 트랜지스터 (SWb(n-1)) 의 드레인 확산 영역의 용량 및 리셋 트랜지스터 (RST(n)) 의 소스 확산 영역의 용량 분 (즉, 트랜지스터 확산 용량 2 개분), 작아진다.

[0362] 이 비교예에서는, 화소 블록 (BL(n)) 에 주목하여, 연결 트랜지스터 (SWa(n), SWb(n-1)) 가 양방 모두 오프하면, 노드 (P(n)) 와 기준 전위의 사이의 용량 (전하 전압 변환 용량) 은 용량 (CA(n)) 이 되고, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값이 최소의 Cfd1' 가 되고, 그 전하 전압 변환 용량에 의한 전하 전압 변환 계수가 커지기 때문에, 최고의 SN 비에 의한 관독이 가능해진다. 또, 이 비교예에서는, 각 연결 트랜지스터 (SWa, SWb) 중 노드 (P(n)) 에 대해 전기적으로 접속되는 온 상태의 연결 트랜지스터의 수를 1 개 이상의 원하는 수로 늘려 가면, 노드 (P(n)) 의 전하 전압 변환 용량의 용량값을 원하는 값으로 크게 할 수 있고,

큰 신호 전하량을 취급할 수 있기 때문에, 포화 전자수를 확대할 수 있다. 이에 따라, 다이내믹 레인지를 확대할 수 있다.

[0363] 전술한 바와 같이, 본 실시형태에 있어서의 제 1 노드 ($Pa(n)$)의 전하 전압 변환 용량의 최소의 용량값 (C_{fd1})은, 이 비교예에 있어서의 노드 ($P(n)$)의 전하 전압 변환 용량의 최소의 용량값 (C_{fd1}')보다, 트랜지스터 확산 용량 2 개분 작아진다. 따라서, 본 실시형태에 의하면, 이 비교예와 비교해도, 전하 전압 변환 계수가 한층 커지고, 보다 한층 높은 SN 비에 의한 판독이 가능해진다.

[0364] 본 실시형태에서는, 열 방향으로 순차 이웃하는 모든 2 개의 제 2 노드 (Pb) 사이에 제 2 트랜지스터 (SWB)를 형성하고 있지만, 본 발명에서는, 반드시 이것에 한정되는 것은 아니다. 예를 들어, 열 방향으로 늘어서는 r 개 (r 은 2 이상의 정수) 간격의 제 2 노드 (Pb)와 당해 제 2 노드 (Pb)에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb)의 사이에는, 제 2 트랜지스터 (SWB)를 형성하지 않고 그 사이를 항상 개방해 두어도 된다. 이 경우, r 의 수가 작을수록 상기 제 2 동작 모드에 있어서의 상기 소정수의 최대수가 작아지고, 다이내믹 레인지의 확대 정도가 저하되지만, 상기 비교예에 비해 고감도 판독시의 SN 비를 향상시킬 수 있다. 또, 예를 들어, 열 방향으로 늘어서는 s 개 (s 는 1 이상의 정수) 간격의 제 2 노드 (Pb)와 당해 제 2 노드 (Pb)에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb)의 사이에는, 제 2 트랜지스터 (SWB)를 형성하지 않고 그 사이를 전기적으로 단락시켜 두어도 된다. 또한, 예를 들어, 열 방향으로 늘어서는 u 개 (u 는 1 이상의 정수) 간격의 제 2 노드 (Pb)와 당해 제 2 노드 (Pb)에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb)의 사이에만 제 2 트랜지스터 (SWB)를 형성하는 한편으로, 열 방향으로 늘어서는 u 개 간격 이외의 제 2 노드 (Pb)와 당해 제 2 노드 (Pb)에 대해 도 중 하측에 이웃하는 제 2 노드 (Pb)의 사이를 전기적으로 단락시켜도 된다.

[0365] 또한, 본 실시형태에 있어서, 배선 (72)에 조정 용량을 형성하는 등에 의해, 용량 (CD)의 용량값을, 용량 (CC)의 용량값에 대해 $\pm 20\%$ 의 범위 내의 값으로 해도 되고, 용량 (CC)의 용량값에 대해 $\pm 10\%$ 의 범위 내의 값으로 해도 된다. 이러한 점은, 후술하는 제 9 실시형태에 대해서도 동일하다.

[0366] 또한, 도 34 내지 도 38에 나타내는 각 동작에는, 각 화소 (PX)의 포토다이오드 (PD)의 신호 전하를, 다른 화소 (PX)의 포토다이오드 (PD)의 신호 전하와 혼합하는 일 없이 판독하는 동작의 예였다. 그러나, 본 발명에서는, 각 화소 (PX)의 포토다이오드 (PD)의 신호 전하를, 동색의 다른 화소 (PX)의 포토다이오드 (PD)의 신호 전하와 혼합하여 판독해도 된다.

[0367] 예를 들어, 제 1 트랜지스터 ($SWA(n-1)$, $SWA(n)$, $SWA(n+1)$) 및 제 2 트랜지스터 ($SWB(n)$, $SWB(n+1)$)를 온으로 하여 제 1 노드 ($Pa(n-1)$, $Pa(n)$, $Pa(n+1)$)를 서로 연결하고, $TXA(n-1)$, $TXA(n)$, $TXA(n+1)$ 을 동시에 온으로 하면, 베이어 배열 등을 전제로 한 경우에 있어서의 동색의 3 개의 화소 ($PXA(n-1)$, $PXA(n)$, $PXA(n+1)$)의 포토다이오드 ($PDA(n-1)$, $PDA(n)$, $PDA(n+1)$)의 신호 전하가 서로 연결된 제 1 노드 ($Pa(n-1)$, $Pa(n)$, $Pa(n+1)$)에서 평균화되고, 동색 3 화소 혼합 판독의 기능을 실현할 수 있다. 이 때, 제 2 트랜지스터 ($SWB(n-2)$, $SWB(n+2)$)를 오프로 하고, 제 1 노드 ($Pa(n-1)$, $Pa(n)$, $Pa(n+1)$)에 대해 전기적으로 접속되는 온 상태의 제 1 또는 제 2 트랜지스터의 수를 최소한으로 함으로써, 연결된 제 1 노드 ($Pa(n-1)$, $Pa(n)$, $Pa(n+1)$)에 있어서의 전하 전압 변환 용량값이 최소가 되고, 최고의 SN 비로 동색 3 화소 혼합 판독을 실시할 수 있다. 한편, 제 1 트랜지스터 ($SWA(n-1)$, $SWA(n)$, $SWA(n+1)$) 및 제 2 트랜지스터 ($SWB(n)$, $SWB(n+1)$) 외에, 각 제 1 트랜지스터 (SWA) 및 각 제 2 트랜지스터 (SWB) 중 1 개 이상의 온 상태의 트랜지스터가 제 1 노드 ($Pa(n-1)$, $Pa(n)$, $Pa(n+1)$)에 대해 전기적으로 접속되도록 하면, 그 수에 따라, 연결된 제 1 노드 ($Pa(n-1)$, $Pa(n)$, $Pa(n+1)$)에 있어서의 전하 전압 변환 용량값이 커지고, 동색 3 화소 혼합 판독의 다이내믹 레인지를 확대할 수 있다.

[0368] [제 9 실시형태]

[0369] 도 41은, 본 발명의 제 9 실시형태에 의한 전자 카메라의 고체 촬상 소자 (904)의 개략 구성을 나타내는 회로도이며, 도 30에 대응하고 있다. 도 41에 있어서, 도 30 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.

[0370] 본 실시형태가 상기 제 8 실시형태와 다른 곳은, 본 실시형태에서는, 상기 제 8 실시형태에 있어서, 각 화소 블록 (BL)에 있어서, 포토다이오드 (PDB) 및 전송 트랜지스터 (TXB)가 제거되고, 각 화소 블록 (BL)이 화소 (PXA)가 되어 있는 점이다. 단, 본 실시형태에서는, 포토다이오드 (PDA)의 열 방향의 밀도는, 상기 제 8 실시형태에 있어서의 포토다이오드 (PDA)의 열 방향의 밀도의 2 배가 되고, 상기 제 8 실시형태에 있어서의 포토다이오드 (PDA, PDB) 전체의 열 방향의 밀도와 동일하게 되어 있다. 본 실시형태에서는, n 은, 화소 블록

(BL)의 행을 나타냄과 동시에, 화소(PXA)의 행을 나타내는 것이 된다.

- [0371] 바꾸어 말하면, 상기 제 8 실시형태에서는, 각 화소 블록(BL)은 2개의 화소(PX(PXA, PXB))로 구성되어 있는 데 반해, 본 실시형태에서는, 각 화소 블록(BL)은 1개의 화소(PX(PXA))로 구성되어 있다. 그리고, 상기 제 8 실시형태에서는, 화소 블록(BL)에 속하는 2개의 화소(PX(PXA, PXB))가, 1세트의 제 1노드(Pa), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)를 공유하고 있는 데 반해, 본 실시형태에서는, 각 화소(PX)(본 실시형태에서는, PXA만)가, 각각 1세트의 제 1노드(Pa), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)를 갖고 있다.
- [0372] 기본적으로, 상기 제 8 실시형태의 설명은, 화소 블록(BL)을 화소(PXA)로 치환함으로써, 본 실시형태의 설명으로서 적합하다. 따라서, 여기서는, 본 실시형태의 상세한 설명은 생략한다.
- [0373] 본 실시형태에 의해서도, 상기 제 8 실시형태와 동일한 이점이 얻어진다.
- [0374] [제 10 실시형태]
- [0375] 도 42는, 본 발명의 제 10 실시형태에 의한 전자 카메라의 고체 촬상 소자의 3개의 화소 블록(BL)의 부근을 나타내는 회로도이며, 도 3에 대응하고 있다. 도 43은, 도 42에 나타내는 3개의 화소 블록(BL)의 부근을 모식적으로 나타내는 개략 평면도이며, 도 4 및 도 5에 대응하고 있다. 도 42 및 도 43에 있어서, 도 3, 도 4 및 도 5 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.
- [0376] 또한, 도 43에서는, 도 4 및 도 5에 있어서 도시를 생략하고 있던 제어선(24(n))을 명기하고 있지만, 제어선(24(n))은 본 실시형태에서 새롭게 추가한 것은 아니다. 즉, 다른 실시형태에 있어서도 제어선(24(n))은 존재하고 있지만, 도시를 생략하고 있었다.
- [0377] 제어선(24(n))은, 상기 제 1 실시형태에 있어서, 도 3을 참조하여 설명한 바와 같이, 제어 신호($\phi RST(n)$)가 전송되는 제어선이다. 리셋 트랜지스터(RST(n))의 게이트는 행마다 제어선(24(n))에 공통으로 접속되고, 거기에는, 제어 신호($\phi RST(n)$)가 수직 주사 회로(21)로부터 공급된다. 도 43에 나타내는 바와 같이, 제어선(24(n))은 노드(P(n))에 대해 대략 평행이 되도록 배치되어 있고, 제어선(24(n))과 노드(P(n))의 사이에는 결합 용량(CRSTA(n))이 형성된다. 이하의 설명에 있어서, 결합 용량(CRSTA(n))의 용량값을 C_{ra} 로 한다.
- [0378] 본 실시형태가 상기 제 1 실시형태와 다른 곳은, 이하에 설명하는 점이다. 본 실시형태에서는, 각 화소 블록(BL(n))에 있어서, 배선(72(n))과 대략 평행하게 더미 배선(DP(n))을 배치하고 있다. 더미 배선(DP(n))은, 제어선(24(n))의 일부를 연장시킨 배선 패턴이다. 즉, 더미 배선(DP(n))은, 일단이 제어선(24(n))에 접속되어 있지만, 화소 블록(BL)의 사이에 연장되어 있는 타단은 어디에도 접속되어 있지 않아, 회로 제어에는 특별히 의미를 갖지 않는 더미의 배선 패턴이라고 말할 수 있다. 배선(72(n))과 대략 평행하게 더미 배선(DP(n))을 배치한 것에 의해, 배선(72(n))과 더미 배선(DP(n))의 사이에는, 도 42 및 도 43에 나타내는 바와 같이, 결합 용량(CRSTB(n))이 형성된다. 이하의 설명에 있어서, 결합 용량(CRSTB(n))의 용량값을 C_{rb} 로 한다. 상기 제 1 실시형태에 있어서는, 제어선(24(n))과 배선(72(n))은 거의 결합하고 있지 않고, C_{rb} 는 매우 작은 것이었다. 본 실시형태에서는, 더미 배선(DP(n))을 형성했으므로, C_{rb} 는 상기 제 1 실시형태에 비해 큰 값을 취한다.
- [0379] 또한, 더미 배선(DP(n))의 형상은, 상기 서술한 것과 달라도 된다. 예를 들어, 배선(72(n))과 평행한 부분만으로 하고, 화소 블록(BL)의 사이에 연장되어 있는 부분은 생략해도 된다. 또, 결합 용량(CRSTB(n))을 크게 하기 위해서, 더미 배선(DP(n))의 패턴은 가능한 한 굵게 하는 것이 바람직하다. 또한, 더미 배선(DP(n))을 형성하는 것과는 상이한 방법으로, 제어선(24(n))과 배선(72(n))의 결합 용량을 크게 해도 된다.
- [0380] 도 44는, 노드(P(n))의 전위를 리셋하는 모습을 예시하는 타이밍 차트이다. 시각(t_0)에 있어서, 제어 신호($\phi RST(n)$)가 H가 되어 n행째의 리셋 트랜지스터(RST(n))가 일단 온이 되고, 노드(P(n))의 전위가 일단 전원 전위(VDD)로 리셋된다. 그 후, 제어 신호($\phi RST(n)$)가 L이 되면, 리셋 트랜지스터(RST(n))가 오프가 된다. 이 때, 노드(P(n))의 전위는, 전원 전위(VDD)로부터 피드스루량(ΔV)만큼 저하되어, 전위(VDARK)가 된다.
- [0381] 연결 트랜지스터(SWa(n), SWb(n), SWb(n-1))가 오프하고 있는 경우, 피드스루량(ΔV)은, $(C_{ra}/C_{fd1}) \times V_{rst}$

가 된다. 여기서, V_{rst} 는 제어 신호 ($\phi RST(n)$) 의 진폭이다. 또한, 전술한 바와 같이, C_{fd1} 은 용량 ($CA(n)$) 의 용량값이며, C_{ra} 는 결합 용량 ($CRSTA(n)$) 의 용량값이다.

[0382] 이에 대해, 연결 트랜지스터 ($SWa(n)$) 가 온하고 있는 경우, 피드스루량 (ΔV) 은, $((C_{ra} + C_{rb}) / (C_{fd1} + C_{fd2})) \times V_{rst}$ 가 된다. 또한, 전술한 바와 같이, C_{fd2} 는 용량 ($CB(n)$) 의 용량값이며, C_{rb} 는 결합 용량 ($CRSTB(n)$) 의 용량값이다.

[0383] 상기 제 1 실시형태에서는, C_{rb} 는 매우 작다. 만일 C_{rb} 를 0 으로 하면, 연결 트랜지스터 ($SWa(n)$) 가 온하고 있는 경우의 피드스루량 (ΔV) 은, $(C_{ra} / (C_{fd1} + C_{fd2}))$ 가 된다. 여기서, 용량값 C_{ra} 는, 연결 트랜지스터 ($SWa(n)$) 의 온 오프에 상관없이 일정하다. 따라서, 상기 제 1 실시형태에 있어서, 피드스루량 (ΔV) 은, 연결 트랜지스터 ($SWa(n)$) 를 온하면 작아진다. 그 때문에, 전위 ($VDARK$) 는 연결 트랜지스터 ($SWa(n)$) 가 오프하고 있는 경우에 비해 높아진다.

[0384] 한편, 본 실시형태에서는, C_{rb} 가 상기 제 1 실시형태보다 크다. 따라서, 피드스루량 (ΔV) 은 상기 제 1 실시형태에 비해 커지고, 전위 ($VDARK$) 를 낮게 할 수 있다.

[0385] 증폭 트랜지스터 ($AMP(n)$) 로부터의 출력의 리니어리티를 양호하게 유지하기 위해서는, 증폭 트랜지스터 ($AMP(n)$) 를 포화 영역에서 동작시킬 필요가 있다. 즉, 드레인·소스간 전압 (V_{ds}) 을 포화 전압 (V_{dsat}) 보다 크게 할 필요가 있다. 드레인·소스간 전압 (V_{ds}) 은, 드레인 전압 (V_d) 과 소스 전압 (V_s) 의 차이이며, $V_d - V_s$ 로 표기된다. 여기서, 도 42로부터, 드레인 전압 (V_d) 은 전원 전압 (VDD) 이다. 또, 소스 전압 (V_s) 은 $V_g - V_{th} - \sqrt{(2 \times I_d / \beta)}$ 이다. 또한, V_g 는 게이트 전압, V_{th} 는 증폭 트랜지스터 ($AMP(n)$) 의 임계값, I_d 는 드레인 전류, β 는 소자 파라미터이다.

[0386] 이로부터, 게이트 전압 (V_g) 이 높아지면, 소스 전압 (V_s) 이 상승하는, 즉 드레인·소스간 전압 (V_{ds}) 이 작아지는 것을 알 수 있다. 이 때, 증폭 트랜지스터 ($AMP(n)$) 가 포화 영역에서 동작할 수 없게 될 가능성이 있다. 따라서, 노드 ($P(n)$) 의 리셋 후의 전위 ($VDARK$) 를 낮게 유지할 필요가 있다. 또, 노이즈 저감을 위해서 증폭 트랜지스터 ($AMP(n)$) 를 매립 채널형으로 하는 기술이 있지만, 이와 같은 기술을 적용하면 임계값 (V_{th}) 은 저하되므로, 소스 전압 (V_s) 은 더욱 상승하게 된다. 그 때문에, 전위 ($VDARK$) 를 낮게 억제하는 것은 보다 중요해진다.

[0387] 본 실시형태에서는, 연결 트랜지스터 ($SWa(n)$) 가 온하고 있는 경우에도, 피드스루량 (ΔV) 을 크게 할 수 있고, 증폭 트랜지스터 ($AMP(n)$) 를 확실하게 포화 영역에서 동작시킬 수 있으므로, 상기 제 1 실시형태에 비해, 증폭 트랜지스터 ($AMP(n)$) 의 출력의 리니어리티가 향상된다.

[0388] 또, C_{fd2} , C_{rb} 의 용량값은 조정 가능하고, 적절히 조정함으로써, 연결 트랜지스터 ($SWa(n)$) 의 온 오프에 의하지 않고, 피드스루량 (ΔV) 을 대략 동일하게 할 수도 있다. 이와 같이 하면, 연결 트랜지스터 ($SWa(n)$) 의 온 오프에 의하지 않고, 노드 ($P(n)$) 의 리셋 후의 전위 ($VDARK$) 를 대략 동일하게 하여 동작시킬 수 있다.

[0389] [제 11 실시형태]

[0390] 도 45 는, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 3 개의 화소 블록 (BL) 의 부근을 나타내는 회로도이며, 도 3 에 대응하고 있다. 도 46 은, 도 45 에 나타내는 3 개의 화소 블록 (BL) 의 부근을 모식적으로 나타내는 개략 평면도이며, 도 4 및 도 5 에 대응하고 있다. 도 45 및 도 46 에 있어서, 도 3, 도 4 및 도 5 중의 요소와 동일 또는 대응하는 요소에는 동일 부호를 붙이고, 그 중복하는 설명은 생략한다.

[0391] 또한, 도 46 에서는, 도 4 및 도 5 에 있어서 도시를 생략하고 있던 3 개의 제어선 ($22(n)$, $24(n)$, $27(n)$) 을 명기하고 있지만, 이들 3 개의 제어선 ($22(n)$, $24(n)$, $27(n)$) 은 본 실시형태에서 새롭게 추가한 것은 아니다. 즉, 다른 실시형태에 있어서도 이들 3 개의 제어선 ($22(n)$, $24(n)$, $27(n)$) 은 존재하고 있지만, 도시를 생략하고 있었다.

[0392] 제어선 ($22(n)$) 은, 상기 제 1 실시형태에 있어서, 도 3 을 참조하여 설명한 바와 같이, 제어 신호 ($\phi SWa(n)$) 가 전송되는 제어선이다. 연결 트랜지스터 ($SWa(n)$) 의 게이트는 행마다 제어선 ($22(n)$) 에 공통으로 접속되고, 거기에는, 제어 신호 ($\phi SWa(n)$) 가 수직 주사 회로 (21)로부터 공급된다.

[0393] 제어선 ($24(n)$) 은, 상기 제 1 실시형태에 있어서, 도 3 을 참조하여 설명한 바와 같이, 제어 신호 ($\phi RST(n)$) 가 전송되는 제어선이다. 리셋 트랜지스터 ($RST(n)$) 의 게이트는 행마다 제어선 ($24(n)$) 에 공통으로 접속

되고, 거기에는, 제어 신호 ($\phi RST(n)$) 가 수직 주사 회로 (21)로부터 공급된다.

- [0394] 제어선 (27(n)) 은, 상기 제 1 실시형태에 있어서, 도 3 을 참조하여 설명한 바와 같이, 제어 신호 ($\phi SWb(n)$) 가 전송되는 제어선이다. 연결 트랜지스터 ($SWb(n)$) 의 게이트는 행마다 제어선 (27(n)) 에 공통으로 접속되고, 거기에는, 제어 신호 ($\phi SWb(n)$) 가 수직 주사 회로 (21)로부터 공급된다.
- [0395] 도 45 및 도 46 에 나타내는 바와 같이, 노드 ($P(n)$) 와 제어선 (24(n)) 의 사이에는, 결합 용량 ($CRSTA(n)$) 이 형성된다. 마찬가지로, 배선 (72(n)) 과 제어선 (22(n)) 의 사이에는, 결합 용량 ($CSWa(n)$) 이 형성되고, 배선 (72(n)) 과 제어선 (27(n)) 의 사이에는, 결합 용량 ($CSWb(n)$) 이 형성된다.
- [0396] 본 실시형태가 상기 제 1 실시형태와 다른 곳은, 이하에 설명하는 점이다. 본 실시형태에 있어서, 고체 촬상 소자의 회로 구성은 상기 제 1 실시형태와 동일하다. 본 실시형태에서는, 각 동작 모드에 있어서의 연결 트랜지스터 ($SWa(n)$, $SWb(n)$) 의 동작이, 상기 제 1 실시형태와 다르다. 이하, 화소 블록 ($BL(n)$) 에 주목하여, 각 동작 모드에 있어서의 연결 트랜지스터 ($SWa(n)$, $SWb(n)$) 의 동작을 설명한다.
- [0397] 도 47 은, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 제 1 동작 모드를 나타내는 타이밍 차트이며, 도 6 에 대응하고 있다. 상기 제 1 실시형태와의 차이는, 제어 신호 ($\phi RST(n)$) 를 H 로 하여 리셋 트랜지스터 ($RST(n)$) 를 온으로 할 때, 대략 동시에 제어 신호 ($\phi SWa(n)$) 를 H 로 하여 연결 트랜지스터 ($SWa(n)$) 를 온으로 하고 있는 점이다 (시각 t_1 직전). 수직 주사 회로 (21) 는, 그 후에, 먼저 제어 신호 ($\phi RST(n)$) 를 L 로 하여 리셋 트랜지스터 ($RST(n)$) 를 오프로 하고, 계속해서 제어 신호 ($\phi SWa(n)$) 를 L 로 하여 연결 트랜지스터 ($SWa(n)$) 를 오프로 한다. 그 밖의 점에 대해서는 상기 제 1 실시형태와 동일하므로 설명을 생략한다.
- [0398] 도 48 은, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 제 2A 동작 모드를 나타내는 타이밍 차트이며, 도 7 에 대응하고 있다. 상기 제 1 실시형태와의 차이는, 제어 신호 ($\phi RST(n)$) 를 H 로 하여 리셋 트랜지스터 ($RST(n)$) 를 온으로 할 때, 대략 동시에, 제어 신호 ($\phi SWb(n)$) 를 H 로 하여 연결 트랜지스터 ($SWb(n)$) 를 온으로 하고 있는 점이다 (시각 t_1 직전). 수직 주사 회로 (21) 는, 그 후에, 먼저 제어 신호 ($\phi RST(n)$) 를 L 로 하여 리셋 트랜지스터 ($RST(n)$) 를 오프로 하고, 계속해서 제어 신호 ($\phi SWb(n)$) 를 L 로 하여 연결 트랜지스터 ($SWb(n)$) 를 오프로 한다. 그 밖의 점에 대해서는 상기 제 1 실시형태와 동일하므로 설명을 생략한다.
- [0399] 도 49 는, 본 발명의 제 11 실시형태에 의한 전자 카메라의 고체 촬상 소자의 제 2B 동작 모드를 나타내는 타이밍 차트이며, 도 8 에 대응하고 있다. 상기 제 1 실시형태와의 차이는, 제어 신호 ($\phi RST(n)$) 를 H 로 하여 리셋 트랜지스터 ($RST(n)$) 를 온으로 할 때, 대략 동시에 제어 신호 ($\phi SWa(n+1)$) 를 H 로 하여 연결 트랜지스터 ($SWa(n+1)$) 를 온으로 하고 있는 점이다 (시각 t_1 직전). 수직 주사 회로 (21) 는, 그 후에, 먼저 제어 신호 ($\phi RST(n)$) 를 L 로 하여 리셋 트랜지스터 ($RST(n)$) 를 오프로 하고, 계속해서 제어 신호 ($\phi SWa(n+1)$) 를 L 로 하여 연결 트랜지스터 ($SWa(n+1)$) 를 오프로 한다. 그 밖의 점에 대해서는 상기 제 1 실시형태와 동일하므로 설명을 생략한다.
- [0400] 이상과 같이, 본 실시형태에서는, 노드 ($P(n)$) 의 리셋시에, 대략 동시에 최외단의 연결 트랜지스터를 (일시적으로) 온하고 있다. 여기서 최외단의 연결 트랜지스터란, 연결하는 화소 블록 (BL) 의 최외단에 위치하는 연결 트랜지스터이다. 예를 들어 화소 블록 ($BL(n)$) 을 연결하지 않는 경우, 최외단의 연결 트랜지스터란, 연결 트랜지스터 ($SWa(n)$, $SWb(n-1)$) 중 어느 일방이다. 또, 화소 블록 ($BL(n)$) 과 화소 블록 ($BL(n+1)$) 을 연결하는 경우, 최외단의 연결 트랜지스터란, 연결 트랜지스터 ($SWa(n+1)$, $SWb(n-1)$) 중 어느 일방이다.
- [0401] 도 50 은, 노드 ($P(n)$) 의 전위를 리셋하는 모습을 예시하는 타이밍 차트이다. 또한 도 50 에 있어서, 제어 신호 (ϕSW) 는, 최외단의 연결 트랜지스터의 게이트에 공급되는 제어 신호이다. 예를 들어, 최외단의 연결 트랜지스터가 연결 트랜지스터 ($SWb(n-1)$) 인 경우, 제어 신호 (ϕSW) 란, 제어 신호 ($\phi SWb(n-1)$) 이다.
- [0402] 시각 (t_0) 에 있어서, 최외단의 연결 트랜지스터의 게이트에 공급되는 제어 신호 (ϕSW) 와 제어 신호 ($\phi RST(n)$) 가 대략 동시에 H 가 된다. 이에 따라, n 행째의 리셋 트랜지스터 ($RST(n)$) 가 일단 온이 됨과 함께, 화소 블록 (BL) 이 일단 연결된다. 이 때, 노드 ($P(n)$) 의 전위는, 일단 전원 전위 (VDD) 로 리셋된다. 그 후, 제어 신호 ($\phi RST(n)$) 가 L 이 되면, 리셋 트랜지스터 ($RST(n)$) 가 오프가 된다. 이 때, 노드 ($P(n)$) 의 전위는, 전원 전위 (VDD) 로부터, 제어선 (24(n)) 에 의한 결합 용량에 따른 피드스루량 ($\Delta V1$) 만큼 저하된다. 계속해서, 제어 신호 (ϕSW) 가 L 이 되면, 최외단의 연결 트랜지스터가 오프가 된다. 이 때, 노드 ($P(n)$) 의 전위는, 또한 피드스루량 ($\Delta V2$) 만큼 저하되고, 전위 ($VDARK$) 가 된다.

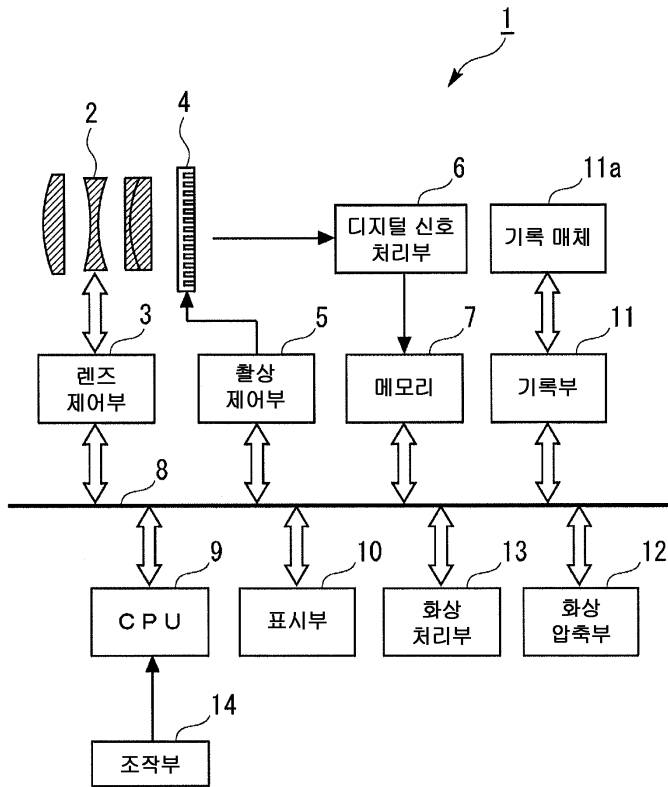
- [0403] 이상과 같이, 본 실시형태에서는, 노드 (P(n)) 의 전위의 리셋시에 최외단의 연결 스위치를 온 오프함으로써, 이에 따른 피드스루량 (ΔV_2) 만큼 노드 (P(n)) 의 전위를 더욱 저하시키고 있다. 이에 따라, 전위 (VDARK) 를, 상기 제 1 실시형태에 비해 더욱 낮게 억제할 수 있다. 따라서, 상기 제 10 실시형태에서 설명한 것과 동일한 효과를 얻을 수 있다.
- [0404] 이상, 본 발명의 각 실시형태 및 변형예에 대하여 설명했지만, 본 발명은 이들에 한정되는 것은 아니다.
- [0405] 다음의 우선권 기초 출원의 개시 내용은 인용문으로서 여기에 삽입된다.
- [0406] 일본 특허출원 2013년 제238067호 (2013년 11월 18일 출원)
- [0407] 일본 특허출원 2013년 제238439호 (2013년 11월 19일 출원)
- [0408] 일본 특허출원 2013년 제238442호 (2013년 11월 19일 출원)
- [0409] 일본 특허출원 2014년 제137755호 (2014년 7월 3일 출원)

부호의 설명

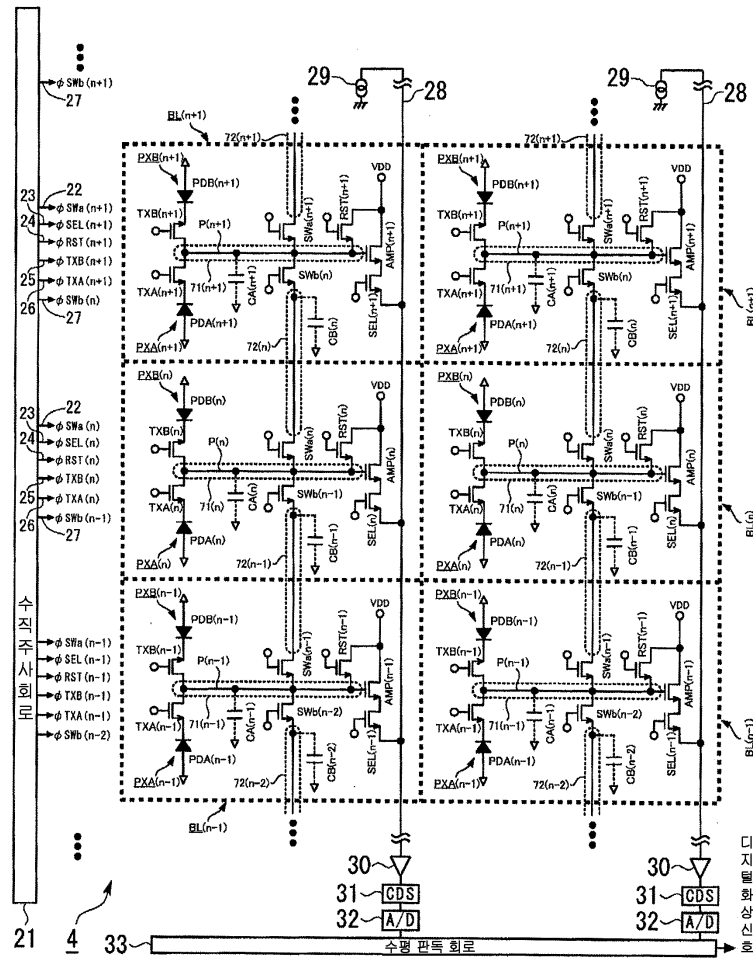
- [0410] 4 : 고체 촬상 소자
- BL : 화소 블록
- PX : 화소
- PD : 포토다이오드
- TXA, TXB : 전송 트랜지스터
- P : 노드
- AMP : 증폭 트랜지스터
- SWa, SWb : 연결 트랜지스터

도면

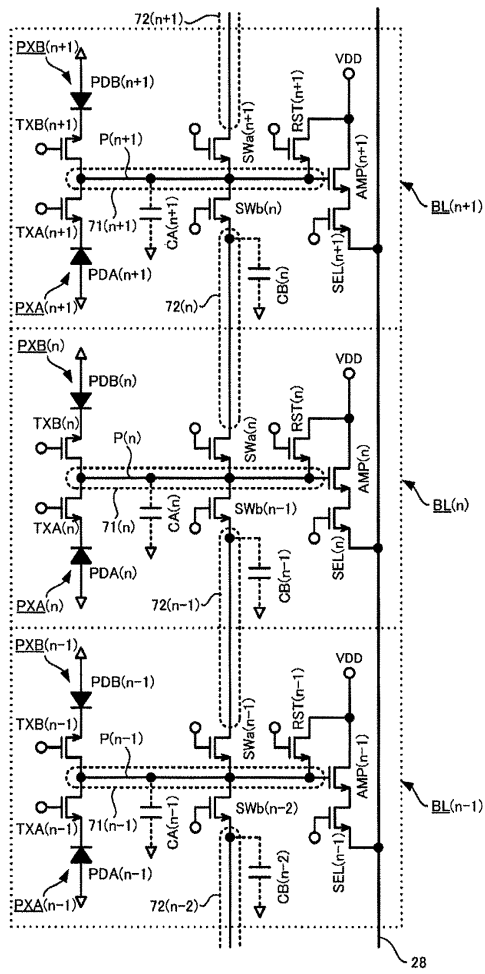
도면1



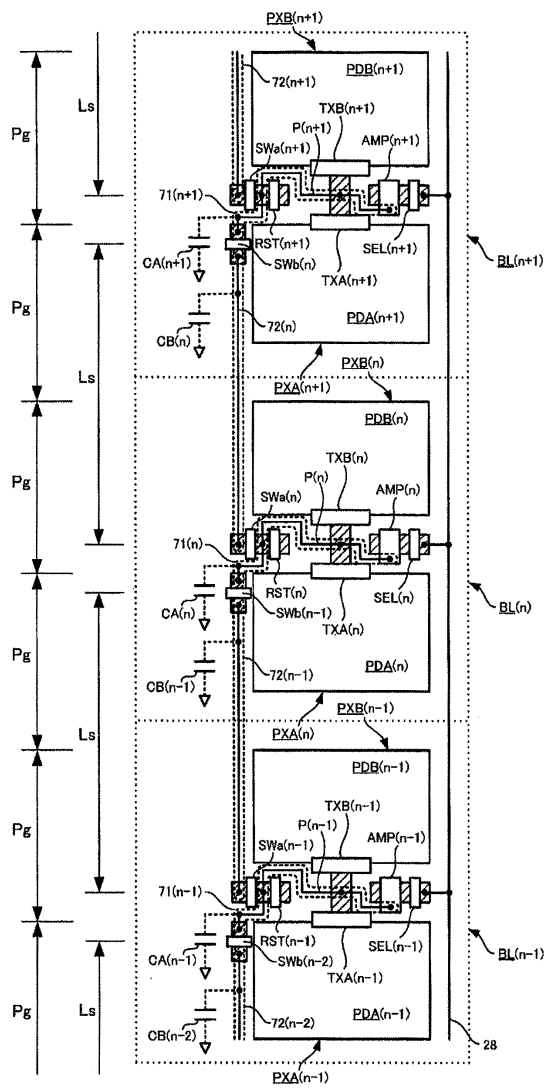
도면2



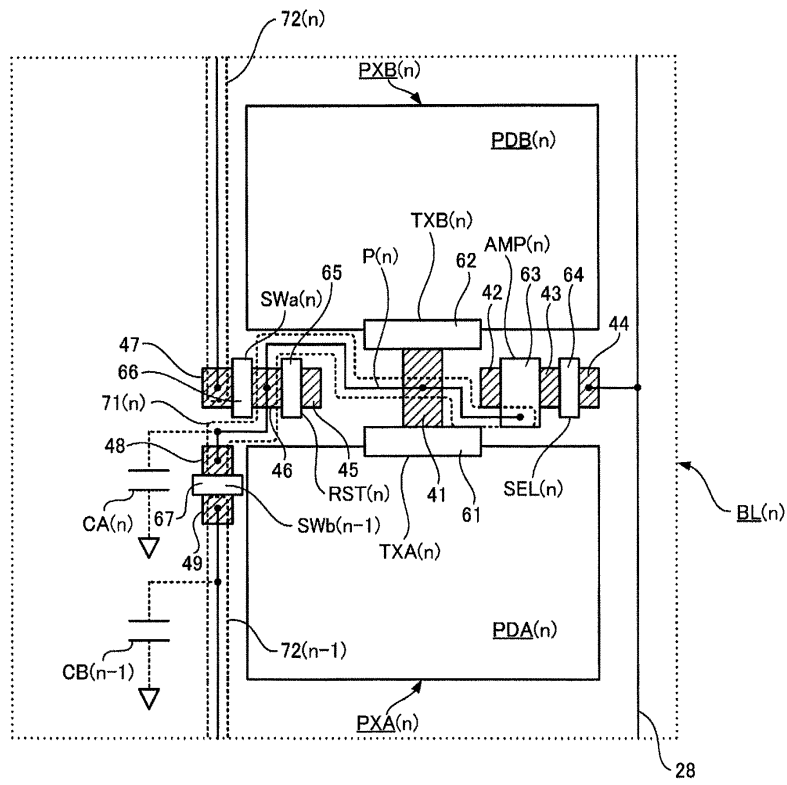
도면3



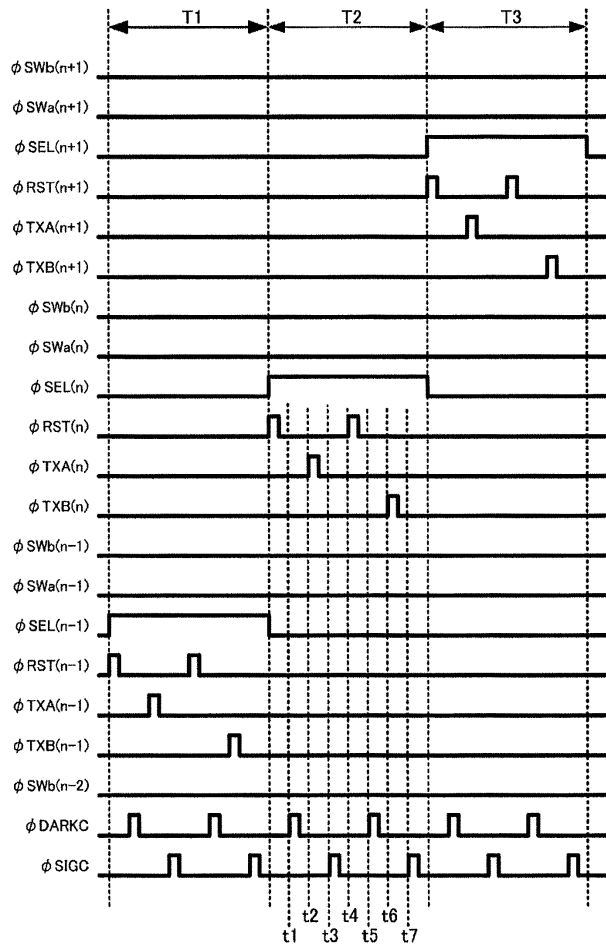
도면4



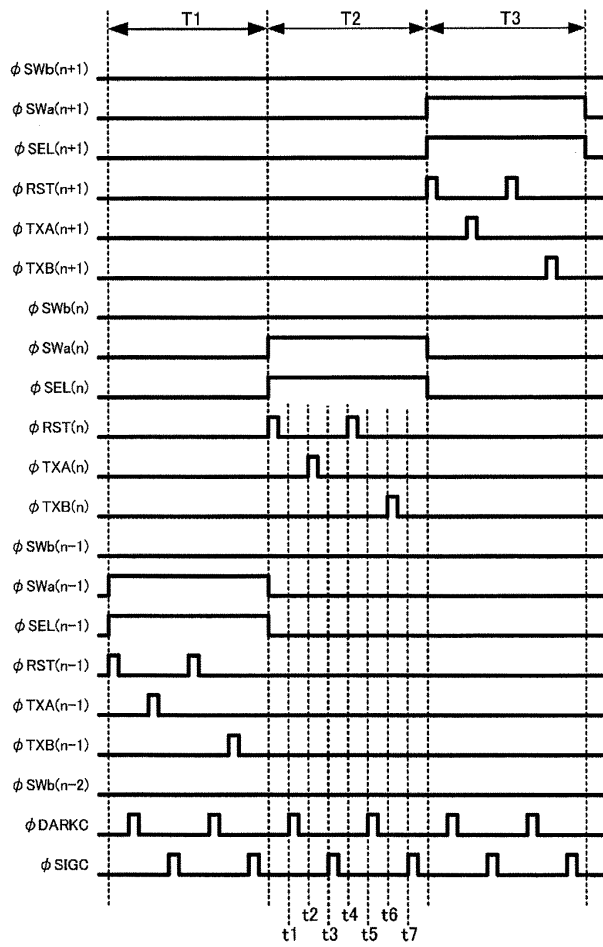
도면5



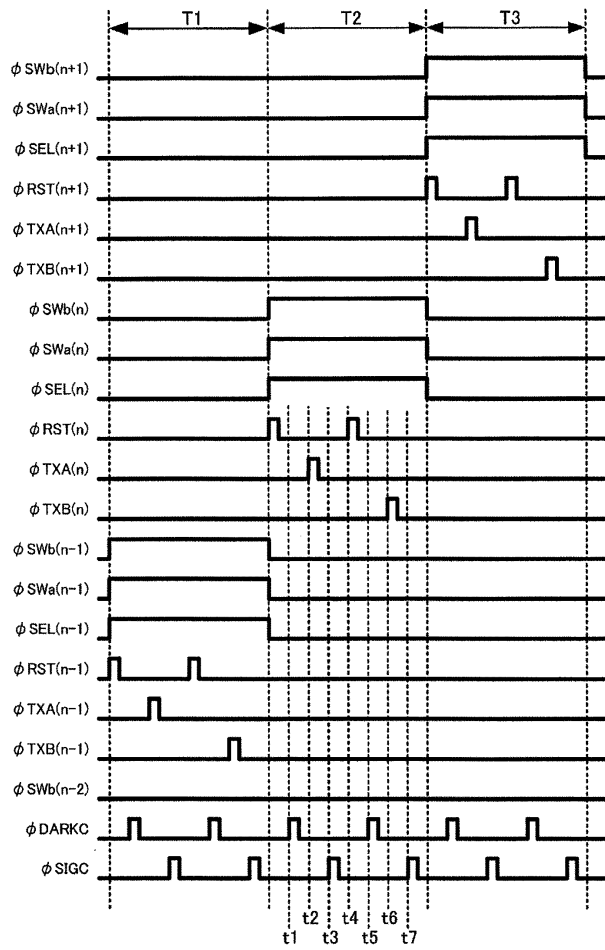
도면6



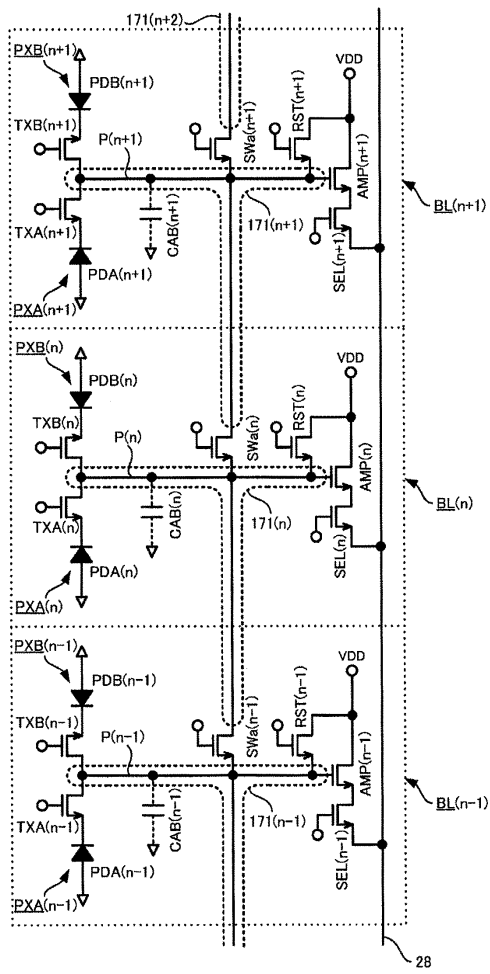
도면7



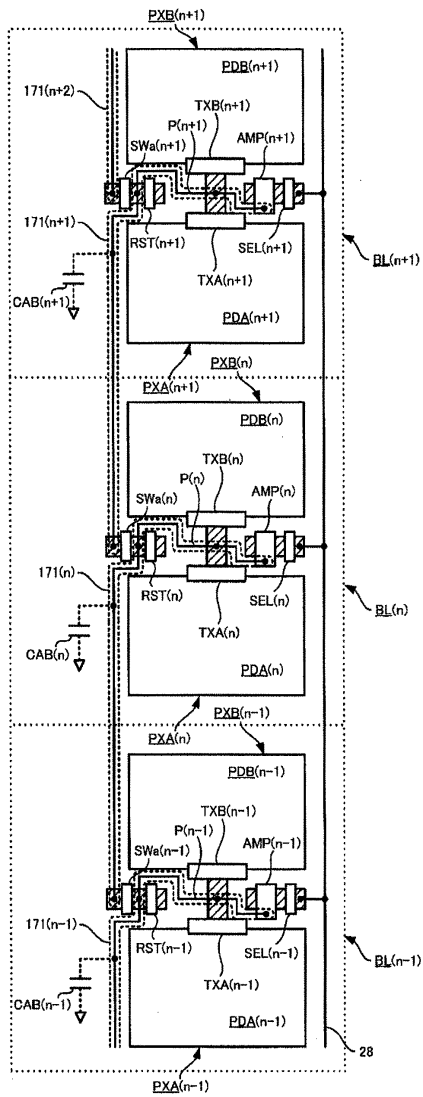
도면8



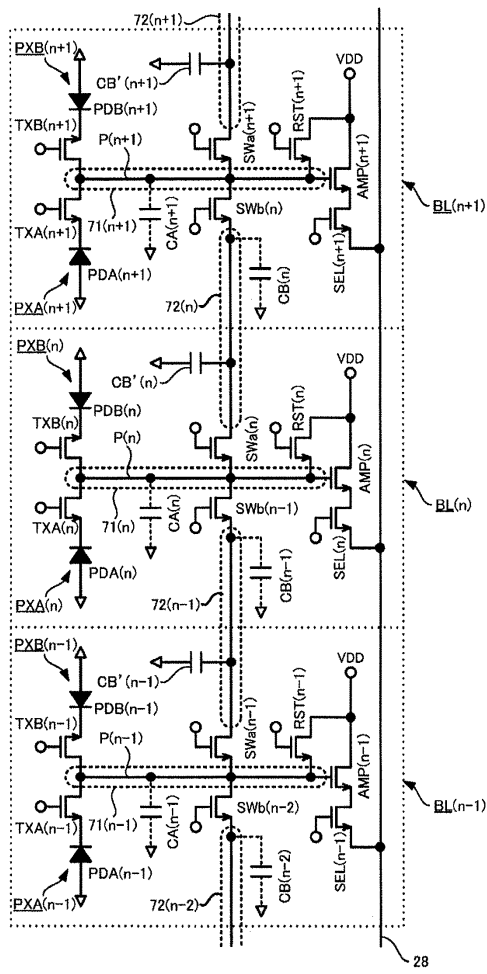
도면9



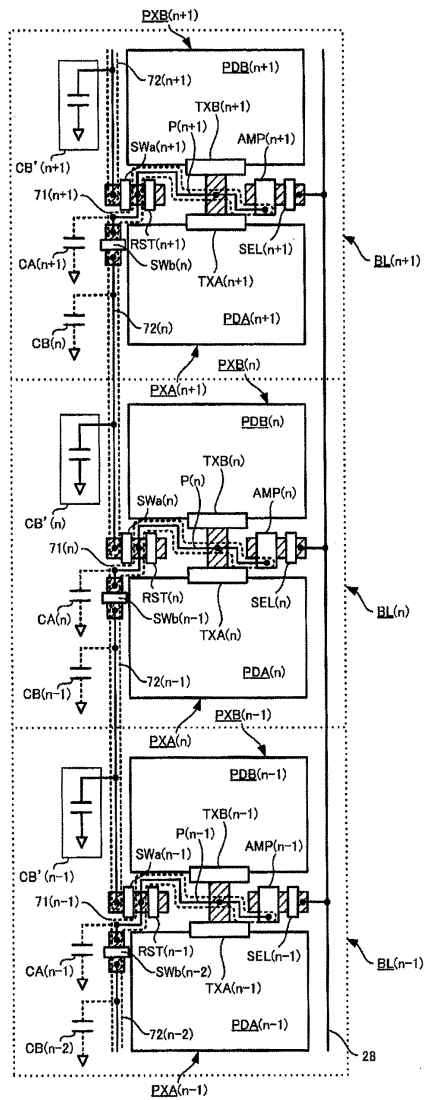
도면10



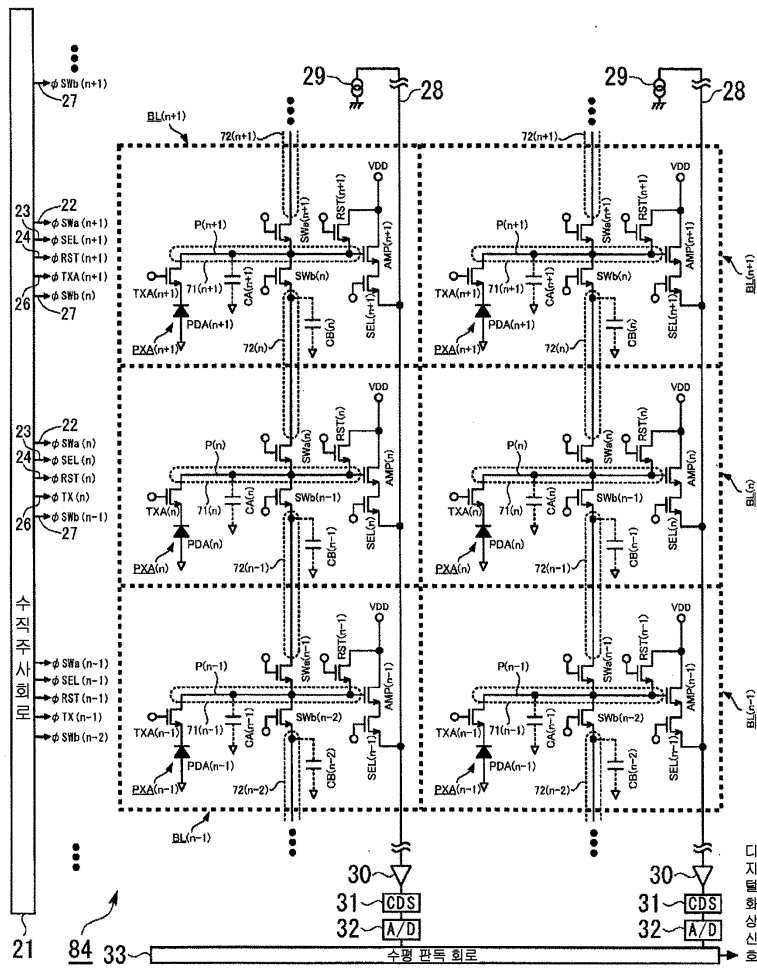
도면11



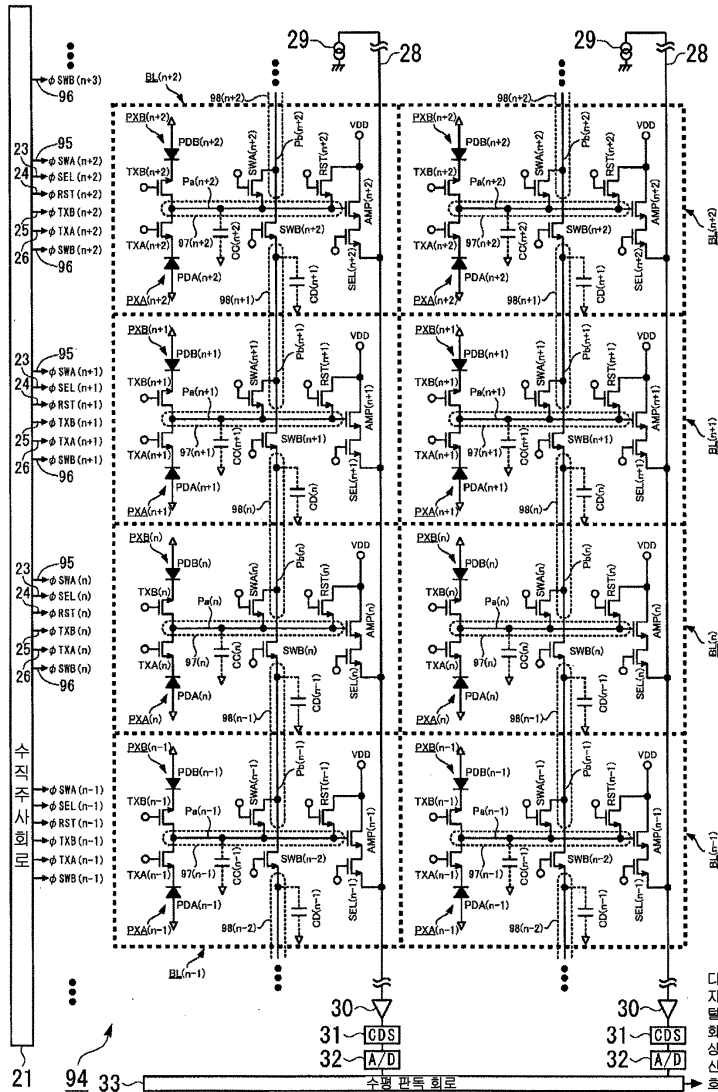
도면12



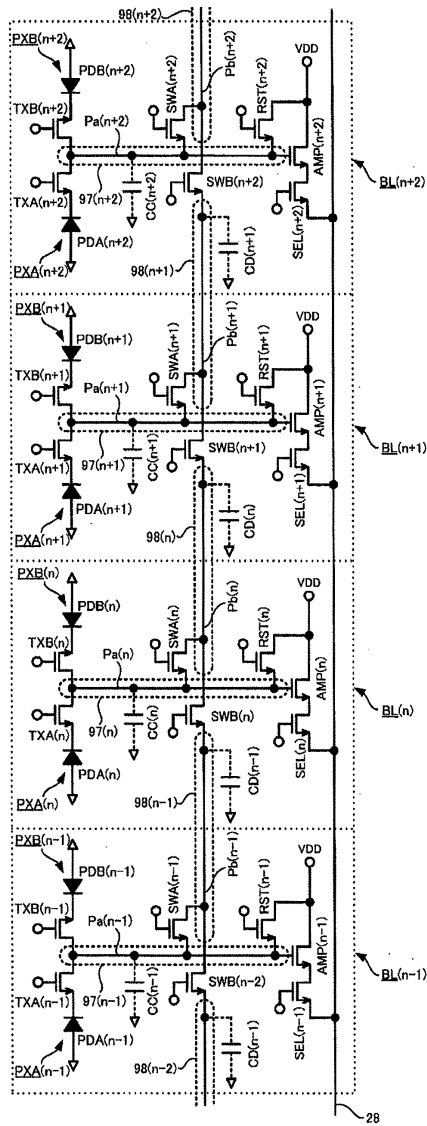
도면13



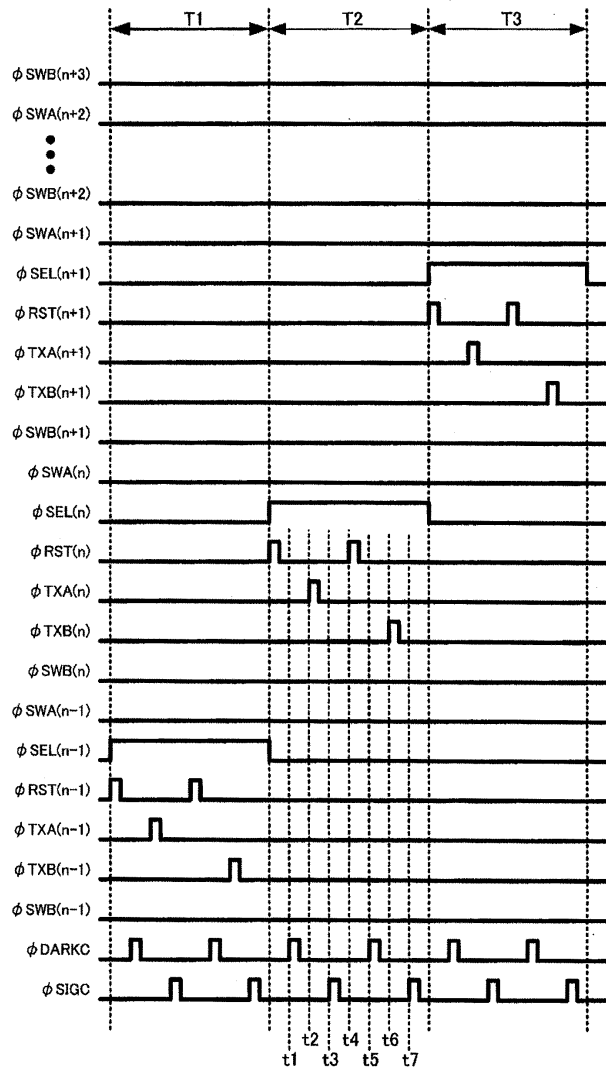
도면14



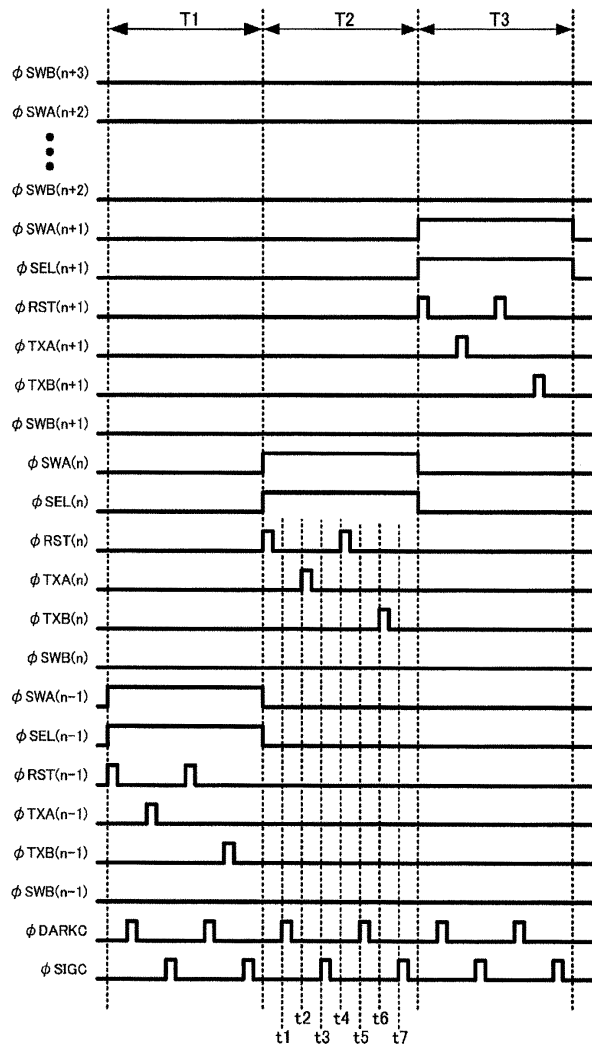
도면15



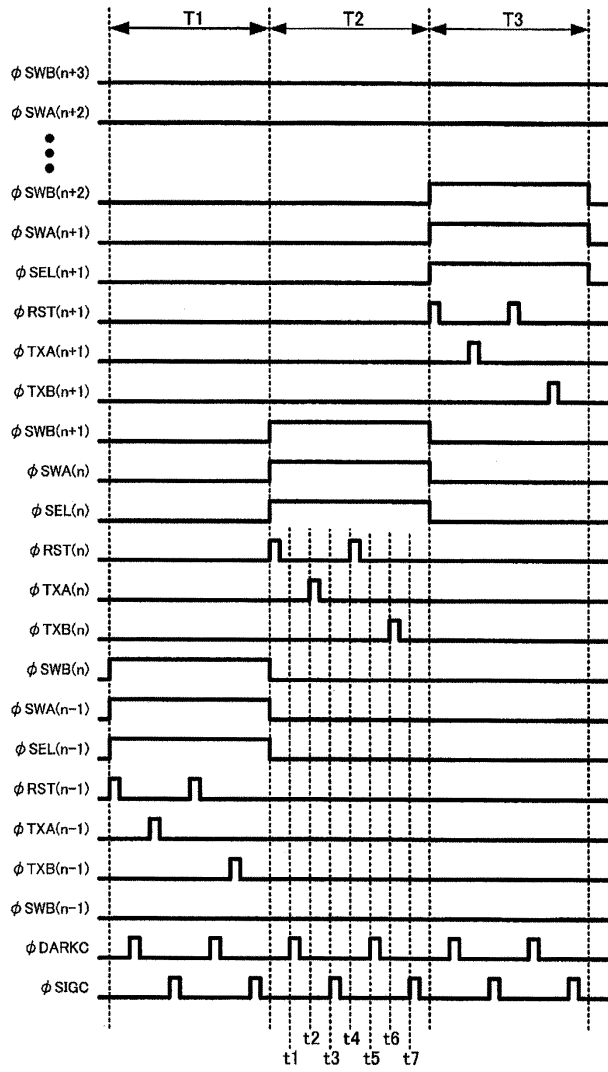
도면16



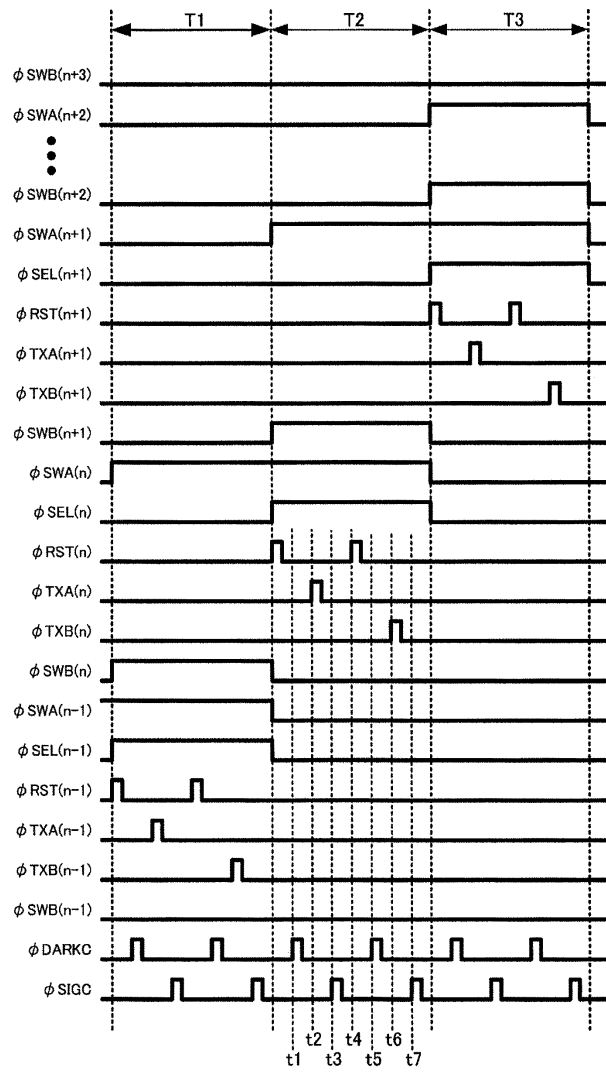
도면17



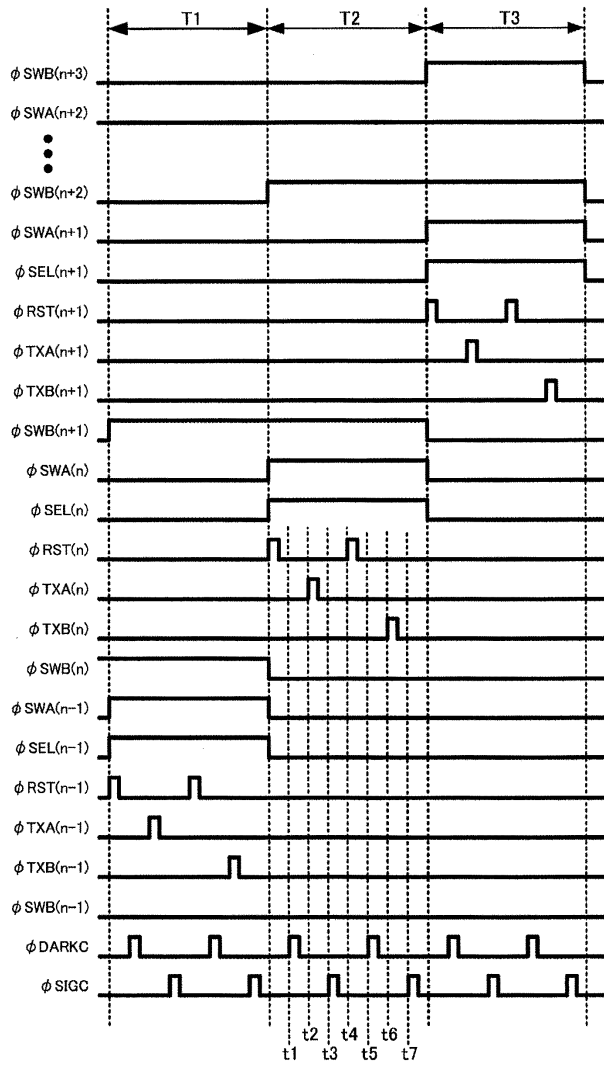
도면18



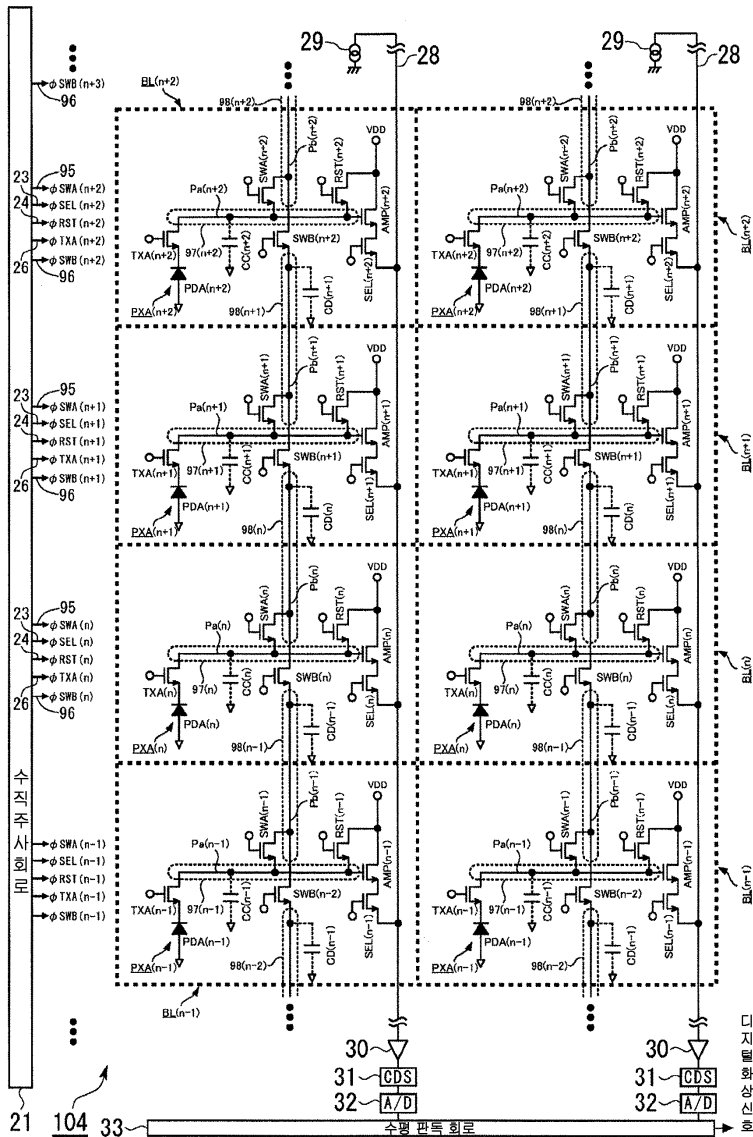
도면19



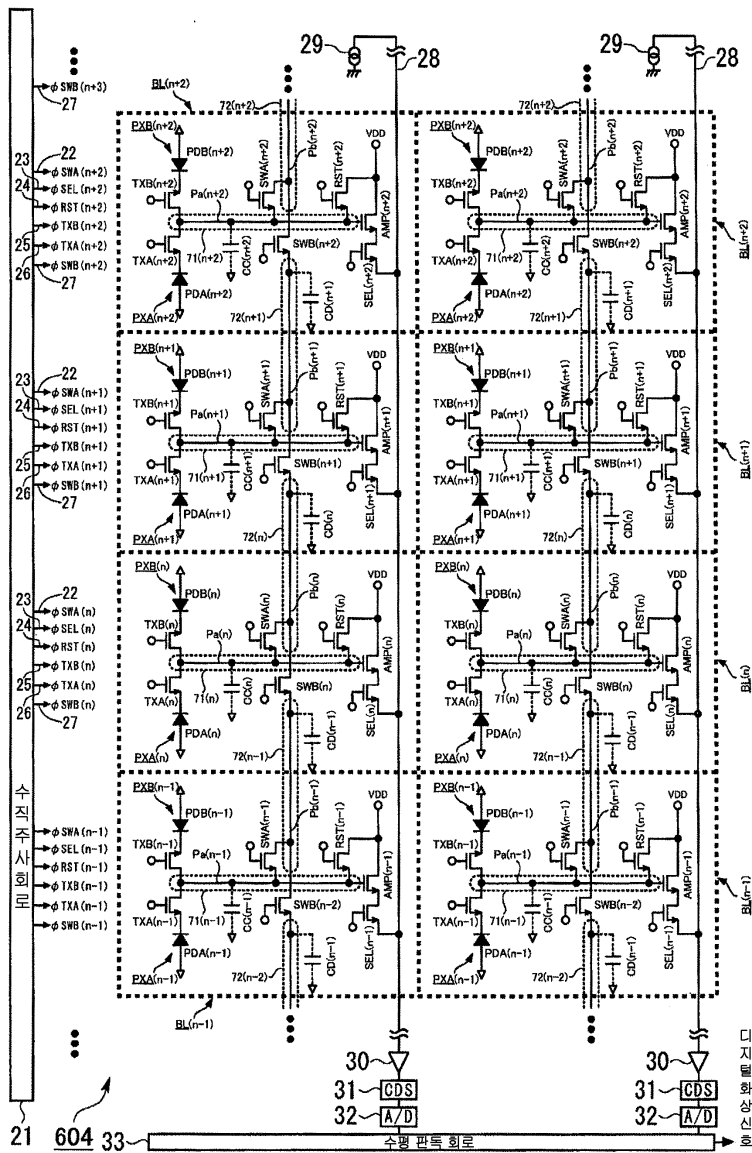
도면20



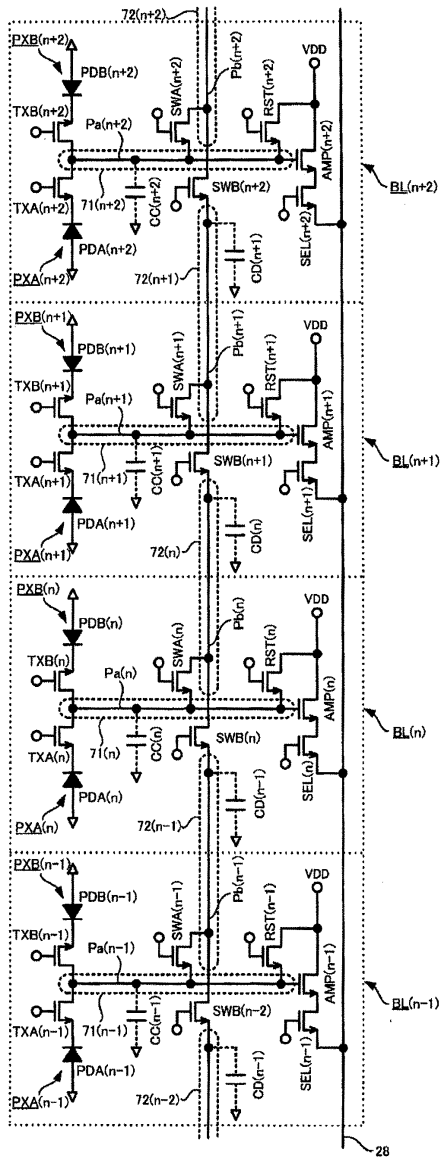
도면21



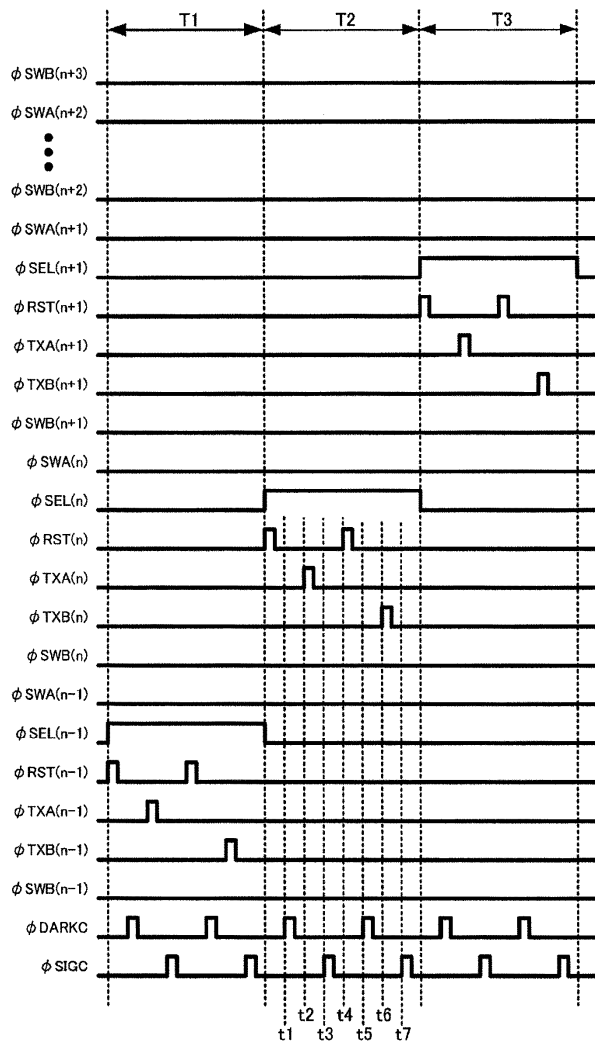
도면22



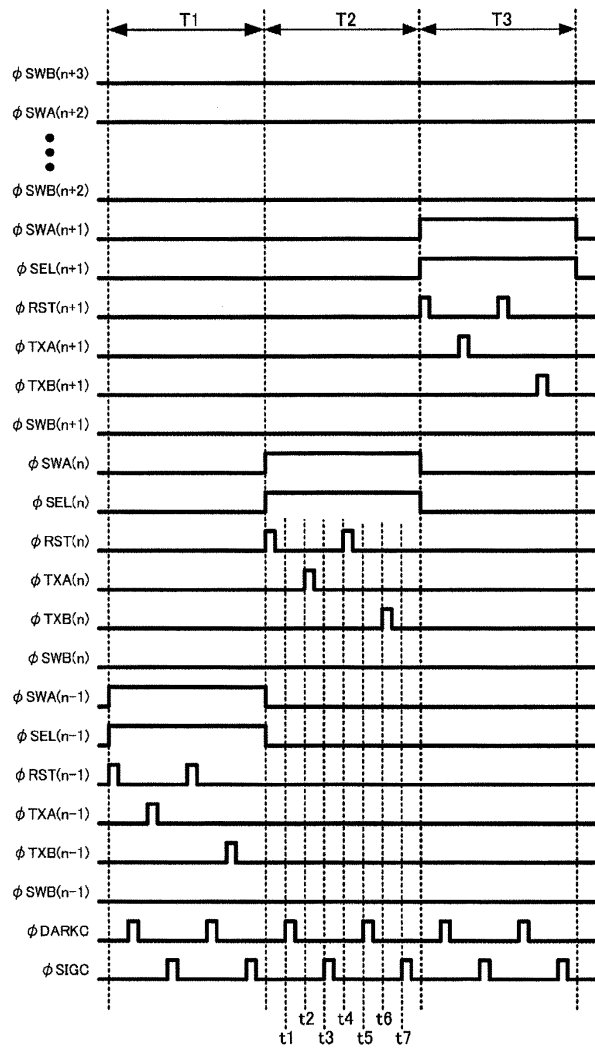
도면23



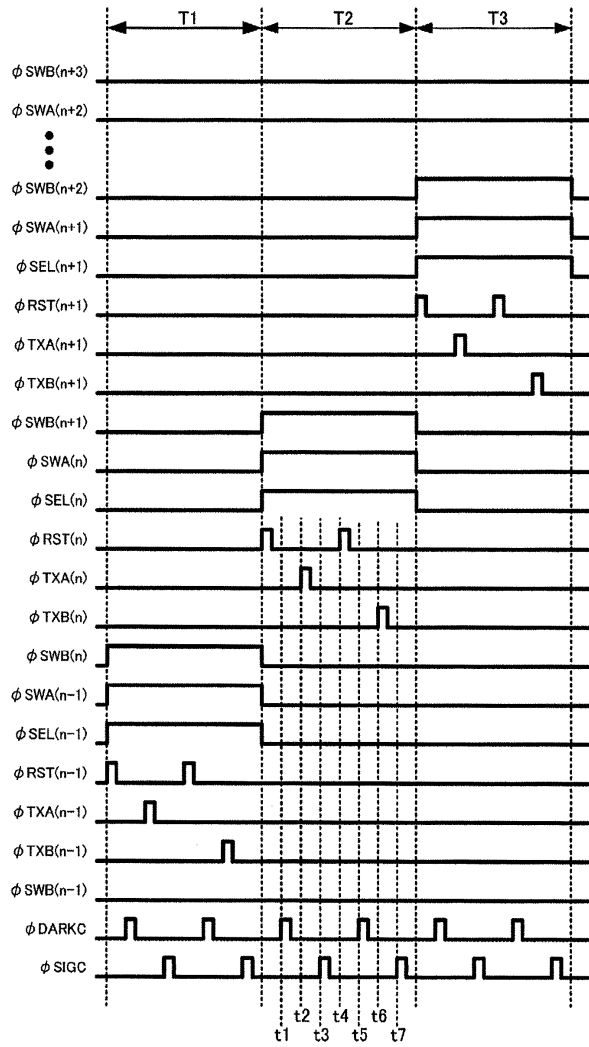
도면24



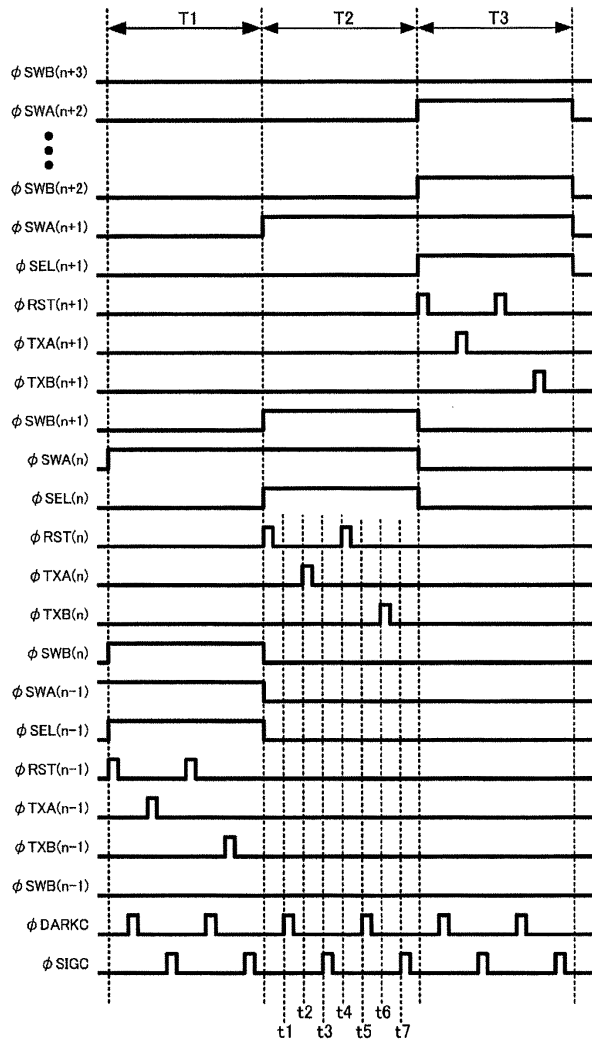
도면25



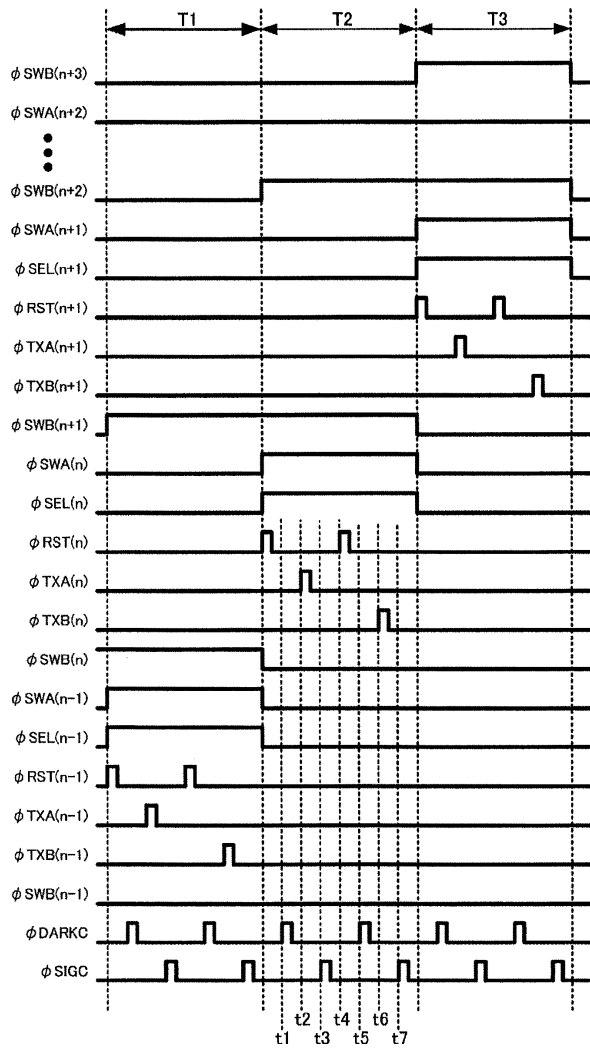
도면26



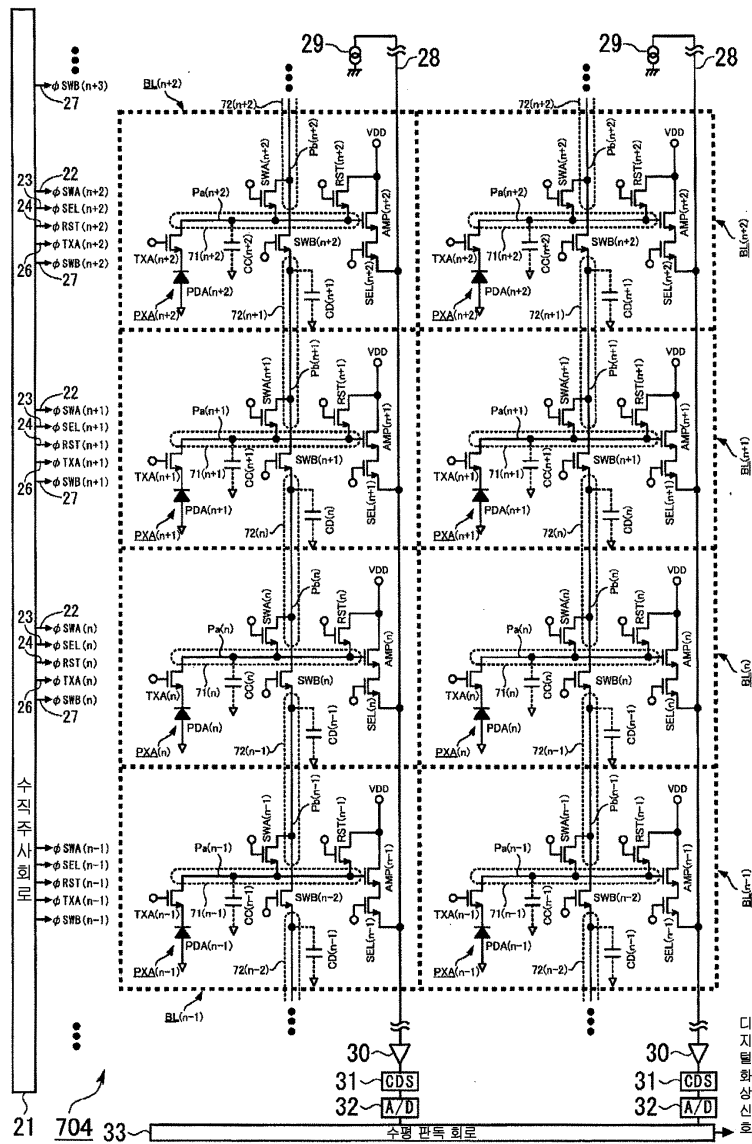
도면27



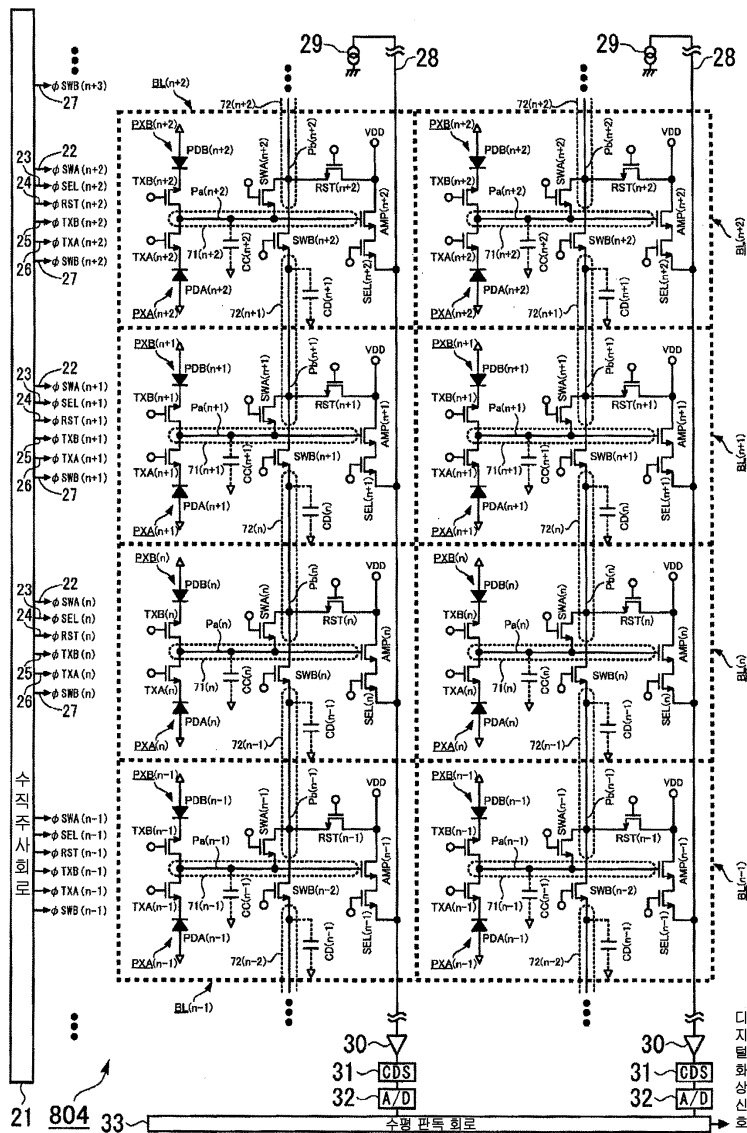
도면28



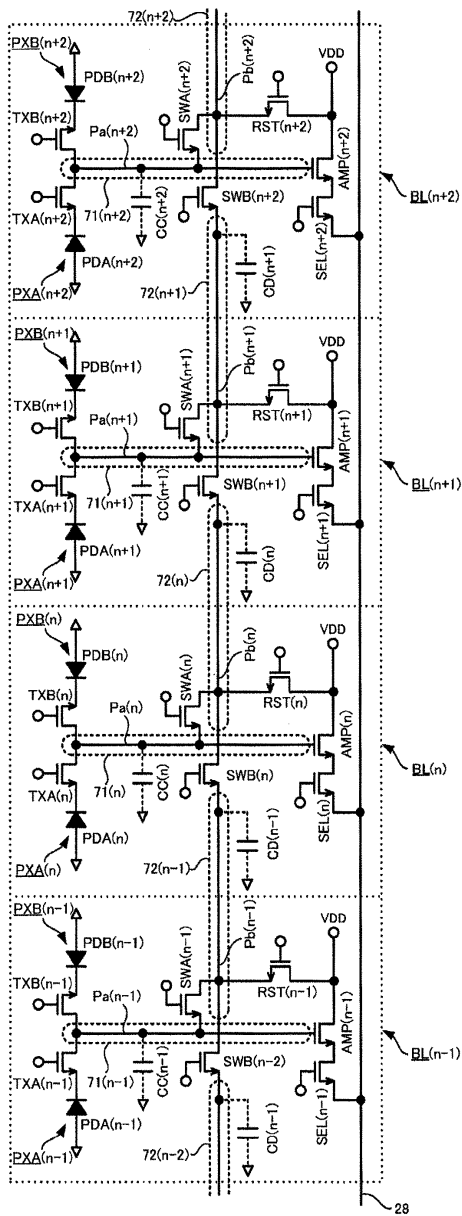
도면29



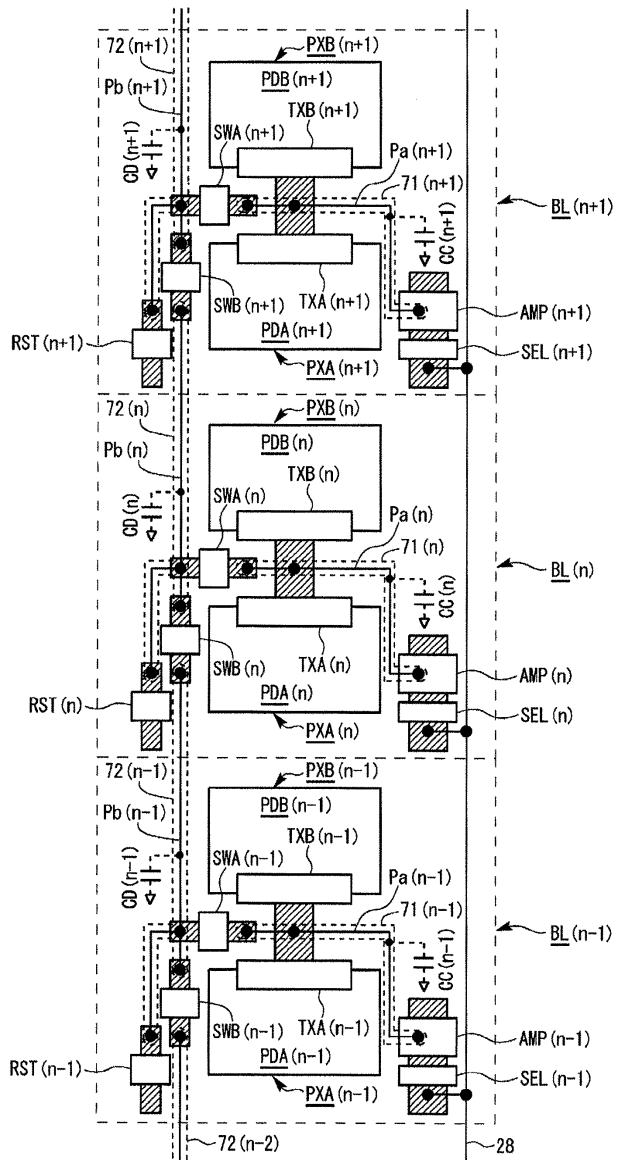
도면30



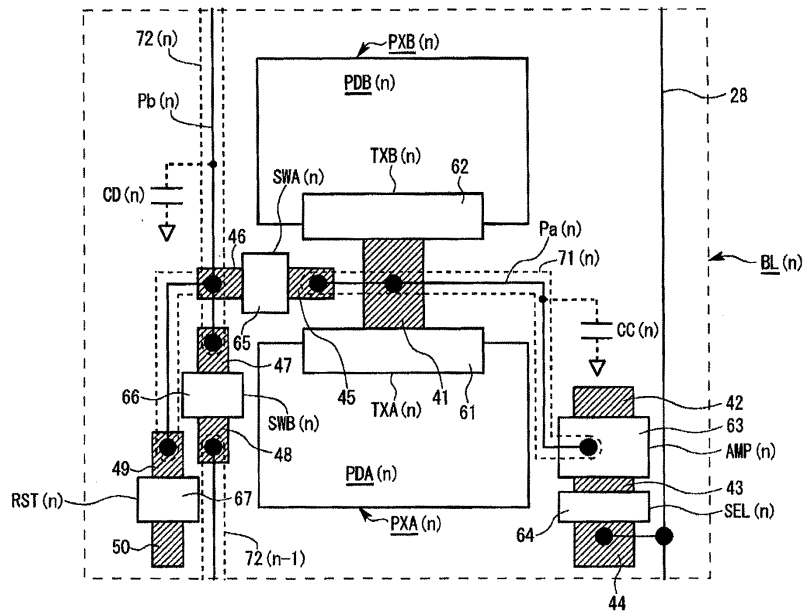
도면31



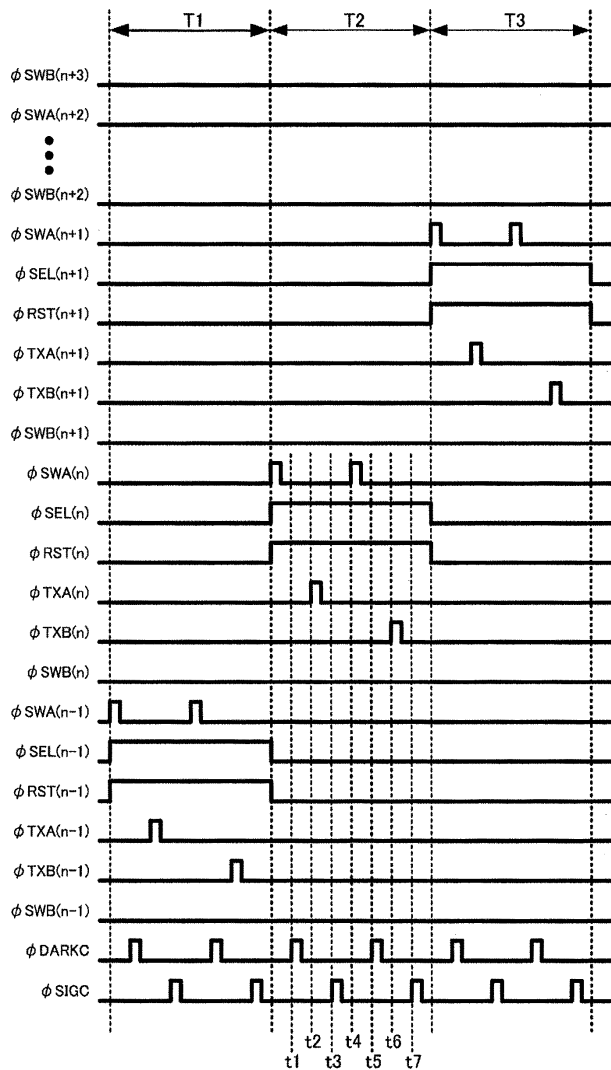
도면32



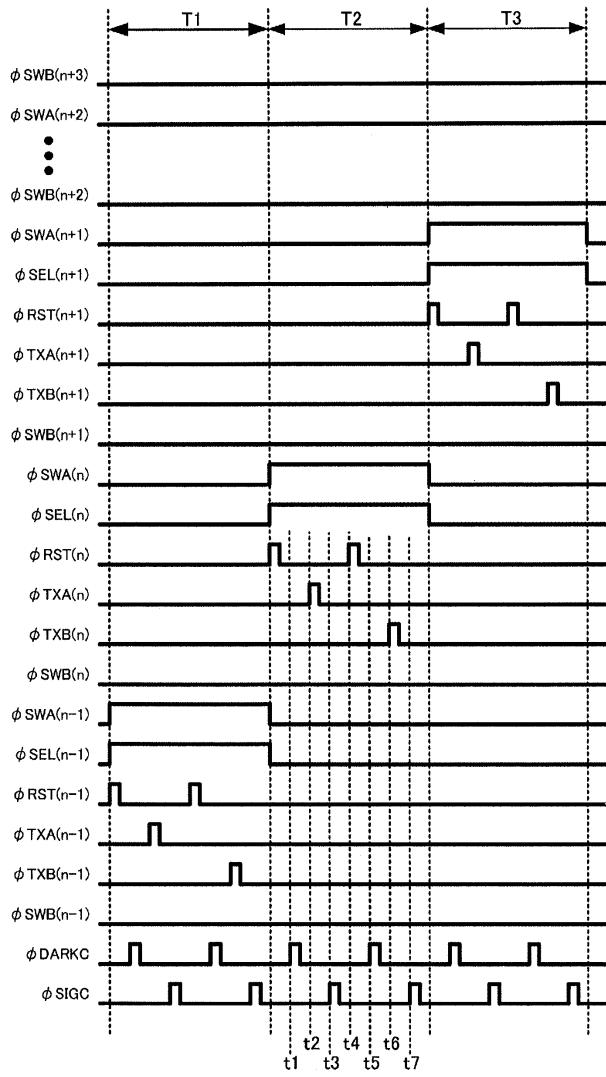
도면33



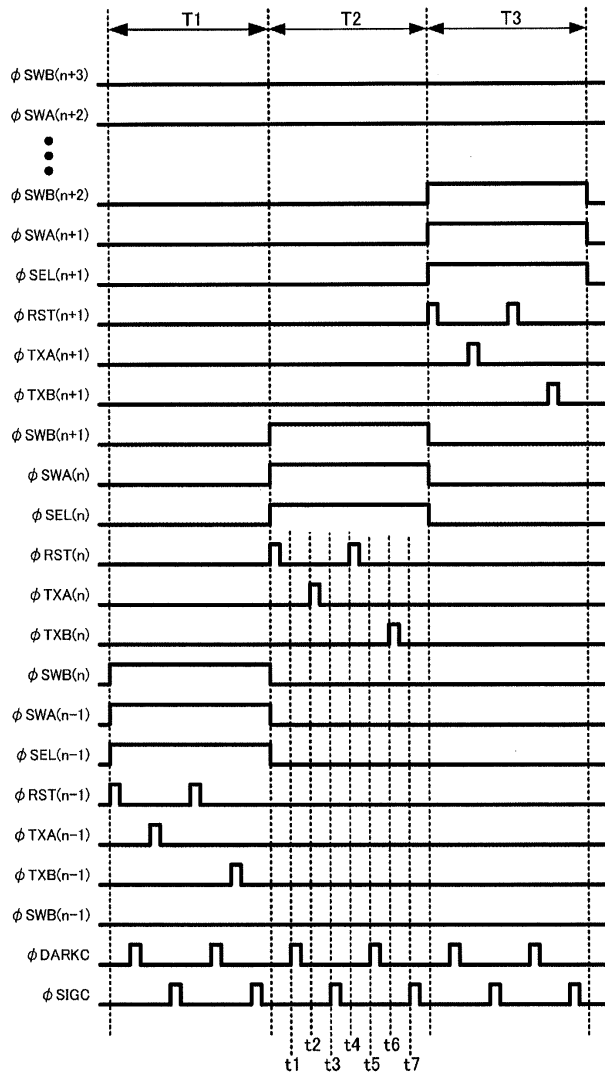
도면34



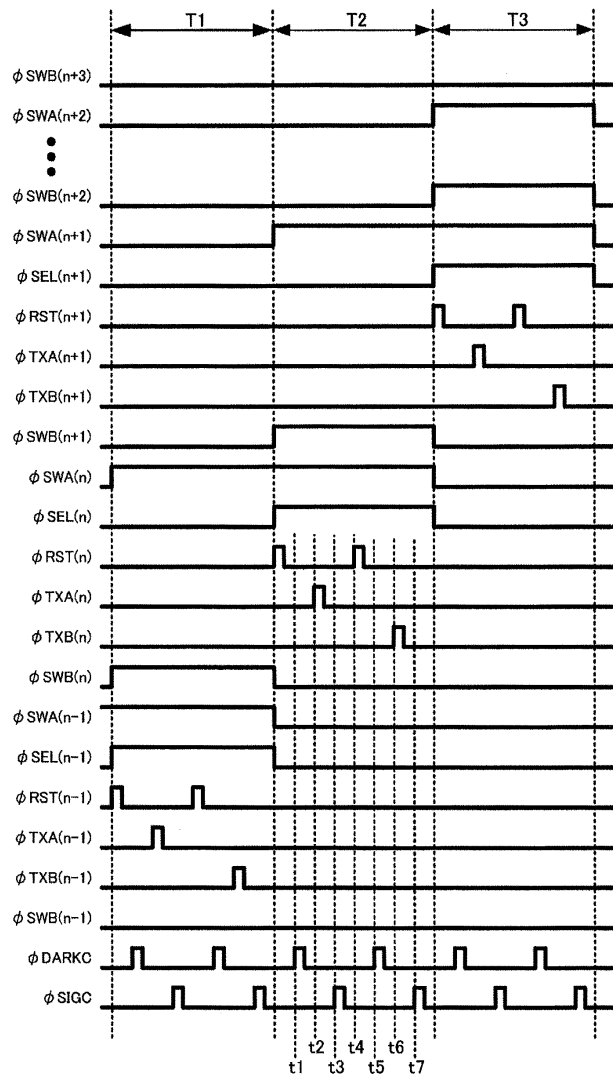
도면35



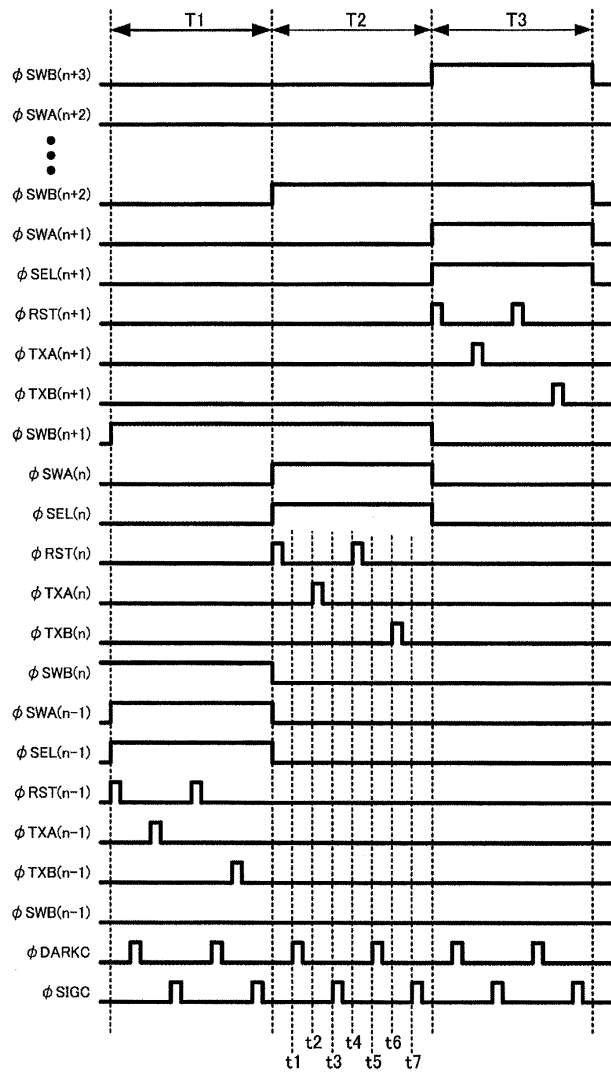
도면36



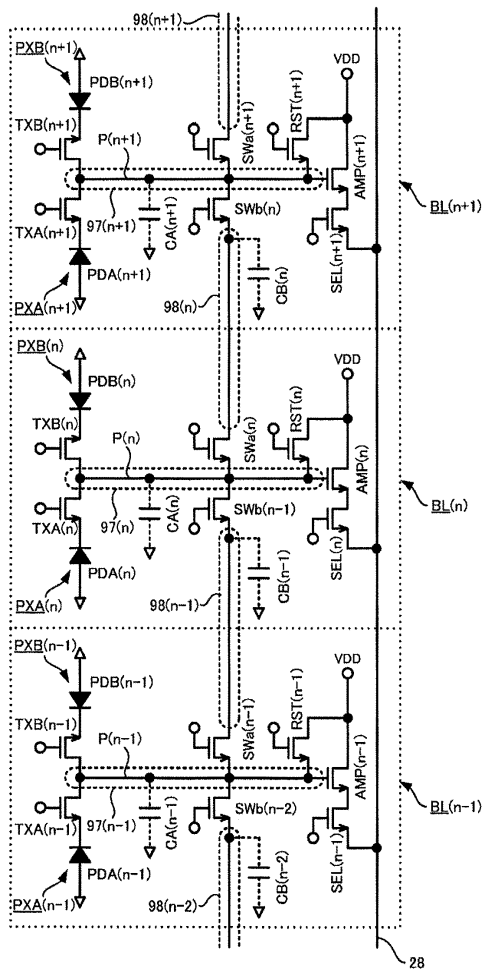
도면37



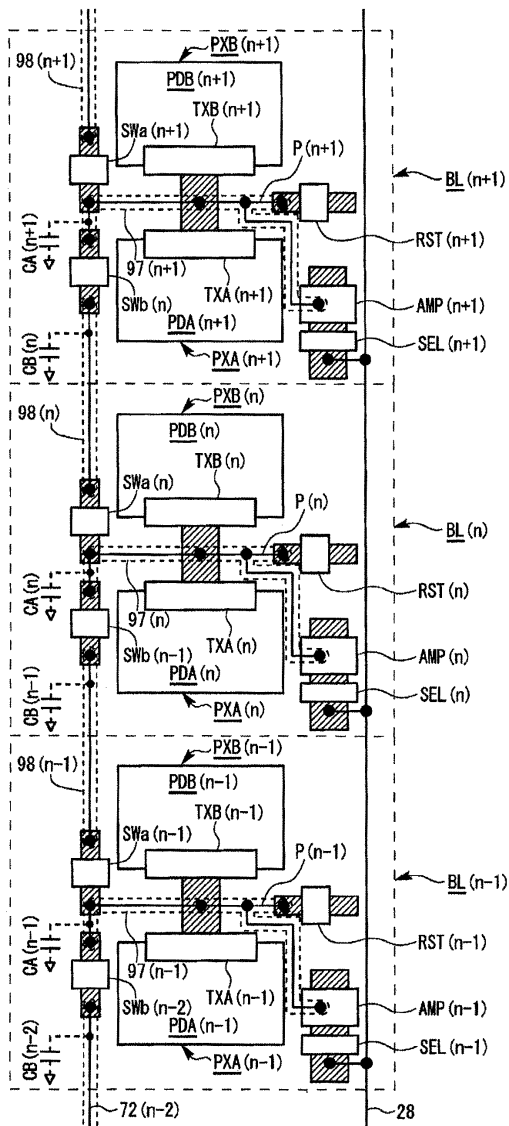
도면38



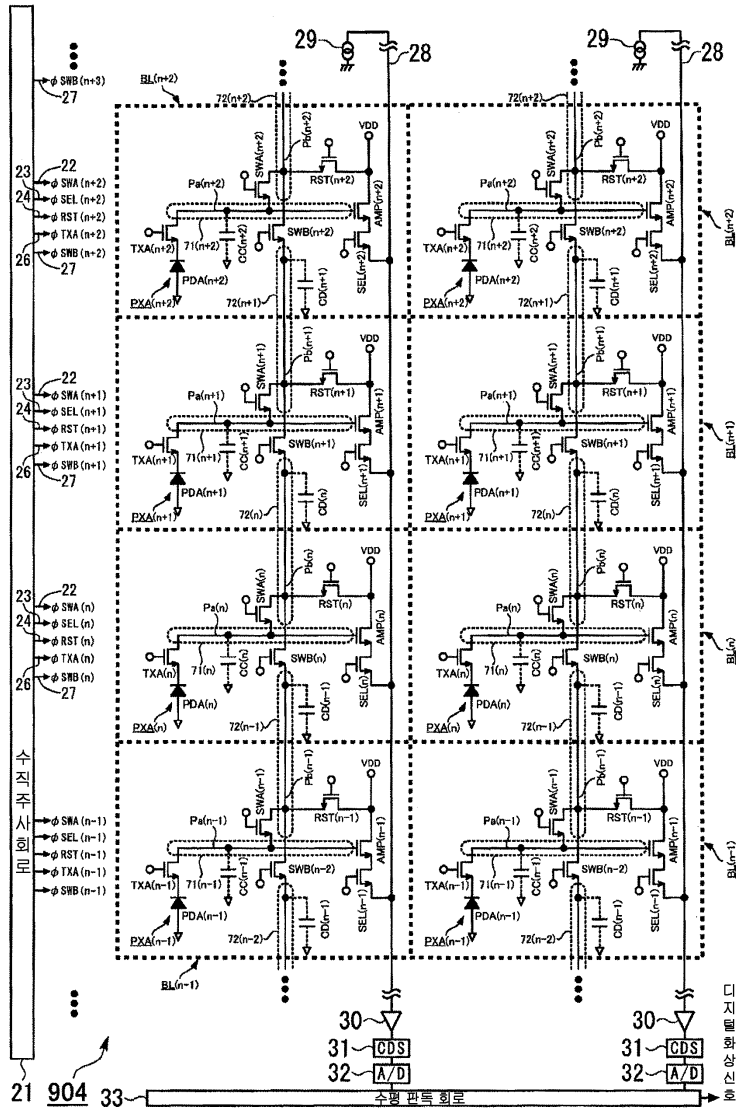
도면39



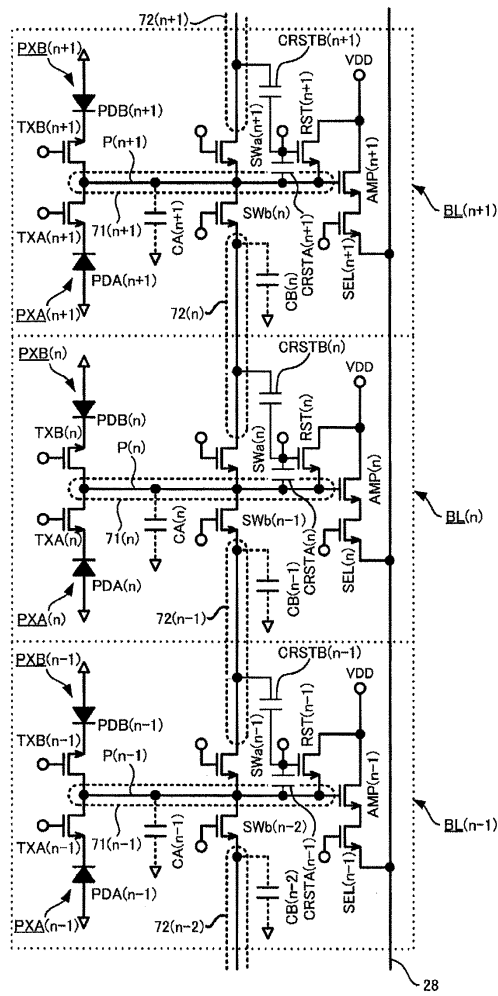
도면40



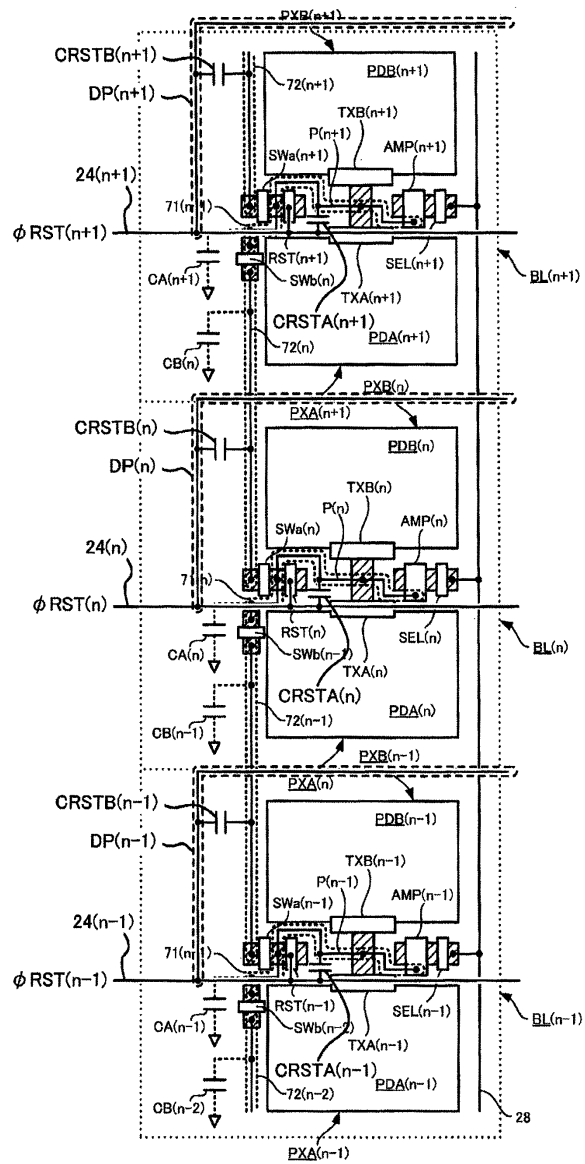
도면41



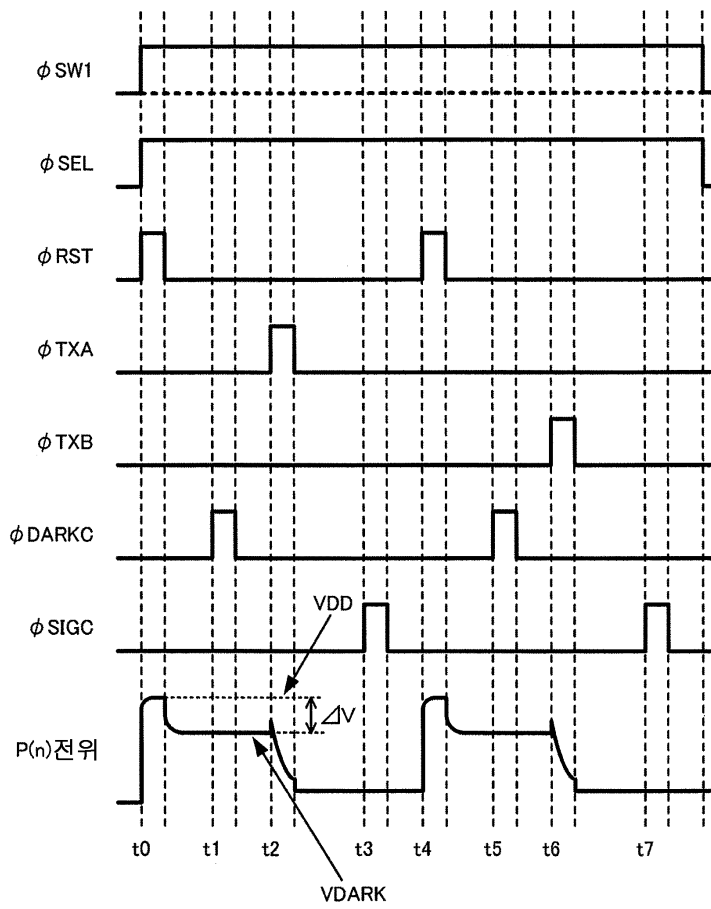
도면42



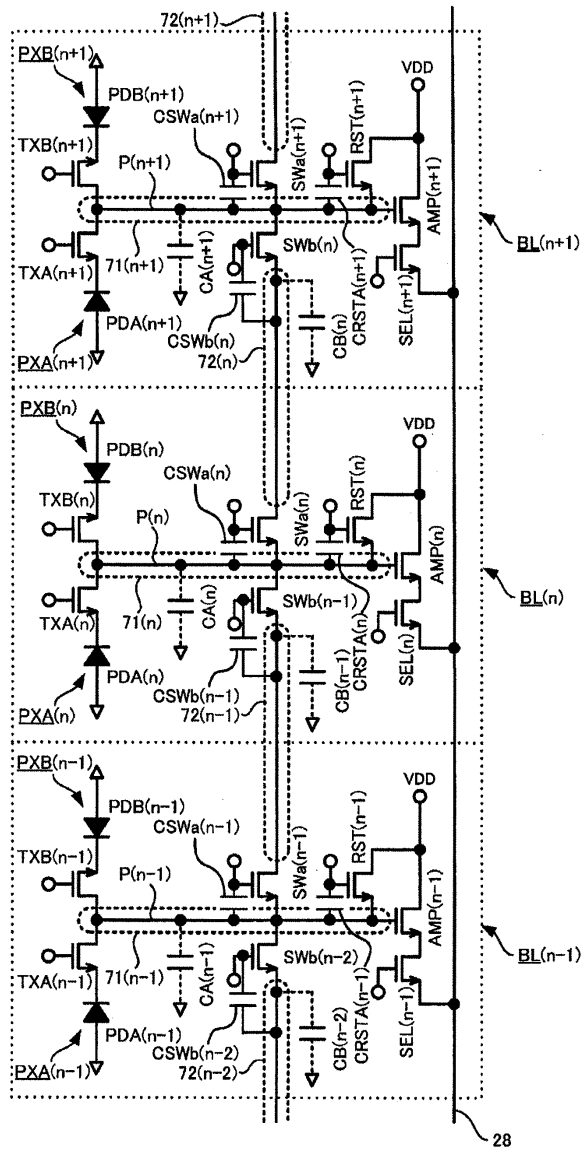
도면43



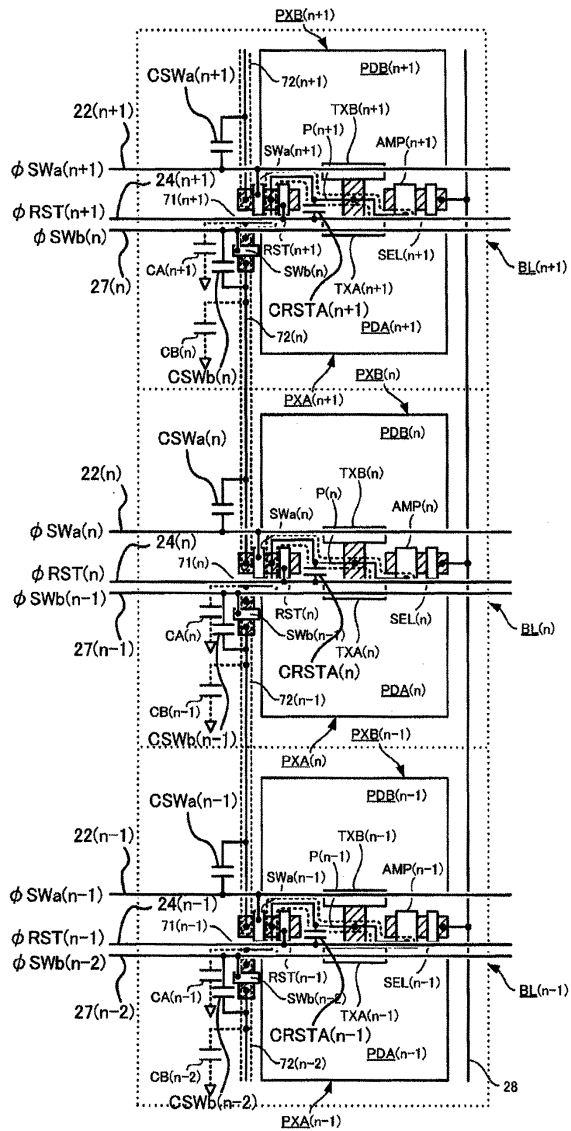
도면44



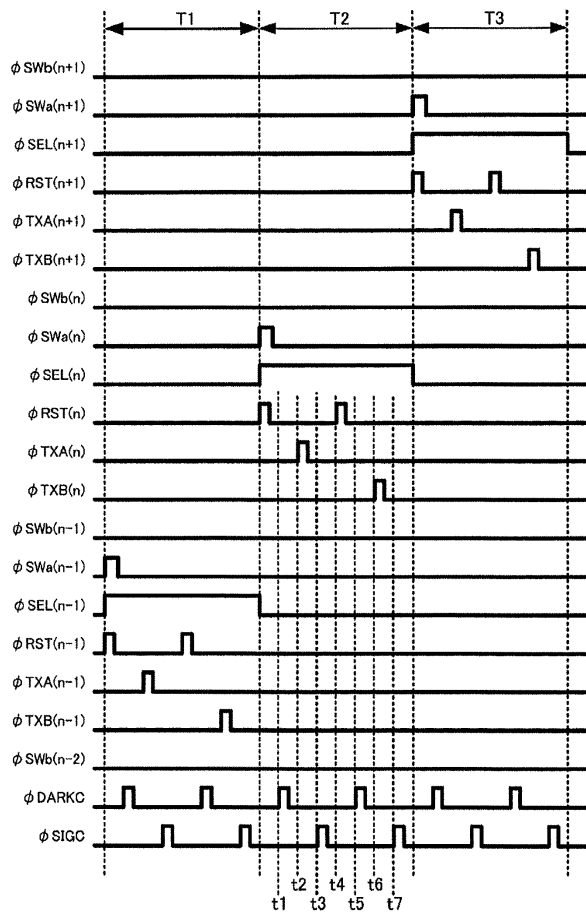
도면45



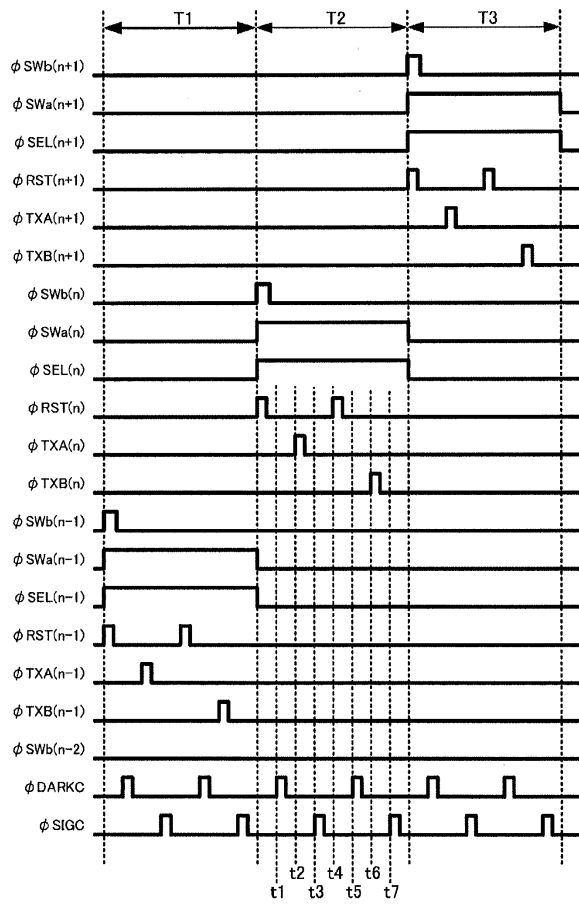
도면46



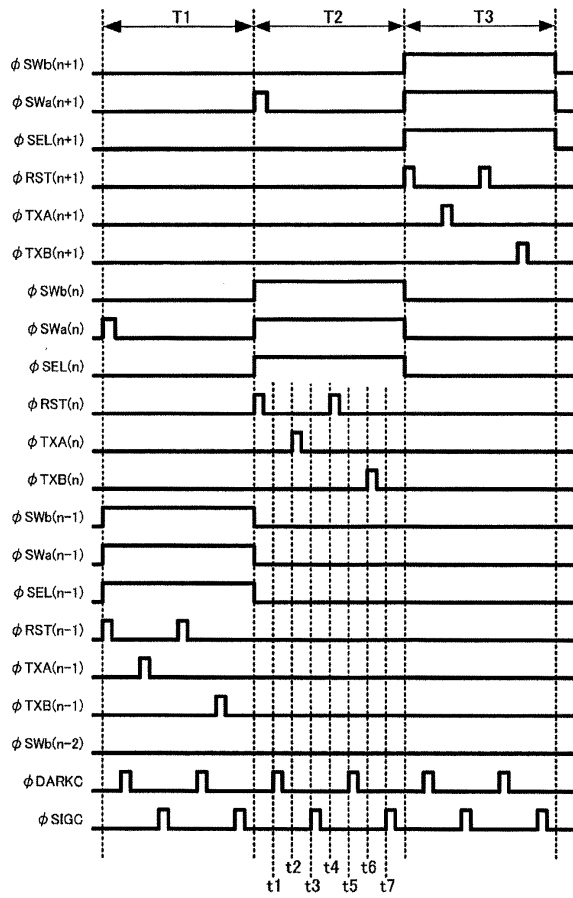
도면47



도면48



도면49



도면50

