

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月16日(16.11.2023)



(10) 国際公開番号

WO 2023/219031 A1

(51) 国際特許分類:

H03K 17/16 (2006.01) H02M 3/135 (2006.01)
H03K 17/22 (2006.01) H02M 3/155 (2006.01)
H03K 17/693 (2006.01) G05F 1/10 (2006.01)
H02M 1/00 (2007.01) H03F 3/45 (2006.01)
H02M 1/08 (2006.01)

特願 2022-085302 2022年5月25日(25.05.2022) JP

特願 2022-086054 2022年5月26日(26.05.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(21) 国際出願番号: PCT/JP2023/017044

(22) 国際出願日: 2023年5月1日(01.05.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

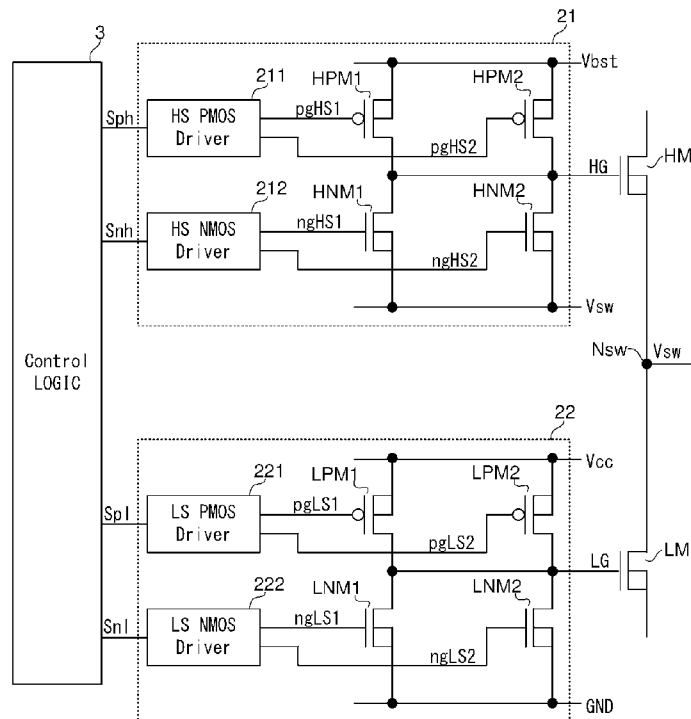
特願 2022-076912 2022年5月9日(09.05.2022) JP

特願 2022-085294 2022年5月25日(25.05.2022) JP

(72) 発明者: 山越 陽夫 (YAMAKOSHI Haruo);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP). 坂和 直
幸(SAKAWA Naoyuki); 〒6158585 京都府京
都市右京区西院溝崎町 2 1 番地 ローム株式
会社内 Kyoto (JP). 押見 知明(OSHIMI Tomoaki);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).

(54) Title: GATE DRIVE CIRCUIT, POWER-GOOD CIRCUIT, OVERCURRENT SENSING CIRCUIT, OSCILLATION PREVENTION CIRCUIT, SWITCHING CONTROL CIRCUIT AND SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称: ゲート駆動回路、パワーグッド回路、過電流検出回路、発振防止回路、スイッチング制御回路、および、スイッチング電源装置



(57) Abstract: The present invention is configured in a manner such that: a high-side pre-driver (21) has a first high-side transistor (HPM1) and a second high-side transistor (HPM2); a low-side pre-driver (22) has a third high-side transistor (LPM1) and a fourth high-side transistor (LPM2); and a delay is provided between a first gate signal (pgHS1) for turning

(74) 代理人: 弁理士法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the first high-side transistor on and a second gate signal (pgHS2) for turning the second high-side transistor on, and/or between a third gate signal (pgLS1) for turning the third high-side transistor on and a fourth gate signal (pgLS2) for turning the fourth high-side transistor on.

(57) 要約: ハイサイドブリドライバ (21) は、第1ハイサイドトランジスタ (HPM1) と、第2ハイサイドトランジスタ (HPM2) を有し、ローサイドブリドライバ (22) は、第3ハイサイドトランジスタ (LPM1) と、第4ハイサイドトランジスタ (LPM2) を有し、前記第1ハイサイドトランジスタをターンオンさせる第1ゲート信号 (pgHS1) と、前記第2ハイサイドトランジスタをターンオンさせる第2ゲート信号 (pgHS2) の間と、前記第3ハイサイドトランジスタをターンオンさせる第3ゲート信号 (pgLS1) と、前記第4ハイサイドトランジスタをターンオンさせる第4ゲート信号 (pgLS2) の間と、の少なくとも一方において遅延が設けられる。

明 細 書

発明の名称：

ゲート駆動回路、パワーグッド回路、過電流検出回路、発振防止回路、スイッチング制御回路、および、スイッチング電源装置

技術分野

[0001] 本明細書中に開示されている発明は、ゲート駆動回路に関する。また、本明細書中に開示されている発明は、パワーグッド回路に関する。また、本明細書中に開示されている発明は、過電流検出回路、発振防止回路、並びに当該過電流検出回路または当該発振防止回路を有するスイッチング制御回路およびスイッチング電源装置に関する。

背景技術

[0002] 従来、直列に接続されたハイサイドトランジスタとローサイドトランジスタの各ゲートを駆動するゲート駆動回路が知られている（例えば、特許文献１）。例えば、上記ハイサイドトランジスタおよび上記ローサイドトランジスタは、Nチャネル型MOSFET（metal-oxide-semiconductor field-effect transistor）により構成される。

[0003] 上記ハイサイドトランジスタと上記ローサイドトランジスタの一方がターンオン（オフ状態からオン状態への切替え）し、他方がターンオフ（オン状態からオフ状態への切替え）するとき、上記ハイサイドトランジスタと上記ローサイドトランジスタが接続されるノードにおいて電圧変化が発生する。これにより、ターンオフするトランジスタの V_{ds} （ドレイン・ソース間電圧）が変化する。上記ノードにおける電圧変化のスルーレート（時間に対する変化の傾き）が大きいと、ターンオフするトランジスタの V_{gs} （ゲート・ソース間電圧）が持ち上がり、当該トランジスタがセルフターンオンしてしまう可能性がある。

[0004] また、従来、パワーグッド回路を備える電源IC（Integrated Circuit）が知られている。パワーグッド回路は、電源回路の出力電圧が設定された電

圧値に到達したときにフラグを出力する機能を有する回路である（例えば、特許文献２）。これにより、例えば、上記電源ＩＣ外部のＩＣ（ＣＰＵ（Central Processing Unit）など）に正常に上記出力電圧が立ち上がったことを通知することができる。

[0005] また、従来、上側トランジスタ及び下側トランジスタを相補的にスイッチングするスイッチング電源装置において、下側トランジスタを流れる過電流を検出する下側過電流検出回路が設けられることがある（例えば特許文献３参照）。

[0006] また、従来、エラーアンプを有するスイッチング電源装置が開発されている（例えば特許文献４参照）。エラーアンプを有するスイッチング電源装置では、エラーアンプが帰還電圧と基準電圧との差分に応じた誤差信号を生成し、スイッチング制御回路が誤差信号に基づきスイッチング素子を制御する。

[0007] 特許文献４で提案されているスイッチング電源装置では、エラーアンプの出力端と接地端との間に設けられるキャパシタがエラーアンプの発振を防止する。

先行技術文献

特許文献

[0008] 特許文献１：特開２０２２－１５８６３号公報

特許文献２：特開２０２１－９３８４１号公報

特許文献３：特開２０１４－１５０６７５号公報

特許文献４：特開２０１４－１１７０４２号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、従来のゲート駆動回路には、トランジスタのセルフターンオンを抑制する機能について改善の余地があった（第１の課題）。

[0010] また、従来のパワーグッド回路には、電源ＩＣ起動時におけるフラグ出力

動作について改善の余地があった（第2の課題）。

[0011] また、従来の下側電流検出回路は、過電流の検出漏れについて改善の余地があった（第3の課題）。

[0012] また、エラーアンプを有するスイッチング電源装置において、誤差信号を伝達する信号線に接続される付加回路を設けることが考えられる。この場合、付加回路が2つのポールを有する回路であれば、エラーアンプの出力端と接地端との間に設けられるキャパシタのみでは付加回路の発振を防止することができない（第4の課題）。

課題を解決するための手段

[0013] 例えば、本開示の一側面に係るゲート駆動回路は、

駆動対象ハイサイドトランジスタと駆動対象ローサイドトランジスタが電源電圧とグラウンド電位との間で直列に接続されるハーフブリッジを駆動するゲート駆動回路であって、

前記駆動対象ハイサイドトランジスタのゲートを駆動するように構成されるハイサイドプリドライバと、

前記駆動対象ローサイドトランジスタのゲートを駆動するように構成されるローサイドプリドライバと、

を備え、

前記ハイサイドプリドライバは、第1ハイサイドトランジスタと、第2ハイサイドトランジスタを有し、

前記ローサイドプリドライバは、第3ハイサイドトランジスタと、第4ハイサイドトランジスタを有し、

前記第1ハイサイドトランジスタをターンオンさせる第1ゲート信号と、前記第2ハイサイドトランジスタをターンオンさせる第2ゲート信号の間と、

前記第3ハイサイドトランジスタをターンオンさせる第3ゲート信号と、前記第4ハイサイドトランジスタをターンオンさせる第4ゲート信号の間と、の少なくとも一方において遅延が設けられる。

[0014] また、本開示の一側面に係るパワーグッド回路は、パワーグッド端子に接続される第1端と、グラウンド電位の印加端に接続される第2端と、を有する第1出力トランジスタと、

前記第1出力トランジスタの制御端に第1電源電圧に基づく電圧を印加するための抵抗と、

第2電源電圧を電源電圧として用い、制御入力信号が入力可能に構成される第1インバータ段と、

前記第1インバータ段の出力端に接続される制御端と、前記パワーグッド端子に接続される第1端と、グラウンド電位の印加端に接続される第2端と、を有する第2出力トランジスタと、

を備え、

前記パワーグッド端子は、前記第2電源電圧にプルアップ可能である。

[0015] また、本明細書中に開示されている過電流検出回路は、第1スイッチ及び第2スイッチが直列接続され、前記第2スイッチが前記第1スイッチより低電位側に設けられ、前記第1スイッチと前記第2スイッチとの接続ノードにインダクタが接続される回路の前記第2スイッチに流れる過電流を検出するように構成される。前記過電流検出回路は、前記第2スイッチに流れる電流に応じた第1電流を生成するように構成される第1電流生成回路と、前記第2スイッチがオフからオンに切り替わるタイミングで零より大きく、前記第1スイッチ及び前記第2スイッチのスイッチングに同期して変動する第2電流を生成するように構成される第2電流生成回路と、前記第1電流及び前記第2電流に応じた電圧と閾値とを比較するように構成されるコンパレータと、を有する。

[0016] 本明細書中に開示されているスイッチング制御回路は、上記構成の過電流検出回路と、前記第1スイッチ及び前記第2スイッチを制御するように構成される制御部と、を有する。

[0017] 本明細書中に開示されているスイッチング電源装置は、上記構成のスイッチング制御回路と、前記第1スイッチ及び前記第2スイッチと、を有する。

[0018] また、本明細書中に開示されている発振防止回路は、信号線と、第 1 回路と、前記信号線に接続されるキャパシタと、前記信号線と前記第 1 回路との間に設けられる抵抗と、を有する。前記第 1 回路は 2 つのポールを有する。前記第 1 回路、前記キャパシタ、および前記抵抗は 2 つのポールと 1 つのゼロ点とを有する。

[0019] 本明細書中に開示されているスイッチング制御回路は、上記構成の発振防止回路と、出力端が前記信号線に接続されるエラーアンプと、前記エラーアンプの出力電圧に基づきスイッチング素子を制御するように構成される制御部と、を有する。

[0020] 本明細書中に開示されているスイッチング電源装置は、上記構成のスイッチング制御回路と、前記スイッチング素子と、を有する。

発明の効果

[0021] 本明細書中に開示されている発明によれば、トランジスタのセルフターンオンを抑制しつつ、効率の低下を抑制できる。

[0022] また、本明細書中に開示されている発明によれば、電源 IC 起動時におけるフラグ出力動作を適切に行うことが可能となる。

[0023] また、本明細書中に開示されている発明によれば、過電流の検出漏れを抑制することができる。

[0024] 本明細書中に開示されている発明によれば、2 つのポールを有する第 1 回路の発振を防止することができる。

図面の簡単な説明

[0025] [図1]図 1 は、本開示の第 1 実施形態に係る半導体装置の構成を示す図である。

[図2]図 2 は、ゲート駆動回路の具体的な構成例を示す図である。

[図3]図 3 は、第 1 ハイサイド駆動部の構成例を示す図である。

[図4]図 4 は、ハイサイドトランジスタがターンオン、ローサイドトランジスタがターンオフする場合の動作を示すタイミングチャートである。

[図5]図 5 は、本開示の実施形態におけるハイサイドトランジスタがターンオ

フ、ローサイドトランジスタがターンオンする場合の動作を示すタイミングチャートである。

[図6]図6は、第1ローサイド駆動部の構成例を示す図である。

[図7]図7は、本開示の第2実施形態に係るゲート駆動回路の構成を示す図である。

[図8]図8は、ハイサイドゲート電圧モニタ部の構成例を示す図である。

[図9]図9は、第1ローサイド駆動部の構成例を示す図である。

[図10]図10は、第2実施形態におけるハイサイドトランジスタがターンオフ、ローサイドトランジスタがターンオンする場合の動作を示すタイミングチャートである。

[図11]図11は、本開示の実施形態におけるハイサイドトランジスタがターンオフ、ローサイドトランジスタがターンオンする場合の動作を示すタイミングチャートである。

[図12]図12は、本開示の例示的な実施形態に係る半導体装置の構成を示す図である。

[図13]図13は、半導体装置の内部構成の一部を示す図である。

[図14]図14は、プリレギュレータの構成例を示す図である。

[図15]図15は、比較例に係るパワーグッド回路の構成を示す図である。

[図16]図16は、電源ICの起動時における比較例に係るパワーグッド回路の動作を示すタイミングチャートである。

[図17]図17は、本開示の第1実施形態に係るパワーグッド回路の構成を示す図である。

[図18]図18は、電源ICの起動時およびシャットダウン時における第1実施形態に係るパワーグッド回路の動作を示すタイミングチャートである。

[図19]図19は、本開示の第2実施形態に係るパワーグッド回路の構成を示す図である。

[図20]図20は、電源ICの起動時およびシャットダウン時における第2実施形態に係るパワーグッド回路の動作を示すタイミングチャートである。

[図21]図21は、本開示の第3実施形態に係るパワーグッド回路の構成を示す図である。

[図22]図22は、電源ICの起動時およびシャットダウン時における第3実施形態に係るパワーグッド回路の動作を示すタイミングチャートである。

[図23]図23は、スイッチング電源装置の全体構成を示す図である。

[図24]図24は、半導体装置の内部構成を示す図である。

[図25]図25は、下側過電流検出回路の比較例を示す図である。

[図26]図26は、スイッチング電源装置の各部電圧及び各部電流の理想的な波形を示すタイミングチャートである。

[図27]図27は、スイッチング電源装置の各部電圧及び各部電流の実際の波形を示すタイミングチャートである。

[図28]図28は、下側過電流検出回路の第1実施形態を示す図である。

[図29]図29は、電流生成回路の第1構成例を示す図である。

[図30]図30は、第1実施形態の下側過電流検出回路を有するスイッチング電源装置の各部電圧及び各部電流の実際の波形を示すタイミングチャートである。

[図31]図31は、電流生成回路の第2構成例を示す図である。

[図32]図32は、電流生成回路の第3構成例を示す図である。

[図33]図33は、電流生成回路の第4構成例を示す図である。

[図34]図34は、電流生成回路の第5構成例を示す図である。

[図35A]図35Aは、第1回路の変形例を示す図である。

[図35B]図35Bは、第1回路の他の変形例を示す図である。

[図36A]図36Aは、第2回路の変形例を示す図である。

[図36B]図36Bは、第2回路の他の変形例を示す図である。

[図36C]図36Cは、第2回路の更に他の変形例を示す図である。

[図37]図37は、第5構成例の電流生成回路を有するスイッチング電源装置の各部電圧及び各部電流の実際の波形を示すタイミングチャートである。

[図38]図38は、下側過電流検出回路の第2実施形態を示す図である。

[図39]図 3 9 は、第 2 実施形態の下側過電流検出回路を有するスイッチング電源装置の各部電圧及び各部電流の実際の波形を示すタイミングチャートである。

[図40]図 4 0 は、下側過電流検出回路の第 3 実施形態を示す図である。

[図41]図 4 1 は、スイッチング電源装置の全体構成を示す図である。

[図42]図 4 2 は、半導体装置の内部構成を示す図である。

[図43]図 4 3 は、エラーアンプ、上側クランプ回路、および下側クランプ回路の一構成例を示す図である。

[図44]図 4 4 は、下側クランプ回路の周波数特性を示す図である。

[図45]図 4 5 は、上側クランプ回路の周波数特性を示す図である。

[図46]図 4 6 は、上側クランプ回路、キャパシタ、および抵抗の周波数特性を示す図である。

[図47]図 4 7 は、差動アンプの一構成例を示す図である。

発明を実施するための形態

[0026] 本明細書において、MOS電界効果トランジスタ（MOSFET [Metal-Oxide-Semiconductor Field Effect Transistor]）とは、ゲートの構造が、「導電体または抵抗値が小さいポリシリコン等の半導体からなる層」、「絶縁層」、および「P型、N型、又は真性の半導体層」の少なくとも3層からなる電界効果トランジスタをいう。つまり、MOS電界効果トランジスタのゲートの構造は、金属、酸化物、および半導体の3層構造に限定されない。

[0027] 本明細書において、基準電圧とは、理想的な状態において一定である電圧を意味しており、実際には温度変化等により僅かに変動し得る電圧である。

[0028] また、以下説明する第1～第4の開示技術については、それぞれにおいて構成要素および信号を示す符号は、互いに関連性がないものとする。すなわち、同じ符号であっても異なる構成要素または信号を示す場合がある。

[0029] <<第1の開示技術>>

<<1. 第1実施形態>>

＜半導体装置の構成＞

図1は、本開示の第1実施形態に係る半導体装置1の構成を示す図である。半導体装置1は、DC/DCコンバータ機能を有する電源ICをパッケージ化した装置である。図1に示すように、半導体装置1は、ハイサイドトランジスタHMと、ローサイドトランジスタLMと、ゲート駆動回路2と、制御ロジック部3と、スイッチ4と、を集積化して有する。

[0030] 半導体装置1の外部には、インダクタL、出力コンデンサC_{out}、およびブートコンデンサC_{bst}が設けられる。これらの外部素子と半導体装置1から降圧DC/DCコンバータが構成される。

[0031] ハイサイドトランジスタHMおよびローサイドトランジスタLMは、ともにNMOSトランジスタ（Nチャネル型MOSFET）により構成される。ハイサイドトランジスタHMのドレインは、入力電圧V_{in}の印加端に接続される。ハイサイドトランジスタHMのソースは、ローサイドトランジスタLMのドレインに接続される。ローサイドトランジスタLMのソースは、グランド電位の印加端に接続される。すなわち、ハイサイドトランジスタHMとローサイドトランジスタLMは、入力電圧V_{in}とグランド電位との間で直列に接続される。ハイサイドトランジスタHMとローサイドトランジスタLMからいわゆるハーフブリッジが構成される。

[0032] ハイサイドトランジスタHMのソースとローサイドトランジスタLMのドレインが接続されるノードN_{sw}は、インダクタLの一端に接続される。インダクタLの他端は、出力コンデンサC_{out}の一端に接続される。出力コンデンサC_{out}の他端は、グランド電位の印加端に接続される。出力コンデンサC_{out}の一端に出力電圧V_{out}が発生する。

[0033] ゲート駆動回路2は、ハイサイドトランジスタHMおよびローサイドトランジスタLMの各ゲートを駆動する回路であり、ハイサイドプリドライバ21と、ローサイドプリドライバ22と、を有する。

[0034] ハイサイドプリドライバ21は、制御ロジック部3から入力される制御信号に基づきハイサイドトランジスタHMのゲートを駆動する。ローサイドプ

リドライバ22は、制御ロジック部3から入力される制御信号に基づきローサイドトランジスタLMのゲートを駆動する。プリドライバ21, 22によりトランジスタHM, LMが相補的にスイッチング駆動されることで、入力電圧 V_{in} は出力電圧 V_{out} に変換される。

[0035] ブートコンデンサ C_{bst} およびスイッチ4は、ブートストラップを構成するために用いられる。ブートコンデンサ C_{bst} の一端は、インダクタLの一端に接続される。ブートコンデンサ C_{bst} の他端は、ハイサイドプリドライバ21に接続される。ブートコンデンサ C_{bst} の他端は、スイッチ4を介して電源電圧 V_{cc} の印加端に接続される。電源電圧 V_{cc} は、例えば入力電圧 V_{in} に基づきLDO (Low Dropout) により生成される内部電圧である。

[0036] ハイサイドトランジスタHMがオフ状態、ローサイドトランジスタLMがオン状態の場合に、スイッチ4がオン状態とされ、ブートコンデンサ C_{bst} に電荷がチャージされる。ハイサイドトランジスタHMがオン状態、ローサイドトランジスタLMがオフ状態の場合に、スイッチ4はオフ状態とされ、ブートコンデンサ C_{bst} に発生するブート電圧 V_{bst} がハイサイドプリドライバ21に供給される。ブート電圧 V_{bst} は入力電圧 V_{in} よりも高い電圧となるため、NMOSTランジスタから構成されるハイサイドトランジスタHMをオン状態とすることができる。

[0037] <ゲート駆動回路の構成>

図2は、ゲート駆動回路2の具体的な構成例を示す図である。ハイサイドプリドライバ21は、第1ハイサイドPMOSTランジスタ(Pチャネル型MOSFET)HPM1と、第2ハイサイドPMOSTランジスタHPM2と、第1ハイサイドNMOSTランジスタHNM1と、第2ハイサイドNMOSTランジスタHNM2と、を有する。ハイサイドプリドライバ21は、ハイサイドPMOSTランジスタHPM1, HPM2を駆動する第1ハイサイド駆動部(ハイサイドPMOS駆動部)211と、ハイサイドNMOSTランジスタHNM1, HNM2を駆動する第2ハイサイド駆動部(ハイサイ

ドNMOS駆動部) 212と、をさらに有する。

[0038] ハイサイドPMOSトランジスタHPM1, HPM2のソースは、ブート電圧 V_{bst} の印加端に接続される。ハイサイドPMOSトランジスタHPM1, HPM2のドレインは、ハイサイドNMOSトランジスタHNM1, HNM2のドレインに接続される。ハイサイドNMOSトランジスタHNM1, HNM2のソースは、ノードNswに発生するスイッチ電圧 V_{sw} の印加端に接続される。ハイサイドPMOSトランジスタHPM1, HPM2のドレインとハイサイドNMOSトランジスタHNM1, HNM2のドレインが接続されるノードは、ハイサイドトランジスタHMのゲートに接続される。

[0039] 第1ハイサイド駆動部211は、ゲート信号pgHS1, pgHS2をそれぞれハイサイドPMOSトランジスタHPM1, HPM2のゲートに印加させることで、ハイサイドPMOSトランジスタHPM1, HPM2のゲートを駆動する。第2ハイサイド駆動部212は、ゲート信号ngHS1, ngHS2をそれぞれハイサイドNMOSトランジスタHNM1, HNM2のゲートに印加させることで、ハイサイドNMOSトランジスタHNM1, HNM2のゲートを駆動する。

[0040] 第1ハイサイド駆動部211は、制御ロジック部3から入力されるハイサイド制御信号SpHの論理レベルに応じた論理レベルでゲート信号pgHS1, pgHS2を出力する。第2ハイサイド駆動部212は、制御ロジック部3から入力されるハイサイド制御信号SnHの論理レベルに応じた論理レベルでゲート信号ngHS1, ngHS2を出力する。

[0041] ローサイドプリドライバ22は、第1ローサイドPMOSトランジスタLPM1と、第2ローサイドPMOSトランジスタLPM2と、第1ローサイドNMOSトランジスタLNM1と、第2ローサイドNMOSトランジスタLNM2と、を有する。ローサイドプリドライバ22は、ローサイドPMOSトランジスタLPM1, LPM2を駆動する第1ローサイド駆動部(ローサイドPMOS駆動部)221と、ローサイドNMOSトランジスタLNM

1, LNM2を駆動する第2ローサイド駆動部（ローサイドNMOS駆動部）222と、をさらに有する。

[0042] ローサイドPMOSトランジスタLPM1, LPM2のソースは、電源電圧Vccの印加端に接続される。ローサイドPMOSトランジスタLPM1, LPM2のドレインは、ローサイドNMOSトランジスタLNM1, LNM2のドレインに接続される。ローサイドNMOSトランジスタLNM1, LNM2のソースは、グランド電位の印加端に接続される。ローサイドPMOSトランジスタLPM1, LPM2のドレインとローサイドNMOSトランジスタLNM1, LNM2のドレインが接続されるノードは、ローサイドトランジスタLMのゲートに接続される。

[0043] 第1ローサイド駆動部221は、ゲート信号pgLS1, pgLS2をそれぞれローサイドPMOSトランジスタLPM1, LPM2のゲートに印加させることで、ローサイドPMOSトランジスタLPM1, LPM2のゲートを駆動する。第2ローサイド駆動部222は、ゲート信号ngLS1, ngLS2をそれぞれローサイドNMOSトランジスタLNM1, LNM2のゲートに印加させることで、ローサイドNMOSトランジスタLNM1, LNM2のゲートを駆動する。

[0044] 第1ローサイド駆動部221は、制御ロジック部3から入力されるローサイド制御信号Splの論理レベルに応じた論理レベルでゲート信号pgLS1, pgLS2を出力する。第2ローサイド駆動部222は、制御ロジック部3から入力されるローサイド制御信号Snlの論理レベルに応じた論理レベルでゲート信号ngLS1, ngLS2を出力する。

[0045] <ハイサイド駆動部の構成>

ここで、ハイサイド駆動部211, 212の構成について説明する。図3は、第1ハイサイド駆動部211の構成例を示す図である。第1ハイサイド駆動部211は、ハイサイド制御信号SpHに基づきゲート信号pgHS1を生成する第1ハイサイドゲート信号生成部2111と、ハイサイド制御信号SpHに基づきゲート信号pgHS2を生成する第2ハイサイドゲート信

号生成部2112と、を有する。

[0046] 第1ハイサイドゲート信号生成部2111は、5段のインバータ211Aから構成される。各インバータ211Aは、ブート電圧 V_{bst} とスイッチ電圧 V_{sw} との間に直列に接続されるPMOSトランジスタとNMOSトランジスタから構成される。初段のインバータ211Aにハイサイド制御信号 S_{ph} が入力され、最終段のインバータ211Aからゲート信号 $pgHS1$ が出力される。

[0047] 第2ハイサイドゲート信号生成部2112は、5段のインバータ211Bから構成される。各インバータ211Bは、ブート電圧 V_{bst} とスイッチ電圧 V_{sw} との間に直列に接続されるPMOSトランジスタとNMOSトランジスタから構成される。初段のインバータ211Bにハイサイド制御信号 S_{ph} が入力され、最終段のインバータ211Bからゲート信号 $pgHS2$ が出力される。

[0048] なお、インバータ211A、211Bの段数は、5段に限ることはない。

[0049] また、第2ハイサイド駆動部212の構成は、図3に示す構成において、ハイサイド制御信号 S_{ph} をハイサイド制御信号 S_{nh} に、ゲート信号 $pgHS1$ 、 $pgHS2$ をゲート信号 $ngHS1$ 、 $ngHS2$ に置き換えた構成となる。

[0050] <ハイサイドトランジスタのターンオン時の動作>

図4は、ハイサイドトランジスタHMがターンオン、ローサイドトランジスタLMがターンオフする場合の動作を示すタイミングチャートである。図4では、通常動作時の場合を示す。通常動作とは、ノード N_{sw} からインダクタL側へ電流が流れる場合の動作のことである（図1の実線矢印）。なお、図4では、後述する3つのパターンについて示している。

[0051] 図4において、上段から順に、スイッチ電圧 V_{sw} 、ハイサイドゲート電圧HG、ローサイドゲート電圧LG、ゲート信号 $ngHS1$ 、2、ゲート信号 $pgHS1$ 、およびゲート信号 $pgHS2$ の各波形例を示す。ハイサイドゲート電圧HG（図2）は、スイッチ電圧 V_{sw} を基準とするハイサイドト

ランジスタHMのゲートに印加される電圧、すなわち、ハイサイドトランジスタHMの V_{gs} である。また、ローサイドゲート電圧LG（図2）は、グラウンド電位を基準とするローサイドトランジスタLMのゲートに印加される電圧、すなわち、ローサイドトランジスタLMの V_{gs} である。

[0052] 図4の左側は、本開示の実施形態との対比例として、ゲート信号pgHS1, 2に遅延を設けない場合の動作を示す。初期には、ハイサイドトランジスタHMはオフ状態、ローサイドトランジスタLMはオン状態である。ここで、ローサイドプリドライバ22によりローサイドトランジスタLMのゲートのディスチャージが開始される（タイミングt1）。このとき、ローサイドPMOSトランジスタLPM1, LPM2がオフ状態でローサイドNMOSトランジスタLNM1, LNM2がターンオンされ、ローサイドゲート電圧LGが低下を開始する。

[0053] このとき、ローサイドトランジスタLMを流れる電流により、ローサイドトランジスタLMでの電圧降下が増加し、スイッチ電圧Vswは低下する。ローサイドゲート電圧LGは、グラウンド電位まで低下する（タイミングt2）。

[0054] 一方、ハイサイドプリドライバ21においては、ゲート信号ngHS1, ngHS2がハイレベルからローレベルに切り替わってハイサイドNMOSトランジスタHNM1, HNM2がターンオフされた後に、ゲート信号pgHS1, pgHS2がハイレベルからローレベルに切り替わることでハイサイドPMOSトランジスタHPM1, HPM2がターンオンされる。従って、デッドタイム（同時オフ期間）が設けられる。

[0055] ゲート信号pgHS1, pgHS2はタイミングt1でレベルが切り替わり、ハイサイドゲート電圧HGが上昇を開始する。タイミングt2からハイサイドゲート電圧HGの上昇に伴い、スイッチ電圧Vswが上昇する。ハイサイドゲート電圧HGの上昇に伴い、ハイサイドトランジスタHMのオン抵抗が減少し、ハイサイドトランジスタHMにおける電圧降下が減少するため、スイッチ電圧Vswが上昇する。

[0056] そして、スイッチ電圧 V_{sw} は、入力電圧 V_{in} に到達する（タイミング t_3 ）。ハイスайдゲート電圧 HG は、タイミング t_3 以降も上昇を続け、タイミング t_4 でブート電圧 V_{bst} に到達する。

[0057] 上記のように、図4の左側に示す動作においては、ゲート信号 $pgHS1$ ， $pgHS2$ に遅延が設けられず、同時にレベルがローレベルに切り替わる。ハイスайдトランジスタ HM の駆動能力を高くするようにハイスайд $PMOS$ トランジスタ $HPM1$ ， $HPM2$ のサイズが設計されている場合、スイッチ電圧 V_{sw} が上昇する期間（ $t_2 \sim t_3$ ）におけるハイスайдゲート電圧 HG の上昇する傾きが大きくなり、スイッチ電圧 V_{sw} のスルーレートが大きくなる。これにより、図4の左側に示す動作では、ローサイドトランジスタ LM の V_{ds} の変化により、ローサイドトランジスタ LM の V_{gs} が持ち上がり、ローサイドトランジスタ LM にセルフターンオンが発生する可能性がある。

[0058] そこで、図4の中央に示す動作では、ハイスайд $PMOS$ トランジスタ $HPM1$ ， $HPM2$ によるハイスайдトランジスタ HM の駆動能力を下げていく。なお、ゲート信号 $pgHS1$ ， $pgHS2$ の制御については、図4の左側と同様に遅延を設けない。

[0059] この場合、スイッチ電圧 V_{sw} のスルーレートが小さくなるため、ローサイドトランジスタ LM のセルフターンオンが抑制される（図4中央の $t_2 \sim t_3$ ）。しかしながら、タイミング t_3 以降でのハイスайдゲート電圧 HG の上昇する傾きが小さくなり、ハイスайдゲート電圧 HG がブート電圧 V_{bst} に到達するまでの時間が長くなる（ $t_3 \sim t_4$ ）。これにより、ハイスайдトランジスタ HM のオン抵抗損失が大きくなり、効率の低下が課題となる。

[0060] そこで、本開示の実施形態では、図4の右側のような動作としている。ここでは、ゲート信号 $pgHS2$ にゲート信号 $pgHS1$ に対する遅延 Dly を設けている。遅延 Dly の遅延時間は、スイッチ電圧 V_{sw} が入力電圧 V_{in} に到達するタイミング t_3 でゲート信号 $pgHS2$ がローレベルに切り

替わるように設定される。

[0061] これにより、まずタイミング t_1 でゲート信号 p_{gHS1} をローレベルに切り替えることでハイサイドPMOSトランジスタ $HPM1$ をターンオンさせ、その後、タイミング t_3 でゲート信号 p_{gHS2} をローレベルに切り替えることでハイサイドPMOSトランジスタ $HPM2$ をターンオンさせる。従って、スイッチ電圧 V_{sw} が上昇する期間 ($t_2 \sim t_3$) では、ハイサイドPMOSトランジスタ $HPM1$ 、 $HPM2$ のうち $HPM1$ のみがオン状態のため、駆動能力が抑えられ、ハイサイドゲート電圧 HG の傾きを小さくし、スイッチ V_{sw} のスルーレートが小さくなる。さらに、スイッチ電圧 V_{sw} が入力電圧 V_{in} に到達すると、ハイサイドPMOSトランジスタ $HPM1$ 、 $HPM2$ がともにオン状態とされるため、駆動能力が高められ、ハイサイドゲート電圧 HG の傾きが大きくなる。従って、ハイサイドゲート電圧 HG がブート電圧 V_{bst} に到達するまでの時間 ($t_3 \sim t_4$) が短くなる。すなわち、本実施形態によれば、ローサイドトランジスタ LM のセルフターンオンを抑制しつつ、効率の低下を抑制できる。

[0062] ここで、ゲート信号 p_{gHS1} 、 p_{gHS2} をローレベルに切り替えるには、図3に示す構成の第1ハイサイド駆動部211において、ハイサイド制御信号 S_{ph} をハイレベルに切り替える。ゲート信号生成部2111、2112によりハイサイド制御信号 S_{ph} の切替えから遅延してゲート信号 p_{gHS1} 、 p_{gHS2} の切替えが発生する。このような遅延は、インバータ211A、211Bにおけるトランジスタのオン抵抗および、配線およびトランジスタのゲートなどによる容量によって生じる。

[0063] ゲート信号 p_{gHS1} 、 p_{gHS2} に遅延を設けるため、ハイサイドゲート信号生成部2111、2112において、初段のインバータ211BのNMOSトランジスタのサイズを、初段のインバータ211AのNMOSトランジスタのサイズよりも小さくし、オン抵抗を調整している。後段側のインバータ211A、211Bでは、駆動能力を確保すべくトランジスタのサイズを大きくする必要があり、オン抵抗の調整がしにくいため、初段のインバ

ータにおいてサイズを調整している。なお、例えば、初段に加えて２段目のインバータにおけるトランジスタのサイズを調整してもよい。

[0064] <ローサイドトランジスタのターンオン時の動作>

図５は、本開示の実施形態におけるハイサイドトランジスタHMがターンオフ、ローサイドトランジスタLMがターンオンする場合の動作を示すタイミングチャートである。図５では、逆流動作時の場合を示す。逆流動作とは、インダクタLからノードNsw側へ電流が流れる場合の動作のことである（図１の破線矢印）。

[0065] 図５において、上段から順に、スイッチ電圧Vsw、ハイサイドゲート電圧HG、ローサイドゲート電圧LG、ゲート信号ngLS1、2、ゲート信号pgLS1、およびゲート信号pgLS2の各波形例を示す。図５に示すように、ゲート信号pgLS1、pgLS2に対して遅延を設けている。

[0066] 初期には、ハイサイドトランジスタHMはオン状態、ローサイドトランジスタLMはオフ状態である。ここで、ハイサイドプリドライバ21によりハイサイドトランジスタHMのゲートのディスチャージが開始される（タイミングt11）。このとき、ハイサイドPMOSトランジスタHPM1、HPM2がオフ状態でハイサイドNMOSトランジスタHNM1、HNM2がターンオンされ、ハイサイドゲート電圧HGが低下を開始する。

[0067] このとき、ハイサイドトランジスタHMを流れる電流により、ハイサイドトランジスタHMでの電圧降下が増加し、スイッチ電圧Vswは上昇する。ハイサイドゲート電圧HGは、スイッチ電圧Vswまで低下する（タイミングt12）。

[0068] 一方、ローサイドプリドライバ22においては、ゲート信号ngLS1、ngLS2がハイレベルからローレベルに切り替わってローサイドNMOSトランジスタLNM1、LNM2がターンオフされた後に、ゲート信号pgLS1がハイレベルからローレベルに切り替わることでローサイドPMOSトランジスタLPM1がターンオンされる。従って、デッドタイムが設けられる。

[0069] ゲート信号 p_{gLS1} はタイミング t_{11} でレベルが切り替わり、ローサイドゲート電圧 L_G が上昇を開始する。タイミング t_{12} からローサイドゲート電圧 L_G の上昇に伴い、スイッチ電圧 V_{sw} が低下する。ローサイドゲート電圧 L_G の上昇に伴い、ローサイドトランジスタ LM のオン抵抗が減少し、ローサイドトランジスタ LM における電圧降下が減少するため、スイッチ電圧 V_{sw} が低下する。

[0070] そして、スイッチ電圧 V_{sw} は、グランド電位に到達する（タイミング t_{13} ）。ここで、ゲート信号 p_{gLS2} がローレベルに切り替えられる。これにより、ローサイドPMOSトランジスタ $LP2$ がターンオンされる。ローサイドゲート電圧 L_G は、タイミング t_{13} 以降も上昇を続け、タイミング t_{14} で電源電圧 V_{cc} に到達する。

[0071] これにより、まずタイミング t_{11} でゲート信号 p_{gLS1} をローレベルに切り替えることでローサイドPMOSトランジスタ $LP1$ をターンオンさせ、その後、タイミング t_{13} でゲート信号 p_{gLS2} をローレベルに切り替えることでローサイドPMOSトランジスタ $LP2$ をターンオンさせる。従って、スイッチ電圧 V_{sw} が低下する期間（ $t_{12} \sim t_{13}$ ）では、ローサイドPMOSトランジスタ $LP1$ 、 $LP2$ のうち $LP1$ のみがオン状態のため、駆動能力が抑えられ、ローサイドゲート電圧 L_G の傾きを小さくし、スイッチ V_{sw} のスルーレートが小さくなる。さらに、スイッチ電圧 V_{sw} がグランド電位に到達すると、ローサイドPMOSトランジスタ $LP1$ 、 $LP2$ がともにオン状態とされるため、駆動能力が高められ、ローサイドゲート電圧 L_G の傾きが大きくなる。従って、ローサイドゲート電圧 L_G が電源電圧 V_{cc} に到達するまでの時間（ $t_{13} \sim t_{14}$ ）が短くなる。すなわち、本実施形態によれば、ハイサイドトランジスタ HM のセルフターンオンを抑制しつつ、効率の低下を抑制できる。

[0072] <ローサイド駆動部の構成>

ここで、図6は、第1ローサイド駆動部221の構成例を示す図である。第1ローサイド駆動部221は、ローサイド制御信号 S_{pl} に基づきゲート

信号 p_{gLS1} を生成する第1ローサイドゲート信号生成部2211と、ローサイド制御信号 S_{pl} に基づきゲート信号 p_{gLS2} を生成する第2ローサイドゲート信号生成部2212と、を有する。

[0073] 第1ローサイドゲート信号生成部2211は、5段のインバータ221Aから構成される。各インバータ221Aは、電源電圧 V_{cc} とグランド電位との間に直列に接続されるPMOSトランジスタとNMOSトランジスタから構成される。初段のインバータ221Aにローサイド制御信号 S_{pl} が入力され、最終段のインバータ221Aからゲート信号 p_{gLS1} が出力される。

[0074] 第2ローサイドゲート信号生成部2212は、5段のインバータ221Bから構成される。各インバータ221Bは、電源電圧 V_{cc} とグランド電位との間に直列に接続されるPMOSトランジスタとNMOSトランジスタから構成される。初段のインバータ221Bにローサイド制御信号 S_{pl} が入力され、最終段のインバータ221Bからゲート信号 p_{gLS2} が出力される。

[0075] なお、インバータ221A、221Bの段数は、5段に限ることはない。

[0076] また、第2ローサイド駆動部222の構成は、図6に示す構成において、ローサイド制御信号 S_{pl} をローサイド制御信号 S_{nl} に、ゲート信号 p_{gLS1} 、 p_{gLS2} をゲート信号 n_{gLS1} 、 n_{gLS2} に置き換えた構成となる。

[0077] ゲート信号 p_{gLS1} 、 p_{gLS2} に遅延を設けるため、ローサイドゲート信号生成部2211、2212において、初段のインバータ221BのNMOSトランジスタのサイズを、初段のインバータ221AのNMOSトランジスタのサイズよりも小さくし、オン抵抗を調整している。後段側のインバータ221A、221Bでは、駆動能力を確保すべくトランジスタのサイズを大きくする必要があり、オン抵抗の調整がしにくいため、初段のインバータにおいてサイズを調整している。なお、例えば、初段に加えて2段目のインバータにおけるトランジスタのサイズを調整してもよい。

[0078] << 2. 第2実施形態 >>

図7は、本開示の第2実施形態に係るゲート駆動回路2の構成を示す図である。図7に示すゲート駆動回路2は、先述した第1実施形態（図2）の構成と比べて、ハイサイドゲート電圧モニタ部23をさらに有する。なお、第2実施形態においては、第1実施形態と同様に、ハイサイドプリアンプ21における第1ハイサイド駆動部211の構成により、ゲート信号 p_{gHS1} 、 p_{gHS2} に遅延を設けている。これにより、ハイサイドトランジスタHMのターンオン時（ただし通常動作時）において、ローサイドトランジスタのセルフターンオンを抑制しつつ、効率の低下を抑制できる。

[0079] <ハイサイドゲート電圧モニタ部の構成>

図8は、ハイサイドゲート電圧モニタ部23の構成例を示す図である。図8に示すハイサイドゲート電圧モニタ部23は、抵抗23A、スイッチ23B、23C、およびインバータ23D、23Eを有する。スイッチ23Bは、NMOSトランジスタにより構成される。スイッチ23Cは、PMOSトランジスタにより構成される。

[0080] 抵抗23Aの一端は、ハイサイドトランジスタHMのゲートに接続される。抵抗23Aの他端は、スイッチ23Bを介してインバータ23Dの入力端に接続される。インバータ23D、23Eは、電源電圧 V_{cc} とグランド電位との間に直列に接続されるPMOSトランジスタとNMOSトランジスタを有する。インバータ23Dの出力端は、インバータ23Eの入力端に接続される。電源電圧 V_{cc} の印加端とインバータ23Dの入力端との間にはスイッチ23Cが接続される。

[0081] スイッチ23B、23Cは、イネーブル信号ENにより制御される。イネーブル信号ENがローレベルの場合、スイッチ23Bはオフ状態、スイッチ23Cはオン状態となり、インバータ23D、23EのPMOSトランジスタはオフ状態となる。これにより、ハイサイドゲート電圧モニタ部23は、ディセーブルとなる。

[0082] 一方、イネーブル信号ENがハイレベルの場合、スイッチ23Bはオン状

態、スイッチ23Cはオフ状態となり、ハイサイドゲート電圧モニタ部23は、イネーブルとなる。この場合に、ハイサイドゲート電圧HGはスイッチ電圧V_{sw}基準であるため、スイッチ電圧V_{sw}=ローレベル、かつハイサイドゲート電圧HG=ローレベルの場合に、インバータ23Eから出力されるモニタ信号HG_MOMがローレベルとなる。

[0083] <ローサイド駆動部の構成>

図9は、第2実施形態に係る第1ローサイド駆動部221の構成例を示す図である。図9に示す第1ローサイド駆動部221は、ローサイド制御信号Sp_lに基づきゲート信号pgLS₁を生成する第1ローサイドゲート信号生成部2211と、ローサイド制御信号Sp_lに基づきゲート信号pgLS₂を生成する第2ローサイドゲート信号生成部2212と、を有する。ローサイド駆動部2211、2212は、先述した図6の構成と同様である。

[0084] 本実施形態に係る第1ローサイド駆動部221は、インバータ221Cと、AND回路221Dと、をさらに有する。インバータ221Cには、モニタ信号HG_MOMが入力される。AND回路221Cの一方の入力端には、インバータ221Cの出力が入力され、他方の入力端には、ローサイド制御信号Sp_lが入力される。AND回路221Dの出力は、第2ローサイドゲート信号生成部2212に入力される。

[0085] このような構成により、ローサイド制御信号Sp_lがハイレベルに立ち上がった場合、まずゲート信号pgLS₁がローレベルに立ち下がる。そして、モニタ信号HG_MOMがローレベルに立ち下がると、AND回路221Dの出力がハイレベルに立ち上がり、ゲート信号pgLS₂がローレベルに立ち下がる。従って、ゲート信号pgLS₁に対してゲート信号pgLS₂に遅延を設けることができる。

[0086] <ローサイドトランジスタのターンオン時の動作（逆流動作時）>

図10は、第2実施形態におけるハイサイドトランジスタHMがターンオフ、ローサイドトランジスタLMがターンオンする場合の動作を示すタイミングチャートである。図10では、逆流動作時の場合を示す。

[0087] 図10に示すタイミングチャートの図5（第1実施形態）との相違点は、モニタ信号HG_MONである。図10において、まずローサイド制御信号SpIがハイレベルに切り替わることにより、タイミングt11でゲート信号pGLS1がローレベルに切り替えられる。

[0088] その後、スイッチ電圧Vswが低下してグランド電位付近となると、ハイサイドゲート電圧モニタ部23によりモニタ信号HG_MONがローレベルに切り替えられる。すると、ゲート信号pGLS2がローレベルに切り替えられる。このように、本実施形態によっても、ゲート信号pGLS1、pGLS2に遅延が設けられるため、第1実施形態と同様に、ハイサイドトランジスタHMのセルフターンオンを抑制しつつ、効率の低下を抑制できる。

[0089] <ローサイドトランジスタのターンオン時の動作（通常動作時）>

図11は、本開示の実施形態におけるハイサイドトランジスタHMがターンオフ、ローサイドトランジスタLMがターンオンする場合の動作を示すタイミングチャートである。図11では、通常動作時の場合を示す。

[0090] 図11の左側は、第1実施形態における動作を示す。この場合、まずハイサイドプリドライバ21によりハイサイドトランジスタHMのゲートのディスチャージが開始され、ハイサイドゲート電圧HGが低下を開始する。

[0091] タイミングt21からスイッチ電圧Vswが低下を開始する。ハイサイドゲート電圧HGの低下により、ハイサイドトランジスタHMのオン抵抗が大きくなり、ハイサイドトランジスタHMにおける電圧降下が大きくなり、スイッチ電圧Vswが低下する。

[0092] そして、スイッチ電圧Vswがグランド電位付近になるタイミングt22において、ゲート信号pGLS1がローレベルに切り替えられる。これにより、ローレベルPMOSトランジスタLPM1がターンオンされ、ローサイドゲート電圧LGが上昇を開始する。その後、タイミングt23でゲート信号pGLS2がローレベルに切り替えられる。これにより、ローレベルPMOSトランジスタLPM2がターンオンされ、ローサイドゲート電圧LGはさらに上昇を続けて電源電圧Vccに到達する（タイミングt24）。

[0093] このように通常動作時にローサイドトランジスタLMがターンオンするとき、スイッチ電圧 V_{sw} の遷移後にローサイドゲート電圧LGが上昇を開始するので、ローサイドゲート電圧LGの傾きはスイッチ電圧 V_{sw} のスルーレートと関係がない。従って、第1実施形態によると、ゲート信号p g L S 2がp g L S 1に対して一定に遅延するため、ローサイドゲート電圧LGが電源電圧 V_{cc} に到達するまでの時間($t_{22} \sim t_{24}$)が長くなり、効率が低下する。また、ローサイドゲート電圧LGの上昇が遅れるため、スイッチ電圧 V_{sw} の上昇が遅れる。

[0094] 一方、図11の右側は、第2実施形態における動作を示す。この場合、スイッチ電圧 V_{sw} がグランド電位付近になるタイミング t_{22} において、モニタ信号HG_MONがローレベルに切り替えられる。従って、ゲート信号p g L S 2は、p g L S 1に対してほぼ遅延なくローレベルに切り替えられる。これにより、タイミング t_{22} 以降、駆動能力が高い状態でローサイドゲート電圧LGが上昇するため、ローサイドゲート電圧LGの傾きが大きくなる。従って、ローサイドゲート電圧LGが電源電圧 V_{cc} に到達するまでの時間($t_{22} \sim t_{24}$)が短くなり、効率の低下が抑えられる。

[0095] このように、第2実施形態であれば、逆流動作時と通常動作時の両方において、効率の低下を抑制できる。

[0096] <3. その他>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

[0097] 例えば、本開示は、DC/DCコンバータに限らず、DC/AC変換を行うインバータ回路などにおけるトランジスタの駆動に適用することも可能である。

[0098] <4. 付記>

以上のように、本開示の一側面に係るゲート駆動回路（2）は、

駆動対象ハイサイドトランジスタ（HM）と駆動対象ローサイドトランジスタ（LM）が電源電圧（ V_{in} ）とグランド電位との間で直列に接続されるハーフブリッジを駆動するゲート駆動回路であって、

前記駆動対象ハイサイドトランジスタのゲートを駆動するように構成されるハイサイドプリドライバ（21）と、

前記駆動対象ローサイドトランジスタのゲートを駆動するように構成されるローサイドプリドライバ（22）と、

を備え、

前記ハイサイドプリドライバは、第1ハイサイドトランジスタ（HPM1）と、第2ハイサイドトランジスタ（HPM2）を有し、

前記ローサイドプリドライバは、第3ハイサイドトランジスタ（LPM1）と、第4ハイサイドトランジスタ（LPM2）を有し、

前記第1ハイサイドトランジスタをターンオンさせる第1ゲート信号（pgHS1）と、前記第2ハイサイドトランジスタをターンオンさせる第2ゲート信号（pgHS2）の間と、

前記第3ハイサイドトランジスタをターンオンさせる第3ゲート信号（pgLS1）と、前記第4ハイサイドトランジスタをターンオンさせる第4ゲート信号（pgLS2）の間と、の少なくとも一方において遅延が設けられる構成としている（第1の構成）。

[0099] また、上記第1の構成において、前記ハイサイドプリドライバ（21）は、ハイサイド制御入力信号（SpH）に基づいて前記第1ゲート信号（pgHS1）および前記第2ゲート信号（pgHS2）を生成するように構成されるハイサイド駆動部（211）を備える構成としてもよい（第2の構成）。

[0100] また、上記第2の構成において、前記ハイサイド駆動部（211）は、複数の第1インバータ（211A）を有して前記第1ゲート信号（pg

H S 1) を生成するように構成される第 1 ハイサイドゲート信号生成部 (2 1 1 1) と、

複数の第 2 インバータ (2 1 1 B) を有して前記第 2 ゲート信号 (p g H S 2) を生成するように構成される第 2 ハイサイドゲート信号生成部 (2 1 1 2) と、

を有し、

前記第 2 ハイサイドゲート信号生成部における少なくともいずれかの前記第 2 インバータは、前記第 1 ハイサイドゲート信号生成部における少なくともいずれかの前記第 1 インバータよりもトランジスタのサイズが小さい構成としてもよい (第 3 の構成)。

[0101] また、上記第 3 の構成において、前記第 2 ハイサイドゲート信号生成部 (2 1 1 2) における初段の前記第 2 インバータ (2 1 1 B) は、前記第 1 ハイサイドゲート信号生成部 (2 1 1 1) における初段の前記第 1 インバータ (2 1 1 A) よりもトランジスタのサイズが小さい構成としてもよい (第 4 の構成)。

[0102] また、上記第 1 から第 4 のいずれかの構成において、前記ローサイドプリドライバ (2 2) は、ローサイド制御入力信号 (S p l) に基づいて前記第 3 ゲート信号 (p g L S 1) および前記第 4 ゲート信号 (p g L S 2) を生成するように構成されるローサイド駆動部 (2 2 1) を備える構成としてもよい (第 5 の構成)。

[0103] また、上記第 5 の構成において、前記ローサイド駆動部 (2 2 1) は、

複数の第 3 インバータ (2 2 1 A) を有して前記第 3 ゲート信号 (p g L S 1) を生成するように構成される第 1 ローサイドゲート信号生成部 (2 2 1 1) と、

複数の第 4 インバータ (2 2 1 B) を有して前記第 4 ゲート信号 (p g L S 2) を生成するように構成される第 2 ローサイドゲート信号生成部 (2 2 1 2) と、

を有し、

前記第2ローサイドゲート信号生成部における少なくともいずれかの前記第4インバータは、前記第1ローサイドゲート信号生成部における少なくともいずれかの前記第3インバータよりもトランジスタのサイズが小さい構成としてもよい（第6の構成）。

[0104] また、上記第6の構成において、前記第2ローサイドゲート信号生成部（2212）における初段の前記第4インバータ（221B）は、前記第1ローサイドゲート信号生成部（2211）における初段の前記第3インバータ（221A）よりもトランジスタのサイズが小さい構成としてもよい（第7の構成）。

[0105] また、上記第1から第7のいずれかの構成において、前記駆動対象ハイサイドトランジスタ（HM）のゲート電圧（HG）がローレベル、かつ前記駆動対象ハイサイドトランジスタと前記駆動対象ローサイドトランジスタ（LM）とが接続されるノード（Nsw）の電圧（Vsw）がローレベルであることをモニタするためのモニタ部（23）を備え、

前記モニタ部から出力されるモニタ信号（HG_MON）に基づき前記第4ゲート信号（pgLS2）が生成される構成としてもよい（第8の構成）。

[0106] また、上記第8の構成において、前記モニタ部（23）は、前記駆動対象トランジスタ（HM）のゲートに接続される第1端を有する抵抗（23A）と、前記抵抗の第2端に接続される入力端を有するインバータ段（23D, 23E）と、を有する構成としてもよい（第9の構成）。

[0107] <<第2の開示技術>>

<半導体装置の構成>

図12は、本開示の例示的な実施形態に係る半導体装置1の構成を示す図である。半導体装置1は、DC/DCコンバータ機能を有する電源ICをパッケージ化した装置である。図12に示すように、半導体装置1は、外部との電氣的接続を確立するための外部端子として、VIN（入力電圧）端子、EN（イネーブル）端子、PGND（パワーグランド）端子、VREG（定電圧）端子、PGD（パワーグッド）端子、BST（ブートストラップ）端

子、SW（スイッチ）端子、FB（フィードバック）端子、およびAGND（アナロググランド）端子を有する。

[0108] VIN端子には、入力電圧 V_{in} を印加可能である。PGND端子には、グランド電位を印加可能である。入力電圧 V_{in} の印加端とグランド電位の印加端との間には、入力コンデンサ C_{IN} が接続される。

[0109] 半導体装置1は、図示しない上側スイッチング素子と下側スイッチング素子を有する。上記上側スイッチング素子および上記下側スイッチング素子は、ともにNMOSトランジスタ（Nチャネル型MOSFET（metal-oxide-semiconductor field-effect transistor））により構成される。上記上側スイッチング素子と上記下側スイッチング素子は、VIN端子とPGND端子との間に直列に接続される。上記上側スイッチング素子と上記下側スイッチング素子とが接続されるノードは、SW端子に接続される。

[0110] SW端子は、インダクタLの一端に接続される。インダクタLの他端は、出力コンデンサCOUTの一端に接続される。出力コンデンサCOUTの他端およびAGND端子は、グランド電位の印加端に接続される。インダクタLの他端には、出力電圧 V_{out} が発生する。

[0111] インダクタLの他端とAGND端子との間には、分圧抵抗 R_u 、 R_l が直列に接続される。分圧抵抗 R_u 、 R_l が接続されるノードは、FB端子に接続される。FB端子には、出力電圧 V_{out} を分圧抵抗 R_u 、 R_l により分圧して生成される帰還電圧 V_{fb} が印加される。半導体装置1は、図示しない帰還制御部を有する。上記帰還制御部は、帰還電圧 V_{fb} に基づき上記上側スイッチング素子および上記下側スイッチング素子をスイッチング制御する。これにより、出力電圧 V_{out} が所望の電圧値に制御される。なお、上記帰還制御部には、エラーアンプ、制御ロジック部、およびドライバなどが含まれる。

[0112] BST端子とSW端子との間には、ブートストラップコンデンサCBSTが接続される。ブートストラップコンデンサCBSTに電荷をチャージすることで、NMOSトランジスタにより構成される上記上側スイッチング素子

をオン状態にすることができる。

[0113] なお、上記上側スイッチング素子、上記下側スイッチング素子、および上記帰還制御部は、上記電源 IC に集積化されて半導体装置 1 に設けられる。

[0114] また、EN 端子、VREG 端子、および PGD 端子に関する構成については、後述する。

[0115] <内部電源>

図 13 は、半導体装置 1 の内部構成の一部を示す図である。図 13 に示すように、半導体装置 1 は、プリレギュレータ (PRE REG) 2 と、基準電圧生成部 3 と、レギュレータ (REG) 4 と、を備え、これらの構成は上記電源 IC に集積化される。

[0116] プリレギュレータ 2 は、VIN 端子に印加される入力電圧 V_{in} に基づき第 1 電源電圧 $V_{pre reg}$ を生成する。第 1 電源電圧 $V_{pre reg}$ は、定電圧である。

[0117] ここで、図 14 は、プリレギュレータ 2 の構成例を示す図である。プリレギュレータ 2 は、分圧抵抗 20、21 と、NMOS トランジスタ 22 と、ツェナーダイオード 23 と、PMOS トランジスタ (P チャネル型 MOSFET) 24 と、抵抗 25 と、ツェナーダイオード 26 と、コンデンサ 27 と、抵抗 28 と、コンデンサ 29 と、NMOS トランジスタ 201 と、を有する。

[0118] 分圧抵抗 20、21 は、入力電圧 V_{in} の印加端と NMOS トランジスタ 22 のドレインとの間に直列に接続される。NMOS トランジスタ 22 のソースは、グランド電位の印加端に接続される。NMOS トランジスタ 22 のゲートは、EN 端子 (図 13) に印加されるイネーブル信号 E_n により駆動される。

[0119] ツェナーダイオード 23 のアノードは、分圧抵抗 20、21 が接続されるノード N20 に接続される。ツェナーダイオード 23 のカソードは、入力電圧 V_{in} の印加端に接続される。ツェナーダイオード 23 によりノード N20 の電圧をクランプして過剰な低下を抑制する。

- [0120] ノードN20は、PMOSトランジスタ24のゲートに接続される。PMOSトランジスタ24のソースは、入力電圧 V_{in} の印加端に接続される。PMOSトランジスタ24のドレインは、抵抗25の一端に接続される。抵抗25の他端は、ツェナーダイオード26のカソードに接続される。ツェナーダイオード26のアノードは、グランド電位の印加端に接続される。
- [0121] ツェナーダイオード26のカソードは、コンデンサ27の一端に接続される。コンデンサ27の他端は、グランド電位の印加端に接続される。ツェナーダイオード26のカソードは、抵抗28の一端に接続される。抵抗28の他端は、コンデンサ29の一端に接続される。コンデンサ29の他端は、グランド電位の印加端に接続される。抵抗28およびコンデンサ29からローパスフィルタが構成される。
- [0122] 抵抗28の他端は、NMOSトランジスタ201のゲートに接続される。NMOSトランジスタ201のドレインは、入力電圧 V_{in} の印加端に接続される。NMOSトランジスタ201のソースに第1電源電圧 $V_{pre reg}$ が生成される。
- [0123] このような構成により、イネーブル信号 E_n がローレベルの場合、NMOSトランジスタ22はオフ状態であるため、PMOSトランジスタ24のゲートに入力電圧 V_{in} が印加される。これにより、PMOSトランジスタ24はオフ状態であり、第1電源電圧 $V_{pre reg}$ は発生しない。
- [0124] 一方、イネーブル信号 E_n がハイレベルの場合、NMOSトランジスタ22がオン状態であり、ノードN20に入力電圧 V_{in} を分圧抵抗20, 21により分圧した電圧が発生し、PMOSトランジスタ24はオン状態である。これにより、第1電源電圧 $V_{pre reg}$ は、 $V_{pre reg} = V_z - V_{gs}$ として発生する。ただし、 V_z はツェナーダイオード26のツェナー電圧、 V_{gs} はNMOSトランジスタ201のゲート・ソース間電圧である。
- [0125] 図13に説明を戻し、基準電圧生成部3は、第1電源電圧 $V_{pre reg}$ に基づき基準電圧 V_{ref} を生成する。基準電圧生成部3は、例えばバンドギャップリファレンスにより構成される。基準電圧 V_{ref} は、例えば、レ

ギュレータ 4 における第 2 電源電圧 V_{reg} の生成に使用される。

[0126] レギュレータ 4 は、入力電圧 V_{in} に基づき第 2 電源電圧 V_{reg} を生成する。レギュレータ 4 は、例えば LDO (Low Dropout) により構成される。この場合、基準電圧 V_{ref} は、LDO におけるエラーアンプに入力される。第 2 電源電圧 V_{reg} は、VREG 端子に生成される。図 12 に示すように、VREG 端子は、コンデンサ CREG に接続される。第 2 電源電圧 V_{reg} は、上記電源 IC の各部に供給される。第 2 電源電圧 V_{reg} は、例えば後述するパワーグッド回路 5 に供給される。

[0127] 第 1 電源電圧 $V_{pre-reg}$ と第 2 電源電圧 V_{reg} は、電圧値が同じであってもよいし、電圧値が異なってもよい。

[0128] <パワーグッド回路>

図 13 に示すように、半導体装置 1 は、パワーグッド回路 5 を備える。パワーグッド回路 5 は、上記電源 IC に集積化される。

[0129] パワーグッド回路 5 は、PGD 端子とグラウンド電位の印加端との間に接続される。図 12 に示すように、PGD 端子と VREG 端子との間にはプルアップ抵抗 R_{pu} が接続される。すなわち、PGD 端子は、第 2 電源電圧 V_{reg} にプルアップされる。

[0130] パワーグッド回路 5 は、PGD 端子とグラウンド電位の印加端との間に接続される図 13 で図示しないスイッチ（出力トランジスタ）を有する。当該スイッチがオン状態の場合に PGD 端子から出力されるフラグ信号 PGDOUT（図 12）はローレベルとなり、当該スイッチがオフ状態の場合にフラグ信号 PGDOUT はハイレベルとなる。

[0131] パワーグッド回路 5 は、上記電源 IC が起動して出力電圧 V_{out} が立ち上がったときに出力電圧 V_{out} が設定された電圧値に到達すると、これを FB 端子に発生する帰還電圧 V_{fb} に基づき検出し、ハイレベルのフラグ信号 PGDOUT を出力する。フラグ信号 PGDOUT により、電源回路（DC/DC コンバータ）から出力される出力電圧 V_{out} が正常に立ち上がったことを外部に通知できる。

[0132] <比較例>

図15は、比較例に係るパワーグッド回路5の構成を示す図である。比較例は、後述する本開示の実施形態との対比のために説明される。比較例を説明することで課題が明らかとなる。

[0133] 図15に示すパワーグッド回路5は、出力トランジスタMAと、インバータIVA、IVBと、を有する。出力トランジスタMAは、NMOSトランジスタにより構成される。出力トランジスタMAのドレインは、PGD端子に接続される。出力トランジスタMAのソースは、グランド電位の印加端に接続される。

[0134] インバータIVAの入力端は、制御入力信号PGDINの印加端に接続される。制御入力信号PGDINは、パワーグッド回路5の内部で生成される信号である。インバータIVAの出力端は、インバータIVBの入力端に接続される。インバータIVBの出力端は、出力トランジスタMAのゲートに接続される。これにより、制御入力信号PGDINは、インバータIVA、IVBでそれぞれ論理反転されて出力トランジスタMAのゲートに入力される。

[0135] インバータIVA、IVBは、それぞれ図示しないPMOSトランジスタとNMOSトランジスタを有する。上記PMOSトランジスタのソースは、第2電源電圧Vregの印加端に接続される。上記PMOSトランジスタのドレインは、上記NMOSトランジスタのドレインに接続される。上記NMOSトランジスタのソースは、グランド電位の印加端に接続される。上記PMOSトランジスタのゲートと上記NMOSトランジスタのゲートがインバータの入力端に接続される。上記PMOSトランジスタのドレインと上記NMOSトランジスタのドレインとが接続されるノードは、インバータの出力端に接続される。すなわち、インバータIVA、IVBは、第2電源電圧Vregを電源電圧として用いる。

[0136] 図16は、上記電源ICの起動時における比較例に係るパワーグッド回路5の動作を示すタイミングチャートである。なお、図16において、上段か

ら順に、イネーブル信号 E_n 、第1電源電圧 $V_{pre-reg}$ 、第2電源電圧 V_{reg} 、制御入力信号 PGD_{IN} 、出力トランジスタ MA のオンオフ状態、およびフラグ信号 PGD_{OUT} を示す。

[0137] まず、イネーブル信号 E_n がディセーブルを示すローレベルからイネーブルを示すハイレベルに切り替わる（タイミング t_a ）。すると、プリレギュレータ2が起動され、第1電源電圧 $V_{pre-reg}$ が立上りを開始する（タイミング t_b ）。その後、基準電圧生成部3が起動され、基準電圧 V_{ref} によりレギュレータ4が起動される。このとき、第2電源電圧 V_{reg} が立上りを開始する（タイミング t_c ）。すなわち、プリレギュレータ2、基準電圧生成部3、レギュレータ4の順に起動される。

[0138] 第2電源電圧 V_{reg} が閾値電圧 V_{th} に到達するまでは（ $V_{reg} =$ ローレベル）、制御入力信号 PGD_{IN} はローレベルである（タイミング t_d で V_{reg} が V_{th} に到達）。閾値電圧 V_{th} は、インバータ IVA 、 IVB の閾値電圧であるとともに、出力トランジスタ MA の閾値電圧である。

[0139] 第2電源電圧 $V_{reg} <$ 閾値電圧 V_{th} の場合、インバータ IVA 、 IVB の出力が論理不定となり、出力トランジスタ MA はオフ状態となる。このとき、 PGD 端子は第2電源電圧 V_{reg} にプルアップされているため、第2電源電圧 V_{reg} が閾値電圧 V_{th} に到達するまでの間は、第2電源電圧 V_{reg} の立上りがそのままフラグ信号 PGD_{OUT} に現れる（タイミング t_c と t_d の間）。

[0140] 第2電源電圧 V_{reg} が閾値電圧 V_{th} を上回ると、制御入力信号 PGD_{IN} がハイレベルとなり、出力トランジスタ MA のゲートにハイレベルの信号が入力され、出力トランジスタ MA はオン状態とされる。これにより、フラグ信号 PGD_{OUT} は、ローレベルに立ち下がる。

[0141] なお、第2電源電圧 V_{reg} の立ち上がりにより、図示しない制御ロジック部が起動し、半導体装置1におけるDC/DCコンバータ機能が起動される。これにより、出力電圧 V_{out} が立ち上がって設定された電圧値に到達すると、制御入力信号 PGD_{IN} がローレベルに切り替えられる。従って、

出力トランジスタM Aがオフ状態となり、フラグ信号P G D O U Tはハイレベルに切り替わる。

[0142] このように比較例に係るパワーグッド回路5においては、上記電源I Cの起動時において、出力トランジスタM Aをオン状態とできずにフラグ信号P G D O U Tに持ち上がりが発生する課題があった。このような課題を解決すべく、以下説明する本開示の実施形態が実施される。

[0143] <第1実施形態>

図17は、本開示の第1実施形態に係るパワーグッド回路5の構成を示す図である。図17に示すパワーグッド回路5は、出力トランジスタM 1と、出力トランジスタM 2と、インバータI V 1～I V 4と、プルアップ抵抗R 1、R 2と、レベルシフト回路5 1と、を有する。

[0144] 出力トランジスタM 1は、NMOSトランジスタにより構成される。出力トランジスタM 1のドレインは、P G D端子に接続される。出力トランジスタM 1のソースは、グランド電位の印加端に接続される。出力トランジスタM 1のゲートと第1電源電圧V p r e r e gの印加端との間には、プルアップ抵抗R 1が接続される。

[0145] レベルシフト回路5 1の入力端は、制御入力信号P G D I Nの印加端に接続される。レベルシフト回路5 1の出力端は、インバータI V 3の入力端に接続される。インバータI V 3の出力端は、インバータI V 4の入力端に接続される。インバータI V 4の出力端は、出力トランジスタM 1のゲートに接続される。制御入力信号P G D I Nは、レベルシフト回路5 1により第2電源電圧V r e gから第1電源電圧V p r e r e gへレベル変換される。レベル変換された制御入力信号P G D I Nは、インバータI V 3、I V 4それぞれで論理反転され、出力トランジスタM 1のゲートに入力される。本実施形態では、第1電源電圧V p r e r e gと第2電源電圧V r e gとは、電圧値が異なる（例えば、V p r e r e g=4.5V、V r e g=3Vなど）。

[0146] インバータI V 3、I V 4は、電源電圧として第1電源電圧V p r e r e gを用いること以外は、先述した比較例に係るインバータI V A、I V Bと

同様の構成である。すなわち、インバータ $I V 3$ 、 $I V 4$ は、図示しない P M O S トランジスタと N M O S トランジスタを有する。

[0147] 出力トランジスタ $M 2$ のドレインは、P G D 端子に接続される。出力トランジスタ $M 2$ のソースは、グランド電位の印加端に接続される。

[0148] インバータ $I V 1$ の入力端は、制御入力信号 P G D I N の印加端に接続される。インバータ $I V 1$ の出力端は、インバータ $I V 2$ の入力端に接続される。インバータ $I V 2$ の出力端は、出力トランジスタ $M 2$ のゲートに接続される。これにより、制御入力信号 P G D I N は、インバータ $I V 1$ 、 $I V 2$ でそれぞれ論理反転されて出力トランジスタ $M 2$ のゲートに入力される。

[0149] インバータ $I V 1$ 、 $I V 2$ は、電源電圧として第 2 電源電圧 $V r e g$ を用い、先述した比較例に係るインバータ $I V A$ 、 $I V B$ と同様の構成である。

[0150] 出力トランジスタ $M 2$ のゲートと第 2 電源電圧 $V r e g$ の印加端との間には、プルアップ抵抗 $R 2$ が接続される。

[0151] 図 1 8 は、上記電源 $I C$ の起動時およびシャットダウン時における第 1 実施形態に係るパワーグッド回路 5 の動作を示すタイミングチャートである。なお、図 1 8 において、上段から順に、イネーブル信号 $E n$ 、第 1 電源電圧 $V p r e r e g$ 、第 2 電源電圧 $V r e g$ 、制御入力信号 P G D I N、出力トランジスタ $M 1$ 、 $M 2$ のオンオフ状態、およびフラグ信号 P G D O U T を示す。

[0152] まず、イネーブル信号 $E n$ がローレベルからハイレベルに切り替わる（タイミング $t 1$ ）。すると、第 1 電源電圧 $V p r e r e g$ が立上りを開始する（タイミング $t 2$ ）。そして、第 1 電源電圧 $V p r e r e g$ が閾値電圧 $V t h 1$ に到達する（タイミング $t 3$ ）。閾値電圧 $V t h 1$ は、出力トランジスタ $M 1$ の閾値電圧であるとともに、インバータ $I V 3$ 、 $I V 4$ の閾値電圧である。第 1 電源電圧 $V p r e r e g$ が閾値電圧 $V t h 1$ に到達すると、プルアップ抵抗 $R 1$ を介して第 1 電源電圧 $V p r e r e g$ が出力トランジスタ $M 1$ のゲートに印加されることで、出力トランジスタ $M 1$ はオフ状態からオン状態に切り替えられる。

- [0153] ここで、第2電源電圧 V_{reg} がローレベル（閾値電圧 V_{th2} 以下）の場合、レベルシフト回路51は、初期値としてハイレベルの信号を出力する。第1電源電圧 $V_{pre reg}$ が閾値電圧 V_{th1} に到達するまでは、インバータ1V3, 1V4の出力は論理不定となるが、第1電源電圧 $V_{pre reg}$ が閾値電圧 V_{th1} に到達すると、インバータ1V4の出力がハイレベルに確定され、出力トランジスタM1はオン状態となる。
- [0154] なお、第1電源電圧 $V_{pre reg}$ が閾値電圧 V_{th1} に到達するまでの間（タイミング $t_2 \sim t_3$ ）、インバータ1V3, 1V4の出力は論理不定となるが、プルアップ抵抗R1により第1電源電圧 $V_{pre reg}$ が出力トランジスタM1のゲートに印加されることで、出力トランジスタM1のゲートの電圧レベルが確定する。
- [0155] その後、第2電源電圧 V_{reg} が立上りを開始する（タイミング t_4 ）。そして、第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達する（タイミング t_5 ）。閾値電圧 V_{th2} は、出力トランジスタM2の閾値電圧であるとともに、インバータ1V1, 1V2の閾値電圧である。
- [0156] 第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達するまでの間は（タイミング $t_4 \sim t_5$ ）、制御入力信号PGDINはローレベルであり、インバータ1V1, 1V2の出力は論理不定となる。また、このとき第2電源電圧 V_{reg} はプルアップ抵抗R2を介して出力トランジスタM2のゲートに印加されるが、出力トランジスタM2はオフ状態である。
- [0157] 第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達すると、制御入力信号PGDINがハイレベルとなり、インバータ1V2の出力がハイレベルに確定される。これにより、出力トランジスタM2はオン状態に切り替わる。すなわち、ここで出力トランジスタM1, M2は、ともにオン状態となる。
- [0158] このように本実施形態では、第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達するまでの間は（タイミング $t_4 \sim t_5$ ）、すでに出力トランジスタM1が第1電源電圧 $V_{pre reg}$ によりオン状態とされているため、PGD端子から出力されるフラグ信号PGDOUTが持ち上がることが回避される。

。

[0159] なお、出力トランジスタM2のゲートを第2電源電圧 V_{reg} にプルアップするプルアップ抵抗 R_2 は、必ずしも設けなくてもよい。ただし、プルアップ抵抗 R_2 を設けることで、インバータI2の出力が論理不定のときでも、第2電源電圧 V_{reg} をプルアップ抵抗 R_2 を介して出力トランジスタM2のゲートに印加させることができ、出力トランジスタM2のゲートの電圧レベルを確定できる。

[0160] また、このように上記電源ICが起動し、出力電圧 V_{out} が立ち上がって設定された電圧値に到達すると、制御入力信号PGDINはハイレベルからローレベルに切り替えられる。これにより、出力トランジスタM1、M2のゲートのレベルがローレベルとなり、出力トランジスタM1、M2はともにオフ状態とされる。これにより、フラグ信号PGDOUTは、ローレベルからハイレベルに切り替わる。

[0161] 次に、上記電源ICのシャットダウン時の動作について説明する。図18に示すように、イネーブル信号Enは、ハイレベルからローレベルに立ち下がる（タイミングt6）。すると、出力電圧 V_{out} が立ち下がり、制御入力信号PGDINがローレベルからハイレベルに切り替わる。これにより、出力トランジスタM1、M2は、ともにオフ状態からオン状態にされる。従って、フラグ信号PGDOUTがハイレベルからローレベルに切り替わる。

[0162] その後、第1電源電圧 $V_{pre-reg}$ および第2電源電圧 V_{reg} が立ち下がりを開始する（タイミングt7）。VREG端子にコンデンサCREGが接続されているため、第2電源電圧 V_{reg} は、第1電源電圧 $V_{pre-reg}$ よりも緩やかに立ち下がる。

[0163] 第1電源電圧 $V_{pre-reg}$ が立ち下がって閾値電圧 V_{th1} を下回ると、出力トランジスタM1はオフ状態となる（タイミングt8）。このとき、第2電源電圧 V_{reg} は閾値電圧 V_{th2} 以上であるため、出力トランジスタM2はオン状態である。従って、フラグ信号PGDOUTはローレベルを維持される。

[0164] その後、第2電源電圧 V_{reg} が閾値電圧 V_{th2} を下回ると、制御入力信号 $PGDIN$ がハイレベルからローレベルに切り替わる（タイミング t_9 ）。これにより、出力トランジスタ $M2$ がオフ状態とされる。ここで、出力トランジスタ $M1$ 、 $M2$ は、ともにオフ状態となる。

[0165] このように本実施形態では、第1電源電圧 $V_{pre-reg}$ と第2電源電圧 V_{reg} の少なくともいずれかが起動した状態（タイミング t_3 から t_9 の期間）で、出力トランジスタ $M1$ 、 $M2$ を制御することができる。

[0166] <第2実施形態>

図19は、本開示の第2実施形態に係るパワーグッド回路5の構成を示す図である。図19に示すパワーグッド回路5は、第1実施形態に係る構成（図17）と比べて、制御トランジスタ $M3$ をさらに有する。なお、図19に示す構成では、レベルシフト回路51、およびインバータ $IV3$ 、 $IV4$ は設けない。

[0167] 制御トランジスタ $M3$ は、NMOSトランジスタにより構成される。制御トランジスタ $M3$ のドレインは、出力トランジスタ $M1$ のゲートに接続される。制御トランジスタ $M3$ のソースは、グランド電位の印加端に接続される。制御トランジスタ $M3$ のゲートは、第2電源電圧 V_{reg} の印加端に接続される。

[0168] 図20は、上記電源 IC の起動時およびシャットダウン時における第2実施形態に係るパワーグッド回路5の動作を示すタイミングチャートである。なお、図20において、上段から順に、イネーブル信号 En 、第1電源電圧 $V_{pre-reg}$ 、第2電源電圧 V_{reg} 、制御入力信号 $PGDIN$ 、出力トランジスタ $M1$ 、 $M2$ および制御トランジスタ $M3$ のオンオフ状態、およびフラグ信号 $PGDOUT$ を示す。

[0169] 上記電源 IC の起動時においては、第1電源電圧 $V_{pre-reg}$ が閾値電圧 V_{th1} に到達すると（タイミング t_{11} ）、第1電源電圧 $V_{pre-reg}$ がプルアップ抵抗 $R1$ を介して出力トランジスタ $M1$ のゲートに印加され、出力トランジスタ $M1$ がオフ状態からオン状態に切り替えられる。このと

き、出力トランジスタM2および制御トランジスタM3は、ともにオフ状態である。

[0170] その後、第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達すると（タイミング t_{12} ）、出力トランジスタM2および制御トランジスタM3がオフ状態からオン状態に切り替えられる。制御トランジスタM3がオン状態となるため、出力トランジスタM1はオフ状態に切り替えられる。

[0171] このような本実施形態でも、第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達するまでの間、出力トランジスタM1がオン状態であるため、フラグ信号PGDOU Tが持ち上がることを回避できる。また、出力トランジスタM1がオン状態からオフ状態に切り替わることで、以降はフラグ信号PGDOU Tの制御は出力トランジスタM2による。すなわち、本実施形態では、出力トランジスタM1は、プルアップ抵抗R1により第1電源電圧 $V_{pre-reg}$ にプルアップすることで、起動時においてフラグ信号PGDOU Tをローレベルとすることを優先している。

[0172] また、上記電源ICのシャットダウン時には、イネーブル信号Enがハイレベルからローレベルに切り替わる（タイミング t_{13} ）。このとき、出力電圧 V_{out} が立ち下がり、制御入力信号PGDINがローレベルからハイレベルに切り替わる。これにより、出力トランジスタM2は、オフ状態からオン状態にされる。従って、フラグ信号PGDOU Tがハイレベルからローレベルに切り替わる。

[0173] その後、第2電源電圧 V_{reg} が立ち下がり閾値電圧 V_{th2} を下回ると（タイミング t_{14} ）、出力トランジスタM2および制御トランジスタM3は、ともにオン状態からオフ状態に切り替えられる。これにより、出力トランジスタM1、M2がともにオフ状態となる。

[0174] <第3実施形態>

図21は、本開示の第3実施形態に係るパワーグッド回路5の構成を示す図である。図21に示すパワーグッド回路5は、出力トランジスタM1と、分圧抵抗R3、R4と、インバータIV11、IV12と、ダイオードD1

、D2と、を有する。すなわち、本実施形態では、出力トランジスタは1つである。

[0175] 分圧抵抗R3、R4は、第1電源電圧Vpre regの印加端とグランド電位の印加端との間に直列に接続される。分圧抵抗R3、R4が接続されるノードN1は、出力トランジスタM1のゲートに接続される。

[0176] インバータIV11の入力端は、制御入力信号PGDINの印加端に接続される。インバータIV11の出力端は、インバータIV12の入力端に接続される。

[0177] インバータIV11は、電源電圧として第2電源電圧Vregを用い、先述したインバータIV1と同様の構成である。インバータIV12は、PMOSトランジスタPMと、NMOSトランジスタNMと、を有する。PMOSトランジスタPMのソースは、第2電源電圧Vregの印加端に接続される。PMOSトランジスタPMのドレインは、NMOSトランジスタNMのドレインに接続される。NMOSトランジスタNMのソースは、グランド電位の印加端に接続される。

[0178] PMOSトランジスタPMのゲートとNMOSトランジスタNMのゲートが接続されるノードN3が入力端となる。また、PMOSトランジスタPMのドレインとNMOSトランジスタNMのドレインとが接続されるノードN2が出力端となり、当該出力端がノードN1に接続される。

[0179] ダイオードD1のアノードは、第1電源電圧Vpre regの印加端に接続される。ダイオードD1のカソードは、分圧抵抗R3の一端に接続される。ダイオードD2のアノードは、PMOSトランジスタPMのドレインに接続される。ダイオードD2のカソードは、ノードN2に接続される。

[0180] 図22は、上記電源ICの起動時およびシャットダウン時における第3実施形態に係るパワーグッド回路5の動作を示すタイミングチャートである。なお、図22において、上段から順に、イネーブル信号En、第1電源電圧Vpre reg、第2電源電圧Vreg、制御入力信号PGDIN、出力トランジスタM1のオンオフ状態、およびフラグ信号PGDOUTを示す。

[0181] イネーブル信号 E_n がローレベルからハイレベルに切り替わると、第1電源電圧 $V_{pre-reg}$ が立上りを開始し、閾値電圧 V_{th11} に到達する（タイミング t_{21} ）。このとき、第1電源電圧 $V_{pre-reg}$ が分圧抵抗 R_3 、 R_4 により分圧された電圧が出力トランジスタ M_1 のゲートに印加される。分圧抵抗 R_4 の抵抗値は、分圧抵抗 R_3 の抵抗値よりも高い（例えば $R_3 = 1\text{ M}\Omega$ 、 $R_4 = 5\text{ M}\Omega$ ）。これにより、出力トランジスタ M_1 は、オフ状態からオン状態に切り替えられる。このとき、制御入力信号 PGD_{IN} はローレベルのため、インバータ IV_{11} 、 IV_{12} の出力は論理不定である。

[0182] その後、第2電源電圧 V_{reg} が閾値電圧 V_{th2} に到達すると（タイミング t_{22} ）、制御入力信号 PGD_{IN} がハイレベルとなり、インバータ IV_{12} の出力はハイレベルに確定される。閾値電圧 V_{th2} は、出力トランジスタ M_1 の閾値電圧であるとともに、インバータ IV_{11} 、 IV_{12} の閾値電圧である。

[0183] 第1電源電圧 $V_{pre-reg}$ が立ち上がるときに、ノード N_1 から $PMOS$ トランジスタ PM を介してグラウンド電位のレベルである第2電源電圧 V_{reg} の印加端への経路をダイオード D_2 により遮断できる。

[0184] また、上記電源 IC のシャットダウン時には、イネーブル信号 E_n がハイレベルからローレベルに切り替わる（タイミング t_{23} ）。このとき、出力電圧 V_{out} が立ち下がり、制御入力信号 PGD_{IN} がローレベルからハイレベルに切り替わる。これにより、出力トランジスタ M_1 は、オフ状態からオン状態にされる。従って、フラグ信号 PGD_{OUT} がハイレベルからローレベルに切り替わる。

[0185] その後、第1電源電圧 $V_{pre-reg}$ がグラウンド電位まで立ち下がる。第1電源電圧 $V_{pre-reg}$ がグラウンド電位であっても、インバータ IV_{12} の出力はハイレベルであるため、出力トランジスタ M_1 はオン状態を維持される。このとき、ノード N_1 から分圧抵抗 R_3 を介してグラウンド電位のレベルである第1電源電圧 $V_{pre-reg}$ の印加端への経路をダイオード D_1 に

より遮断できる。

[0186] そして、第2電源電圧 V_{reg} が閾値電圧 V_{th2} を下回ると（タイミング t_{24} ）、制御入力信号 $PGDIN$ がローレベルとなるため、インバータ $IV2$ の出力が論理不定となり、出力トランジスタ $M1$ はオン状態からオフ状態に切り替えられる。

[0187] <その他>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

[0188] <付記>

以上のように、本開示の一側面に係るパワーグッド回路（5）は、
パワーグッド端子（ PGD ）に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第1出力トランジスタ（ $M1$ ）と、
前記第1出力トランジスタの制御端に第1電源電圧（ $V_{pre-reg}$ ）に基づく電圧を印加するための抵抗（ $R1$ ）と、
第2電源電圧（ V_{reg} ）を電源電圧として用い、制御入力信号（ $PGDIN$ ）が入力可能に構成される第1インバータ段（ $IV1$ 、 $IV2$ ）と、
前記第1インバータ段の出力端に接続される制御端と、前記パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、
を有する第2出力トランジスタ（ $M2$ ）と、
を備え、
前記パワーグッド端子は、前記第2電源電圧にプルアップ可能である構成としている（第1の構成）。

[0189] また、上記第1の構成において、前記抵抗は、前記第1電源電圧（ $V_{pre-reg}$ ）の印加端とグランド電位の印加端との間に直列に接続される分圧

抵抗 (R_3 , R_4) であり、

前記分圧抵抗の接続ノード (N_1) が前記第 1 出力トランジスタ (M_1) の制御端に接続される構成としてもよい (第 2 の構成)。

[0190] また、上記第 2 の構成において、前記第 1 出力トランジスタ (M_1) と前記第 2 出力トランジスタ (M_2) は、同一のトランジスタであり、

前記接続ノード (N_1) から前記分圧抵抗 (R_3) を介して前記第 1 電源電圧 ($V_{pre-reg}$) の印加端への経路を遮断するための第 1 ダイオード (D_1) と、

前記接続ノードから前記第 1 インバータ段 (IV_{12}) を介して前記第 2 電源電圧 (V_{reg}) の印加端への経路を遮断するための第 2 ダイオード (D_2) と、を備える構成としてもよい (第 3 の構成)。

[0191] また、上記第 1 の構成において、前記抵抗は、前記第 1 電源電圧 ($V_{pre-reg}$) の印加端と前記第 1 出力トランジスタ (M_1) の制御端との間に接続される第 1 プルアップ抵抗 (R_1) である構成としてもよい (第 4 の構成)。

[0192] また、上記第 4 の構成において、前記第 1 出力トランジスタ (M_1) と前記第 2 出力トランジスタ (M_2) は、別個のトランジスタである構成としてもよい (第 5 の構成)。

[0193] また、上記第 5 の構成において、前記第 2 出力トランジスタ (M_2) の制御端と前記第 2 電源電圧 (V_{reg}) の印加端との間に接続される第 2 プルアップ抵抗 (R_2) を備える構成としてもよい (第 6 の構成)。

[0194] また、上記第 5 または第 6 の構成において、前記制御入力信号 ($PGDIN$) を前記第 2 電源電圧 (V_{reg}) から前記第 1 電源電圧 ($V_{pre-reg}$) へレベル変換するように構成されるレベルシフト回路 (51) と、

前記レベルシフト回路の出力端と前記第 1 出力トランジスタ (M_1) の制御端との間に設けられ、前記第 1 電源電圧を電源電圧として用いる第 2 インバータ段 (IV_3 , IV_4) と、を備える構成としてもよい (第 7 の構成)。

[0195] また、上記第5の構成において、前記第1出力トランジスタ(M1)の制御端に接続される第1端と、グランド電位の印加端に接続される第2端と、前記第2電源電圧(V_{reg})の印加端に接続される制御端と、を有する制御トランジスタ(M3)を備える構成としてもよい(第8の構成)。

[0196] また、本開示の一側面に係る半導体装置(1)は、上記第1から第8のいずれかの構成のパワーグッド回路(5)と、

イネーブル信号(E_n)が入力可能であり、前記第1電源電圧($V_{pre-reg}$)を生成するように構成されるプリレギュレータ(2)と、

前記第1電源電圧に基づき基準電圧(V_{ref})を生成するように構成される基準電圧生成部(3)と、

前記基準電圧に基づき起動され、前記第2電源電圧(V_{reg})を生成するように構成されるレギュレータ(4)と、を備える構成としている(第9の構成)。

[0197] <<第3の開示技術>>

<スイッチング電源装置>

図23は、スイッチング電源装置の全体構成を示す図である。本構成例のスイッチング電源装置1は、入力電圧 V_{IN} (例えば4~16V)から所望の出力電圧 V_{OUT} (例えば0.6~5.5V)を生成する同期整流方式の降圧型DC/DCコンバータであり、半導体装置100と、これに外付けされる種々のディスクリート部品(例えばキャパシタC1~C5、インダクタL1、抵抗 R_{LIM} 、及び、抵抗R2~R5)と、を有する。

[0198] なお、スイッチング電源装置1は、例えばSOC [system-on-a-chip]、FPGA [field-programmable gate array] 若しくはマイクロプロセッサなどの降圧電源、または、サーバー若しくは基地局の降圧電源として好適に利用することが可能である。

[0199] 半導体装置100は、スイッチング電源装置1を統括的に制御するモノリシック半導体集積回路装置(いわゆる電源制御IC)である。なお、半導体装置100は、装置外部との電氣的な接続を確立するための手段として、複

数の外部端子（本図に即して述べると、BST、AGND、ILIM、MODE、SS/REF、RGND、FB、PGD、VIN、PGND及びVCC）を有する。

[0200] BST端子は、ブートストラップ用端子である。BST端子とSW端子との間には、ブートストラップ用のキャパシタC4（例えば $0.1\mu\text{F}$ ）が外付けされる。なお、BST端子に現れるブースト電圧VB（ $\div V_{\text{SW}} + V_{\text{CC}}$ ）は、半導体装置100に内蔵される上側トランジスタ（本図では不図示）のゲート駆動電圧となる。

[0201] AGND端子は、制御用回路（アナログ系回路）のグラウンド端子である。

[0202] ILIM端子は、過電流検出値設定端子である。なお、過電流検出値I_{OC}Pは、ILIM端子と接地端（＝AGND端子）との間に外付けされる抵抗R_{ILIM}を用いて任意に設定することが可能である。

[0203] MODE端子は、スイッチング制御モード設定端子である。例えば、MODE端子をプルアップしたり、MODE端子と接地端（＝AGND）との間に外付けされる抵抗R2を調整したりすることにより、スイッチング周波数（例えば600kHz、800kHz及び1MHz）と動作モード（軽負荷モード及び固定PWM[pulse width modulation]モード）の組み合わせを任意に切り替えることが可能である。

[0204] SS/REF端子は、ソフトスタート時間設定端子／内部基準電圧設定端子である。例えば、SS/REF端子と接地端（＝RGND端子）との間に外付けされるキャパシタC5の容量値に応じて出力電圧V_{OUT}のソフトスタート時間t_{SS}を任意に調整することが可能である。なお、ソフトスタート機能により出力電圧V_{OUT}が緩やかに立ち上がるので、出力電圧V_{OUT}のオーバーシュートおよび突入電流を防ぐことができる。また、半導体装置100では、出力電圧トラッキング機能のためにSS/REF端子を用いて外部電源から内部基準電圧V_{REF}を外部入力することができる。従って、内部基準電圧V_{REF}については、所定の目標値（例えば0.6V）まで

起動した後、任意の電圧範囲で設定することが可能である。

- [0205] R G N D端子は、リモートセンスグラウンド端子である。なお、リモートセンス機能を省略する場合、R G N D端子に接続される構成要素をA G N D端子に接続すればよい。
- [0206] F B端子は、出力電圧フィードバック端子である。F B端子は、出力電圧V O U Tの印加端と接地端（＝R G N D端子）との間に直列接続された抵抗R 3及びR 4相互間の接続ノード（＝帰還電圧V F Bの印加端）に接続されている。なお、出力電圧V O U Tの目標値は、 $\{(R 3 + R 4) / R 4\} \times V R E F$ として設定することが可能である。
- [0207] E N端子は、イネーブル端子である。例えば、E N端子に印加されるイネーブル電圧V E Nが上側閾値（例えば1. 2 2 V）以上になると半導体装置1 0 0が起動し、下側閾値（例えば1. 0 2 V）以下になると半導体装置1 0 0がシャットダウンする。なお、E N端子は、終端する必要がある。また、イネーブル電圧V E Nは、入力電圧V I Nの投入と同時に（V I N＝V E N）または入力電圧V I Nの投入後に起動することが望ましい。
- [0208] P G D端子は、パワーグッド端子である。P G D端子は、オープンドレイン出力形式のため、プルアップ用の抵抗R 5を必要とする。なお、P G D端子を使用しない場合には、P G D端子をフローティング状態もしくはグラウンドに接続すればよい。
- [0209] V I N端子は、電源入力端子である。V I N端子と接地端（＝P G N D端子）の間には、入力平滑用のキャパシタC 1（例えば0. 1 μ F程度のセラミックキャパシタ）が外付けされる。キャパシタC 1は、入力リップルノイズの低減に効果があり、V I N端子及びP G N D端子の極力近くに配置することでその効果を発揮する。
- [0210] S W端子は、スイッチング出力端子である。S W端子は、半導体装置1 0 0に内蔵された上側トランジスタのソースと下側トランジスタのドレイン（本図ではいずれも不図示）に接続されており、矩形波状のスイッチ電圧V S Wを出力する。なお、S W端子と出力電圧V O U Tの印加端との間にはイン

ダクタL1が外付けされる。また、出力電圧VOUTの印加端とRGND端子との間にはキャパシタC3（例えばセラミックキャパシタ）が外付けされる。このように、スイッチング電源装置1では、負荷に連続的な電流を供給するために出力平滑化用のLCフィルタが必要である。

[0211] PGND端子は、スイッチング出力段（＝パワー系回路）のグラウンド端子である。

[0212] VCC端子は、内部電源出力端子である。VCC端子から出力される内部電源電圧VCC（例えば3V）は、例えば、半導体装置100の制御用回路（＝アナログ系回路）に供給される。なお、VCC端子と接地端（＝AGND端子）との間にはキャパシタC2（例えば1 μ F程度のセラミックキャパシタ）が外付けされる。

[0213] <半導体装置>

図24は半導体装置100の内部構成を示す図である。本構成例の半導体装置100は、上側トランジスタ101と、下側トランジスタ102と、上側ドライバ103と、下側ドライバ104と、制御ロジック105と、内部電源電圧生成回路106と、内部基準電圧生成回路107と、エラーアンプ108と、キャパシタ109と、ランプ電圧生成回路110と、電圧重畳回路111と、メインコンパレータ112と、オン時間設定回路113と、Pチャネル型MOS電界効果トランジスタ114と、Nチャネル型MOS電界効果トランジスタ115と、コンパレータ116、117及び118と、低入力電圧誤動作防止回路119と、温度保護回路120と、低電圧保護回路121と、過電圧保護回路122と、パワーグッド回路123と、Nチャネル型MOS電界効果トランジスタ124と、モードセクタ125と、を有する。

[0214] 上側トランジスタ101（例えばNチャネル型MOS電界効果トランジスタ）のドレインは、VIN端子に接続されている。上側トランジスタ101のソースは、SW端子に接続されている。上側トランジスタ101のゲートは、上側ゲート信号G1の印加端（＝上側ドライバ103の出力端）に接続

されている。上側トランジスタ101は、上側ゲート信号G1がハイレベル（ $\equiv V_B$ ）であるときにオンして、上側ゲート信号G1がローレベル（ $\equiv V_{SW}$ ）であるときにオフする。

[0215] 下側トランジスタ102（例えばNチャネル型MOS電界効果トランジスタ）のドレインは、SW端子に接続されている。下側トランジスタ102のソースは、PGND端子に接続されている。下側トランジスタ102のゲートは、下側ゲート信号G2の印加端（＝下側ドライバ104の出力端）に接続されている。下側トランジスタ102は、下側ゲート信号G2がハイレベル（ $\equiv V_{CC}$ ）であるときにオンして、下側ゲート信号G2がローレベル（ $\equiv PGND$ ）であるときにオフする。

[0216] このように接続された上側トランジスタ101及び下側トランジスタ102は、半導体装置100に外付けされたディスクリート部品（インダクタL1及びキャパシタC3）と共に、同期整流方式を採用した降圧型のスイッチング出力段を形成する。ただし、整流方式については、必ずしも同期整流方式に限定されるものではなく、下側トランジスタ102に代えて整流ダイオードを用いてもよい。

[0217] なお、スイッチング電源装置1に大電流出力（例えば最大20A出力）が求められる場合には、上側トランジスタ101及び下側トランジスタ102としてオン抵抗の低い素子を用いることが望ましい。

[0218] また、上側トランジスタ101及び下側トランジスタ102は、かならずしも半導体装置100に内蔵する必要はなく、ディスクリート部品として半導体装置100に外付けしても構わない。

[0219] 上側ドライバ103は、ブート電圧 V_B とスイッチ電圧 V_{SW} の供給を受けて動作し、制御ロジック105から出力される上側制御信号S1に基づいて上側ゲート信号G1を生成する。例えば、上側ドライバ103は、上側制御信号S1がハイレベルであるときに上側ゲート信号G1をハイレベル（ $\equiv V_B$ ）とし、上側制御信号S1がローレベルであるときに上側ゲート信号G1をローレベル（ $\equiv V_{SW}$ ）とする。

- [0220] 下側ドライバ104は、内部電源電圧VCC及び接地電圧PGNDの供給を受けて動作し、制御ロジック105から出力される下側制御信号S2に基づいて、下側ゲート信号G2を生成する。例えば、下側ドライバ104は、下側制御信号S2がハイレベルであるときに下側ゲート信号G2をハイレベル（ $\equiv VCC$ ）とし、下側制御信号S2がローレベルであるときに下側ゲート信号G2をローレベル（ $\equiv PGND$ ）とする。
- [0221] 制御ロジック105は、EN端子に入力されるイネーブル信号（＝イネーブル電圧VEN）がハイレベルであるときに、固定オン時間制御方式で上側トランジスタ101及び下側トランジスタN2を相補的にオン／オフする。
- [0222] より具体的に述べると、制御ロジック105は、上側トランジスタ101をオンして下側トランジスタN2をオフするときに上側制御信号S1をハイレベルとして下側制御信号S2をローレベルとする。また、制御ロジック105は、上側トランジスタ101をオフして下側トランジスタ102をオンするときに上側制御信号S1をローレベルとして下側制御信号S2をハイレベルとする。
- [0223] このように、スイッチング出力段を形成する上側トランジスタ101及び下側トランジスタ102が相補的にオン／オフされると、SW端子に矩形波状（ハイレベル：VB、ローレベル：PGND）のスイッチ電圧VSWが生成される。スイッチング電源装置1は、このスイッチ電圧VSWをLCフィルタ（＝インダクタL1及びキャパシタC3）で整流及び平滑することにより、所望の出力電圧VOUTを生成することができる。
- [0224] また、制御ロジック105は、過大な貫通電流を防止するために上側トランジスタ101及び下側トランジスタ102の同時オン防止機能も備えている。さらに、制御ロジック105は、各種の保護信号（HOC P、LOC P、ZX／ROCP、UVLO、TSD、SCP及びOVP）に基づいて上側トランジスタ101及び下側トランジスタ102のオン／オフ駆動を強制的に停止する機能も備えている。例えば、制御ロジック105は、異常検出時に上側制御信号S1及び下側制御信号S2をいずれもローレベルとすること

により、上側トランジスタ 101 及び下側トランジスタ 102 をいずれもオフさせる。

[0225] 内部電源電圧生成回路 106 は、内部電源電圧 VCC（例えば 3 V）を生成して VCC 端子及び半導体装置 100 の各部に出力する。

[0226] 内部基準電圧生成回路 107 は、EN 端子に入力されるイネーブル信号（＝イネーブル電圧 VEN）がハイレベルであるときに、内部電源電圧 VCC から所定の内部基準電圧 VREF を生成して SS/REF 端子に出力する。

[0227] エラーアンプ 108 は、RGND 端子を基準電位として動作し、非反転入力端（+）に入力される内部基準電圧 VREF と、反転入力端（-）に入力される帰還電圧 VFB との差分に応じた誤差信号 Sa を生成する。従って、誤差信号 Sa は、 $VREF > VFB$ であるときに上昇し、 $VREF < VFB$ であるときに低下する。

[0228] キャパシタ 109 は、エラーアンプ 108 の出力端と接地端（＝RGND 端子）との間に設けられる。キャパシタ 109 は、位相補償回路の一例であり、エラーアンプ 108 の発振を防止する。

[0229] ランプ電圧生成回路 110 は、鋸波形または三角波形のランプ電圧 VR を生成する。

[0230] 電圧重畳回路 111 は、帰還電圧 VFB にランプ電圧 VR を重畳してスロープ信号 Sb を生成する。

[0231] メインコンパレータ 112 は、非反転入力端（+）に入力される誤差信号 Sa と、反転入力端（-）に入力されるスロープ信号 Sb とを比較することにより、比較信号 Sc を生成してオン時間設定回路 113 に出力する。なお、比較信号 Sc は、 $Sa > Sb$ であるときにハイレベルとなり、 $Sa < Sb$ であるときにローレベルとなる。すなわち、メインコンパレータ 112 は、比較信号 Sc をハイレベルに立ち上げることにより、出力電圧 VOUT が目標値よりも低下したことをオン時間設定回路 113 にフィードバックする。

[0232] オン時間設定回路 113 は、比較信号 Sc がハイレベルに立ち上がったときに所定のオン時間 Ton を設定する。制御ロジック 105 は、このオン時

間 T_{on} が経過するまで、上側トランジスタ 101 をオンして下側トランジスタ N2 をオフする。

[0233] このように、上記構成要素のうち、エラーアンプ 108、メインコンパレータ 112、及び、オン時間設定回路 113 は、帰還電圧 V_{FB} が内部基準電圧 V_{REF} と一致するように固定オン時間制御方式でスイッチング出力段の駆動制御を行う出力帰還制御回路を形成している。

[0234] ただし、出力帰還制御方式は、必ずしも固定オン時間制御方式に限定されるものではなく、電圧モード制御方式、電流モード制御方式、または、ヒステリシス制御方式（リップル制御方式）などを採用してもよい。

[0235] トランジスタ 114 のドレインは、 V_{CC} 端子（＝内部電源電圧 V_{CC} の印加端）に接続されている。また、トランジスタ 114 のソースは、BST 端子（＝ブート電圧 V_B の印加端）に接続されている。このように接続されたトランジスタ 114 は、BST 端子と SW 端子との間に外付けされたキャパシタ C4 と共にブートストラップ回路を形成する。

[0236] なお、トランジスタ 114 は、制御ロジック 105 からゲートに入力される制御信号 S3（＝基本的に制御信号 S1 と同一の論理レベルを持つ 2 値信号）がローレベルであるときにオンして、制御信号 S3 がハイレベルであるときにオフする。

[0237] 上記のブートストラップ回路は、スイッチ電圧 V_{SW} よりも常にキャパシタ C4 の両端間電圧（ $\doteq V_{CC}$ ）だけ高いブート電圧 V_B （ $\doteq V_{SW} + V_{CC}$ ）を生成する。つまり、ブート電圧 V_B は、スイッチ電圧 V_{SW} のハイレベル期間（ $V_{SW} \doteq V_{IN}$ ）には $V_B \doteq V_{IN} + V_{CC}$ となり、スイッチ電圧 V_{SW} のローレベル期間（ $V_{SW} \doteq PGND$ ）には $V_B \doteq V_{CC}$ となる。

[0238] このようにして生成されるブート電圧 V_B は、上側ドライバ 103 に供給されており、上側ゲート信号 G1 のハイレベル（＝上側トランジスタ 101 をオンするためのゲート電圧）として用いられる。従って、上側トランジスタ 101 のオン期間には、上側ゲート信号 G1 のハイレベル（ $\doteq V_B$ ）がスイッチ電圧 V_{SW} のハイレベル（ $\doteq V_{IN}$ ）よりも高い電圧値（ $\doteq V_{IN} +$

VCC)まで引き上げられるので、上側トランジスタ101のゲート・ソース間電圧を高めて上側トランジスタ101を確実にオンすることが可能となる。

[0239] なお、ブートストラップ回路の構成要素としては、トランジスタ114に代えて、アノードがVCC端子に接続されてカソードがBST端子に接続されたダイオードを用いてもよい。この場合、ブート電圧VBは、 $VB \approx VS + VCC - Vf$ （ただし、 Vf はダイオードの順方向降下電圧）となる。

[0240] トランジスタ115のドレインは、SW端子（＝スイッチ電圧VSWの印加端）に接続されている。トランジスタ115のソースは、PGND端子（＝パワー系回路の接地端）に接続されている。なお、トランジスタ114は、制御ロジック105からゲートに入力される制御信号S4がハイレベルであるときにオンして制御信号S4がローレベルであるときにオフする。

[0241] このように接続されたトランジスタ115は、半導体装置100を動作状態からイネーブル制御でシャットダウンするときに出力平滑用のキャパシタC3をディスチャージするための抵抗負荷（例えば80Ω）として機能する。すなわち、半導体装置100のシャットダウンにより上側トランジスタ101及び下側トランジスタ102をいずれもオフするときに、トランジスタ115をオンするとよい。なお、出力電圧VOUTは、例えば、目標値の10%までディスチャージしてもよい。

[0242] コンパレータ116は、スイッチング周期の1サイクル毎に上側トランジスタ101の両端間電圧（＝VIN－VSW）を監視して上側過電流検出信号HOC Pを生成する。上側トランジスタ101がオンしているときに、上側トランジスタ101に流れる電流が過電流検出値IOPHに達すると、上側過電流検出信号HOC Pがハイレベルとなる。このとき、制御ロジック105は、上側トランジスタ101をオフして下側トランジスタ102をオンする。

[0243] コンパレータ117は、スイッチング周期の1サイクル毎に下側トランジスタ102の両端間電圧（＝VSW）を監視して下側過電流検出信号LOC

Pを生成する。つまり、コンパレータ117は、下側過電流検出回路である。下側トランジスタ102がオンしているときに、下側トランジスタ102に流れる電流が過電流検出値 I_{OCP} Lに達すると、下側過電流検出信号 L_{OCP} がハイレベルとなる。このとき、制御ロジック105は、帰還電圧FBが内部基準電圧VREFを下回っても上側トランジスタ101をオフして下側トランジスタ102をオンした状態を継続する。その後、下側トランジスタ102に流れる電流が上限値を下回ると、上側トランジスタ101をオンすることが可能となる。

[0244] コンパレータ118は、スイッチング周期の1サイクル毎に下側トランジスタ102の両端間電圧(=VSW)を監視してゼロクロス/シンク(リバー)過電流検出信号ZX/ROCPを生成する。例えば、軽負荷モードでは、制御ロジック105は、下側トランジスタ102がオンしているときに下側トランジスタ102に流れる電流のゼロクロスタイミングを検出して下側トランジスタ102をオフする。また、固定PWMモードでは、制御ロジック105は、下側トランジスタ102がオンしているときにSW端子から下側トランジスタ102に向けて流れるシンク電流(リバー)電流が上限値に達したことを検出し、下側トランジスタ102をオフして上側トランジスタ101をオンする。

[0245] 低入力電圧誤動作防止回路119は、入力電圧VIN及び内部電源電圧VCCを監視してUVLO [under voltage lock out] 保護を掛ける。例えば、入力電圧VINが1.85V以下または内部電源電圧VCCが2.5V以下になると、半導体装置100がシャットダウンする。一方、入力電圧VINが2.4V以上かつ内部電源電圧VCCが2.8V以上になると、半導体装置100が起動する。

[0246] 温度保護回路120は、半導体装置100の接合部温度Tjを監視して温度保護を掛ける。例えば、接合部温度Tjが175℃以上になると、半導体装置100がシャットダウンする。その後、接合部温度Tjが150℃以下(ヒステリシス25℃)になると、半導体装置100が自動で再起動する。

- [0247] 低電圧保護回路 121 は、帰還電圧 V_{FB} を監視して低電圧保護を掛ける。例えば、半導体装置 100 の起動後、帰還電圧 V_{FB} が内部基準電圧 V_{REF} の 80% 以下になると、半導体装置 100 がシャットダウンする。なお、シャットダウン後に 117 ms が経過すると、半導体装置 100 が自動で再起動する。
- [0248] 過電圧保護回路 122 は、帰還電圧 V_{FB} を監視して過電圧保護を掛ける。例えば、帰還電圧 V_{FB} が内部基準電圧 V_{REF} の 116% 以上になると、下側トランジスタ 102 がオンして出力電圧 V_{OUT} の上昇が抑制される。その後、帰還電圧 V_{FB} が内部基準電圧 V_{REF} の 105% 以下になると、通常動作状態に復帰する。
- [0249] パワーグッド回路 123 は、帰還電圧 V_{FB} を監視してトランジスタ 124 のオン／オフ制御（延いてはパワーグッド信号 P_{GD} の出力制御）を行う。例えば、出力電圧 V_{OUT} が目標値の 92.5%～105% に達し、その状態が 0.9 ms に亘って継続すると、トランジスタ 124 がオフされる。一方、出力電圧 V_{OUT} が目標値の 116% 以上または 80% 以下になると、トランジスタ 124 がオンされる。
- [0250] トランジスタ 124 のドレインは、 P_{GD} 端子に接続されている。トランジスタ 124 のソースは、接地端（= A_{GND} 端子）に接続されている。トランジスタ 124 は、先述のように、パワーグッド回路 123 によりオン／オフされる。トランジスタ 124 がオフしているときには、 P_{GD} 端子がハイインピーダンス状態となる。一方、トランジスタ 124 がオンしているときには、 P_{GD} 端子が接地端にプルダウンされる。このようなパワーグッド機能を具備することにより、システム全体のシーケンス制御が可能となる。
- [0251] モードセクタ 125 は、 $MODE$ 端子の状態に応じてスイッチング周波数 $FREQ$ と動作モード $MODE$ を設定する。なお、動作モードとして軽負荷モードが選択されている場合、重負荷状態では PWM モード制御でスイッチング動作し、軽負荷状態では効率を向上させるために LLM [light load mode] モード制御でスイッチング動作する。一方、動作モードとして固定

PWMモードが選択されている場合には、負荷の重さに依ることなく強制的にPWMモード制御でスイッチング動作する。軽負荷モードでは、軽負荷領域での効率が改善されるので、待機時電力を抑えたい機器に好適である。

[0252] <下側過電流検出回路（比較例）>

図25は、下側過電流検出回路117の比較例（＝後出の実施形態と対比される一般的な構成）を示す図である。本比較例の下側過電流検出回路117は、電流生成回路2と、コンパレータCOMP1と、を有する。

[0253] 電流生成回路2は、下側トランジスタ102に流れる電流に応じた電流 I_{ILIM} を生成する。電流 I_{ILIM} は、抵抗 R_{ILIM} によって電圧 V_{ILIM} に変換される。

[0254] コンパレータCOMP1は、電圧 V_{ILIM} と閾値（例えば1.2V）とを比較し、比較結果である下側過電流検出信号LOCPを出力生成する。上述した過電流検出値LOCPは、閾値（例えば1.2V）及び抵抗 R_{ILIM} の抵抗値によって定まる。

[0255] 電流生成回路2は、電流源IS1と、Pチャネル型MOS電界効果トランジスタQ1～Q3及びQ7～Q8と、Nチャネル型MOS電界効果トランジスタQ4～Q6と、スイッチS1、S2と、を有する。

[0256] Pチャネル型MOS電界効果トランジスタQ1～Q3及びQ7～Q8の各ソースは、電源電圧印加端に接続される。Pチャネル型MOS電界効果トランジスタQ1～Q3の各ゲート及びPチャネル型MOS電界効果トランジスタQ1のドレインは、電流源IS1の第1端に接続される。電流源IS1の第2端は、接地端に接続される。

[0257] Pチャネル型MOS電界効果トランジスタQ2のドレインは、Nチャネル型MOS電界効果トランジスタQ4及びQ5の各ゲート及びNチャネル型MOS電界効果トランジスタQ4のドレインに接続される。Nチャネル型MOS電界効果トランジスタQ4のソースは、PGND端子に接続される。

[0258] Pチャネル型MOS電界効果トランジスタQ3のドレインは、スイッチS1を介してPチャネル型MOS電界効果トランジスタQ7及びQ8の各ゲート

トに接続される。Pチャネル型MOS電界効果トランジスタQ3のドレインは、Nチャネル型MOS電界効果トランジスタQ5のドレインに接続される。

[0259] Nチャネル型MOS電界効果トランジスタQ5のソースは、Nチャネル型MOS電界効果トランジスタQ6のドレイン及びPチャネル型MOS電界効果トランジスタQ7のドレインに接続される。Nチャネル型MOS電界効果トランジスタQ6のゲートには下側ゲート信号G2が供給される。Nチャネル型MOS電界効果トランジスタQ6のソースにはスイッチ電圧VSWが印加される。Nチャネル型MOS電界効果トランジスタQ6のドレインとPチャネル型MOS電界効果トランジスタQ7のドレインとが接続されるノードNAは、スイッチS2を介して接地端に接続される。

[0260] Nチャネル型MOS電界効果トランジスタQ8のドレインは、コンパレータCOMP1の非反転入力端(+)及びILIM端子に接続される。

[0261] 電流生成回路2によって生成される電流ILIMと、インダクタL1に流れる電流ILとの間には下記のような関係が成立する。

[0262] 下側トランジスタ102がオンであるとき、電流ILは下記の(1)式で表される。なお、RONLは下側トランジスタ102のオン抵抗である。

$$I_L = (PGND - V_{SW}) / R_{ONL} \quad \cdots (1)$$

[0263] 下側トランジスタ102がオンであるとき、Nチャネル型MOS電界効果トランジスタQ6において下記の(2)式が成り立つ。なお、RREFはNチャネル型MOS電界効果トランジスタQ6のオン抵抗である。また、Pチャネル型MOS電界効果トランジスタQ7とPチャネル型MOS電界効果トランジスタQ8とのミラー比は、1:Kである。

$$I_{ILIM} / K = (PGND - V_{SW}) / R_{REF} \quad \cdots (2)$$

[0264] 上記の(1)式及び(2)式から、下記の(3)式が成立する。K×RONL/RREFは、例えば10⁻⁵に設定される。

$$I_{ILIM} = I_L \times K \times R_{ONL} / R_{REF} \quad \cdots (3)$$

[0265] 図26は、スイッチング電源装置1の各部電圧及び各部電流の理想的な波

形を示すタイミングチャートである。電流 I_L が $K \times R_{ONL} / R_{REF}$ 倍されて電流 I_{ILIM} に変換される。そして、電流 I_{ILIM} が抵抗 R_{ILIM} によって電圧 V_{ILIM} に変換される。

[0266] しかしながら、電流生成回路 2 は下側トランジスタ 102 がオンであるときに動作する。具体的には、下側トランジスタ 102 がオンであるとき、すなわち下側ゲート信号 $G2 = \text{ハイレベル}$ のとき、Nチャネル型MOS電界効果トランジスタ $Q6$ はオンであり、スイッチ $S1$ はオン、スイッチ $S2$ はオフとされる。一方、下側トランジスタ 102 がオフであるとき、すなわち下側ゲート信号 $G2 = \text{ローレベル}$ のとき、Nチャネル型MOS電界効果トランジスタ $Q6$ はオフであり、スイッチ $S1$ はオフ、スイッチ $S2$ はオンとされる。これにより、下側トランジスタ 102 がオフであるときにはPチャネル型MOS電界効果トランジスタ $Q7$ 、 $Q8$ の各ゲートはフローティング状態とされ、状態が保持されるため、電流 I_{ILIM} は電流 I_L に追従しない。したがって、スイッチング電源装置の各部電圧及び各部電流の実際の波形は図 27 の実線のようにになる。なお、図 27 において、理想的な波形を破線で示す。電流生成回路 2 の動作開始時にも電流 I_{ILIM} は電流 I_L に追従しきれていない。その結果、過電流の検出漏れが発生するおそれがある。

[0267] 上記の考察に鑑み、以下では、過電流の検出漏れを抑制することができる新規な実施形態を提案する。

[0268] <下側過電流検出回路（第 1 実施形態）>

図 28 は、下側過電流検出回路 117 の第 1 実施形態を示す図である。なお、図 28 において図 25 と同一の部分には同一の符号を付し詳細な説明を省略する。本実施形態の下側過電流検出回路 117 は、制御ロジック 105 とともに、上側トランジスタ 101 及び下側トランジスタ 102 を制御するスイッチング制御回路を構成する。

[0269] 本実施形態の下側過電流検出回路 117 は、電流生成回路 2 及び 3 と、コンパレータ $COMP1$ と、を有する。

[0270] 電流生成回路 3 は、リップル電流 I_{RIPPLE} を生成する。リップル電流 I_R

r_{PPLE} は、下側トランジスタ102がオフからオンに切り替わるタイミングで零より大きく、上側トランジスタ101及び下側トランジスタ102のスイッチングに同期して変動する。電流 I_{ILIM} とリップル電流 I_{RIPPLE} とが加算された電流 I_{SUM} は、抵抗 R_{ILIM} によって電圧 V_{ILIM} に変換される。

[0271] 図29は、電流生成回路3の第1構成例を示す図である。第1構成例の電流生成回路3は、電流源IS11と、Nチャネル型MOS電界効果トランジスタQ11～Q12及びQ15～Q17と、Pチャネル型MOS電界効果トランジスタQ13～Q14及びQ18～Q19と、キャパシタC11と、抵抗R11, R12と、を有する。

[0272] 電流源IS11の第1端並びにPチャネル型MOS電界効果トランジスタQ13～Q14及びQ18～Q19の各ソースは、電源電圧印加端に接続される。電流源IS11の第2端は、Nチャネル型MOS電界効果トランジスタQ11及びQ12の各ゲート及びNチャネル型MOS電界効果トランジスタQ11のドレインに接続される。

[0273] Nチャネル型MOS電界効果トランジスタQ11及びQ12の各ソースは、接地端に接続される。Nチャネル型MOS電界効果トランジスタQ12のドレインは、Pチャネル型MOS電界効果トランジスタQ13及びQ14の各ゲート及びPチャネル型MOS電界効果トランジスタQ13のドレインに接続される。

[0274] Pチャネル型MOS電界効果トランジスタQ14のドレインは、Nチャネル型MOS電界効果トランジスタQ15のドレインに接続される。Nチャネル型MOS電界効果トランジスタQ15のゲートには上側ゲート信号G1が供給される。

[0275] Nチャネル型MOS電界効果トランジスタQ15のソースは、キャパシタC11の第1端、Nチャネル型MOS電界効果トランジスタQ16及びQ17の各ゲート、並びにNチャネル型MOS電界効果トランジスタQ16のドレインに接続される。

[0276] Nチャネル型MOS電界効果トランジスタQ16のソースは、抵抗R11

を介して接地端に接続される。Nチャネル型MOS電界効果トランジスタQ17のソースは、抵抗R12を介して接地端に接続される。

[0277] Nチャネル型MOS電界効果トランジスタQ17のドレインは、Pチャネル型MOS電界効果トランジスタQ18及びQ19の各ゲート及びPチャネル型MOS電界効果トランジスタQ18のドレインに接続される。Pチャネル型MOS電界効果トランジスタQ19のドレインからリップル電流 I_{RIPPLE} が出力される。リップル電流 I_{RIPPLE} は、RC時定数に応じて変動する。図30に示すように、リップル電流 I_{RIPPLE} は、下側トランジスタ102がオフのときに時間経過とともに増加し、下側トランジスタ102がオンのときに時間経過とともに減少する。これにより、電圧 V_{ILIM} を理想的な波形に近づけることができる。

[0278] 例えば下記のような設定である場合、リップル電流 I_{RIPPLE} の最大値は $40\mu\text{A}$ になる。電流源IS11から出力される電流 I_{BIAS} が $0.5\mu\text{A}$ である。キャパシタの容量が 0.7pF である。抵抗R11の抵抗値が $50\text{k}\Omega$ である。抵抗R12の抵抗値が $12.5\text{k}\Omega$ である。Nチャネル型MOS電界効果トランジスタQ11とNチャネル型MOS電界効果トランジスタQ12とのミラー比が1:2である。Pチャネル型MOS電界効果トランジスタQ13とPチャネル型MOS電界効果トランジスタQ14とのミラー比が1:2である。Nチャネル型MOS電界効果トランジスタQ16とNチャネル型MOS電界効果トランジスタQ17とのミラー比が1:4である。Pチャネル型MOS電界効果トランジスタQ18とPチャネル型MOS電界効果トランジスタQ19とのミラー比が1:5である。

[0279] なお、第1構成例の電流生成回路3の代わりに、図31～図33に示す第2～第4構成例の電流生成回路3のいずれかが用いられてもよい。第2～第4構成例の電流生成回路3は、第1構成例の電流生成回路3と同様に、ゲートに上側ゲート信号G1が供給されるNチャネル型MOS電界効果トランジスタQ15と、キャパシタC11と、抵抗R11と、を有する。

[0280] また、第1構成例の電流生成回路3の代わりに、図34に示す第5構成例

の電流生成回路 3 が用いられてもよい。図 3 4 に示す第 5 構成例の電流生成回路 3 には下側ゲート信号 G 2 が供給される。図 3 4 に示す第 5 構成例の電流生成回路 3 は、第 1 回路 3 A 及び第 2 回路 3 B を有する。図 3 4 中の第 1 回路 3 A の代わりに、図 3 5 A に示す第 1 回路 3 A 又は図 3 5 B に示す第 1 回路 3 A が用いられてもよい。図 3 4 中の第 2 回路 3 B の代わりに、図 3 6 A ～図 3 6 C のいずれかに示す第 2 回路 3 B が用いられてもよい。図 3 7 は、図 3 4 に示す第 5 構成例の電流生成回路 3 を有するスイッチング電源装置 1 の各部電圧及び各部電流の実際の波形を示すタイミングチャートである。

[0281] <下側過電流検出回路（第 2 実施形態）>

図 3 8 は、下側過電流検出回路 1 1 7 の第 2 実施形態を示す図である。本実施形態の下側過電流検出回路 1 1 7 は、制御ロジック 1 0 5 とともに、上側トランジスタ 1 0 1 及び下側トランジスタ 1 0 2 を制御するスイッチング制御回路を構成する。

[0282] 本実施形態の下側過電流検出回路 1 1 7 は、比較例の下側過電流検出回路 1 1 7 にスイッチ SW 1 ～SW 5 と、P チャネル型 MOS 電界効果トランジスタ Q 2 1 と、N チャネル型 MOS 電界効果トランジスタ Q 2 2 及び Q 2 3 と、キャパシタ C 1 2 と、電流源 I S 1 2 と、を追加した構成である。

[0283] スイッチ SW 1 ～SW 3 は、下側トランジスタ 1 0 2 がオフのときにオフになり、下側トランジスタ 1 0 2 がオンのときにオンになる。スイッチ SW 4 及び SW 5 は、下側トランジスタ 1 0 2 がオフのときにオンになり、下側トランジスタ 1 0 2 がオンのときにオフになる。

[0284] キャパシタ C 1 2 は、下側トランジスタ 1 0 2 がターンオフする直前の電流 I_{LLIM}' 情報を保持する。電流生成回路 3 は、下側トランジスタ 1 0 2 がオフであるときに、キャパシタ C 1 2 によって保持されている情報の電流と電流源 I S 1 2 から出力される電流とを加算された電流を出力する。

[0285] 本実施形態の下側過電流検出回路 1 1 7 は、図 3 9 に示す波形の電流 I_{LLIM}' を得ることができるため、第 1 実施形態の下側過電流検出回路 1 1 7 と同様に、過電流の検出漏れを抑制することができる。

[0286] <下側過電流検出回路（第3実施形態）>

第1実施形態の下側過電流検出回路117及び第2実施形態の下側過電流検出回路117は、第1電流生成回路2の入力差動対トランジスタであるNチャネル型MOS電界効果トランジスタQ4及びQ5にオフセットがあるときに、電流 I_{ILIM} の精度が悪化する。

[0287] 第3実施形態の下側過電流検出回路117は、第1電流生成回路2の入力差動対トランジスタであるNチャネル型MOS電界効果トランジスタQ4及びQ5のオフセットをキャンセルするように構成される。したがって、第3実施形態の下側過電流検出回路117は、第1実施形態の下側過電流検出回路117及び第2実施形態の下側過電流検出回路117よりも電流 I_{ILIM} の精度を向上させることができる。

[0288] 図40は、下側過電流検出回路117の第3実施形態を示す図である。本実施形態の下側過電流検出回路117は、第1実施形態の下側過電流検出回路117をベースとする回路である。図40において、図28と同一の部分には同一の符号を付し、詳細な説明を省略する。

[0289] 本実施形態の下側過電流検出回路117は、入力差動部2Aと、オフセットサンプリング部2Bと、位相補償及び出力駆動部2Cと、出力部2Dと、Pチャネル型MOS電界効果トランジスタQ1及びQ22と、電流源IS1と、Nチャネル型MOS電界効果トランジスタQ6と、スイッチSW9～SW11と、を有する。

[0290] スイッチSW6、SW7、SW8、及びSW11とスイッチSW9及びSW10とは、相補的にオン／オフする。

[0291] スイッチSW6、SW7、SW8、及びSW11は、下側トランジスタ102がオフであるときにオンである。このとき、Nチャネル型MOS電界効果トランジスタQ4のソースとNチャネル型MOS電界効果トランジスタQ5のソースとが、スイッチSW8によって短絡される。そして、Pチャネル型MOS電界効果トランジスタQ22のドレイン電圧とPチャネル型MOS電界効果トランジスタQ24のドレイン電圧が一致するように、キャパシタ

C 1 2 及び C 1 3 が充電される。

[0292] スイッチ S W 9 及び S W 1 0 は、下側トランジスタ 1 0 2 がオンであるときにオンである。このとき、キャパシタ C 1 2 及び C 1 3 の充電電圧によって N チャネル型 M O S 電界効果トランジスタ Q 4 及び Q 5 の各ドレイン電流が調整され、その結果、N チャネル型 M O S 電界効果トランジスタ Q 4 及び Q 5 のオフセットがキャンセルされる。

[0293] <その他>

発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

[0294] <付記>

上述した実施形態では、抵抗 R_{LIM} は半導体装置 1 0 0 の外付け部品であるが、抵抗 R_{LIM} は半導体装置 1 0 0 に内蔵されてもよい。また、上述した実施形態及び変形例では、リップル電流 I_{RIPPLE} を生成する電流生成回路 3 は、グラウンド電位を基準として動作する回路であるが、電源電圧を基準として動作する回路であってもよい。

[0295] 以上説明した過電流検出回路 (1 1 7) は、第 1 スイッチ (1 0 1) 及び第 2 スイッチ (1 0 2) が直列接続され、前記第 2 スイッチが前記第 1 スイッチより低電位側に設けられ、前記第 1 スイッチと前記第 2 スイッチとの接続ノードにインダクタが接続される回路の前記第 2 スイッチに流れる過電流を検出するように構成される過電流検出回路であって、前記第 2 スイッチに流れる電流に応じた第 1 電流を生成するように構成される第 1 電流生成回路 (2) と、前記第 2 スイッチがオフからオンに切り替わるタイミングで零より大きく、前記第 1 スイッチ及び前記第 2 スイッチのスイッチングに同期して変動する第 2 電流を生成するように構成される第 2 電流生成回路 (3) と

、前記第 1 電流及び前記第 2 電流に応じた電圧と閾値とを比較するように構成されるコンパレータ（COMP 1）と、を有する構成（第 1 の構成）である。

[0296] 上記第 1 の構成の過電流検出回路は、過電流の検出漏れを抑制することができる。

[0297] 上記第 1 の構成の過電流検出回路において、前記第 2 電流生成回路は、前記第 1 スイッチがオンのときにオンになり、前記第 1 スイッチがオフのときにオフになるように構成される第 3 スイッチ（Q 1 5）、又は、前記第 1 スイッチがオンのときにオフになり、前記第 1 スイッチがオフのときにオンになる第 4 スイッチを含む構成（第 2 の構成）であってもよい。

[0298] 上記第 2 の構成の過電流検出回路は、第 2 電流の生成が容易になる。

[0299] 上記第 1 又は第 2 の構成の過電流検出回路において、前記第 2 電流生成回路は、抵抗（R 1 1）及びキャパシタ（C 1 1）によって構成される回路を含む構成（第 3 の構成）であってもよい。

[0300] 上記第 3 の構成の過電流検出回路は、RC 時定数によって第 2 電流を容易に変動させることができる。

[0301] 上記第 1 ～第 3 いずれかの構成の過電流検出回路において、前記第 2 電流は、前記第 2 スイッチがオフのときに時間経過とともに増加し、前記第 2 スイッチがオンのときに時間経過とともに減少する構成（第 4 の構成）であってもよい。

[0302] 上記第 4 の構成の過電流検出回路は、第 1 電流及び第 2 電流に応じた電圧を理想的な波形に近づけることができる。

[0303] 上記第 1 の構成の過電流検出回路において、前記第 2 電流生成回路は、前記第 1 スイッチがオンのときにオンになり、前記第 1 スイッチがオフのときにオフになる第 3 スイッチ（SW 5）と、前記第 1 スイッチがオンのときにオフになり、前記第 1 スイッチがオフのときにオンになる第 4 スイッチ（SW 3）と、を含む構成（第 5 の構成）であってもよい。

[0304] 上記第 5 の構成の過電流検出回路は、第 2 電流の生成が容易になる。

- [0305] 上記第 1 又は第 5 の構成の過電流検出回路において、前記第 2 電流生成回路は、前記第 2 スイッチがターンオフする直前の前記第 1 電流の情報を保持するように構成される構成（第 6 の構成）であってもよい。
- [0306] 上記第 6 の構成の過電流検出回路は、第 2 スイッチがターンオフする直前の第 1 電流の情報を利用することで第 2 電流を適切な値に設定することができる。
- [0307] 上記第 6 の構成の過電流検出回路において、前記第 2 電流は、前記第 2 スイッチがオフのときに前記情報に応じた値になる構成（第 7 の構成）であってもよい。
- [0308] 上記第 7 の構成の過電流検出回路は、第 2 スイッチがターンオフする直前の第 1 電流の情報を利用することで第 2 電流を適切な値に設定することができる。
- [0309] 上記第 1 ～第 7 の構成の過電流検出回路において、前記第 1 電流生成回路は、前記第 1 電流生成回路の入力差動対トランジスタのオフセットをキャンセルするように構成される構成（第 8 の構成）であってもよい。
- [0310] 上記第 8 の構成の過電流検出回路は、第 1 電流の精度を向上させることができる。
- [0311] 以上説明したスイッチング制御回路は、上記第 1 ～第 8 いずれかの構成の過電流検出回路と、前記第 1 スイッチ及び前記第 2 スイッチを制御するように構成される制御部（105）と、を有する構成（第 9 の構成）である。
- [0312] 上記第 9 の構成のスイッチング制御回路は、過電流の検出漏れを抑制することができる。
- [0313] 以上説明したスイッチング電源装置（1）は、上記第 9 の構成のスイッチング制御回路と、前記第 1 スイッチ及び前記第 2 スイッチと、を有する構成（第 10 の構成）である。
- [0314] 上記第 10 の構成のスイッチング電源装置は、過電流の検出漏れを抑制することができる。
- [0315] <<第 4 の開示技術>>

＜スイッチング電源装置＞

図41は、スイッチング電源装置の全体構成を示す図である。本構成例のスイッチング電源装置1は、入力電圧 V_{IN} （例えば4～16V）から所望の出力電圧 V_{OUT} （例えば0.6～5.5V）を生成する同期整流方式の降圧型DC/DCコンバータであり、半導体装置100と、これに外付けされる種々のディスクリート部品（例えばキャパシタ $C1\sim C5$ 、インダクタ $L1$ 、および、抵抗 $R1\sim R5$ ）と、を有する。

[0316] なお、スイッチング電源装置1は、例えばSOC [system-on-a-chip]、FPGA [field-programmable gate array] 若しくはマイクロプロセッサなどの降圧電源、または、サーバー若しくは基地局の降圧電源として好適に利用することが可能である。

[0317] 半導体装置100は、スイッチング電源装置1を統括的に制御するモノリシック半導体集積回路装置（いわゆる電源制御IC）である。なお、半導体装置100は、装置外部との電気的な接続を確立するための手段として、複数の外部端子（本図に即して述べると、BST、AGND、ILIM、MODE、SS/REF、RGND、FB、PGD、VIN、PGNDおよびVCC）を有する。

[0318] BST端子は、ブートストラップ用端子である。BST端子とSW端子との間には、ブートストラップ用のキャパシタ $C4$ （例えば $0.1\mu F$ ）が外付けされる。なお、BST端子に現れるブースト電圧 V_B （ $\div V_{SW} + V_{CC}$ ）は、半導体装置100に内蔵される上側トランジスタ（本図では不図示）のゲート駆動電圧となる。

[0319] AGND端子は、制御用回路（アナログ系回路）のグラウンド端子である。

[0320] ILIM端子は、過電流検出値設定端子である。なお、過電流検出値 I_{OCP} は、ILIM端子と接地端（=AGND端子）との間に外付けされる抵抗 $R1$ を用いて任意に設定することが可能である。

[0321] MODE端子は、スイッチング制御モード設定端子である。例えば、MO

D E 端子をプルアップしたり、MODE 端子と接地端 (=AGND) との間に外付けされる抵抗 R_2 を調整したりすることにより、スイッチング周波数 (例えば 600 kHz、800 kHz および 1 MHz) と動作モード (軽負荷モードおよび固定 PWM[pulse width modulation]モード) の組み合わせを任意に切り替えることが可能である。

[0322] SS/REF 端子は、ソフトスタート時間設定端子/内部基準電圧設定端子である。例えば、SS/REF 端子と接地端 (=RGND 端子) との間に外付けされるキャパシタ C_5 の容量値に応じて出力電圧 V_{OUT} のソフトスタート時間 t_{SS} を任意に調整することが可能である。なお、ソフトスタート機能により出力電圧 V_{OUT} が緩やかに立ち上がるので、出力電圧 V_{OUT} のオーバーシュートおよび突入電流を防ぐことができる。また、半導体装置 100 では、出力電圧トラッキング機能のために SS/REF 端子を用いて外部電源から内部基準電圧 V_{REF} を外部入力することができる。従って、内部基準電圧 V_{REF} については、所定の目標値 (例えば 0.6 V) まで起動した後、任意の電圧範囲で設定することが可能である。

[0323] RGND 端子は、リモートセンスグラウンド端子である。なお、リモートセンス機能を省略する場合、RGND 端子に接続される構成要素を AGND 端子に接続すればよい。

[0324] FB 端子は、出力電圧フィードバック端子である。FB 端子は、出力電圧 V_{OUT} の印加端と接地端 (=RGND 端子) との間に直列接続された抵抗 R_3 および R_4 相互間の接続ノード (=帰還電圧 V_{FB} の印加端) に接続されている。なお、出力電圧 V_{OUT} の目標値は、 $\{(R_3 + R_4) / R_4\} \times V_{REF}$ として設定することが可能である。

[0325] EN 端子は、イネーブル端子である。例えば、EN 端子に印加されるイネーブル電圧 V_{EN} が上側閾値 (例えば 1.22 V) 以上になると半導体装置 100 が起動し、下側閾値 (例えば 1.02 V) 以下になると半導体装置 100 がシャットダウンする。なお、EN 端子は、終端する必要がある。また、イネーブル電圧 V_{EN} は、入力電圧 V_{IN} の投入と同時 ($V_{IN} = V_{EN}$

) または入力電圧 V_{IN} の投入後に起動することが望ましい。

[0326] PGD端子は、パワーグッド端子である。PGD端子は、オープンドレイン出力形式のため、プルアップ用の抵抗 R_5 を必要とする。なお、PGD端子を使用しない場合には、PGD端子をフローティング状態もしくはグラウンドに接続すればよい。

[0327] VIN端子は、電源入力端子である。VIN端子と接地端 (= PGND端子) との間には、入力平滑用のキャパシタ C_1 (例えば $0.1 \mu F$ 程度のセラミックキャパシタ) が外付けされる。キャパシタ C_1 は、入力リップルノイズの低減に効果があり、VIN端子およびPGND端子の極力近くに配置することでその効果を発揮する。

[0328] SW端子は、スイッチング出力端子である。SW端子は、半導体装置 100 に内蔵された上側トランジスタのソースと下側トランジスタのドレイン (本図ではいずれも不図示) に接続されており、矩形波状のスイッチ電圧 V_{SW} を出力する。なお、SW端子と出力電圧 V_{OUT} の印加端との間にはインダクタ L_1 が外付けされる。また、出力電圧 V_{OUT} の印加端とRGND端子との間にはキャパシタ C_3 (例えばセラミックキャパシタ) が外付けされる。このように、スイッチング電源装置 1 では、負荷に連続的な電流を供給するために出力平滑化用のLCフィルタが必要である。

[0329] PGND端子は、スイッチング出力段 (= パワー系回路) のグラウンド端子である。

[0330] VCC端子は、内部電源出力端子である。VCC端子から出力される内部電源電圧 V_{CC} (例えば $3 V$) は、例えば、半導体装置 100 の制御用回路 (= アナログ系回路) に供給される。なお、VCC端子と接地端 (= AGND端子) との間にはキャパシタ C_2 (例えば $1 \mu F$ 程度のセラミックキャパシタ) が外付けされる。

[0331] <半導体装置>

図 42 は半導体装置 100 の内部構成を示す図である。本構成例の半導体装置 100 は、上側トランジスタ 101 と、下側トランジスタ 102 と、上

側ドライバ103と、下側ドライバ104と、制御ロジック105と、内部電源電圧生成回路106と、内部基準電圧生成回路107と、エラーアンプ108と、キャパシタ109Aと、下側クランプ回路109Bと、上側クランプ回路109Cと、抵抗109Dと、ランプ電圧生成回路110と、電圧重畳回路111と、メインコンパレータ112と、オン時間設定回路113と、Pチャネル型MOS電界効果トランジスタ114と、Nチャネル型MOS電界効果トランジスタ115と、コンパレータ116、117および118と、低入力電圧誤動作防止回路119と、温度保護回路120と、低電圧保護回路121と、過電圧保護回路122と、パワーグッド回路123と、Nチャネル型MOS電界効果トランジスタ124と、モードセクタ125と、を有する。

[0332] 上側トランジスタ101（例えばNチャネル型MOS電界効果トランジスタ）のドレインは、VIN端子に接続されている。上側トランジスタ101のソースは、SW端子に接続されている。上側トランジスタ101のゲートは、上側ゲート信号G1の印加端（＝上側ドライバ103の出力端）に接続されている。上側トランジスタ101は、上側ゲート信号G1がハイレベル（ $\equiv V_B$ ）であるときにオンして、上側ゲート信号G1がローレベル（ $\equiv V_{SW}$ ）であるときにオフする。

[0333] 下側トランジスタ102（例えばNチャネル型MOS電界効果トランジスタ）のドレインは、SW端子に接続されている。下側トランジスタ102のソースは、PGND端子に接続されている。下側トランジスタ102のゲートは、下側ゲート信号G2の印加端（＝下側ドライバ104の出力端）に接続されている。下側トランジスタ102は、下側ゲート信号G2がハイレベル（ $\equiv V_{CC}$ ）であるときにオンして、下側ゲート信号G2がローレベル（ $\equiv PGND$ ）であるときにオフする。

[0334] このように接続された上側トランジスタ101および下側トランジスタ102は、半導体装置100に外付けされたディスクリート部品（インダクタL1およびキャパシタC3）と共に、同期整流方式を採用した降圧型のスイ

ッチング出力段を形成する。ただし、整流方式については、必ずしも同期整流方式に限定されるものではなく、下側トランジスタ 102 に代えて整流ダイオードを用いてもよい。

[0335] なお、スイッチング電源装置 1 に大電流出力（例えば最大 20 A 出力）が求められる場合には、上側トランジスタ 101 および下側トランジスタ 102 としてオン抵抗の低い素子を用いることが望ましい。

[0336] また、上側トランジスタ 101 および下側トランジスタ 102 は、かならずしも半導体装置 100 に内蔵する必要はなく、ディスクリート部品として半導体装置 100 に外付けしても構わない。

[0337] 上側ドライバ 103 は、ブート電圧 V_B とスイッチ電圧 V_{SW} の供給を受けて動作し、制御ロジック 105 から出力される上側制御信号 S_1 に基づいて上側ゲート信号 G_1 を生成する。例えば、上側ドライバ 103 は、上側制御信号 S_1 がハイレベルであるときに上側ゲート信号 G_1 をハイレベル（ $\equiv V_B$ ）とし、上側制御信号 S_1 がローレベルであるときに上側ゲート信号 G_1 をローレベル（ $\equiv V_{SW}$ ）とする。

[0338] 下側ドライバ 104 は、内部電源電圧 V_{CC} および接地電圧 P_{GND} の供給を受けて動作し、制御ロジック 105 から出力される下側制御信号 S_2 に基づいて、下側ゲート信号 G_2 を生成する。例えば、下側ドライバ 104 は、下側制御信号 S_2 がハイレベルであるときに下側ゲート信号 G_2 をハイレベル（ $\equiv V_{CC}$ ）とし、下側制御信号 S_2 がローレベルであるときに下側ゲート信号 G_2 をローレベル（ $\equiv P_{GND}$ ）とする。

[0339] 制御ロジック 105 は、 EN 端子に入力されるイネーブル信号（ $=$ イネーブル電圧 V_{EN} ）がハイレベルであるときに、固定オン時間制御方式で上側トランジスタ 101 および下側トランジスタ N_2 を相補的にオン／オフする。

[0340] より具体的に述べると、制御ロジック 105 は、上側トランジスタ 101 をオンして下側トランジスタ N_2 をオフするときに上側制御信号 S_1 をハイレベルとして下側制御信号 S_2 をローレベルとする。また、制御ロジック 1

05は、上側トランジスタ101をオフして下側トランジスタ102をオンするときに上側制御信号S1をローレベルとして下側制御信号S2をハイレベルとする。

[0341] このように、スイッチング出力段を形成する上側トランジスタ101および下側トランジスタ102が相補的にオン／オフされると、SW端子に矩形波状（ハイレベル：VB、ローレベル：PGND）のスイッチ電圧VSWが生成される。スイッチング電源装置1は、このスイッチ電圧VSWをLCフィルタ（＝インダクタL1およびキャパシタC3）で整流および平滑することにより、所望の出力電圧VOUTを生成することができる。

[0342] また、制御ロジック105は、過大な貫通電流を防止するために上側トランジスタ101および下側トランジスタ102の同時オン防止機能も備えている。さらに、制御ロジック105は、各種の保護信号（HOC P、LOC P、ZX／ROCP、UVLO、TSD、SCPおよびOVP）に基づいて上側トランジスタ101および下側トランジスタ102のオン／オフ駆動を強制的に停止する機能も備えている。例えば、制御ロジック105は、異常検出時に上側制御信号S1および下側制御信号S2をいずれもローレベルとすることにより、上側トランジスタ101および下側トランジスタ102をいずれもオフさせる。

[0343] 内部電源電圧生成回路106は、内部電源電圧VCC（例えば3V）を生成してVCC端子および半導体装置100の各部に出力する。

[0344] 内部基準電圧生成回路107は、EN端子に入力されるイネーブル信号（＝イネーブル電圧VEN）がハイレベルであるときに、内部電源電圧VCCから所定の内部基準電圧VREFを生成してSS／REF端子に出力する。

[0345] エラーアンプ108は、RGND端子を基準電位として動作し、非反転入力端（＋）に入力される内部基準電圧VREFと、反転入力端（－）に入力される帰還電圧VFBとの差分に応じた誤差信号Saを生成する。従って、誤差信号Saは、 $VREF > VFB$ であるときに上昇し、 $VREF < VFB$ であるときに低下する。

- [0346] キャパシタ 109A は、エラーアンプ 108 の出力端と接地端 (= R G N D 端子) との間に設けられる。キャパシタ 109A は、位相補償回路の一例であり、エラーアンプ 108 の発振を防止する。下側クランプ回路 109B は、誤差信号 S a が第 1 所定値を下回らないように誤差信号 S a をクランプする。上側クランプ回路 109C は、誤差信号 S a が第 2 所定値 ($>$ 第 1 所定値) を超えないように誤差信号 S a をクランプする。抵抗 109D は、誤差信号 S a を伝送する信号線 L N 1 と上側クランプ回路 109C との間に設けられる。
- [0347] ランプ電圧生成回路 110 は、鋸波形または三角波形のランプ電圧 V R を生成する。
- [0348] 電圧重畳回路 111 は、帰還電圧 V F B にランプ電圧 V R を重畳してスロープ信号 S b を生成する。
- [0349] メインコンパレータ 112 は、非反転入力端 (+) に入力される誤差信号 S a と、反転入力端 (-) に入力されるスロープ信号 S b とを比較することにより、比較信号 S c を生成してオン時間設定回路 113 に出力する。なお、比較信号 S c は、 $S a > S b$ であるときにハイレベルとなり、 $S a < S b$ であるときにローレベルとなる。すなわち、メインコンパレータ 112 は、比較信号 S c をハイレベルに立ち上げることにより、出力電圧 V O U T が目標値よりも低下したことをオン時間設定回路 113 にフィードバックする。
- [0350] オン時間設定回路 113 は、比較信号 S c がハイレベルに立ち上がったときに所定のオン時間 T o n を設定する。制御ロジック 105 は、このオン時間 T o n が経過するまで、上側トランジスタ 101 をオンして下側トランジスタ N 2 をオフする。
- [0351] このように、上記構成要素のうち、エラーアンプ 108、メインコンパレータ 112、および、オン時間設定回路 113 は、帰還電圧 V F B が内部基準電圧 V R E F と一致するように固定オン時間制御方式でスイッチング出力段の駆動制御を行う出力帰還制御回路を形成している。
- [0352] ただし、出力帰還制御方式は、必ずしも固定オン時間制御方式に限定され

るものではなく、電圧モード制御方式、電流モード制御方式、または、ヒステリシス制御方式（リップル制御方式）などを採用してもよい。

[0353] トランジスタ 114 のドレインは、VCC 端子（＝内部電源電圧 VCC の印加端）に接続されている。また、トランジスタ 114 のソースは、BST 端子（＝ブート電圧 VB の印加端）に接続されている。このように接続されたトランジスタ 114 は、BST 端子と SW 端子との間に外付けされたキャパシタ C4 と共にブートストラップ回路を形成する。

[0354] なお、トランジスタ 114 は、制御ロジック 105 からゲートに入力される制御信号 S3（＝基本的に制御信号 S1 と同一の論理レベルを持つ 2 値信号）がローレベルであるときにオンして、制御信号 S3 がハイレベルであるときにオフする。

[0355] 上記のブートストラップ回路は、スイッチ電圧 VSW よりも常にキャパシタ C4 の両端間電圧（ $\doteq VCC$ ）だけ高いブート電圧 VB（ $\doteq VSW + VCC$ ）を生成する。つまり、ブート電圧 VB は、スイッチ電圧 VSW のハイレベル期間（ $VSW \doteq VIN$ ）には $VB \doteq VIN + VCC$ となり、スイッチ電圧 VSW のローレベル期間（ $VSW \doteq PGND$ ）には $VB \doteq VCC$ となる。

[0356] このようにして生成されるブート電圧 VB は、上側ドライバ 103 に供給されており、上側ゲート信号 G1 のハイレベル（＝上側トランジスタ 101 をオンするためのゲート電圧）として用いられる。従って、上側トランジスタ 101 のオン期間には、上側ゲート信号 G1 のハイレベル（ $\doteq VB$ ）がスイッチ電圧 VSW のハイレベル（ $\doteq VIN$ ）よりも高い電圧値（ $\doteq VIN + VCC$ ）まで引き上げられるので、上側トランジスタ 101 のゲート・ソース間電圧を高めて上側トランジスタ 101 を確実にオンすることが可能となる。

[0357] なお、ブートストラップ回路の構成要素としては、トランジスタ 114 に代えて、アノードが VCC 端子に接続されてカソードが BST 端子に接続されたダイオードを用いてもよい。この場合、ブート電圧 VB は、 $VB \doteq VSW + VCC - Vf$ （ただし、 Vf はダイオードの順方向降下電圧）となる。

- [0358] トランジスタ 115 のドレインは、SW 端子（＝スイッチ電圧 V_{SW} の印加端）に接続されている。トランジスタ 115 のソースは、PGND 端子（＝パワー系回路の接地端）に接続されている。なお、トランジスタ 114 は、制御ロジック 105 からゲートに入力される制御信号 S_4 がハイレベルであるときにオンして制御信号 S_4 がローレベルであるときにオフする。
- [0359] このように接続されたトランジスタ 115 は、半導体装置 100 を動作状態からイネーブル制御でシャットダウンするときに出力平滑用のキャパシタ C_3 をディスチャージするための抵抗負荷（例えば $80\ \Omega$ ）として機能する。すなわち、半導体装置 100 のシャットダウンにより上側トランジスタ 101 および下側トランジスタ 102 をいずれもオフするとき、トランジスタ 115 をオンするとよい。なお、出力電圧 V_{OUT} は、例えば、目標値の 10% までディスチャージしてもよい。
- [0360] コンパレータ 116 は、スイッチング周期の 1 サイクル毎に上側トランジスタ 101 の両端間電圧（＝ $V_{IN} - V_{SW}$ ）を監視して上側過電流検出信号 HOC_P を生成する。上側トランジスタ 101 がオンしているときに、上側トランジスタ 101 に流れる電流が過電流検出値 I_{OCPH} に達すると、上側過電流検出信号 HOC_P がハイレベルとなる。このとき、制御ロジック 105 は、上側トランジスタ 101 をオフして下側トランジスタ 102 をオンする。
- [0361] コンパレータ 117 は、スイッチング周期の 1 サイクル毎に下側トランジスタ 102 の両端間電圧（＝ V_{SW} ）を監視して下側過電流検出信号 LOC_P を生成する。下側トランジスタ 102 がオンしているときに、下側トランジスタ 102 に流れる電流が過電流検出値 I_{OCP_L} に達すると、下側過電流検出信号 LOC_P がハイレベルとなる。このとき、制御ロジック 105 は、帰還電圧 FB が内部基準電圧 V_{REF} を下回っても上側トランジスタ 101 をオフして下側トランジスタ 102 をオンした状態を継続する。その後、下側トランジスタ 102 に流れる電流が上限値を下回ると、上側トランジスタ 101 をオンすることが可能となる。

- [0362] コンパレータ 118 は、スイッチング周期の 1 サイクル毎に下側トランジスタ 102 の両端間電圧 (= V_{SW}) を監視してゼロクロス/シンク (リバー) 過電流検出信号 ZX/R_{OCP} を生成する。例えば、軽負荷モードでは、制御ロジック 105 は、下側トランジスタ 102 がオンしているときに下側トランジスタ 102 に流れる電流のゼロクロスタイミングを検出して下側トランジスタ 102 をオフする。また、固定 PWM モードでは、制御ロジック 105 は、下側トランジスタ 102 がオンしているときに SW 端子から下側トランジスタ 102 に向けて流れるシンク電流 (リバー) 電流が上限値に達したことを検出し、下側トランジスタ 102 をオフして上側トランジスタ 101 をオンする。
- [0363] 低入力電圧誤動作防止回路 119 は、入力電圧 V_{IN} および内部電源電圧 V_{CC} を監視して $UVLO$ [under voltage lock out] 保護を掛ける。例えば、入力電圧 V_{IN} が 1.85 V 以下または内部電源電圧 V_{CC} が 2.5 V 以下になると、半導体装置 100 がシャットダウンする。一方、入力電圧 V_{IN} が 2.4 V 以上かつ内部電源電圧 V_{CC} が 2.8 V 以上になると、半導体装置 100 が起動する。
- [0364] 温度保護回路 120 は、半導体装置 100 の接合部温度 T_j を監視して温度保護を掛ける。例えば、接合部温度 T_j が 175°C 以上になると、半導体装置 100 がシャットダウンする。その後、接合部温度 T_j が 150°C 以下 (ヒステリシス 25°C) になると、半導体装置 100 が自動で再起動する。
- [0365] 低電圧保護回路 121 は、帰還電圧 V_{FB} を監視して低電圧保護を掛ける。例えば、半導体装置 100 の起動後、帰還電圧 V_{FB} が内部基準電圧 V_{REF} の 80% 以下になると、半導体装置 100 がシャットダウンする。なお、シャットダウン後に 117 ms が経過すると、半導体装置 100 が自動で再起動する。
- [0366] 過電圧保護回路 122 は、帰還電圧 V_{FB} を監視して過電圧保護を掛ける。例えば、帰還電圧 V_{FB} が内部基準電圧 V_{REF} の 116% 以上になると、下側トランジスタ 102 がオンして出力電圧 V_{OUT} の上昇が抑制される

。その後、帰還電圧 V_{FB} が内部基準電圧 V_{REF} の105%以下になると、通常動作状態に復帰する。

[0367] パワーグッド回路123は、帰還電圧 V_{FB} を監視してトランジスタ124のオン／オフ制御（延いてはパワーグッド信号 P_{GD} の出力制御）を行う。例えば、出力電圧 V_{OUT} が目標値の92.5%～105%に達し、その状態が0.9msに亘って継続すると、トランジスタ124がオフされる。一方、出力電圧 V_{OUT} が目標値の116%以上または80%以下になると、トランジスタ124がオンされる。

[0368] トランジスタ124のドレインは、 P_{GD} 端子に接続されている。トランジスタ124のソースは、接地端（= A_{GND} 端子）に接続されている。トランジスタ124は、先述のように、パワーグッド回路123によりオン／オフされる。トランジスタ124がオフしているときには、 P_{GD} 端子がハイインピーダンス状態となる。一方、トランジスタ124がオンしているときには、 P_{GD} 端子が接地端にプルダウンされる。このようなパワーグッド機能を具備することにより、システム全体のシーケンス制御が可能となる。

[0369] モードセレクト125は、 $MODE$ 端子の状態に応じてスイッチング周波数 $FREQ$ と動作モード $MODE$ を設定する。なお、動作モードとして軽負荷モードが選択されている場合、重負荷状態ではPWMモード制御でスイッチング動作し、軽負荷状態では効率を向上させるためにLLM [light load mode] モード制御でスイッチング動作する。一方、動作モードとして固定PWMモードが選択されている場合には、負荷の重さに依ることなく強制的にPWMモード制御でスイッチング動作する。軽負荷モードでは、軽負荷領域での効率が改善されるので、待機時電力を抑えたい機器に好適である。

[0370] <発振防止回路>

発振防止回路は、上述した信号線 $LN1$ 、キャパシタ109A、上側クランプ回路109C、および抵抗109Dを有する。発振防止回路は、エラーアンプ108、メインコンパレータ112、オン時間設定回路113、および制御ロジック105とともに、上側トランジスタ101および下側トラン

ジスタ 102 を制御するスイッチング制御回路を構成する。図 43 は、エラーアンプ 108、下側クランプ回路 109B、および上側クランプ回路 109C の一構成例を示す図である。

- [0371] エラーアンプ 108 は、直流電圧源 1081 と、エラーアンプ 1082 と、を有する。直流電圧源 1081 は、エラーアンプ 1082 の非反転入力端（+）に接続され、内部基準電圧 V_{REF} に第 1 オフセット電圧を加えた電圧をエラーアンプ 1082 の非反転入力端（+）に供給する。
- [0372] 下側クランプ回路 109B は、直流電圧源 1091 と、直流電圧源 1092 と、差動アンプ 1093 と、スイッチとして機能する NMOS 電界効果トランジスタ 1094 と、を有する。直流電圧源 1091 は、内部基準電圧 V_{REF} に第 2 オフセット電圧を加えた電圧を直流電圧源 1092 に供給する。直流電圧源 1092 は、内部基準電圧 V_{REF} と第 2 オフセット電圧との合計電圧に、上述した第 1 所定値に応じた電圧を加えた電圧を差動アンプ 1093 の非反転入力端（+）に供給する。差動アンプ 1093 の反転入力端（-）は信号線 LN1 に接続される。
- [0373] 差動アンプ 1093 は、誤差信号 S_a が第 1 所定値にまで低下すると、NMOS 電界効果トランジスタ 1094 をオンにする。NMOS 電界効果トランジスタ 1094 がオンになると、キャパシタ 109A が充電されて誤差信号 S_a の低下が抑制される。したがって、下側クランプ回路 109B は、誤差信号 S_a が第 1 所定値を下回らないように誤差信号 S_a をクランプする。
- [0374] 差動アンプ 1093 の出力インピーダンスがハイインピーダンスであり、NMOS 電界効果トランジスタ 1094 の出力インピーダンスがローインピーダンスであるため、下側クランプ回路 109B は、ポールを 1 つのみ有する（図 44 参照）。その結果、下側クランプ回路 109B では、位相が 90° しか遅れない（図 44 参照）。したがって、下側クランプ回路 109B は、発振しない。
- [0375] 上側クランプ回路 109C は、直流電圧源 1095 と、直流電圧源 1096 と、差動アンプ 1097 と、スイッチとして機能する NMOS 電界効果ト

ランジスタ1098と、を有する。直流電圧源1095は、内部基準電圧VREFに第3オフセット電圧を加えた電圧を直流電圧源1096に供給する。直流電圧源1096は、内部基準電圧VREFと第3オフセット電圧との合計電圧に、上述した第2所定値に応じた電圧を加えた電圧を差動アンプ1097の反転入力端(−)に供給する。差動アンプ1097の非反転入力端(+)は抵抗109Dの第1端に接続される。抵抗109Dの第2端は、信号線LN1に接続される。

[0376] 差動アンプ1097は、誤差信号Saが第2所定値にまで上昇すると、NMOS電界効果トランジスタ1098をオンにする。NMOS電界効果トランジスタ1098がオンになると、キャパシタ109Aが放電されて誤差信号Saの上昇が抑制される。したがって、上側クランプ回路109Cは、誤差信号Saが第2所定値を超えないように誤差信号Saをクランプする。

[0377] 差動アンプ1097およびNMOS電界効果トランジスタ1094双方の出力インピーダンスがハイインピーダンスであるため、上側クランプ回路109Cは、2つのポールを有する(図45参照)。その結果、上側クランプ回路109Cでは、位相が180°遅れる(図45参照)。したがって、上側クランプ回路109Cは、発振する。

[0378] しかしながら、上側クランプ回路109C、キャパシタ109A、および抵抗109Dは、2つのポールと1つのゼロ点とを有する(図46参照)。ゼロ点によって位相が90°戻るため、上側クランプ回路109C、キャパシタ109A、および抵抗109Dでは、位相が90°しか遅れない。したがって、本実施形態の発振防止回路は、上側クランプ回路109Cの発振を防止することができる。つまり、キャパシタ109Aおよび抵抗109Dによってゼロ点を発生させることで、上側クランプ回路109Cの発振が防止される。

[0379] キャパシタ109Aは、エラーアンプ108の発振を防止するための位相補償回路であるとともに、上側クランプ回路109Cの発振を防止するためにも用いられている。つまり、キャパシタ109Aは2つの機能を有する。

これにより、部品点数の増加が抑制される。

[0380] 図47は、差動アンプ1097の一構成例を示す図である。図47に示す構成例の差動アンプ1097は、電流源IS1と、入力差動対であるPチャンネル型MOS電界効果トランジスQ1およびQ2と、カレントミラー回路を構成するNチャンネル型MOS電界効果トランジスQ3およびQ4と、を有する。

[0381] 電流源IS1の第1端は、電源電圧印加端に接続される。電流源IS1の第2端は、Pチャンネル型MOS電界効果トランジスQ1およびQ2の各ソースに接続される。Pチャンネル型MOS電界効果トランジスQ1およびQ2の各ドレインは、Nチャンネル型MOS電界効果トランジスQ3およびQ4の各ドレインおよび各ゲートに接続される。Nチャンネル型MOS電界効果トランジスQ3およびQ4の各ソースは、グラウンド電位に接続される。

[0382] <その他>

発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

[0383] 本実施形態では、発振防止回路はエラーアンプの後段に設けられているが、発振防止回路の設置箇所は、エラーアンプの後段に限定されることはない。また、発振防止回路は、スイッチング電源装置以外の装置に搭載されてもよい。

[0384] <付記>

以上説明した発振防止回路は、信号線(LN1)と、第1回路(109C)と、前記信号線に接続されるキャパシタ(109A)と、前記信号線と前記第1回路との間に設けられる抵抗(109D)と、を有し、前記第1回路は2つのポールを有し、前記第1回路、前記キャパシタ、および前記抵抗は

2つのポールと1つのゼロ点とを有する構成（第1の構成）である。

[0385] 上記第1の構成の発振防止回路は、2つのポールを有する第1回路の発振を防止することができる。

[0386] 上記第1の構成の発振防止回路において、前記第1回路は、前記信号線に印加される電圧が所定値を超えないように前記信号線に印加される電圧をクランプするように構成されるクランプ回路である構成（第2の構成）であってもよい。

[0387] 上記第2の構成の発振防止回路は、信号線に印加される電圧が所定値を超えることを防止することができる。

[0388] 上記第2の構成の発振防止回路において、前記クランプ回路は、前記信号線に印加される電圧と前記所定値の電圧との差に応じた電圧を出力するように構成される差動アンプ（1097）と、前記差動アンプの出力電圧によって制御されるように構成されるスイッチ（1098）と、を有し、前記スイッチがオンであるときに前記キャパシタは放電される構成（第3の構成）であってもよい。

[0389] 上記第3の構成の発振防止回路は、信号線に印加される電圧が所定値を超えることを簡易な回路構成で防止することができる。

[0390] 上記第3の構成の発振防止回路において、前記スイッチは、Nチャネル型MOS電界効果トランジスタである構成（第4の構成）であってもよい。

[0391] 上記第4の構成の発振防止回路は、スイッチの小型化を図ることができる。

[0392] 上記第1～第4のいずれかの構成の発振防止回路において、前記信号線は、第2回路の出力端に接続される構成（第5の構成）であってもよい。

[0393] 上記第5の構成の発振防止回路は、第2回路の後段に設けることができる。

[0394] 上記第5の構成の発振防止回路において、前記第2回路は、エラーアンプ（108）である構成（第6の構成）であってもよい。

[0395] 上記第6の構成の発振防止回路は、キャパシタをエラーアンプの発振を防

止するために用いることができる。

[0396] 以上説明したスイッチング制御回路は、上記第6の構成の発振防止回路と、前記エラーアンプと、前記エラーアンプの出力電圧に基づきスイッチング素子を制御するように構成される制御部（112、113、105）と、を有する構成（第7の構成）である。

[0397] 上記第7の構成のスイッチング制御回路は、2つのポールを有する第1回路の発振を防止することができる。

[0398] 以上説明したスイッチング電源装置は、上記第7の構成のスイッチング制御回路と、前記スイッチング素子（101、102）と、を有する構成（第8の構成）である。

[0399] 上記第8の構成のスイッチング電源装置は、2つのポールを有する第1回路の発振を防止することができる。

産業上の利用可能性

[0400] 本開示は、例えば、DC／DCコンバータ機能を有する半導体装置に利用することが可能である。

符号の説明

[0401]	1	半導体装置
	2	ゲート駆動回路
	3	制御ロジック部
	4	スイッチ
	21	ハイサイドプリドライバ
	22	ローサイドプリドライバ
	23	ハイサイドゲート電圧モニタ部
	23A	抵抗
	23B, 23C	スイッチ
	23D, 23E	インバータ
	211	第1ハイサイド駆動部
	211A, 211B	インバータ

2 1 2	第2ハイサイド駆動部
2 2 1	第1ローサイド駆動部
2 2 1 A, 2 2 1 B	インバータ
2 2 1 C	インバータ
2 2 1 D	AND回路
2 2 2	第2ローサイド駆動部
2 1 1 1	第1ハイサイドゲート信号生成部
2 1 1 2	第2ハイサイドゲート信号生成部
2 2 1 1	第1ローサイドゲート信号生成部
2 2 1 2	第2ローサイドゲート信号生成部
C b s t	ブートコンデンサ
C o u t	出力コンデンサ
H M	ハイサイドトランジスタ
H N M 1	第1ハイサイドNMOSトランジスタ
H N M 2	第2ハイサイドNMOSトランジスタ
H P M 1	第1ハイサイドPMOSトランジスタ
H P M 2	第2ハイサイドPMOSトランジスタ
L	インダクタ
L M	ローサイドトランジスタ
L N M 1	第1ローサイドNMOSトランジスタ
L N M 2	第2ローサイドNMOSトランジスタ
L P M 1	第1ローサイドPMOSトランジスタ
L P M 2	第2ローサイドPMOSトランジスタ

請求の範囲

- [請求項1] 駆動対象ハイサイドトランジスタと駆動対象ローサイドトランジスタが電源電圧とグランド電位との間で直列に接続されるハーフブリッジを駆動するゲート駆動回路であって、
- 前記駆動対象ハイサイドトランジスタのゲートを駆動するように構成されるハイサイドプリドライバと、
- 前記駆動対象ローサイドトランジスタのゲートを駆動するように構成されるローサイドプリドライバと、
- を備え、
- 前記ハイサイドプリドライバは、第1ハイサイドトランジスタと、第2ハイサイドトランジスタを有し、
- 前記ローサイドプリドライバは、第3ハイサイドトランジスタと、第4ハイサイドトランジスタを有し、
- 前記第1ハイサイドトランジスタをターンオンさせる第1ゲート信号と、前記第2ハイサイドトランジスタをターンオンさせる第2ゲート信号の間と、
- 前記第3ハイサイドトランジスタをターンオンさせる第3ゲート信号と、前記第4ハイサイドトランジスタをターンオンさせる第4ゲート信号の間と、の少なくとも一方において遅延が設けられる、ゲート駆動回路。
- [請求項2] 前記ハイサイドプリドライバは、ハイサイド制御入力信号に基づいて前記第1ゲート信号および前記第2ゲート信号を生成するように構成されるハイサイド駆動部を備える、請求項1に記載のゲート駆動回路。
- [請求項3] 前記ハイサイド駆動部は、
- 複数の第1インバータを有して前記第1ゲート信号を生成するように構成される第1ハイサイドゲート信号生成部と、
- 複数の第2インバータを有して前記第2ゲート信号を生成するよ

うに構成される第2ハイサイドゲート信号生成部と、
を有し、

前記第2ハイサイドゲート信号生成部における少なくともいずれかの前記第2インバータは、前記第1ハイサイドゲート信号生成部における少なくともいずれかの前記第1インバータよりもトランジスタのサイズが小さい、請求項2に記載のゲート駆動回路。

[請求項4] 前記第2ハイサイドゲート信号生成部における初段の前記第2インバータは、前記第1ハイサイドゲート信号生成部における初段の前記第1インバータよりもトランジスタのサイズが小さい、請求項3に記載のゲート駆動回路。

[請求項5] 前記ローサイドプリドライバは、ローサイド制御入力信号に基づいて前記第3ゲート信号および前記第4ゲート信号を生成するように構成されるローサイド駆動部を備える、請求項1から請求項4のいずれか1項に記載のゲート駆動回路。

[請求項6] 前記ローサイド駆動部は、
複数の第3インバータを有して前記第3ゲート信号を生成するように構成される第1ローサイドゲート信号生成部と、

複数の第4インバータを有して前記第4ゲート信号を生成するように構成される第2ローサイドゲート信号生成部と、
を有し、

前記第2ローサイドゲート信号生成部における少なくともいずれかの前記第4インバータは、前記第1ローサイドゲート信号生成部における少なくともいずれかの前記第3インバータよりもトランジスタのサイズが小さい、請求項5に記載のゲート駆動回路。

[請求項7] 前記第2ローサイドゲート信号生成部における初段の前記第4インバータは、前記第1ローサイドゲート信号生成部における初段の前記第3インバータよりもトランジスタのサイズが小さい、請求項6に記載のゲート駆動回路。

[請求項8] 前記駆動対象ハイサイドトランジスタのゲート電圧がローレベル、かつ前記駆動対象ハイサイドトランジスタと前記駆動対象ローサイドトランジスタとが接続されるノードの電圧がローレベルであることをモニタするためのモニタ部を備え、

前記モニタ部から出力されるモニタ信号に基づき前記第4ゲート信号が生成される、請求項1から請求項7のいずれか1項に記載のゲート駆動回路。

[請求項9] 前記モニタ部は、

前記駆動対象トランジスタのゲートに接続される第1端を有する抵抗と、

前記抵抗の第2端に接続される入力端を有するインバータ段と、を有する、請求項8に記載のゲート駆動回路。

[請求項10] パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第1出力トランジスタと、

前記第1出力トランジスタの制御端に第1電源電圧に基づく電圧を印加するための抵抗と、

第2電源電圧を電源電圧として用い、制御入力信号が入力可能に構成される第1インバータ段と、

前記第1インバータ段の出力端に接続される制御端と、前記パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第2出力トランジスタと、

を備え、

前記パワーグッド端子は、前記第2電源電圧にプルアップ可能である、パワーグッド回路。

[請求項11] 前記抵抗は、前記第1電源電圧の印加端とグランド電位の印加端との間に直列に接続される分圧抵抗であり、

前記分圧抵抗の接続ノードが前記第1出力トランジスタの制御端に接続される、請求項10に記載のパワーグッド回路。

- [請求項12] 前記第1出力トランジスタと前記第2出力トランジスタは、同一のトランジスタであり、
- 前記接続ノードから前記分圧抵抗を介して前記第1電源電圧の印加端への経路を遮断するための第1ダイオードと、
- 前記接続ノードから前記第1インバータ段を介して前記第2電源電圧の印加端への経路を遮断するための第2ダイオードと、を備える、請求項11に記載のパワーグッド回路。
- [請求項13] 前記抵抗は、前記第1電源電圧の印加端と前記第1出力トランジスタの制御端との間に接続される第1プルアップ抵抗である、請求項10に記載のパワーグッド回路。
- [請求項14] 前記第1出力トランジスタと前記第2出力トランジスタは、別個のトランジスタである、請求項13に記載のパワーグッド回路。
- [請求項15] 前記第2出力トランジスタの制御端と前記第2電源電圧の印加端との間に接続される第2プルアップ抵抗を備える、請求項14に記載のパワーグッド回路。
- [請求項16] 前記制御入力信号を前記第2電源電圧から前記第1電源電圧へレベル変換するように構成されるレベルシフト回路と、
- 前記レベルシフト回路の出力端と前記第1出力トランジスタの制御端との間に設けられ、前記第1電源電圧を電源電圧として用いる第2インバータ段と、
- を備える、請求項14または請求項15に記載のパワーグッド回路。
- [請求項17] 前記第1出力トランジスタの制御端に接続される第1端と、グランド電位の印加端に接続される第2端と、前記第2電源電圧の印加端に接続される制御端と、を有する制御トランジスタを備える、請求項14または請求項15に記載のパワーグッド回路。
- [請求項18] 請求項10から請求項17のいずれか1項に記載のパワーグッド回路と、

イネーブル信号が入力可能であり、前記第 1 電源電圧を生成するように構成されるプリレギュレータと、

前記第 1 電源電圧に基づき基準電圧を生成するように構成される基準電圧生成部と、

前記基準電圧に基づき起動され、前記第 2 電源電圧を生成するように構成されるレギュレータと、

を備える、半導体装置。

[請求項19]

第 1 スイッチ及び第 2 スイッチが直列接続され、前記第 2 スイッチが前記第 1 スイッチより低電位側に設けられ、前記第 1 スイッチと前記第 2 スイッチとの接続ノードにインダクタが接続される回路の前記第 2 スイッチに流れる過電流を検出するように構成される過電流検出回路であって、

前記第 2 スイッチに流れる電流に応じた第 1 電流を生成するように構成される第 1 電流生成回路と、

前記第 2 スイッチがオフからオンに切り替わるタイミングで零より大きく、前記第 1 スイッチ及び前記第 2 スイッチのスイッチングに同期して変動する第 2 電流を生成するように構成される第 2 電流生成回路と、

前記第 1 電流及び前記第 2 電流に応じた電圧と閾値とを比較するように構成されるコンパレータと、

を有する、過電流検出回路。

[請求項20]

前記第 2 電流生成回路は、前記第 1 スイッチがオンのときにオンになり、前記第 1 スイッチがオフのときにオフになるように構成される第 3 スイッチ、又は、前記第 1 スイッチがオンのときにオフになり、前記第 1 スイッチがオフのときにオンになる第 4 スイッチを含む、請求項 19 に記載の過電流検出回路。

[請求項21]

前記第 2 電流生成回路は、抵抗及びキャパシタによって構成される回路を含む、請求項 19 または請求項 20 に記載の過電流検出回路。

- [請求項22] 前記第2電流は、前記第2スイッチがオフのときに時間経過とともに増加し、前記第2スイッチがオンのときに時間経過とともに減少する、請求項19から請求項21のいずれか1項に記載の過電流検出回路。
- [請求項23] 前記第2電流生成回路は、前記第1スイッチがオンのときにオンになり、前記第1スイッチがオフのときにオフになる第3スイッチと、前記第1スイッチがオンのときにオフになり、前記第1スイッチがオフのときにオンになる第4スイッチと、を含む、請求項19に記載の過電流検出回路。
- [請求項24] 前記第2電流生成回路は、前記第2スイッチがターンオフする直前の前記第1電流の情報を保持するように構成される、請求項19から請求項23のいずれか1項に記載の過電流検出回路。
- [請求項25] 前記第2電流は、前記第2スイッチがオフのときに前記情報に応じた値になる、請求項24に記載の過電流検出回路。
- [請求項26] 前記第1電流生成回路は、前記第1電流生成回路の入力差動対トランジスタのオフセットをキャンセルするように構成される、請求項19から請求項25のいずれか1項に記載の過電流検出回路。
- [請求項27] 請求項19から請求項26のいずれか1項に記載の過電流検出回路と、
前記第1スイッチ及び前記第2スイッチを制御するように構成される制御部と、
を有する、スイッチング制御回路。
- [請求項28] 請求項27に記載のスイッチング制御回路と、
前記第1スイッチ及び前記第2スイッチと、
を有する、スイッチング電源装置。
- [請求項29] 信号線と、
第1回路と、
前記信号線に接続されるキャパシタと、

前記信号線と前記第 1 回路との間に設けられる抵抗と、
を有し、

前記第 1 回路は 2 つのポールを有し、

前記第 1 回路、前記キャパシタ、及び前記抵抗は 2 つのポールと 1 つのゼロ点とを有する、発振防止回路。

[請求項30] 前記第 1 回路は、前記信号線に印加される電圧が所定値を超えないように前記信号線に印加される電圧をクランプするように構成されるクランプ回路である、請求項 29 に記載の発振防止回路。

[請求項31] 前記クランプ回路は、
前記信号線に印加される電圧と前記所定値の電圧との差に応じた電圧を出力するように構成される差動アンプと、

前記差動アンプの出力電圧によって制御されるように構成されるスイッチと、

を有し、

前記スイッチがオンであるときに前記キャパシタは放電される、請求項 30 に記載の発振防止回路。

[請求項32] 前記スイッチは、Nチャネル型MOS電界効果トランジスタである、請求項 31 に記載の発振防止回路。

[請求項33] 前記信号線は、第 2 回路の出力端に接続される、請求項 29 から請求項 32 のいずれか 1 項に記載の発振防止回路。

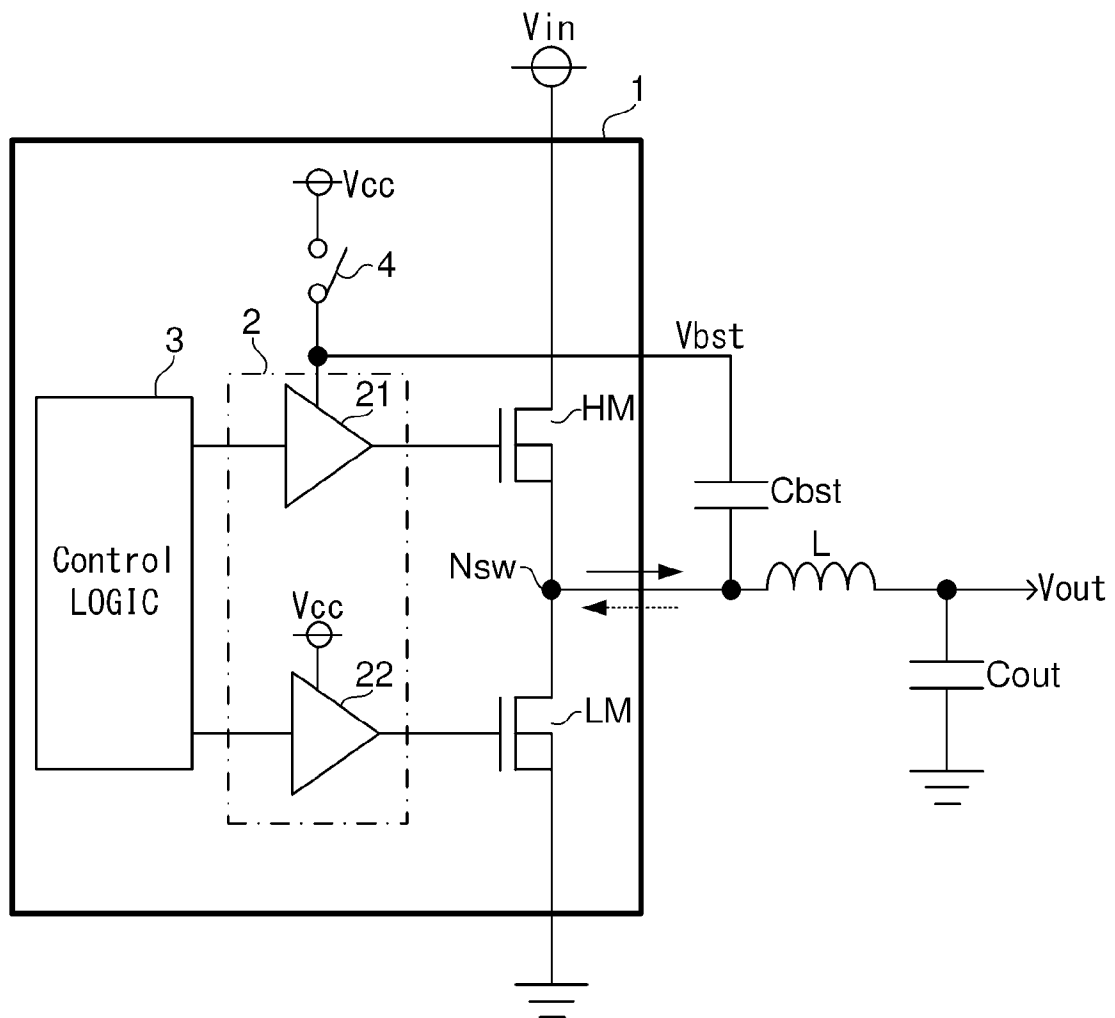
[請求項34] 前記第 2 回路は、エラーアンプである、請求項 33 に記載の発振防止回路。

[請求項35] 請求項 34 に記載の発振防止回路と、
前記エラーアンプと、
前記エラーアンプの出力電圧に基づきスイッチング素子を制御するように構成される制御部と、
を有する、スイッチング制御回路。

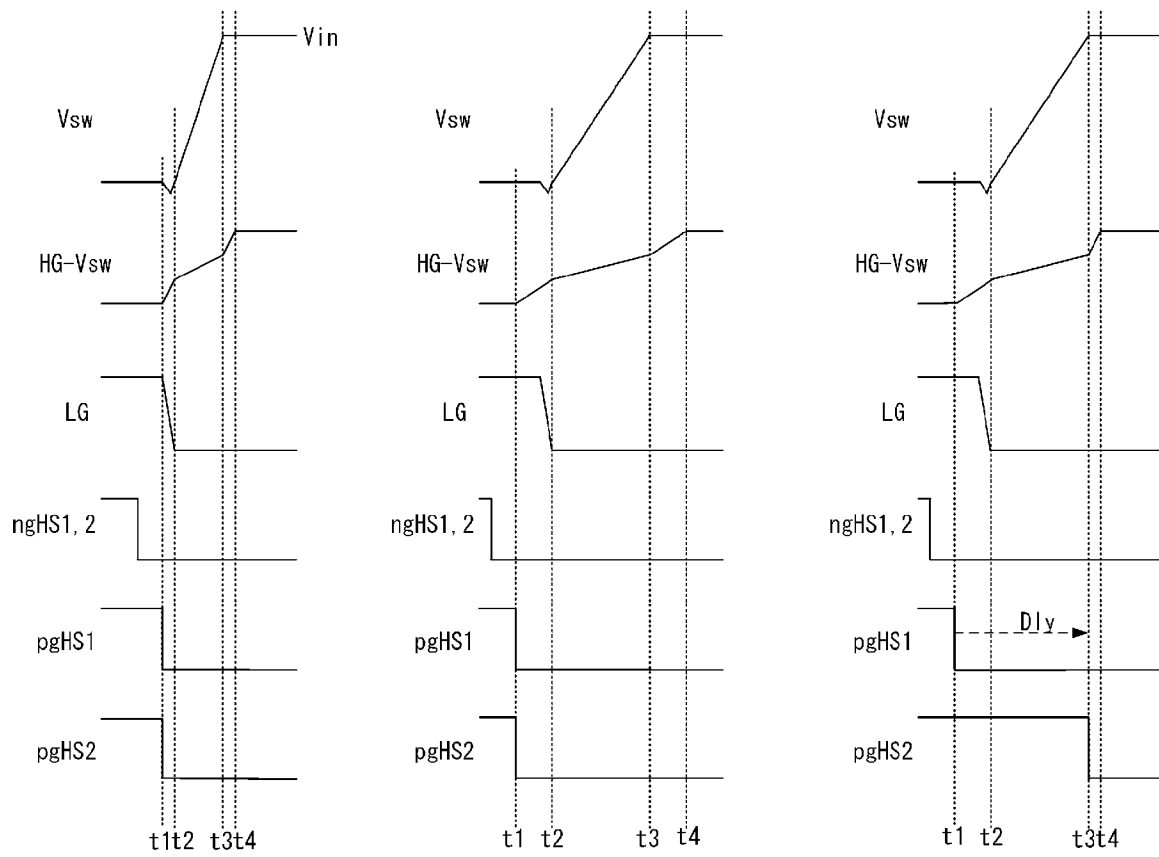
[請求項36] 請求項 35 に記載のスイッチング制御回路と、

前記スイッチング素子と、
を有する、スイッチング電源装置。

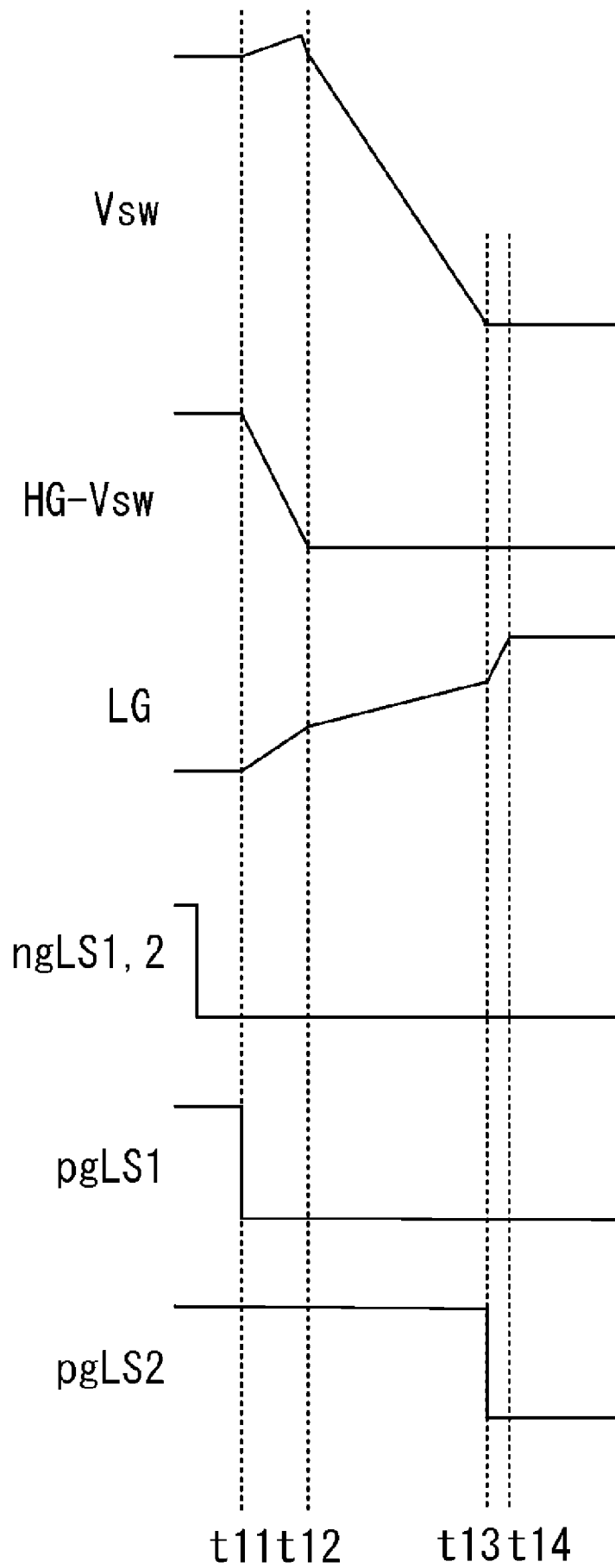
[図1]



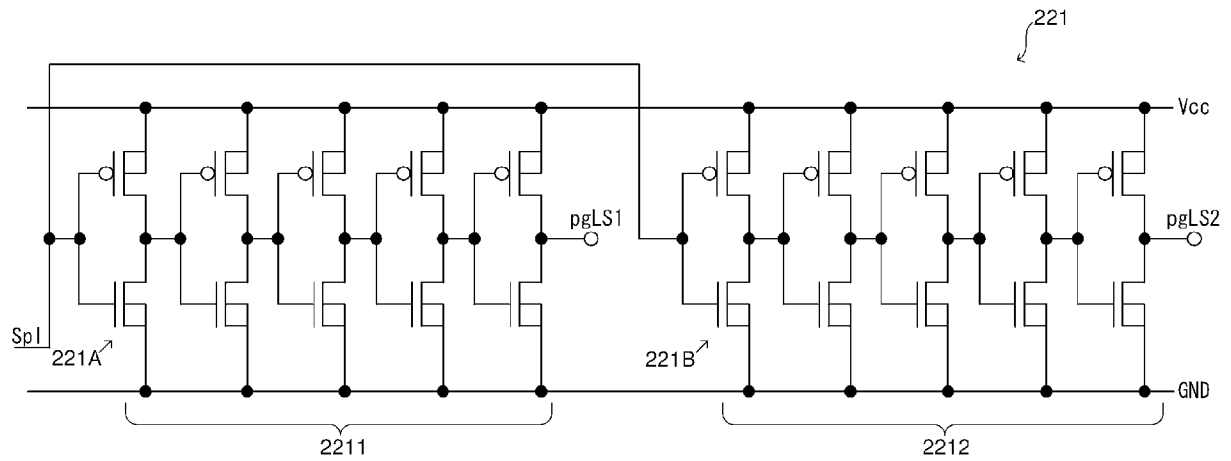
[図4]



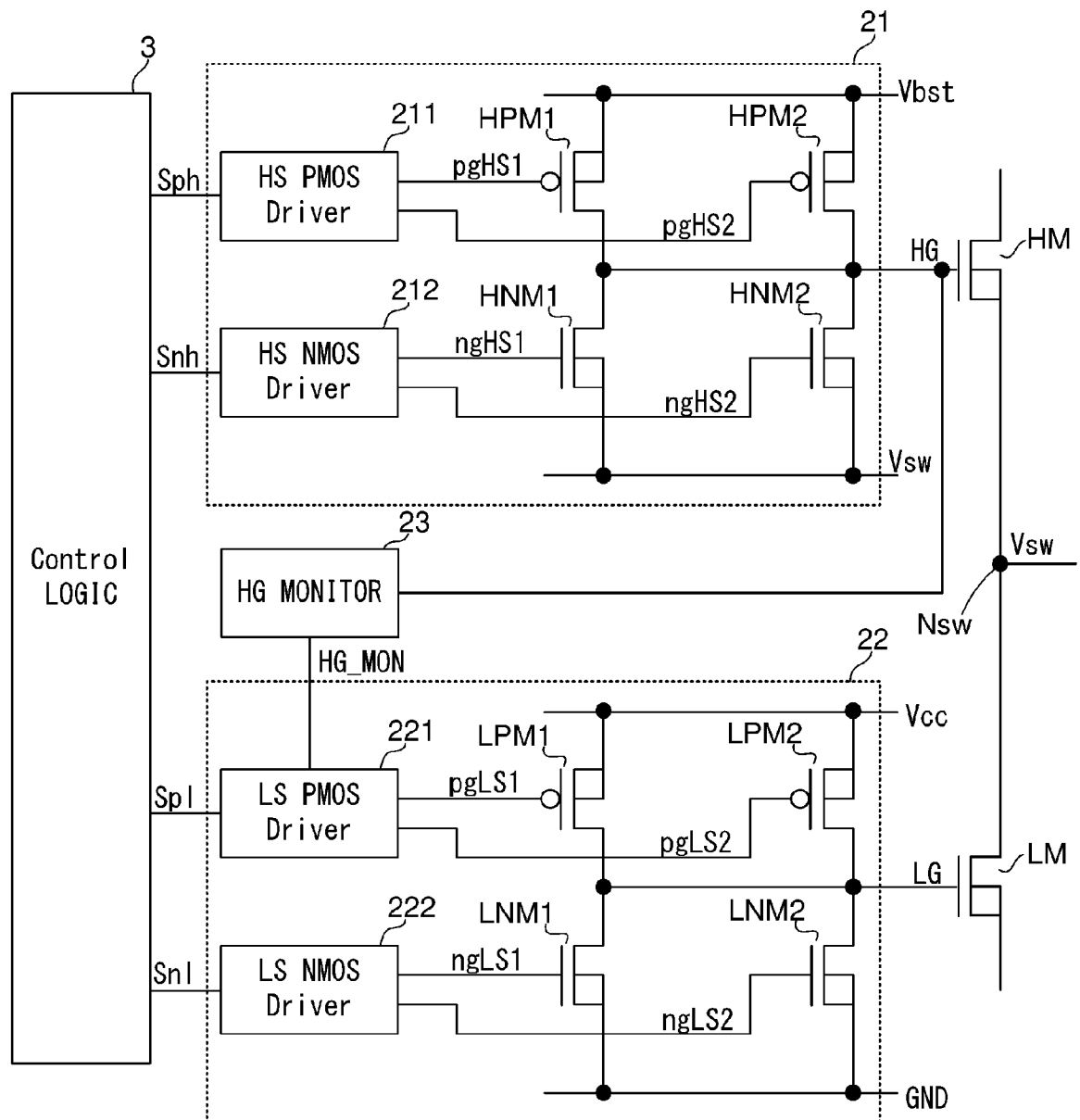
[図5]



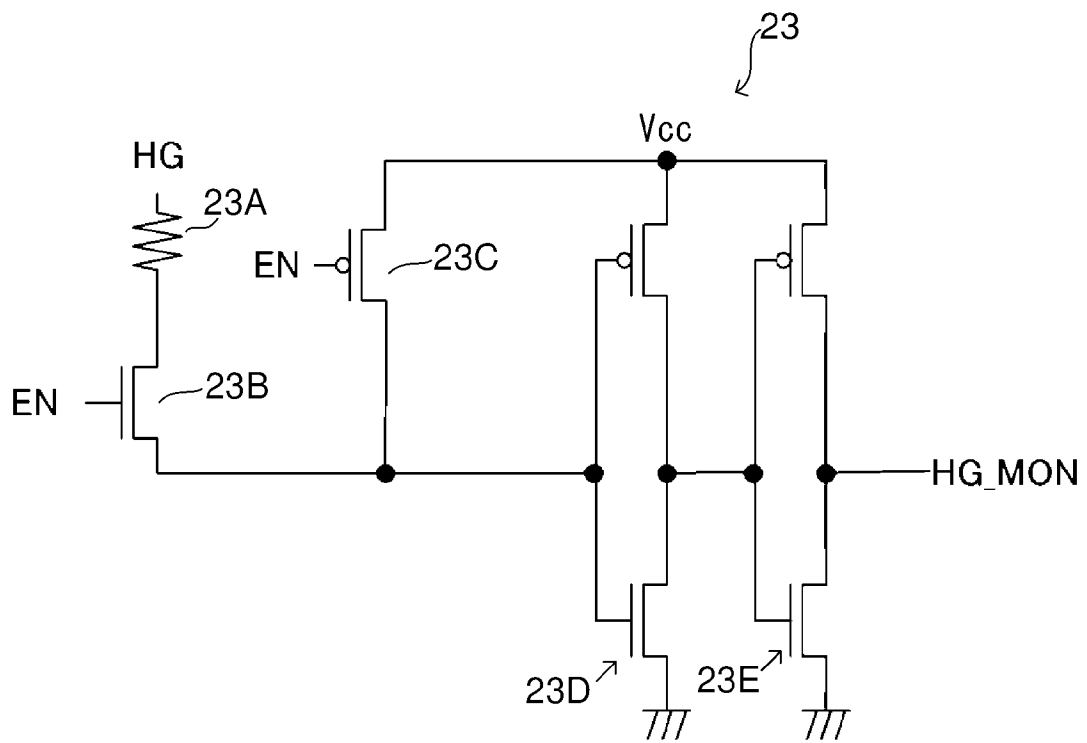
[図6]



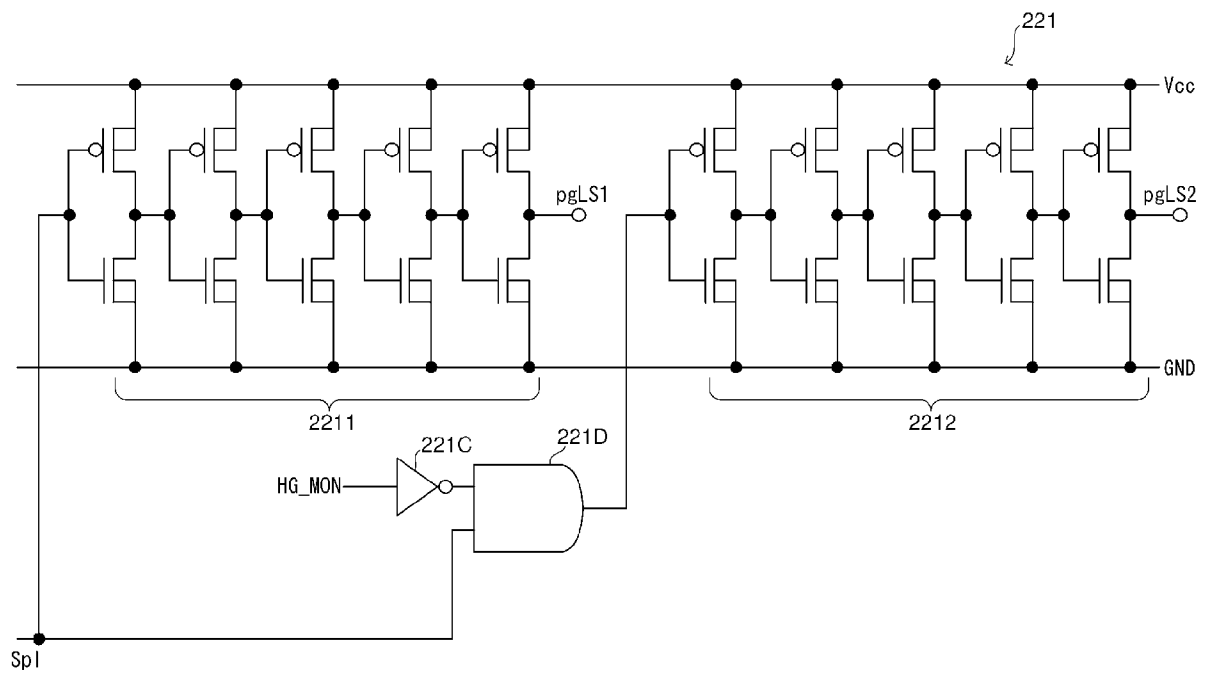
[図7]



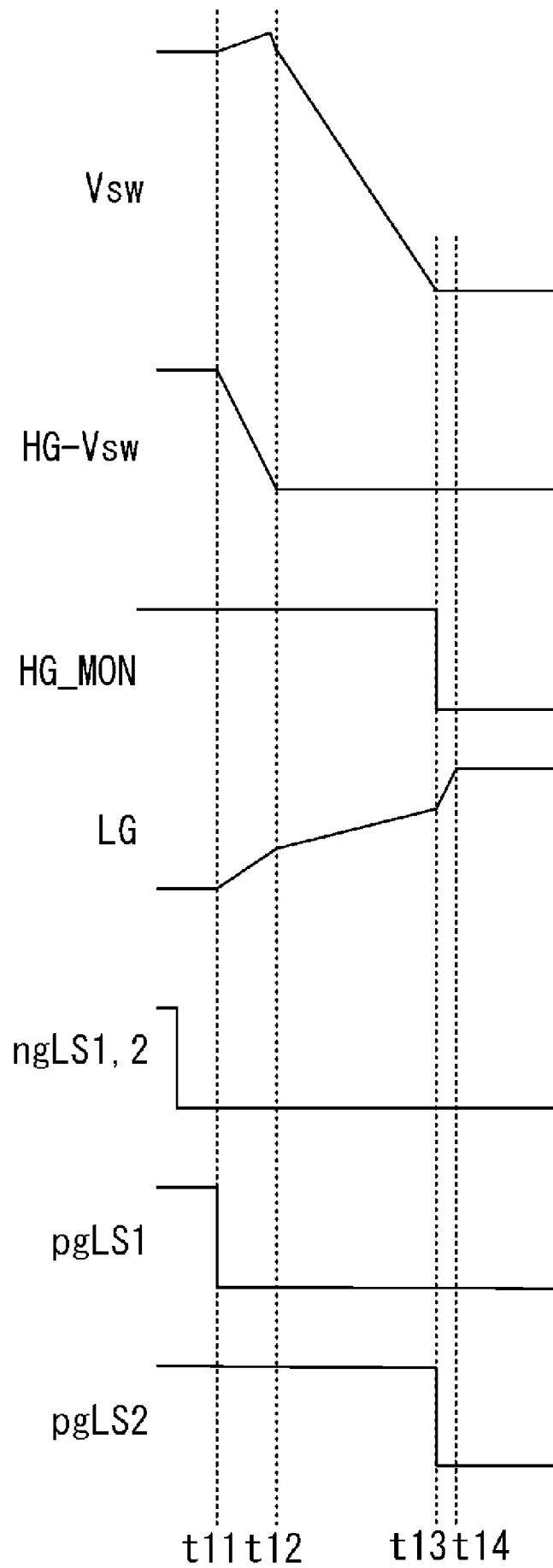
[図8]



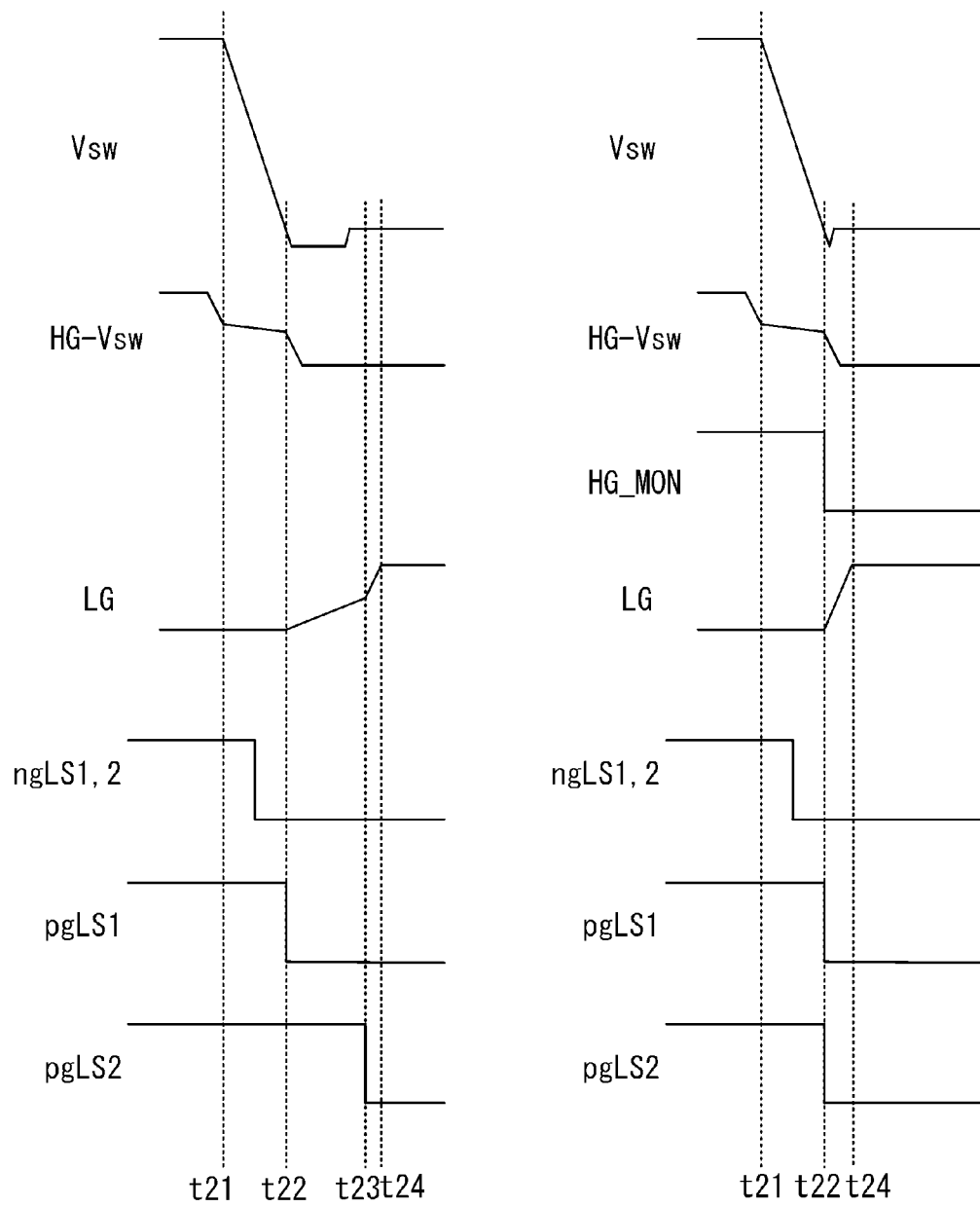
[図9]



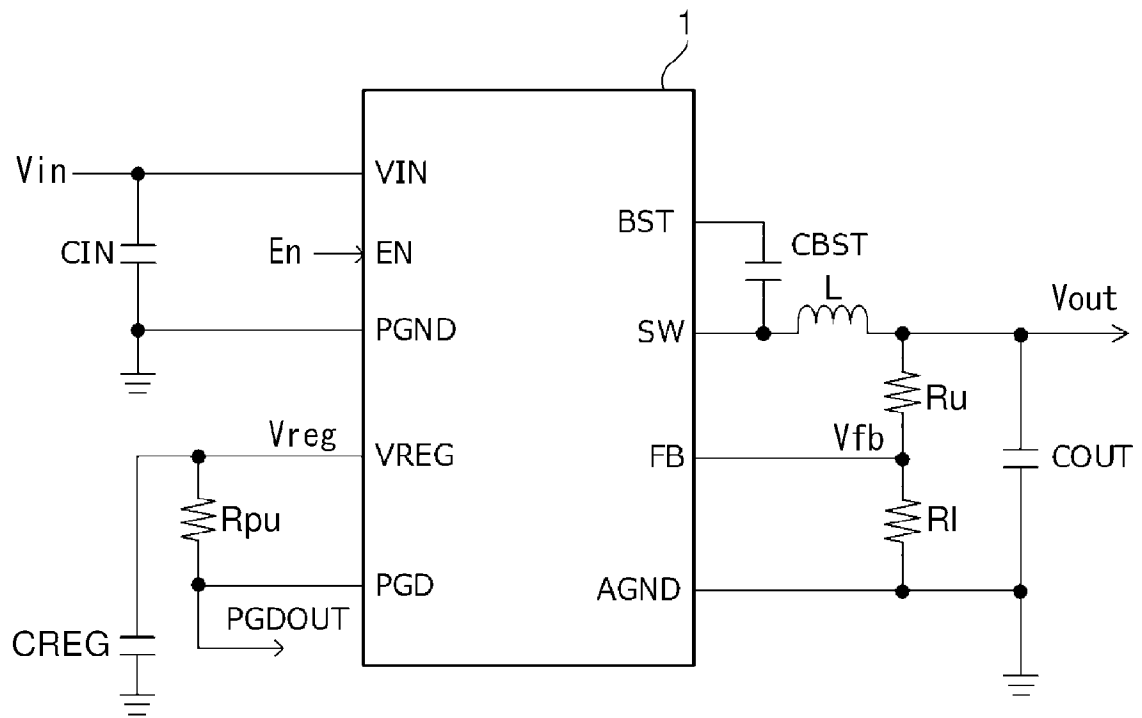
[図10]



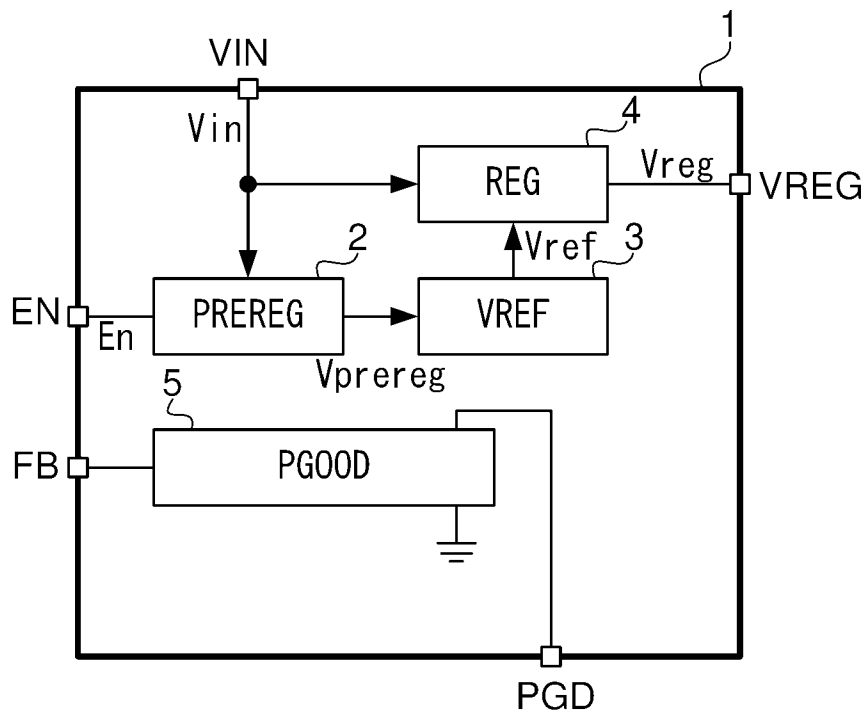
[図11]



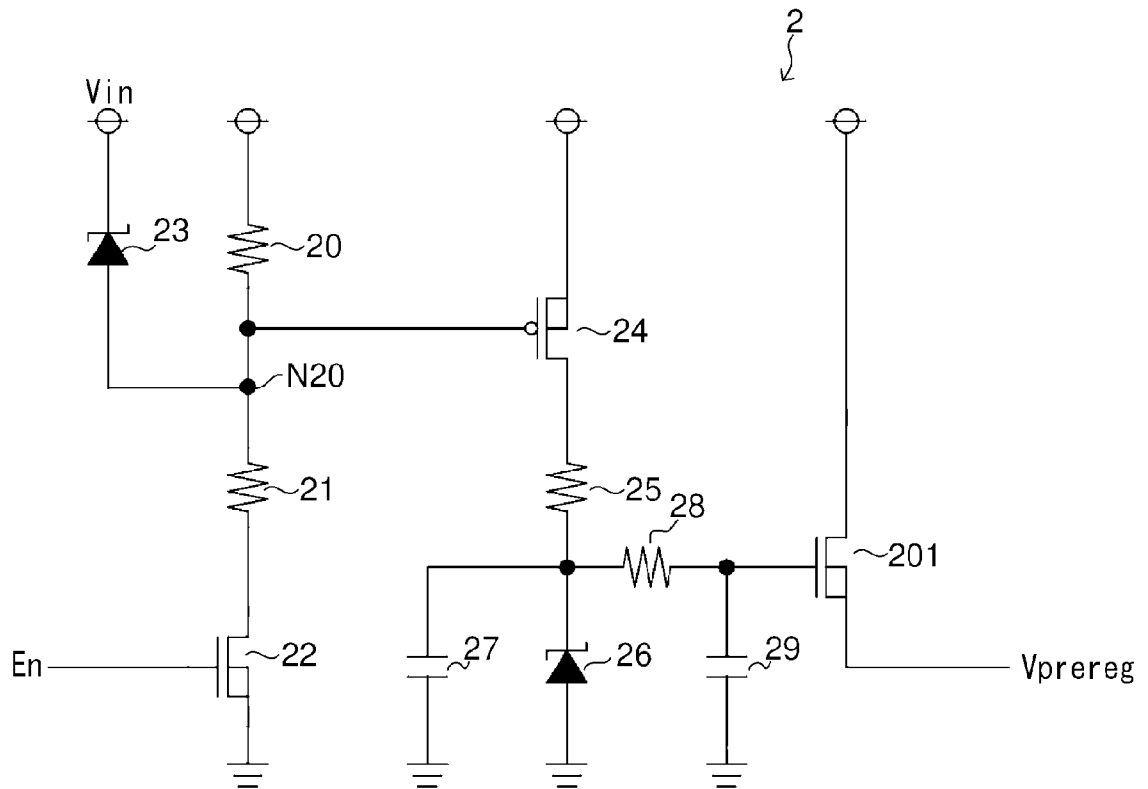
[図12]



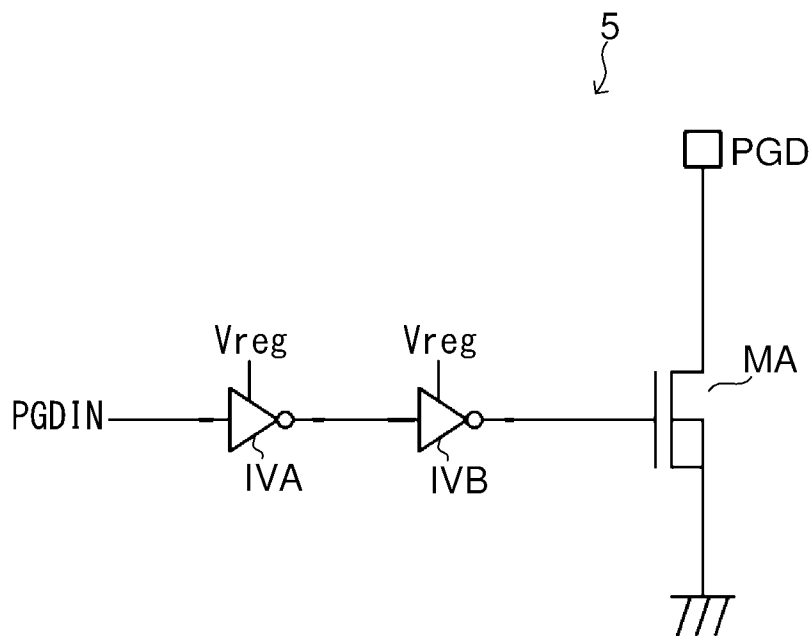
[図13]



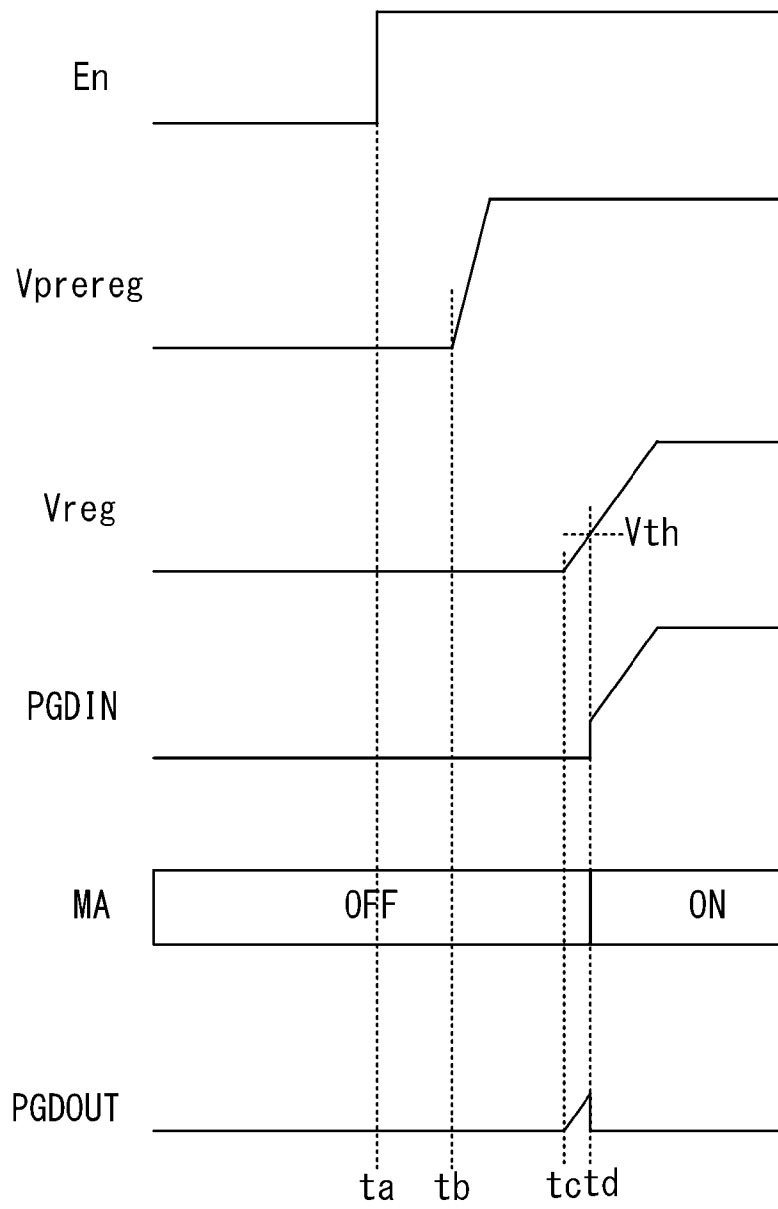
[図14]



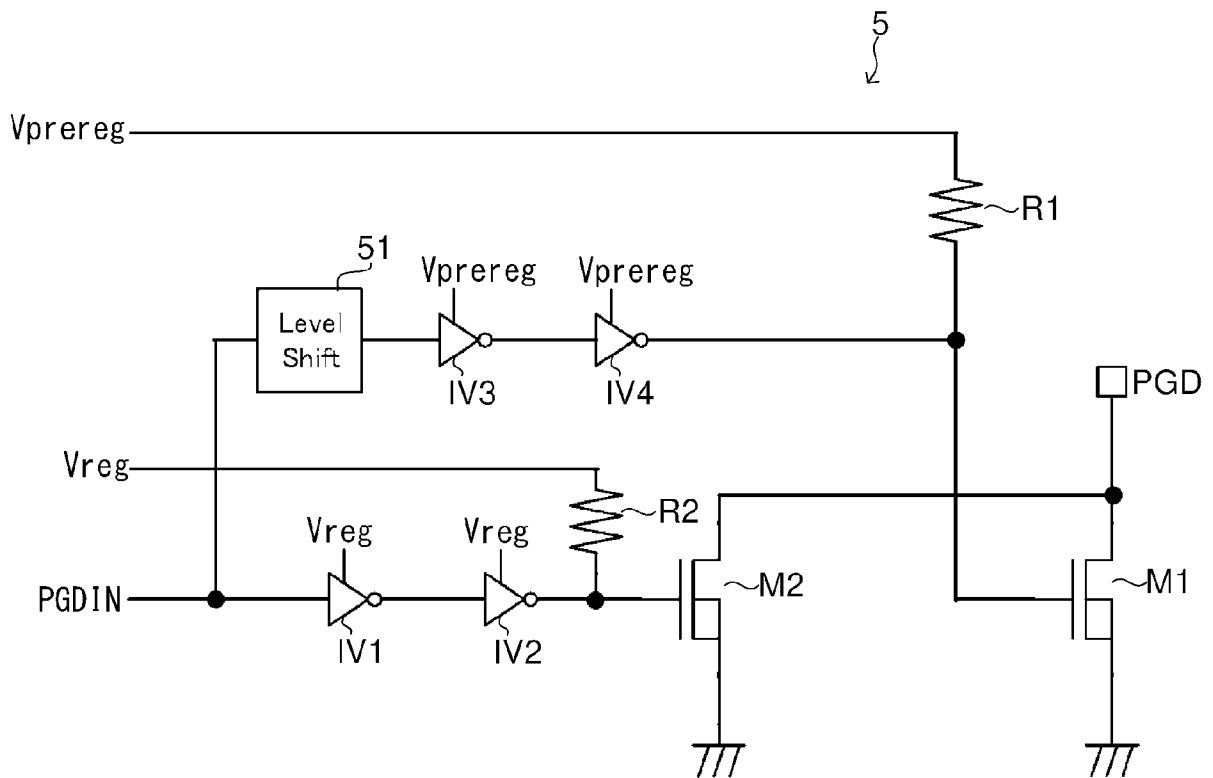
[図15]



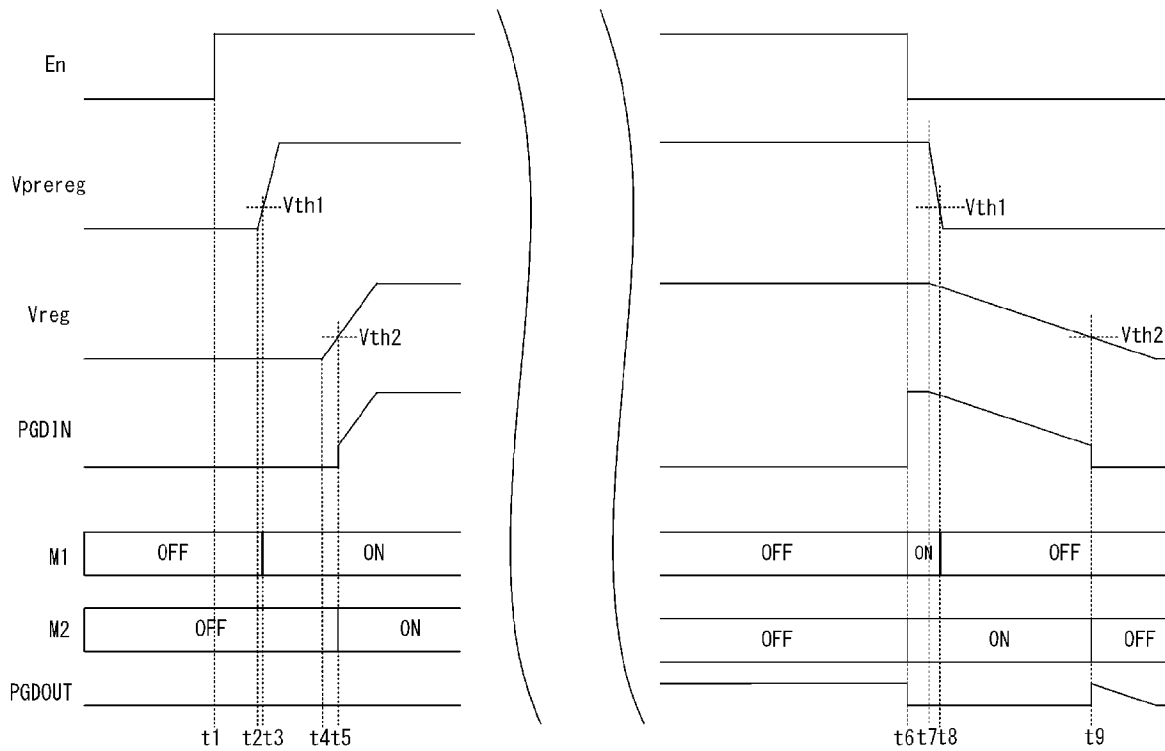
[図16]



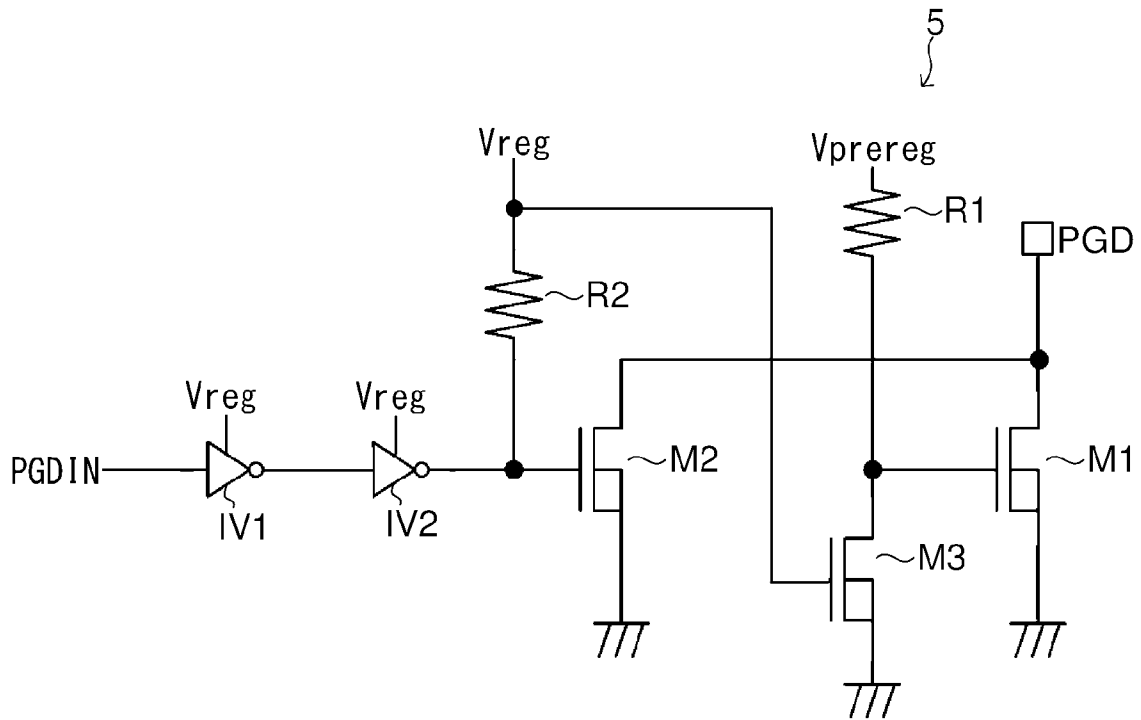
[図17]



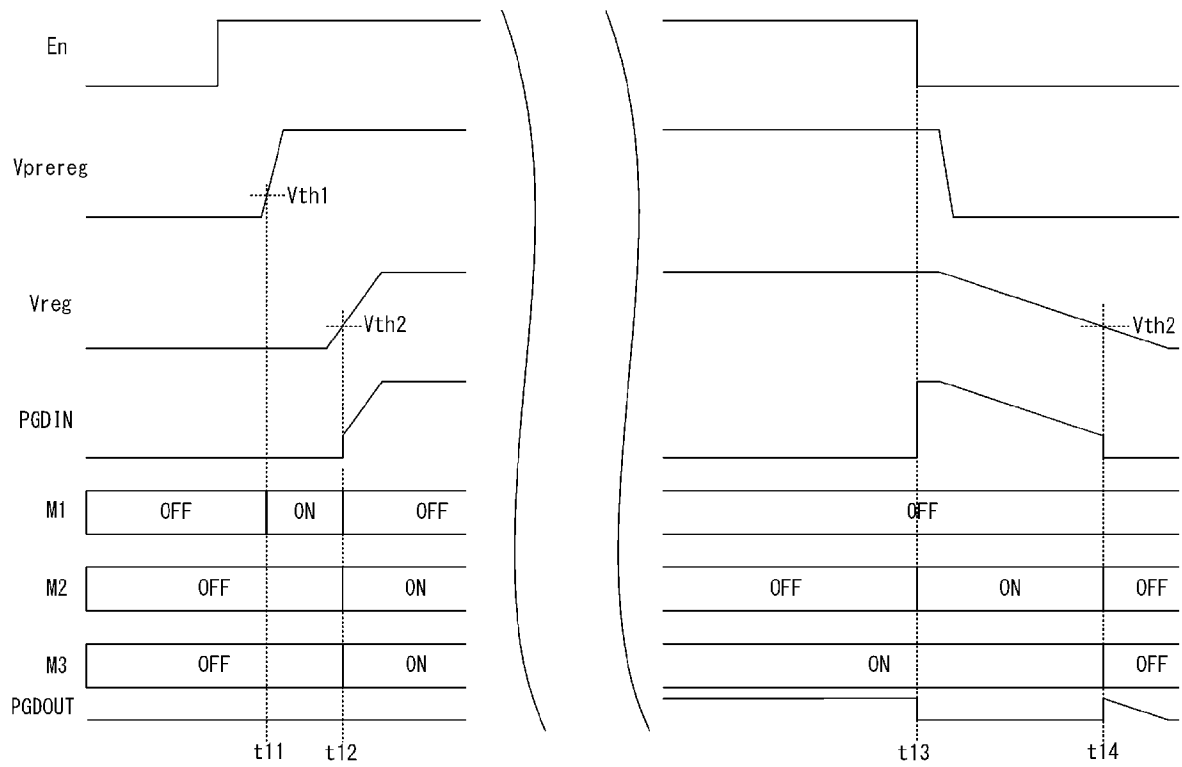
[図18]



[図19]



[図20]

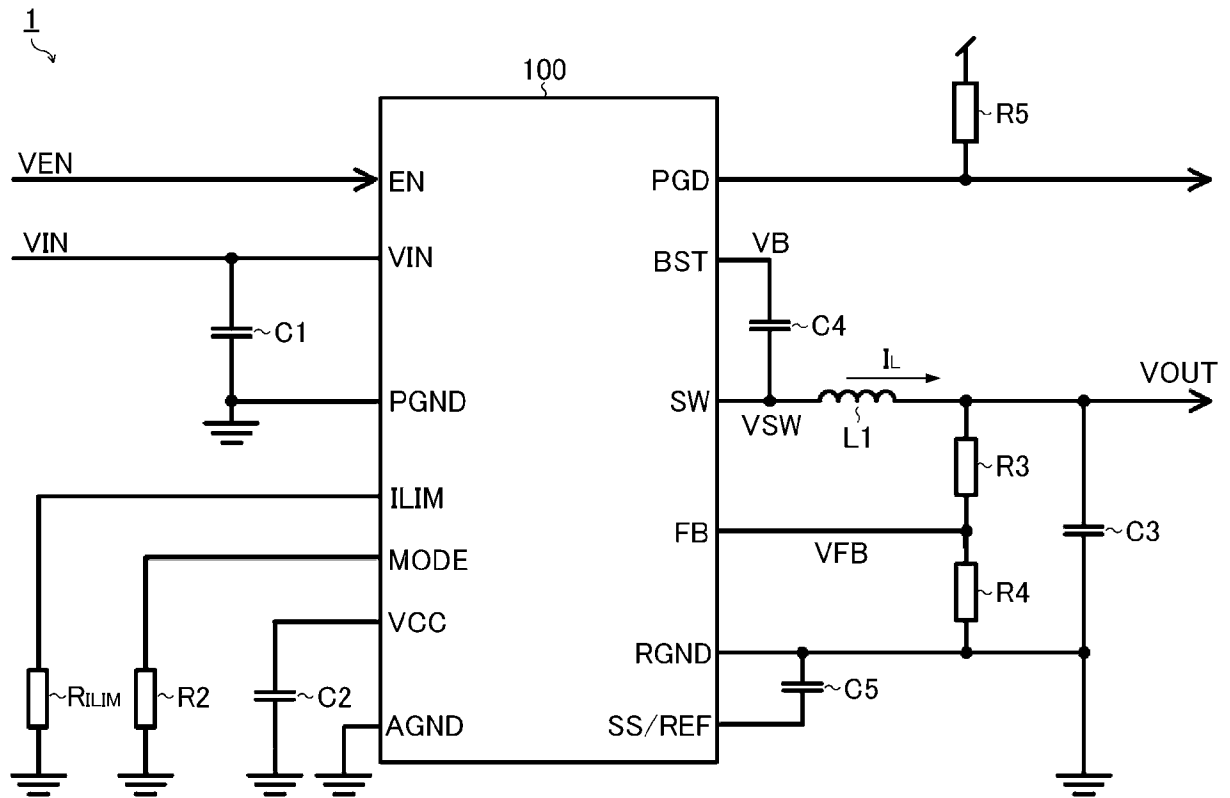


[illegible]

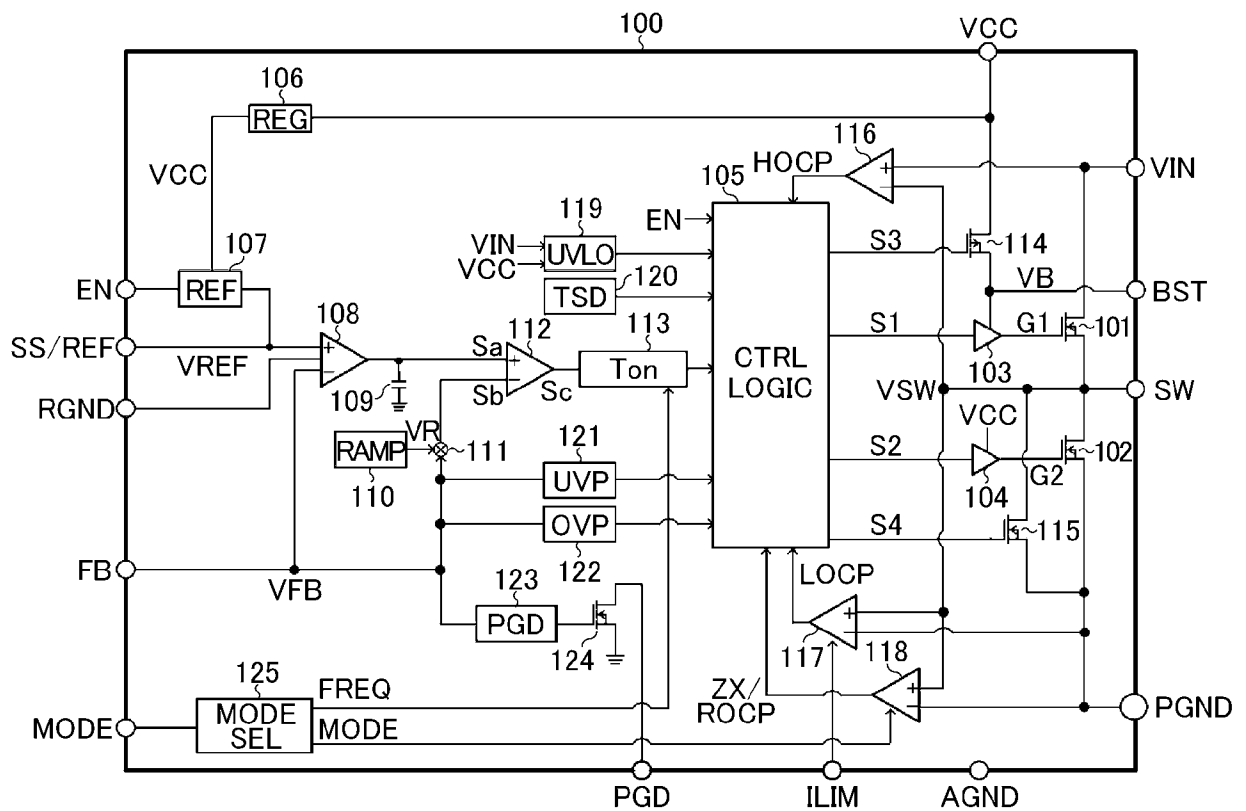
The diagram illustrates the start-up sequence of the Vreg regulator. The signals shown are En, Vprereg, Vreg, PGDIN, M1, and PGDOUT. The sequence of events is as follows:

- En transitions from low to high.
- Vprereg rises to a level above Vth11 at time t21.
- Vreg rises to a level above Vth2 at time t22.
- M1 transitions from OFF to ON at time t22.
- PGDIN rises at time t22.
- PGDOUT remains low throughout the sequence.

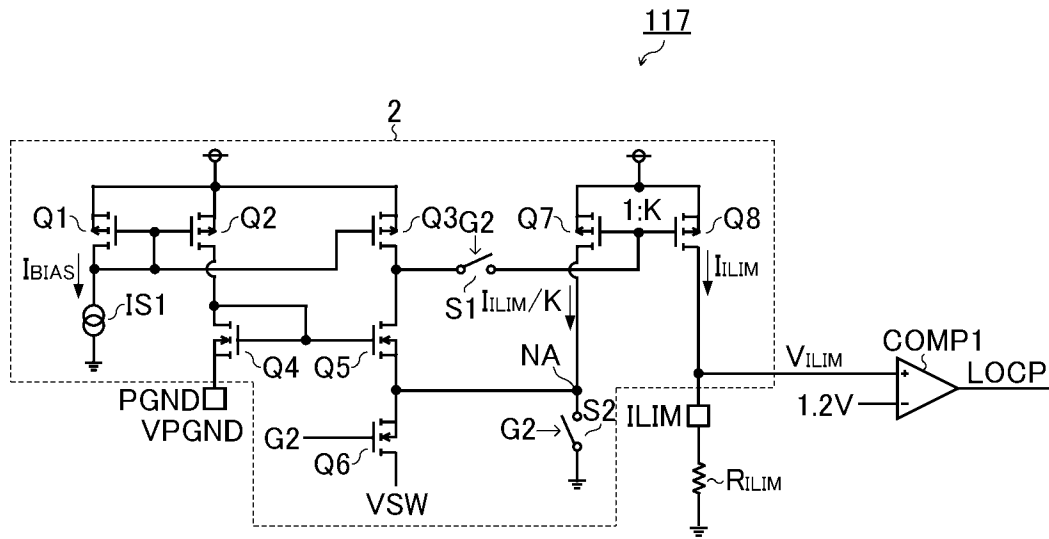
[図23]



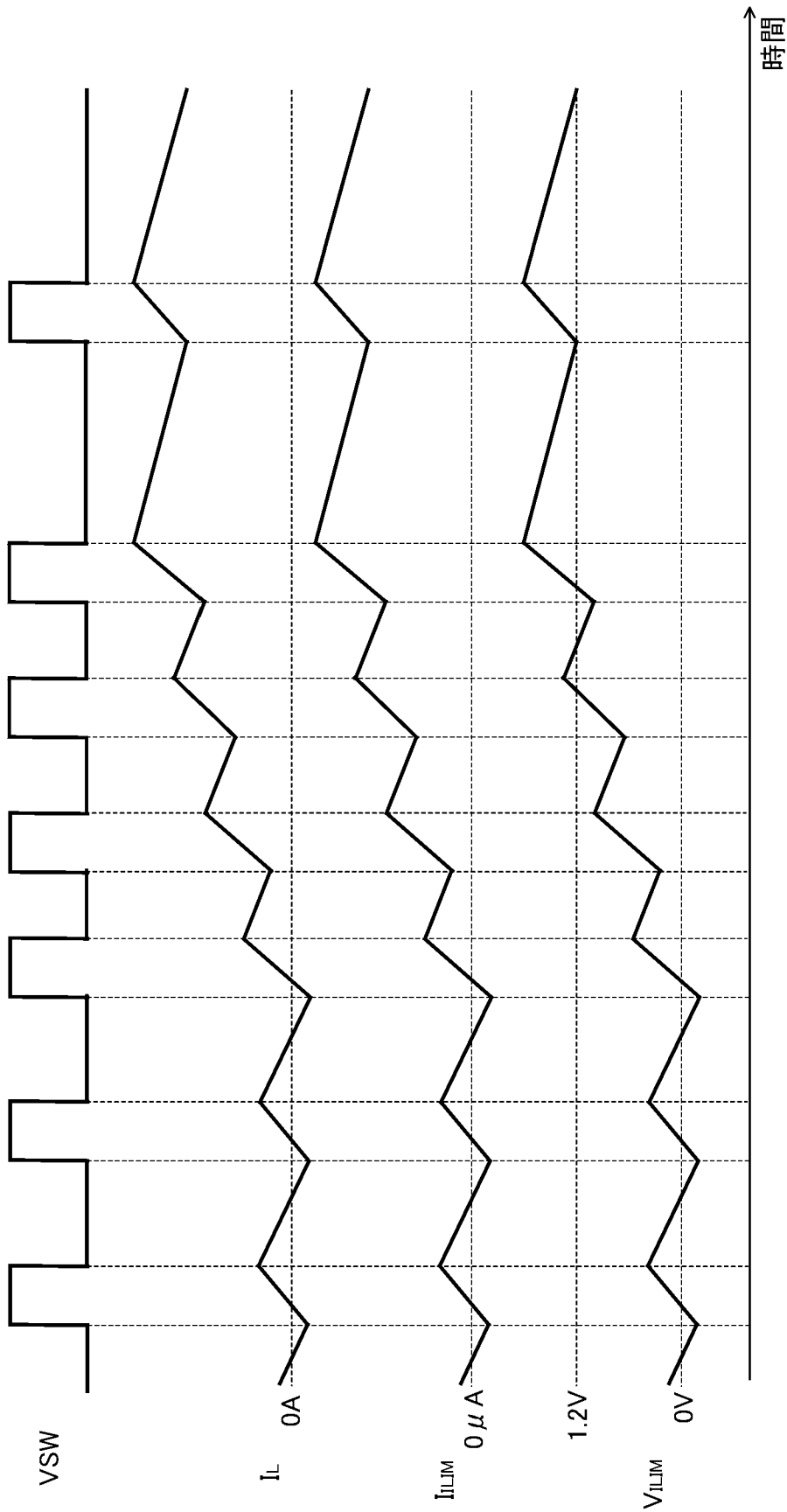
[図24]



[図25]

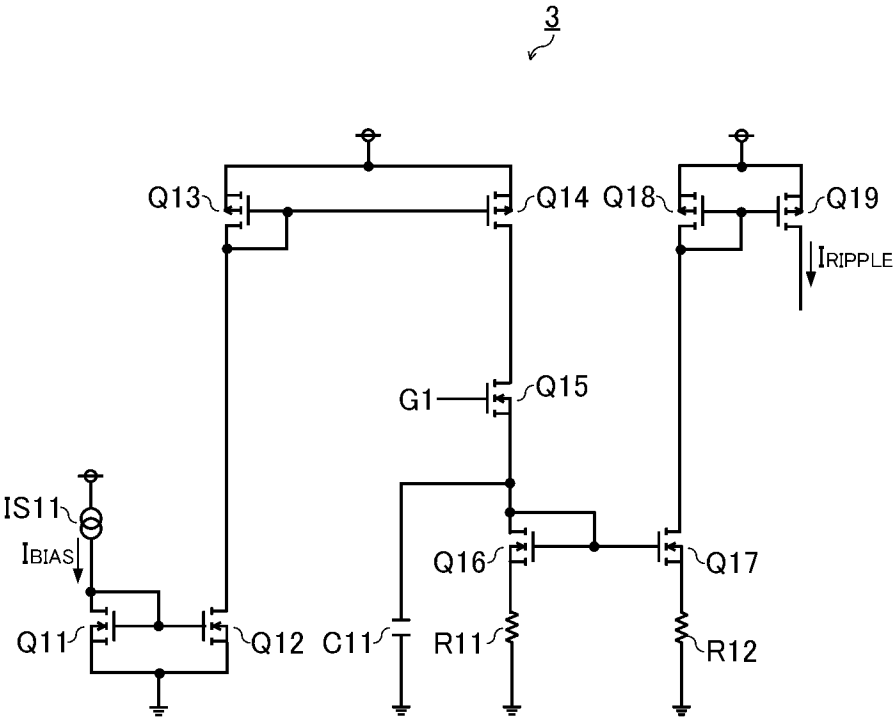


[図26]

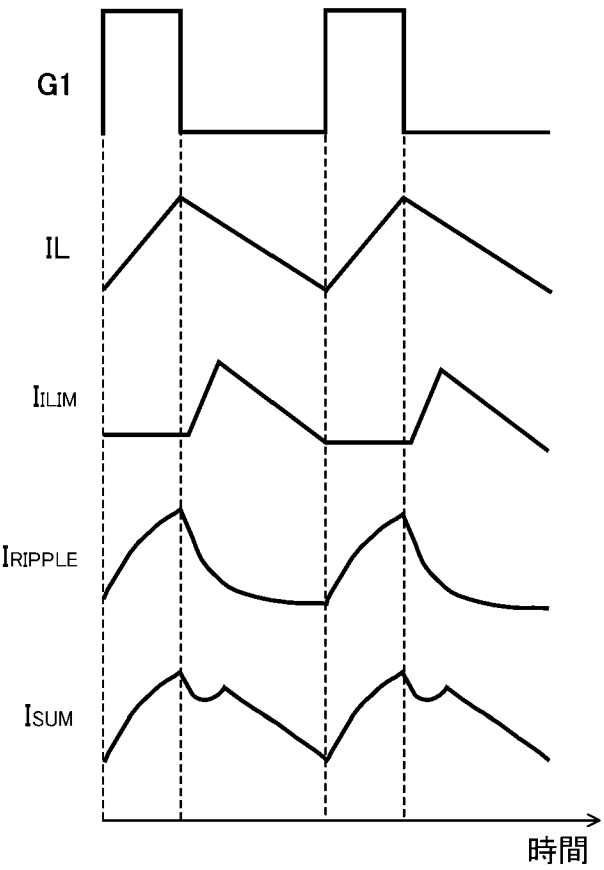


[illegible]

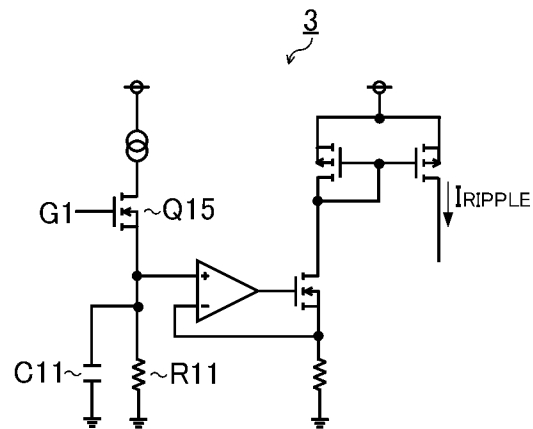
[図29]



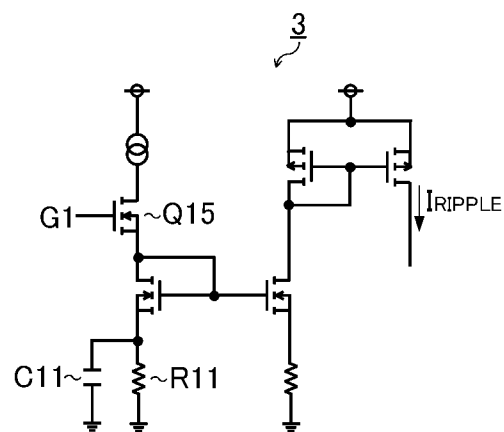
[図30]



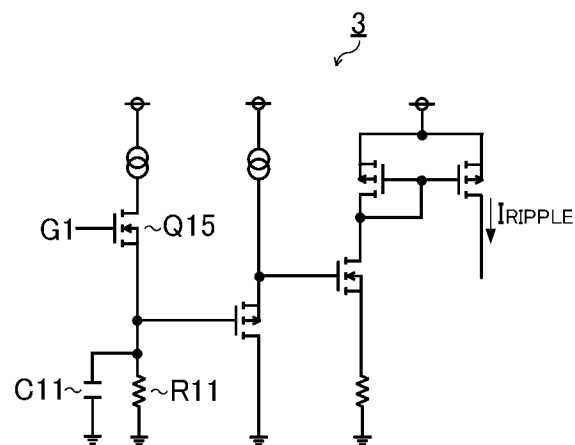
[図31]



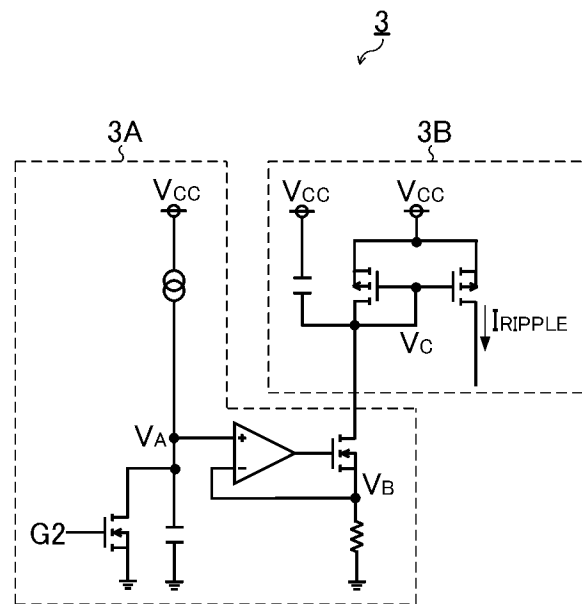
[図32]



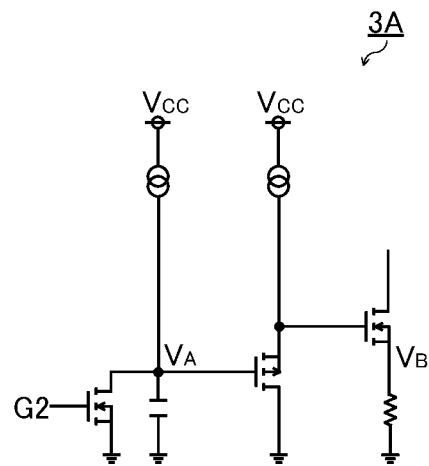
[図33]

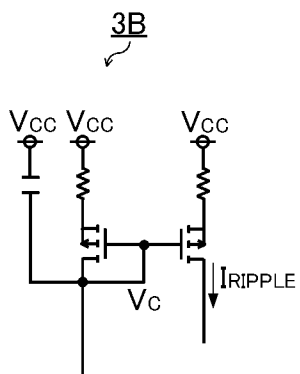
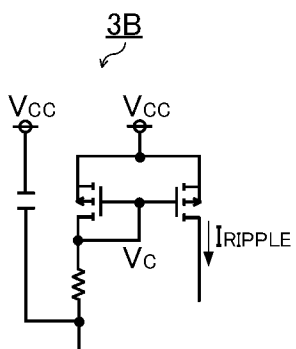
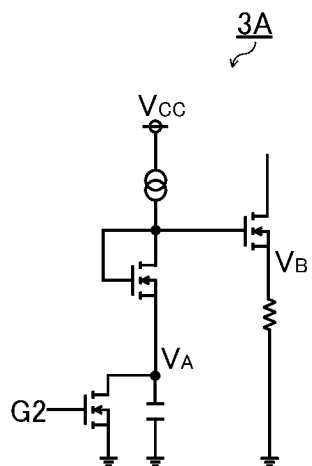


[図34]

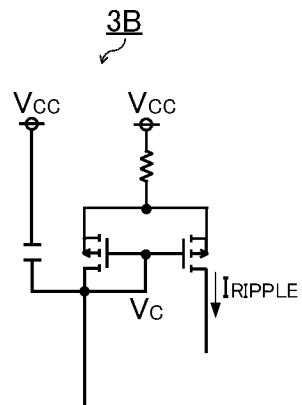


[図35A]

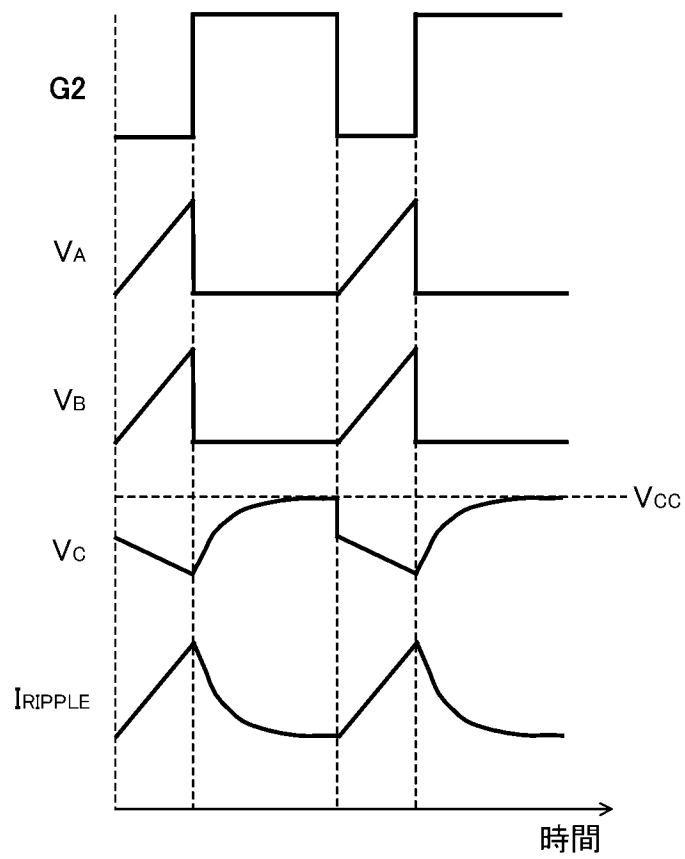




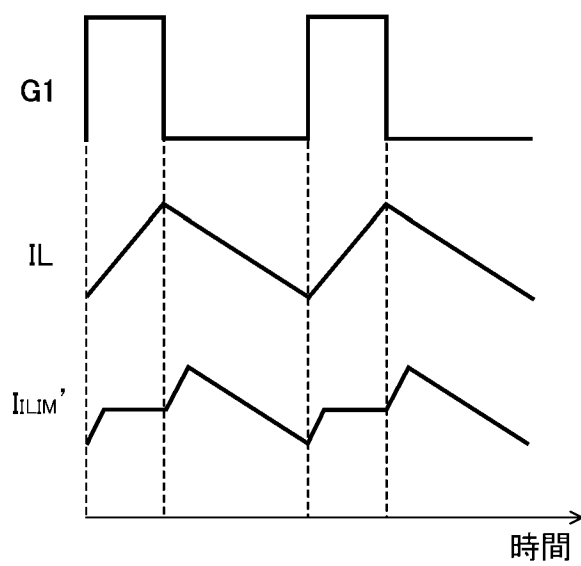
[図36C]



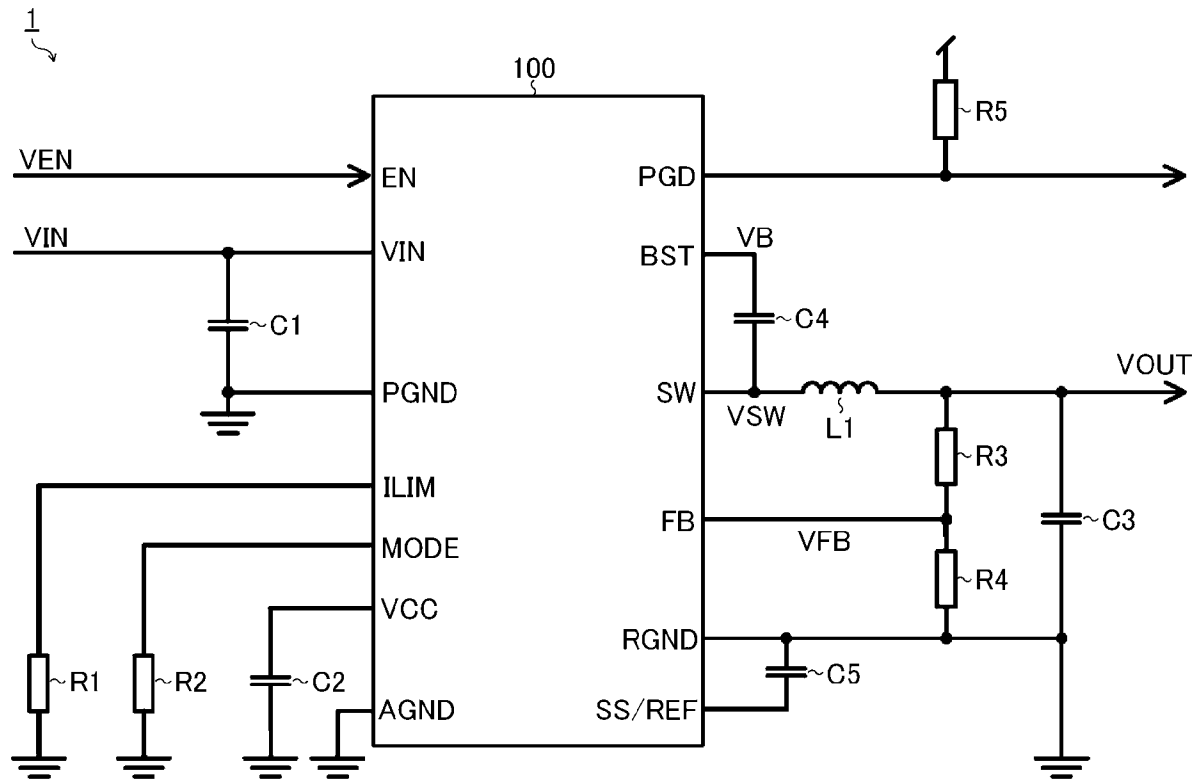
[図37]



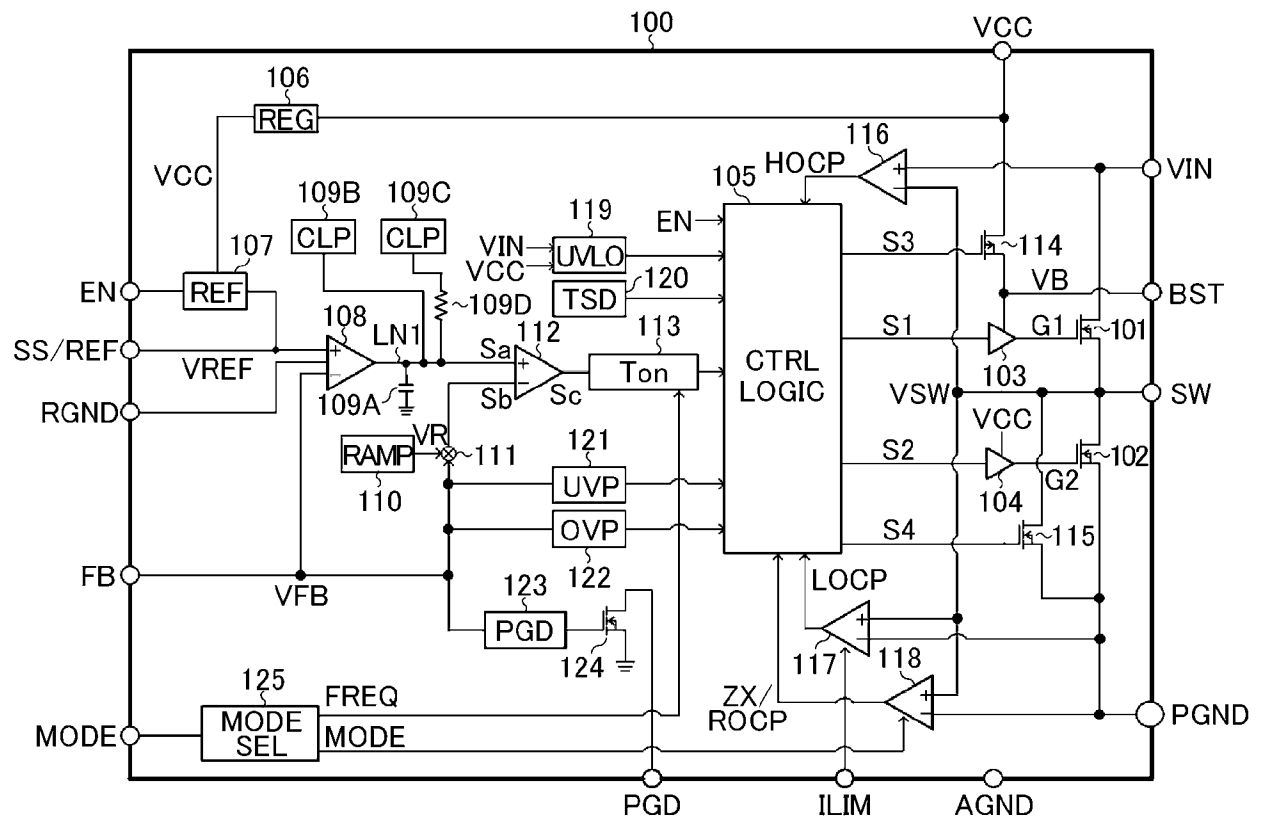
117



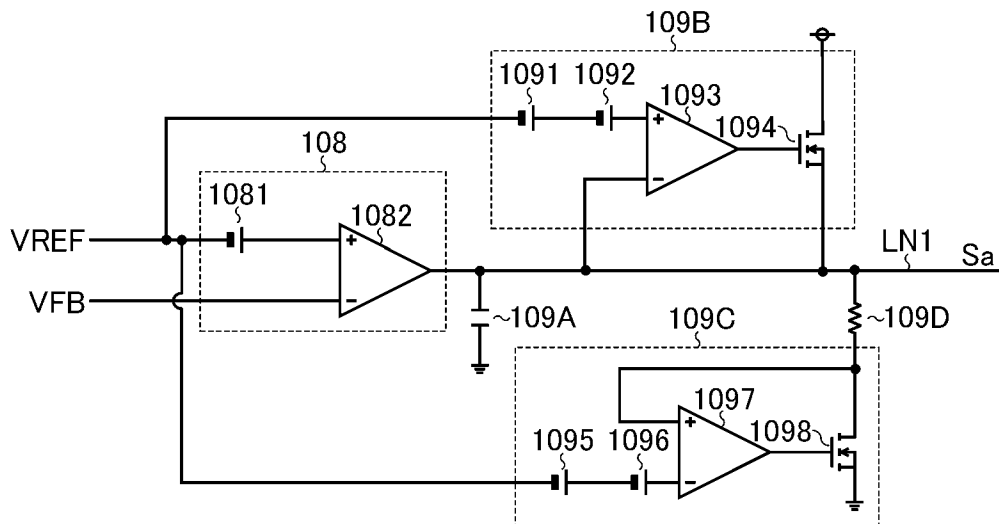
[図41]



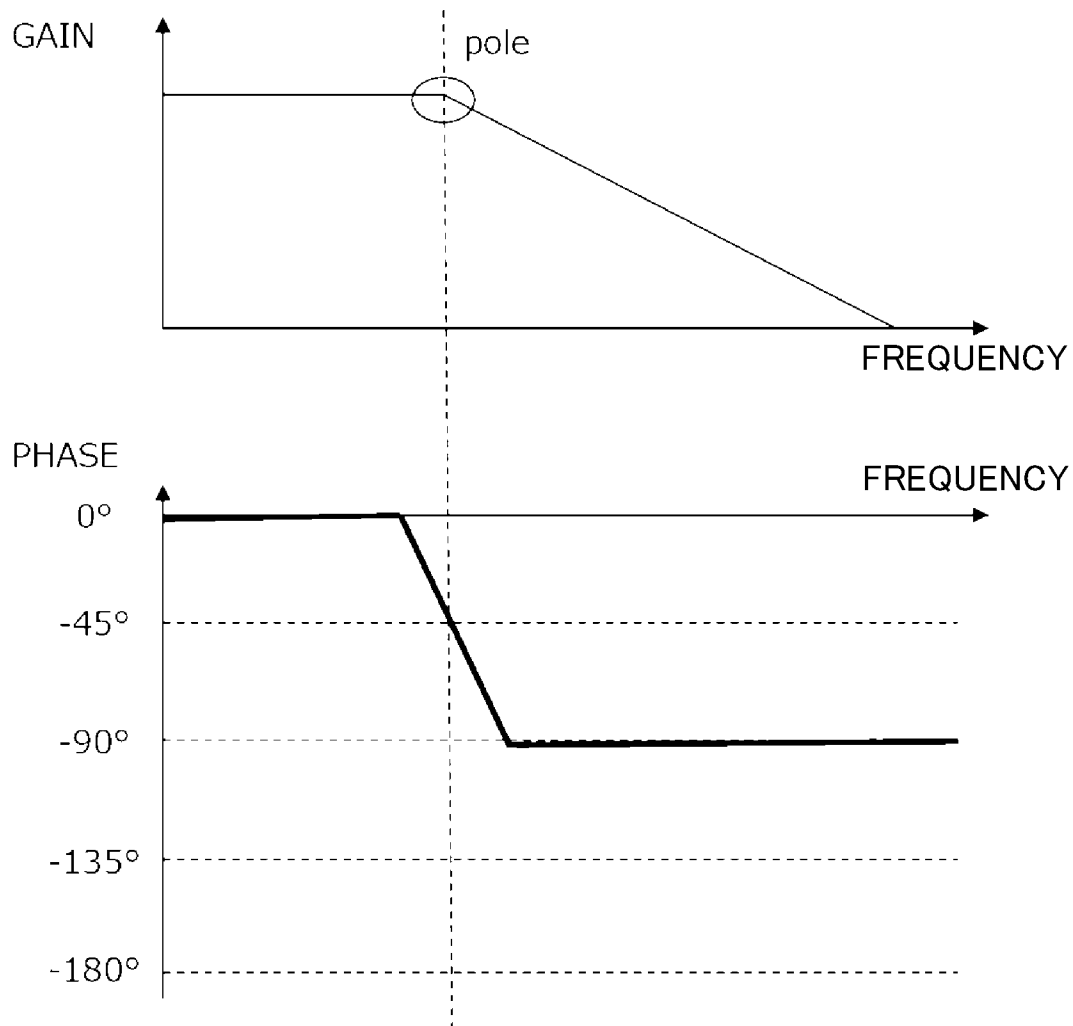
[図42]



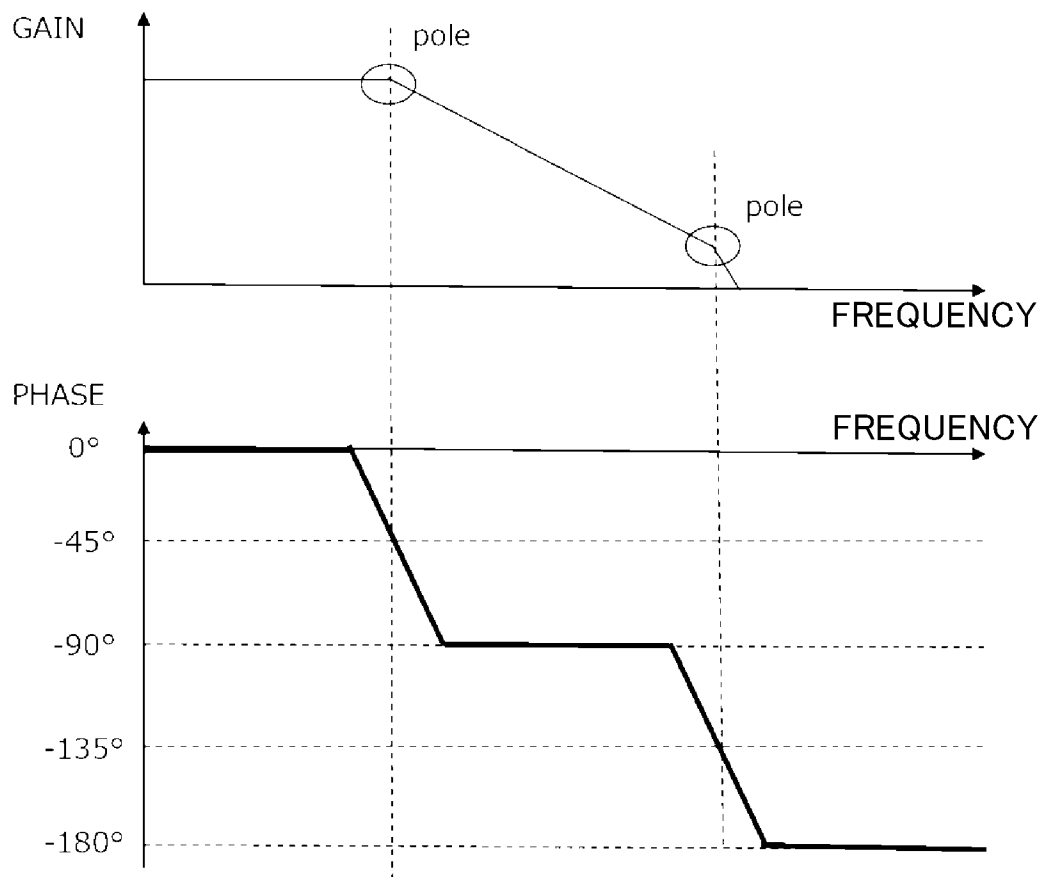
[図43]



[図44]



[図45]



The figure displays two Bode plots for a system with two poles and one zero. The top plot shows the Gain (in dB) versus Frequency (in rad/s). The gain starts at a constant value, then decreases with a slope of -20 dB/decade after the first pole. It remains constant between the zero and the second pole, and then decreases again with a slope of -20 dB/decade after the second pole. The bottom plot shows the Phase (in degrees) versus Frequency (in rad/s). The phase starts at 0°, drops to -90° at the first pole, rises back to -90° at the zero, and then drops to -180° at the second pole. A dashed line indicates the asymptotic phase approximation, which is 0° for frequencies below the first pole, -90° between the first pole and the second pole, and -180° for frequencies above the second pole.

The diagram shows a differential amplifier circuit. It consists of two NMOS transistors, Q1 and Q2, whose sources are connected to a common source node. This node is connected to two PMOS transistors, Q3 and Q4, which are configured as a current mirror load. The gates of Q3 and Q4 are connected to a common gate node, which is biased by a DC voltage source V_{DD} . The gates of Q1 and Q2 are connected to a common gate node, which is biased by a DC voltage source V_{GS} . The output of the amplifier is taken from the drain of Q2, labeled (OUT). The current source load is represented by a circle with a cross and the label I_{S1} .

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/017044

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/16(2006.01)i; **H03K 17/22**(2006.01)i; **H03K 17/693**(2006.01)i; **H02M 1/00**(2007.01)i; **H02M 1/08**(2006.01)i; **H02M 3/135**(2006.01)i; **H02M 3/155**(2006.01)i; **G05F 1/10**(2006.01)i; **H03F 3/45**(2006.01)i
 FI: H03K17/16 H; G05F1/10 304F; H02M1/00 H; H02M1/08 A; H02M3/135 B; H02M3/135 C; H02M3/155 C; H03F3/45; H03K17/22 E; H03K17/693

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/16; H03K17/22; H03K17/693; H02M1/00; H02M1/08; H02M3/135; H02M3/155; G05F1/10; H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-294464 A (RENESAS TECHNOLOGY CORP.) 20 October 2005 (2005-10-20) paragraphs [0077]-[0085], fig. 20	1-9
A	JP 2021-150532 A (TOSHIBA CORP.) 27 September 2021 (2021-09-27) entire text, all drawings	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

19 July 2023

Date of mailing of the international search report

01 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: JP 2005-294464 A (RENESAS TECHNOLOGY CORP.) 20 October 2005 (2005-10-20), paragraphs [0077]-[0085], fig. 20 & US 2005/0218489 A1, paragraphs [0147]-[0155], fig. 20 & KR 10-2006-0041974 A & CN 1677666 A & TW 200536241 A

The claims are classified into the four inventions below.

(Invention 1) Claims 1-9

Claims 1-9 have the special technical feature wherein "the second control circuit has a fourth highside transistor, and a delay is provided between a first gate signal for turning on the first highside transistor and a second gate signal for turning on the second highside transistor and/or between a third gate signal for turning on the third highside transistor and a fourth gate signal for turning on the fourth highside transistor".

Accordingly claims 1-9 are classified as invention 1.

(Invention 2) Claims 10-18

There are not the same or corresponding special technical features between claims 10-18 and claim 1.

Furthermore, claims 10-18 do not depend from claim 1. In addition, claims 10-18 are not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Accordingly claims 10-18 cannot be identified as invention 1.

Meanwhile, claims 10-18 have the special technical feature of "a power good circuit provided with: a first output transistor having a first end connected to a power good terminal and a second terminal connected to an ground potential application end; a resistance for applying a voltage based on a first power supply voltage to a control end of the first output transistor; a first inverter stage configured to use a second power supply voltage as a power supply voltage and allow a control input signal to be input thereto; and a second output transistor having a control end connected to an output end of the first inverter stage, a first end connected to the power good terminal, and a second end connected to the ground potential application terminal, wherein the power good terminal can be pulled up to the second power supply voltage"; thus these claims are classified as invention 2.

(Invention 3) Claims 19-28

Claims 19-28 cannot be said to have the same or corresponding special technical features between these claims and claim 1 classified as invention 1 or claim 10 classified as invention 2.

Furthermore, claims 19-28 do not depend from claim 1 or 10. In addition, claims 19-28 are not substantially identical to or similarly closely related to any of the claims classified as invention 1 or 2.

Accordingly claims 19-28 cannot be identified as either of inventions 1 and 2.

Meanwhile, claims 19-28 have the special technical feature of "an overcurrent detection circuit configured to detect an overcurrent that flows to a second switch in a circuit in which a first switch and the second switch are connected in series, the second switch is provided on a lower potential side than the first switch, and an inductor is connected to a connection node for connecting the first and second switches, the overcurrent detection circuit having: a first current generation circuit configured to generate a first current corresponding to a current that flows to the second switch; a second current generation circuit configured to generate a second current that is greater than zero at the timing when the second switch switches from off to on, and that varies in synchronization with switching of the first and second switches; and a comparator configured to compare voltages corresponding to the first and second currents with a threshold value"; thus these claims are classified as invention 3.

(Invention 4) Claims 29-36

Claims 29-36 cannot be said to have the same or corresponding special technical features between these claims and claim 1 classified as invention 1, claim 10 classified as invention 2, or claim 19 classified as invention 3.

Furthermore, claims 29-36 do not depend from any of claims 1, 10, and 19. In addition, claims 29-36 are not substantially identical to or similarly closely related to any of the claims classified as invention 1, 2, or 3.

Accordingly claims 29-36 cannot be identified as any of inventions 1, 2, and 3.

Meanwhile, claims 29-36 have the special technical feature of "an oscillation prevention circuit having a signal line, a first circuit, a capacitor connected to the signal line, and a resistance provided between the signal line and the first circuit, wherein the first circuit has two poles, and the first circuit, the capacitor, and the resistance have two poles and one zero point"; thus these claims are classified as invention 4.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/017044

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: **Claims 1-9**

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/017044

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2005-294464	A	20 October 2005	US	2005/0218489	A1	
					paragraphs [0147]-[0155], fig.		
					20		
				KR	10-2006-0041974	A	
				CN	1677666	A	
JP	2021-150532	A	27 September 2021	TW	200536241	A	
				US	2021/0297078	A1	
					entire text, all drawings		
				CN	113497029	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/16(2006.01)i; H03K 17/22(2006.01)i; H03K 17/693(2006.01)i; H02M 1/00(2007.01)i; H02M 1/08(2006.01)i; H02M 3/135(2006.01)i; H02M 3/155(2006.01)i; G05F 1/10(2006.01)i; H03F 3/45(2006.01)i FI: H03K17/16 H; G05F1/10 304F; H02M1/00 H; H02M1/08 A; H02M3/135 B; H02M3/135 C; H02M3/155 C; H03F3/45; H03K17/22 E; H03K17/693											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/16; H03K17/22; H03K17/693; H02M1/00; H02M1/08; H02M3/135; H02M3/155; G05F1/10; H03F3/45 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年	
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2023年										
日本国実用新案登録公報	1996-2023年										
日本国登録実用新案公報	1994-2023年										
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2005-294464 A（株式会社ルネサステクノロジ） 20.10.2005（2005-10-20） 段落[0077]-[0085]、図20</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2021-150532 A（株式会社東芝） 27.09.2021（2021-09-27） 全文全図</td> <td>1-9</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2005-294464 A（株式会社ルネサステクノロジ） 20.10.2005（2005-10-20） 段落[0077]-[0085]、図20	1-9	A	JP 2021-150532 A（株式会社東芝） 27.09.2021（2021-09-27） 全文全図	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2005-294464 A（株式会社ルネサステクノロジ） 20.10.2005（2005-10-20） 段落[0077]-[0085]、図20	1-9									
A	JP 2021-150532 A（株式会社東芝） 27.09.2021（2021-09-27） 全文全図	1-9									
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献											
国際調査を完了した日 19.07.2023		国際調査報告の発送日 01.08.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576									

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献1：JP 2005-294464 A（株式会社ルネサステクノロジ）20.10.2005(2005-10-20) 段落[0077]－[0085]、図20 & US 2005/0218489 A1 段落[0147]－[0155]、図20 & KR 10-2006-0041974 A & CN 1677666 A & TW 200536241 A

請求の範囲は、以下の4つの発明に区分される。

（発明1）請求項1－9

請求項1－9は、「第2制御回路は、第4ハイサイドトランジスタを有し、前記第1ハイサイドトランジスタをターンオンさせる第1ゲート信号と、前記第2ハイサイドトランジスタをターンオンさせる第2ゲート信号の間と、前記第3ハイサイドトランジスタをターンオンさせる第3ゲート信号と、前記第4ハイサイドトランジスタをターンオンさせる第4ゲート信号の間と、の少なくとも一方において遅延が設けられる」という特別な技術的特徴を有している。

したがって、請求項1－9を発明1に区分する。

（発明2）請求項10－18

請求項10－18と請求項1との間に、同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項10－18は、請求項1の従属請求項ではない。また、請求項10－18は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項10－18は発明1に区分できない。

そして、請求項10－18は、「パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第1出力トランジスタと、前記第1出力トランジスタの制御端に第1電源電圧に基づく電圧を印加するための抵抗と、第2電源電圧を電源電圧として用い、制御入力信号が入力可能に構成される第1インバータ段と、前記第1インバータ段の出力端に接続される制御端と、前記パワーグッド端子に接続される第1端と、グランド電位の印加端に接続される第2端と、を有する第2出力トランジスタと、を備え、前記パワーグッド端子は、前記第2電源電圧にプルアップ可能である、パワーグッド回路」という特別な技術的特徴を有しているので、発明2に区分する。

（発明3）請求項19－28

請求項19－28は、発明1に区分された請求項1又は発明2に区分された請求項10と、同一の又は対応する特別な技術的特徴を有しているとはいえない。

さらに、請求項19－28は、請求項1及び10の従属請求項ではない。また、請求項19－28は、発明1又は2に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項19－28は発明1及び2のいずれにも区分できない。

そして、請求項19－28は、「第1スイッチ及び第2スイッチが直列接続され、前記第2スイッチが前記第1スイッチより低電位側に設けられ、前記第1スイッチと前記第2スイッチとの接続ノードにインダクタが接続される回路の前記第2スイッチに流れる過電流を検出するように構成される過電流検出回路であって、前記第2スイッチに流れる電流に応じた第1電流を生成するように構成される第1電流生成回路と、前記第2スイッチがオフからオンに切り替わるタイミングで零より大きく、前記第1スイッチ及び前記第2スイッチのスイッチングに同期して変動する第2電流を生成するように構成される第2電流生成回路と、前記第1電流及び前記第2電流に応じた電圧と閾値とを比較するように構成されるコンパレータと、を有する、過電流検出回路」という特別な技術的特徴を有しているので、発明3に区分する。

（発明4）請求項29－36

請求項29－36は、発明1に区分された請求項1、発明2に区分された請求項10又は発明3に区分された請求項19と、同一の又は対応する特別な技術的特徴を有しているとはいえない。

さらに、請求項29－36は、請求項1、10及び19のいずれの従属請求項でもない。また、請求項29－36は、発明1、発明2又は発明3に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項29－36は発明1、発明2及び発明3のいずれにも区分できない。

そして、請求項29－36は、「信号線と、第1回路と、前記信号線に接続されるキャパシタと、前記信号線と前記第1回路との間に設けられる抵抗と、を有し、前記第1回路は2つのポールを有し、前記第1回路、前記キャパシタ、及び前記抵抗は2つのポールと1つのゼロ点とを有する、発振防止回路」という特別な技術的特徴を有しているので、発明4に区分する。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。 請求項1－9

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/017044

引用文献			公表日	パテントファミリー文献			公表日
JP	2005-294464	A	20.10.2005	US	2005/0218489	A1	
				段落[0147] - [0155]、図20			
				KR	10-2006-0041974	A	
				CN	1677666	A	
				TW	200536241	A	
JP	2021-150532	A	27.09.2021	US	2021/0297078	A1	
				全文全図			
				CN	113497029	A	