

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局



(43) 国际公布日
2017年4月6日 (06.04.2017)

WIPO | PCT



(10) 国际公布号

WO 2017/054487 A1

(51) 国际专利分类号:
G06F 12/16 (2006.01)

(21) 国际申请号: PCT/CN2016/084168

(22) 国际申请日: 2016年5月31日 (31.05.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510638542.6 2015年9月30日 (30.09.2015) CN

(71) 申请人: 中兴通讯股份有限公司 (ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

(72) 发明人: 周斌 (ZHOU, Bin); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦中兴通讯股份有限公司转交, Guangdong 518057 (CN)。刘磊山 (LIU, Leishan); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦中兴通讯股份有限公司转交, Guangdong 518057 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司
(AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路8号B座1601A, Beijing 100192 (CN)。

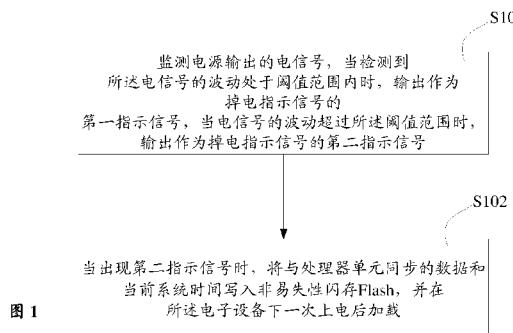
(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: POWER-DOWN PROTECTION METHOD AND APPARATUS, AND ELECTRONIC DEVICE

(54) 发明名称: 一种掉电保护的方法、装置和电子设备



S101 MONITORING AN ELECTRICAL SIGNAL OUTPUT BY A POWER SOURCE, AND WHEN IT IS MONITORED THAT THE FLUCTUATION OF THE ELECTRICAL SIGNAL IS WITHIN A THRESHOLD VALUE RANGE, OUTPUTTING A FIRST INDICATION SIGNAL SERVING AS A POWER-DOWN INDICATION SIGNAL, AND WHEN THE FLUCTUATION OF THE ELECTRICAL SIGNAL IS BEYOND THE THRESHOLD VALUE RANGE, OUTPUTTING A SECOND INDICATION SIGNAL SERVING AS A POWER-DOWN INDICATION SIGNAL.
S102 WHEN THE SECOND INDICATION SIGNAL OCCURS, WRITING DATA SYNCHRONIZED WITH A PROCESSOR UNIT, AND A CURRENT SYSTEM TIME INTO A NON-VOLATILE FLASH MEMORY (FLASH), AND LOADING SAME AFTER THE NEXT POWER-ON OF THE ELECTRONIC DEVICE

(57) Abstract: A power-down protection method and apparatus, and an electronic device. The method is applied to the electronic device. The electronic device comprises a field programmable gate array (FPGA) unit. The method comprises: monitoring an electrical signal output by a power source, and when it is monitored that the fluctuation of the electrical signal is within a threshold value range, outputting a power-down indication signal marked as a first indication signal, and when it is monitored that the fluctuation of the electrical signal is beyond the threshold value range, outputting a power-down indication signal marked as a second indication signal (S101); and when it is monitored that the second indication signal is output, writing data synchronized with a processor unit, and a current system time into a non-volatile flash memory (Flash), and loading the stored data synchronized with the processor unit after the next power-on of the electronic device (S102).

(57) 摘要:

[见续页]

WO 2017/054487 A1

**根据细则 4.17 的声明:**

- 关于申请人有权申请并被授予专利(细则 4.17(ii))
- 发明人资格(细则 4.17(iv))

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

一种掉电保护的方法、装置和电子设备，该方法应用于电子设备，该电子设备包括现场可编程门阵列单元 FPGA，该方法包括：监测电源输出的电信号，当监测到所述电信号的波动处于阈值范围内时，输出标记为第一指示信号的掉电指示信号，当监测到电信号的波动超过所述阈值范围时，输出标记为第二指示信号的掉电指示信号（S101）；当监测到输出所述第二指示信号时，将与处理器单元同步的数据和当前系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储的与处理器单元同步的数据（S102）。

一种掉电保护的方法、装置和电子设备

技术领域

本申请涉及但不限于电子设备掉电技术，尤其涉及一种掉电保护的方法、装置和电子设备。

5 背景技术

掉电保护的目的是在系统失去供电的情况下，采用一种机制来保证系统运行状态的确定性和记录数据的完整性；当系统恢复供电后，能够及时恢复系统的现场数据，避免系统产生混乱。

相关技术一般采用备用电源和电池续电来应对电源意外掉电。理想情况下，采用备用电源能够实现主、备电源之间的无缝切换，是一种比较安全的应对措施，但是额外的备用电源增加了成本；采用电池续电能够保证在电池续航时间内完整地保存数据，但是电池的寿命有限，同样面临着增加成本的问题。

相关采用纯软件方式进行掉电保护的技术存在如下问题：当检测到掉电时，触发中断，将运行数据写入非易失性存储器。当软件系统较复杂，特别是引入了操作系统，采用基于文件读写的方式操作数据，数据量一般比较大，进行数据的保护操作耗时较长，对供电电源要求较高，储能电容显然不再合适，因此基于纯软件方式进行掉电保护已经不再可靠。

发明内容

20 以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本发明实施例要解决的技术问题是提供一种掉电保护的方法、装置和电子设备，用于解决相关技术中基于纯软件方式进行掉电保护已经不再可靠的缺陷。

25 一种掉电保护的方法，应用于电子设备，所述电子设备包括现场可编程门阵列单元 FPGA，该方法包括：监测电源输出的电信号；当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当

监测到所述电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号；当监测到输出所述第二指示信号时，将与处理器单元同步的数据和当前系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据。

5 可选地，所述电信号为电压；所述第一指示信号为高电平；所述第二指示信号为低电平；

当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当监测到所述电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号包括：当监测到所述电压的波动在所述阈值范围内时，输出高电平，当监测到所述电压的波动超过阈值范围时，输出低电平。

可选地，电信号的波动超过所述阈值范围包括：电源输出的电信号向下波动超过所述阈值范围的下限阈值。

可选地，将与处理器单元同步的数据和当前系统时间写入非易失性闪存
15 Flash 包括：

由处理器单元将系统软件运行时产生且需要保护的状态数据、运算数据和内存数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，由处理器单元将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统计时，等待电源发生掉电；电源发生掉电之后，由储能电容对 FPGA 供电，由 FPGA
20 在系统掉电后将所述状态数据、运算数据、内存数据和掉电时系统时间写入 FPGA 内置的非易失性闪存 Flash。

可选地，所述方法还包括：当监测到输出所述第二指示信号时，如果电源未实际掉电，且电子设备的软件的工作未受影响，则由处理器单元控制
FPGA 擦除非易失性闪存中的相应地址，再次等待电源发生掉电。

25 可选地，所述在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据包括：在电子设备启动后，FPGA 将上次掉电后保存在所述非易失性闪存中的被保护数据读入 FPGA 内部寄存器或者内部随机存储器，由处理器单元通过数据读取通道读取 FPGA 的内部寄存器或者内部随机存储器，恢复所述数据；

通过数据读取通道读取数据完毕后，FPGA 将 Flash 中与所述数据对应的地址空间擦除。

一种掉电保护的装置，应用于电子设备，包括：电压监测单元、现场可编程门阵列单元 FPGA 和处理器单元；

5 电压监测单元，设置为监测电源输出的电信号，当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当监测到所述电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号。

10 FPGA，设置为当检测到输出所述第二指示信号时，将与处理器单元同步的数据和当前系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据。

15 可选地，所述电信号为电压；所述第一指示信号为高电平；所述第二指示信号为低电平；电压监测单元包括：掉电指示模块，设置为当监测到所述电压的波动在所述阈值范围内时，输出高电平，当监测到所述电压波动超过所述阈值范围时，输出低电平。

可选地，所述电信号的波动超过所述阈值范围包括：电源输出的电信号向下波动超过所述阈值范围的下限阈值。

20 可选地，所述装置还包括：储能电容。处理器单元，设置为将系统软件运行时产生的被保护数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统计时，等待电源发生掉电；储能电容，设置为在电源发生掉电之后，对 FPGA 供电；FPGA，还设置为在系统掉电后将所述状态数据、运算数据、内存数据和掉电时系统时间写入非易失性闪存 Flash。

25 可选地，处理器单元，设置为当监测到输出所述第二指示信号时，如果电源未实际掉电，且电子设备的软件的工作未受影响，则控制所述 FPGA 擦除非易失性闪存中的相应地址，再次等待电源发生掉电。

可选地，所述 FPGA，还设置为在电子设备启动后，FPGA 将上次掉电后保存在所述非易失性闪存中的被保护数据读入 FPGA 内部寄存器或者内部随机存储器；所述处理器单元还设置为，通过数据读取通道读取 FPGA 的内部

寄存器或者内部随机存储器，恢复所述数据；

所述 FPGA 还设置为，通过数据读取通道读取数据完毕后，将所述 Flash 中与所述数据对应的地址空间擦除。

一种电子设备，包括上述的掉电保护的装置。

5 一种计算机可读存储介质，存储有计算机可执行指令，所述计算机可执行指令被处理器执行时实现所述的掉电保护方法。

本发明实施例方案的有益效果如下：掉电后在处理器单元外部执行数据的存储，减少了掉电后处理器单元和操作系统的操作，较纯软件保护方法更快速，能够保证在电源意外掉电的环境下将数据安全地记录下来，节省电量
10 且能够即时存储数据。

附图概述

图 1 为本发明实施例的一种掉电保护的方法的流程示意图；

图 2 为本发明实施例的电子设备在发生掉电之前以及掉电后的工作过程示意图；

15 图 3 为本发明实施例的电子设备上电之后的工作流程示意图；

图 4 为本发明实施例的一种掉电保护的装置及电子设备的结构示意图；

图 5 为本发明实施例的一种掉电保护的装置结构组成框图。

本发明的实施方式

下文中将参考附图并结合实施例来详细说明本申请。需要说明的是，在
20 不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

本发明实施例提供一种掉电保护的方法，应用于电子设备，如图 1 所示，所述电子设备包括现场可编程门阵列(FPGA, Field-Programmable Gate Array)，方法包括步骤 S101-S102：

25 S101、监测电源输出的电信号，当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当监测到电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号。

S102、当监测到输出所述第二指示信号时，将与处理器单元同步的数据

和当前系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据。

应用所提供的技术方案，掉电后在 CPU 外部执行数据的存储，数据预先备份在 FPGA 的内部寄存器或者内部随机存储器中，FPGA 直接将数据写入 5 内置 Flash，较纯软件方法更快速地实现数据的存储；不需要 CPU 及操作系统的干预，掉电后储能电容只需对 FPGA 供电，节省电量，对电容容量要求低；能够保证在电源意外掉电的环境下将重要数据安全地记录下来，而且实现成本低。软件指 CPU 运行的系统软件，一般指操作系统(OS)。

FPGA 及 FPGA 的存储子系统(非易失性 Flash)用来存储和回送被保护的数据。FPGA 选用 XILINX 的 Spartan-3AN 系列 FPGA，其内部自带内部寄存器或者内部随机存储器，以及非易失性 Flash，非易失性 Flash 的存储空间达 10 11Mb，有充足的空间存储被保护的数据。选用这种内置 Flash 的 FPGA 不但节约了成本、减小 PCB 布板面积，而且比采用两块分立器件减少了电能消耗，这对掉电后依靠储能电容供电来说尤为重要。

15 FPGA 内部的 Flash 作为一种非易失性存储器，可以对最小单位一页(256Bytes)的地址空间进行擦除和再编程。在对存储空间进行编程之前需要进行擦除操作，相对于写入操作来说，擦除操作耗时较长。以 Spartan-3AN 系列 FPGA 内置的 Flash 为例，写入一页耗时 4~6 毫秒，擦除一页耗时约 32~35 毫秒。本发明实施例采用预先擦除的方式，由 CPU 控制 FPGA 来实现预先擦 20 除，保证在掉电之后 FPGA 只需要进行写入操作。当电源电压的波动超过阈值时，FPGA 收到的掉电指示信号为低电平，启动 Flash 写入操作。

可选地，

所述电信号为电压；所述第一指示信号为高电平；所述第二指示信号为低电平；

25 当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当监测到所述电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号包括：当监测到所述电压的波动在所述阈值范围内时，输出高电平，当监测到所述电压的波动超过阈值范围时，输出低电平。

采用电压作为所述电信号，当电压的波动在阈值范围内时，掉电指示信号输出高电平作为第一指示信号，当电压波动超过阈值范围时，掉电指示信号输出低电平作为第二指示信号。所述阈值范围存在一个上限阈值和一个下限阈值。

5 可选地，电信号的波动超过阈值范围具体是指电信号向下波动超过所述阈值范围的下限阈值。

FPGA 将通过数据备份通道写入其内部寄存器或者内部随机存储器的被保护数据和内部系统时间写入非易失性闪存(Flash)。可选地，将与处理器单元同步的数据和当前系统时间写入非易失性闪存 Flash 包括：

10 由处理器单元将系统软件运行时产生的被保护数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，由处理器单元将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统计时，等待电源发生掉电。

电源发生掉电之后，由储能电容对 FPGA 供电，由 FPGA 在系统掉电后将所述状态数据、运算数据、内存数据和掉电时系统时间写入非易失性闪存
15 Flash。

其中，状态数据、运算数据和内存数据均是所述被保护数据。

电源掉电之后，在 FPGA 写数据期间由储能电容对 FPGA 供电，FPGA 捕捉到掉电指示信号为低电平，将所述通过数据备份通道写入其内部寄存器或者内部随机存储器的被保护数据和内部系统时间一同写入 Flash。

20 可选地，所述方法还包括：当监测到输出所述第二指示信号时，如果电源未实际掉电，且电子设备的软件的工作未受影响，则由处理器单元控制 FPGA 擦除 Flash 中的相应地址，再次等待电源发生掉电。这一过程中，掉电指示信号为低电平，但实际电源并未掉电，电子设备的操作系统仍然正常运行，则 CPU 控制 FPGA 擦除 Flash 中的相应地址，再次等待电源发生掉电。

25 可选地，在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据包括：

在电子设备启动后，FPGA 将上次掉电后保存在所述 Flash 中的状态数据、运算数据和内存数据读入 FPGA 内部寄存器或者内部随机存储器，由处理器单元通过数据读取通道读取 FPGA 的内部寄存器或者内部随机存储器，恢复

所述数据；

通过数据读取通道读取数据完毕后，FPGA 将 Flash 的与所述数据对应的地址空间擦除。

本发明实施例提出了一种基于内置 Flash 的 FPGA 实现掉电保护数据的实现方法，能够在电源掉电后的数十毫秒之内，将掉电时的当前系统时间、被保护数据写入 FPGA 内置的 Flash 中，电子设备再次上电时，FPGA 读取 Flash 中的数据，再由 CPU 回读 FPGA 数据，达到重要数据在断电时得到安全保存的目的。

如图 2 所示，电子设备在掉电之前以及发生掉电时的工作过程包括步骤 10 S201-S206：

步骤 201，对电源输出的电信号所产生的波动进行监控，一般是采用电压作为所述电信号。

步骤 202，判断电压的波动是否超过阈值范围，当电压的波动超过阈值时，转步骤 203，当电压的波动未超过阈值时转步骤 201。

步骤 203，FPGA 收到掉电指示信号为低，表示电压的波动超过阈值，将与处理器单元 CPU 同步的数据和当前时间写入 Flash。

步骤 204，判断电源是否实际上确实掉电了，如果判定电源确实掉电了则转步骤 206，如果判定电源实际上并未掉电则转步骤 205。

步骤 205，电源波动超过阈值，但是实际上，电源可能并未掉电，系统 20 软件并未停止工作；为防止此类误操作，CPU 控制 FPGA 重新擦除内置的 Flash；转步骤 201。

步骤 206，电源系统确实掉电了，再次上电时执行电子设备系统上电的工作流程。

如图 3 所示，电子设备上电之后的工作流程包括步骤 S301-S307：

步骤 301，电子设备上电启动，FPGA 就绪后读取内置 Flash 中的被保护数据到 FPGA 的内部寄存器或者内部随机存储器。

步骤 302，处理器单元 CPU 通过数据读取通道读取 FPGA 的内部寄存器或者内部随机存储器，获取上次掉电时保存的被保护数据。

步骤 303，CPU 完成读取被保护数据，以及控制 FPGA 擦除 Flash 该地址

区域的数据。

之后的步骤，就是电子设备在正常工作状态下，为下一次可能发生的掉电事件进行前期准备。

步骤 304，为保证被保护数据的实时性和准确性，在正常工作状态下，
5 由处理器单元将当前系统时间写入 FPGA，FPGA 启动内部计时，采用高精度的晶振保证 FPGA 内部系统时间与真实系统时间保持较小的误差。

同理，掉电时将掉电时间和被保护数据一起写入 Flash：电源掉电导致处理器单元瞬间停止工作，外部系统时间丢失，FPGA 将内部系统时间写入 Flash。

10 步骤 305，FPGA 收到 CPU 下发的系统时间后开始启动计时，采用精确计时保证与系统时间同步。

步骤 306，CPU 在运行时将需要保护的数据通过数据备份通道写入 FPGA 内部寄存器或者内部随机存储器，保证重要数据在 FPGA 中实时备份，这包括：

15 处理器单元将系统软件运行时产生且需要保护的状态数据、运算数据和内存数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，处理器单元将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统计时，等待电源发生掉电。电源发生掉电之后，由储能电容对 FPGA 供电，由 FPGA 在系统掉电后将所述状态数据、运算数据、内存数据和掉电时系统时间写入非易失性闪存 Flash。
20

步骤 307，电子设备准备就绪，等待电源再次发生掉电。

本发明实施例还提供了一种掉电保护的装置，应用于电子设备，如图 4、
25 图 5 所示，包括：电源单元 01、电压监测单元 02、处理器单元 03、现场可编程门阵列单元 FPGA 04。

电压监测单元 02，设置为监测电源输出的电信号，当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当监测到所述电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号。

所述 FPGA 04，设置为当检测到输出所述第二指示信号时，将与处理器单元 03 同步的数据和当前系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据。

应用所提供的技术，掉电后在 CPU 外部执行数据的存储，数据预先备份
5 在 FPGA 的内部寄存器或者内部随机存储器中，FPGA 直接将数据写入内置 Flash，较纯软件方法更快速地实现数据的存储；不需要 CPU 及操作系统的干预，掉电后储能电容只需对 FPGA 供电，节省电量，对电容容量要求低；能够保证在电源意外掉电的环境下将重要数据安全地记录下来，而且实现成本低。

10 处理器单元 03 可以是中央处理器(CPU, Central Processing Unit)。

电源单元 01，为整个电子设备供电，输入为市电或工业用电，经过直流稳压电源，转换为直流电压输出。电源单元可能受到外界干扰导致电源波动，或者遭受意外断电。

电压监测单元 02，由模拟电路实现，设置为为电源单元输出电压的波动
15 范围进行监测，并给出掉电指示信号。当监测到所述电压波动在正常的阈值范围内时，输出的掉电指示信号是高电平，当监测到所述电压的波动超过阈值-主要指向下降波超过阈值，输出的掉电指示信号是低电平。

FPGA 04，包含存储子系统，设置为存储和回送被保护数据。FPGA 选用
20 XILINX 的 Spartan-3AN 系列 FPGA，其内部自带非易失性 Flash，容量多达 11Mb，有充足的空间来存储被保护数据。选用这种内置 Flash 的 FPGA 不但节约了成本、减小 PCB 布板面积，而且比采用两块分立器件减少了电能消耗，这对掉电后依靠储能电容供电来说尤为重要。

存储子系统是 Flash，Flash 作为一种非易失性存储器，可以对最小单位
25 一页(256Bytes)的地址空间进行擦除和再编程。在对存储空间进行编程之前需要进行擦除操作。相对于写入操作来说，擦除操作耗时较长。以 Spartan-3AN 内置 Flash 为例，擦除一页耗时约 32~35 毫秒，写一页耗时 4~6 毫秒。本发明采用预先擦除的方式，保证在掉电之后 FPGA 只需要对已擦除的地址进行写入操作，由处理器单元控制 FPGA 来实现预先擦除。当电源波动超过阈值，FPGA 收到掉电指示信号为低电平，启动 Flash 写操作。

可选地，所述电信号为电压；所述第一指示信号为高电平；所述第二指示信号为低电平。

电压监测单元 02 包括：

掉电指示模块 021，设置为采用电压作为所述电信号，当监测到电压的

5 波动在阈值范围内时，输出的掉电指示信号是高电平，当监测到电压波动超过阈值范围时，输出的掉电指示信号是低电平。

可选地，该装置还包括：储能电容 05。

处理器单元 03，设置为将系统软件运行时产生且需要保护的状态数据、

运算数据和内存数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，
10 将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统计时，等待电
源发生掉电。

储能电容 05，设置为在电源发生掉电之后，对 FPGA 供电。

FPGA 04，还设置为在系统掉电后将所述状态数据、运算数据、内存数
据和掉电时系统时间写入非易失性闪存 Flash。

15 可选地，

处理器单元 03，设置为当监测到输出所述第二指示信号时，如归哦电源
未实际掉电，且电子设备的系统软件的工作未受影响，则控制现场可编程门
阵列单元 FPGA 擦除 Flash 中的相应地址，再次等待电源发生掉电。

电源单元 01，输出电压 VO 高于 FPGA 正常工作电压下限值 VL，低于
20 上限值 VH，阈值设置在电源输出电压 VO 和 FPGA 正常工作的电压下限电压
VL 之间。这样当系统掉电时，储能电容能够以高于 FPGA 正常工作所需的小
电压开始供电。阈值与储能电容的容量需要达到一种平衡，保证既不会因
为阈值设置过高引起误操作，也不会因为储能电容过大增加成本和布板面积。

可选地，现场可编程门阵列单元 FPGA 04，还设置为在电子设备启动后，
25 FPGA 将上次掉电后保存在所述 Flash 中的状态数据、运算数据和内存数据读
入 FPGA 内部寄存器或者内部随机存储器。

处理器单元 03 还设置为，通过数据读取通道读取 FPGA 的内部寄存器或
者内部随机存储器，恢复所述数据。

FPGA 04 还设置为，通过数据读取通道读取数据完毕后，将 Flash 中与所

述数据对应的地址空间擦除。

本发明实施例还提供了一种电子设备，包括上述的掉电保护的装置，如图4所示，掉电保护的装置包括：电源单元01、电压监测单元02、处理器单元03、现场可编程门阵列单元FPGA04；

5 电压监测单元02，设置为监测电源输出的电信号，当所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号；

现场可编程门阵列单元FPGA04，设置为当出现第二指示信号时，将与10 处理器单元同步的数据和当前系统时间写入非易失性闪存Flash，并在所述电子设备下一次上电后加载。

采用本方案之后的优势是：掉电后在处理器单元外部执行数据的存储，减少了掉电后处理器单元和操作系统的操作，较纯软件保护方法更快速，能够保证在电源意外掉电的环境下将数据安全地记录下来，节省电量且能够即时存储数据。

15 一种计算机可读存储介质，存储有计算机可执行指令，所述计算机可执行指令被处理器执行时实现所述的掉电保护方法。

本领域普通技术人员可以理解上述实施例的全部或部分步骤可以使用计算机程序流程来实现，所述计算机程序可以存储于一计算机可读存储介质中，所述计算机程序在相应的硬件平台上（如系统、设备、装置、器件等）执行，20 在执行时，包括方法实施例的步骤之一或其组合。

可选地，上述实施例的全部或部分步骤也可以使用集成电路来实现，这些步骤可以被分别制作成一个个集成电路模块，或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。

上述实施例中的装置/功能模块/功能单元可以采用通用的计算装置来实现，它们可以集中在单个的计算装置上，也可以分布在多个计算装置所组成的网络上。

上述实施例中的装置/功能模块/功能单元以软件功能模块的形式实现并作为独立的产品销售或使用时，可以存储在一个计算机可读取存储介质中。上述提到的计算机可读取存储介质可以是只读存储器，磁盘或光盘等。

工业实用性

本发明实施例方案掉电后在处理器单元外部执行数据的存储，减少了掉电后处理器单元和操作系统的操作，较纯软件保护方法更快速，能够保证在电源意外掉电的环境下将数据安全地记录下来，节省电量且能够即时存储数据。

权 利 要 求 书

1. 一种掉电保护的方法，应用于电子设备，所述电子设备包括现场可编程门阵列单元 FPGA，所述方法包括：

5 监测电源输出的电信号；当监测到所述电信号的波动处于阈值范围内时，
输出作为掉电指示信号的第一指示信号，当监测到所述电信号的波动超过所
述阈值范围时，输出作为掉电指示信号的第二指示信号；

当监测到输出所述第二指示信号时，将与处理器单元同步的数据和当前
系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储
的所述与处理器单元同步的数据。

10 2. 根据权利要求 1 所述的掉电保护方法，其中，所述电信号为电压；所
述第一指示信号为高电平；所述第二指示信号为低电平；

当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号
的第一指示信号，当监测到所述电信号的波动超过所述阈值范围时，输出作
为掉电指示信号的第二指示信号包括：

15 当监测到所述电压的波动在所述阈值范围内时，输出高电平，当监测到
所述电压的波动超过阈值范围时，输出低电平。

3. 根据权利要求 1 所述的掉电保护方法，其中，所述电信号的波动超过
所述阈值范围包括：电源输出的电信号向下波动超过所述阈值范围的下限阈
值。

20 4. 根据权利要求 1 所述的掉电保护方法，其中，将与处理器单元同步的
数据和当前系统时间写入非易失性闪存 Flash 包括：

由所述处理器单元将系统软件运行时产生且需要保护的状态数据、运算
数据和内存数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，由所
述处理器单元将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统
25 计时，等待电源发生掉电；

电源发生掉电之后，由储能电容对 FPGA 供电，由 FPGA 在系统掉电后
将所述状态数据、运算数据、内存数据和掉电时系统时间写入 FPGA 内置的
非易失性闪存 Flash。

5. 根据权利要求 1 所述的掉电保护方法，所述方法还包括：当监测到输出所述第二指示信号时，如果电源未实际掉电，且电子设备的软件的工作未受影响，则由处理器单元控制 FPGA 擦除非易失性闪存中的相应地址，再次等待电源发生掉电。

5 6. 根据权利要求 1 所述的掉电保护方法，所述在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据包括：

在所述电子设备启动后，所述 FPGA 将上次掉电后保存在所述非易失性闪存中的被保护数据读入 FPGA 内部寄存器或者内部随机存储器，由所述处理器单元通过数据读取通道读取所述 FPGA 的内部寄存器或者内部随机存储器，恢复所述数据；

通过所述数据读取通道读取数据完毕后，所述 FPGA 将所述 Flash 中与所述数据对应的地址空间擦除。

7. 一种掉电保护的装置，应用于电子设备，所述装置包括：电压监测单元、现场可编程门阵列单元 FPGA 和处理器单元；

15 所述电压监测单元，设置为监测电源输出的电信号；当监测到所述电信号的波动处于阈值范围内时，输出作为掉电指示信号的第一指示信号，当监测到所述电信号的波动超过所述阈值范围时，输出作为掉电指示信号的第二指示信号；

所述 FPGA，设置为当检测到输出所述第二指示信号时，将与所述处理器单元同步的数据和当前系统时间写入非易失性闪存 Flash，并在所述电子设备下一次上电后加载存储的所述与处理器单元同步的数据。

8. 根据权利要求 7 所述的掉电保护装置，其中，所述电信号为电压；所述第一指示信号为高电平；所述第二指示信号为低电平；

所述电压监测单元包括：

25 掉电指示模块，设置为当监测到所述电压的波动在所述阈值范围内时，输出高电平，当监测到所述电压的波动超过阈值范围时，输出低电平。

9. 根据权利要求 7 所述的掉电保护装置，其中，所述电信号的波动超过所述阈值范围包括：电源输出的电信号向下波动超过所述阈值范围的下限阈值。

10. 根据权利要求 7 所述的掉电保护装置，所述装置还包括：储能电容；处理器单元，设置为将系统软件运行时产生的被保护数据均写入 FPGA 内部寄存器或者内部随机存储器；以及，将当前系统时间写入 FPGA 内部寄存器，FPGA 启动内部系统计时，等待电源发生掉电；

5 储能电容，设置为在电源发生掉电之后，对 FPGA 供电；
FPGA，还设置为在系统掉电后将所述状态数据、运算数据、内存数据和掉电时系统时间写入非易失性闪存 Flash。

11. 根据权利要求 7 所述的掉电保护装置，所述处理器单元，设置为当监测到输出所述第二指示信号时，如果电源未实际掉电，且电子设备的软件
10 工作未受影响，则控制所述 FPGA 擦除非易失性闪存中的相应地址，再次等待电源发生掉电。

12. 根据权利要求 11 所述的掉电保护装置，其特征在于，
所述 FPGA 还设置为，在电子设备启动后，FPGA 将上次掉电后保存在所述非易失性闪存中的被保护数据读入 FPGA 内部寄存器或者内部随机存储器；
15

所述处理器单元还设置为，通过数据读取通道读取所述 FPGA 的内部寄存器或者内部随机存储器，恢复所述数据；

所述 FPGA 还设置为，通过所述数据读取通道读取数据完毕后，将所述 Flash 中与所述数据对应的地址空间擦除。

20 13. 一种电子设备，包括权利要求 7~12 任意一项中的掉电保护的装置。

14. 一种计算机可读存储介质，存储有计算机可执行指令，所述计算机可执行指令被处理器执行时实现权利要求 1 至 6 任意一项所述的掉电保护方法。

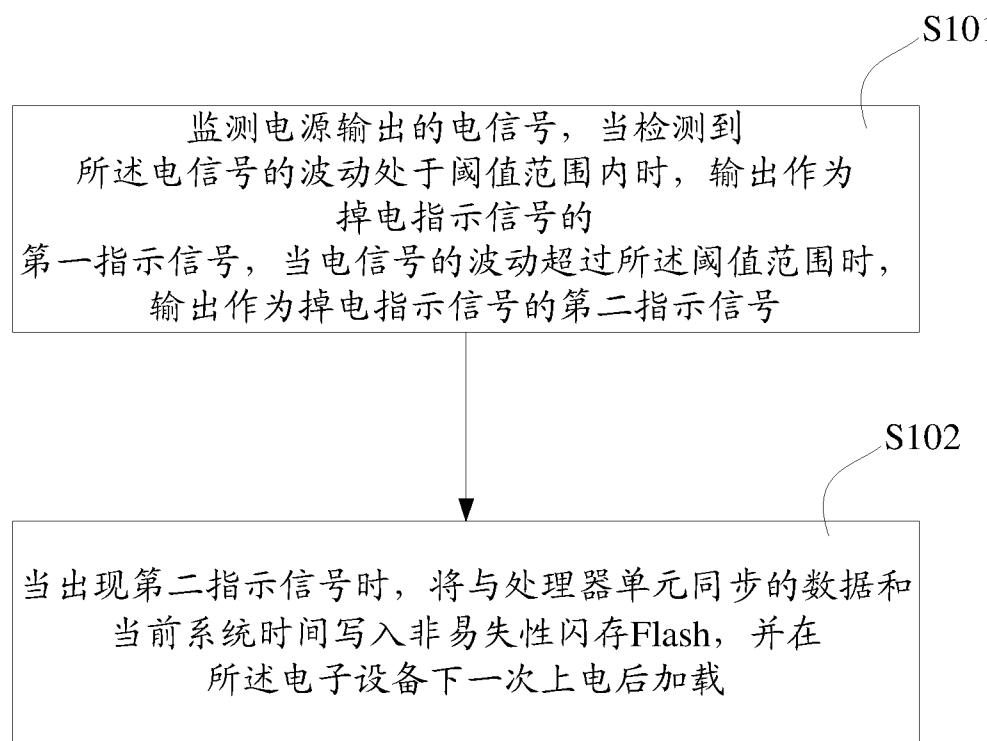


图 1

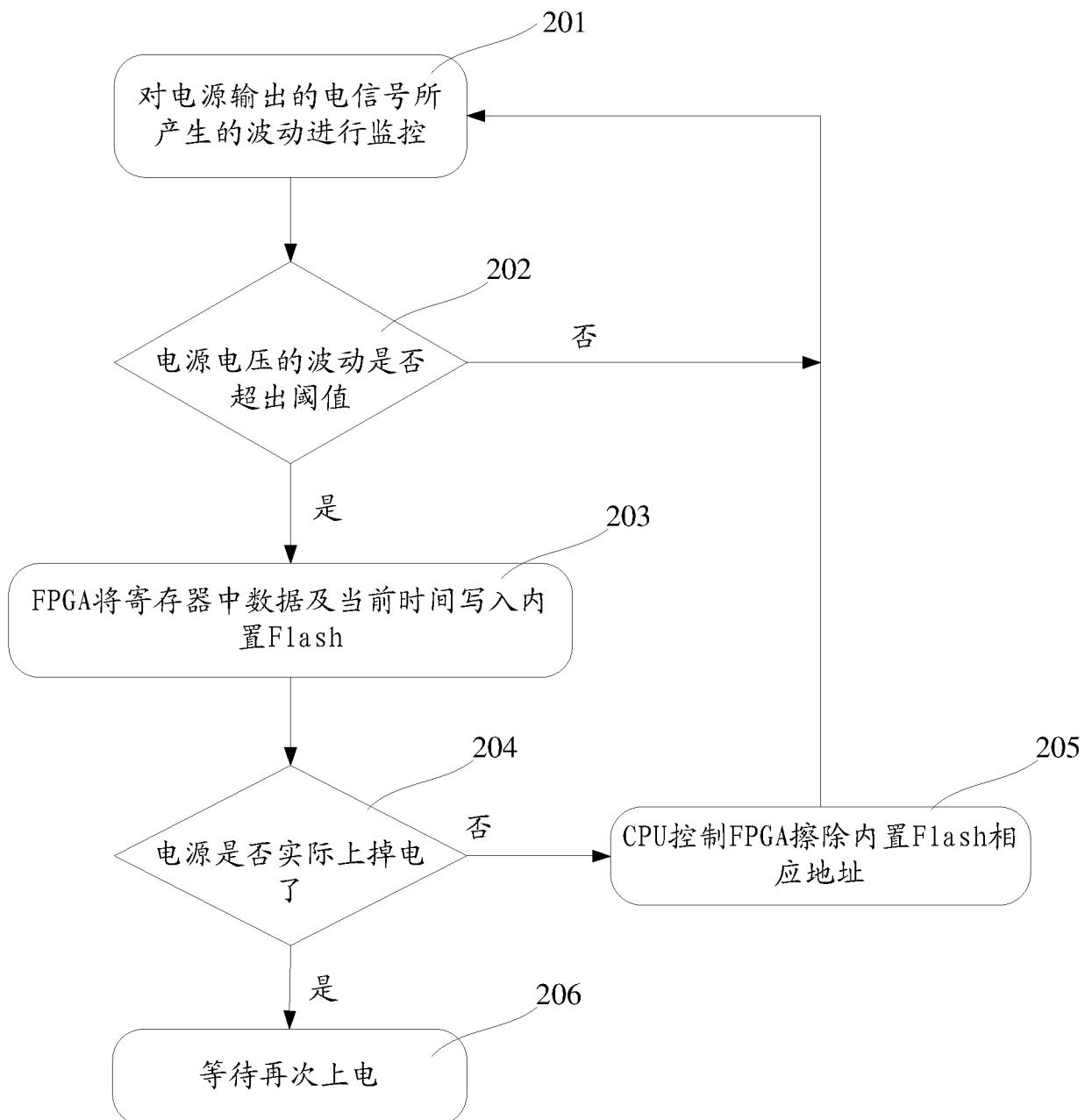


图 2

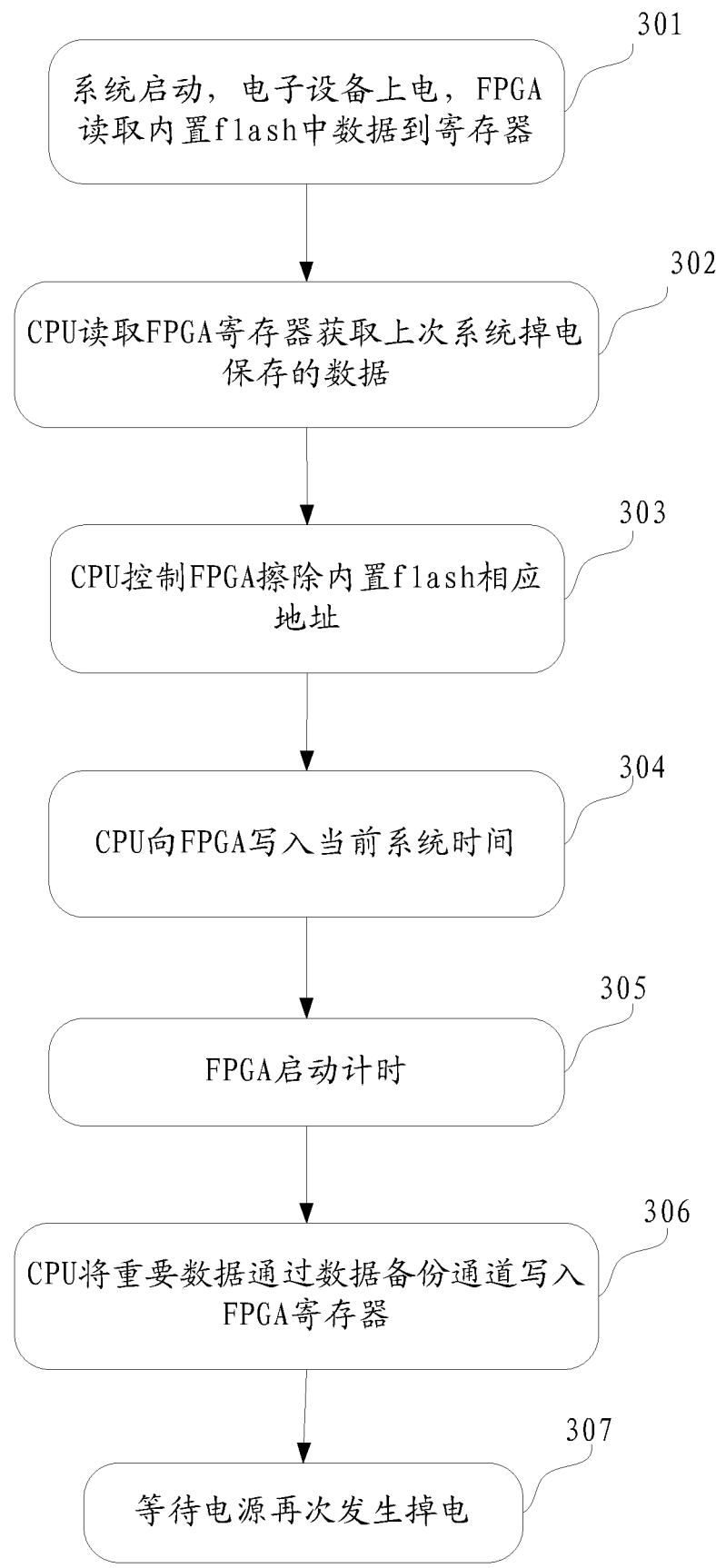


图 3

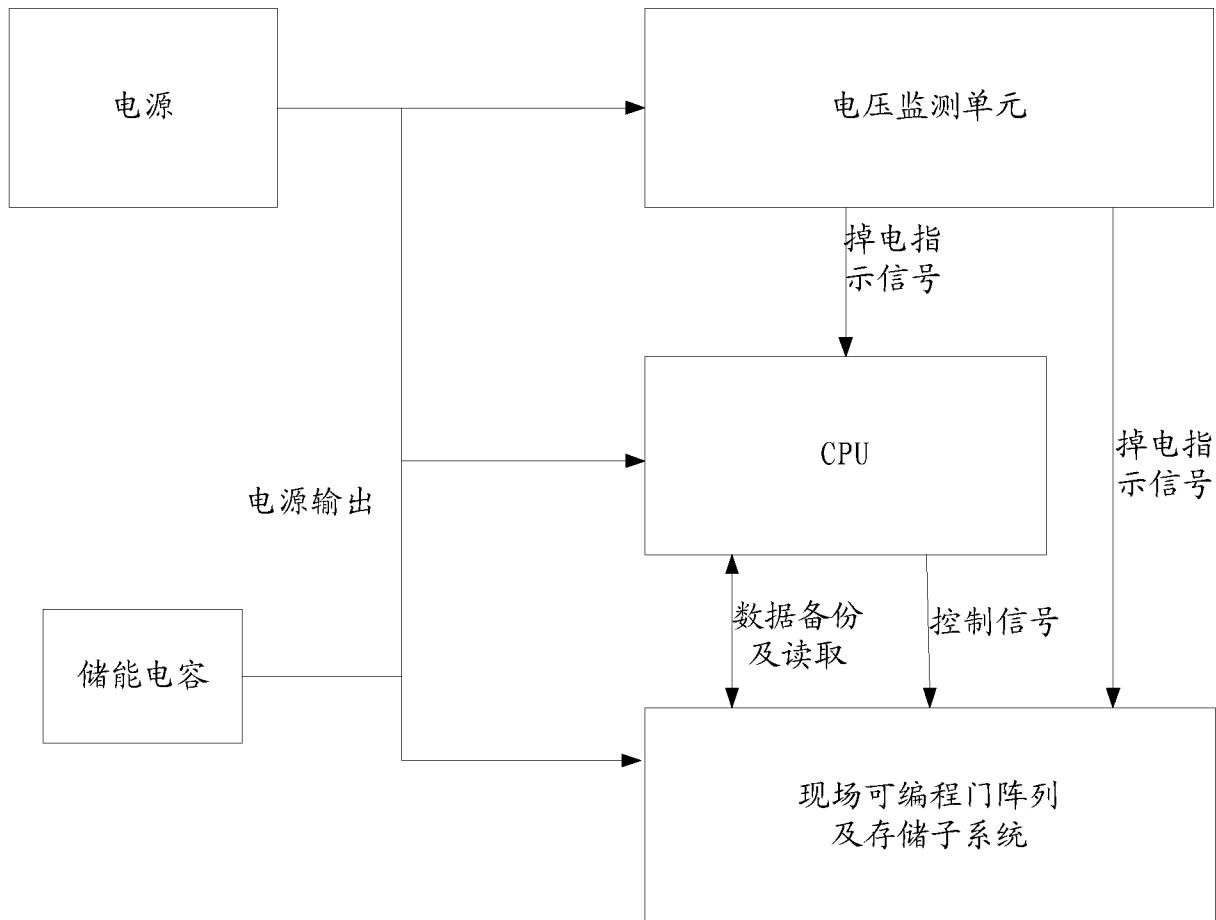


图 4

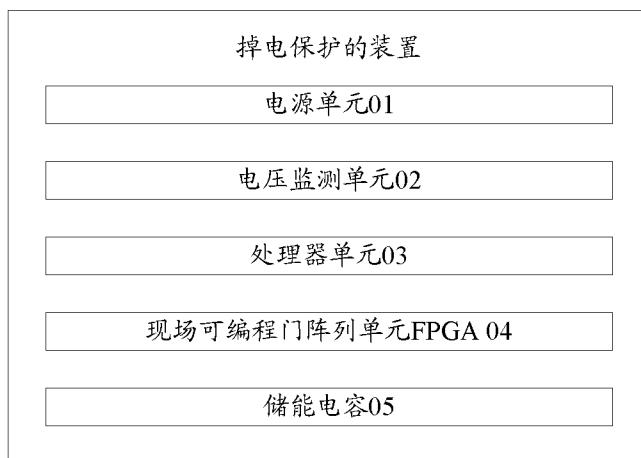


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/084168

A. CLASSIFICATION OF SUBJECT MATTER

G06F 12/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNPAT, USTXT, CNKI, IEEE: power down, FPGA, programmable gate array, power 2w fail+, protect+, threshold

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 104035893 A (INSPUR (BEIJING) ELECTRONIC INFORMATION INDUSTRY CO., LTD.), 10 September 2014 (10.09.2014), description, paragraphs 26-61, and figures 1-3	1-14
Y	CN 103984610 A (WUHAN RESEARCH INSTITUTE OF POSTS AND TELECOMMUNICATIONS), 13 August 2014 (13.08.2014), description, paragraphs 24-29, and figures 1-4	1-14
A	US 2009172469 A1 (HUAWEI TECHNOLOGIES CO., LTD.), 02 July 2009 (02.07.2009), the whole document	1-14
A	CN 102622257 A (HITREND TECHNOLOGY (SHANGHAI) CO., LTD.), 01 August 2012 (01.08.2012), the whole document	1-14
A	CN 101010668 A (INTEL CORPORATION), 01 August 2007 (01.08.2007), the whole document	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 August 2016 (02.08.2016)

Date of mailing of the international search report
31 August 2016 (31.08.2016)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

WANG, Xun

Telephone No.: (86-10) **62413643**

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/CN2016/084168

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104035893 A	10 September 2014	None	
CN 103984610 A	13 August 2014	None	
US 2009172469 A1	02 July 2009	JP 2009259210 A	05 November 2009
		CN 101187830 A	28 May 2008
		CN 101187830 B	23 May 2012
CN 102622257 A	01 August 2012	CN 102622257 B	09 September 2015
CN 101010668 A	01 August 2007	KR 20070047336 A	04 May 2007
		WO 2006028657 A1	16 March 2006
		US 2006059385 A1	16 March 2006
		US 8032787 B2	04 October 2011
		TW I351608 B	01 November 2011
		MY 148730 A	31 May 2013
		JP 2008511913 A	17 April 2008
		TW 200609735 A	16 March 2006
		SG 130391 A1	26 April 2007
		SG 130391 B	31 December 2009

国际检索报告

国际申请号

PCT/CN2016/084168

A. 主题的分类

G06F 12/16 (2006. 01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

EPODOC, WPI, CNPAT, USTXT, CNKI, IEEE: 掉电, 保护, FPGA, 可编程门阵列, 阈值, power 2w fail+, protect+, threshold

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 104035893 A (浪潮北京电子信息产业有限公司) 2014年 9月 10日 (2014 - 09 - 10) 说明书第26-61段, 附图1-3	1-14
Y	CN 103984610 A (武汉邮电科学研究院) 2014年 8月 13日 (2014 - 08 - 13) 说明书第24-29段, 附图1-4	1-14
A	US 2009172469 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 2009年 7月 2日 (2009 - 07 - 02) 全文	1-14
A	CN 102622257 A (钜泉光电科技上海股份有限公司) 2012年 8月 1日 (2012 - 08 - 01) 全文	1-14
A	CN 101010668 A (英特尔公司) 2007年 8月 1日 (2007 - 08 - 01) 全文	1-14

 其余文件在C栏的续页中列出。 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 8月 2日

国际检索报告邮寄日期

2016年 8月 31日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

王迅

传真号 (86-10) 62019451

电话号码 (86-10) 62413643

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/084168

检索报告引用的专利文件		公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	104035893	A	2014年 9月 10日	无			
CN	103984610	A	2014年 8月 13日	无			
US	2009172469	A1	2009年 7月 2日	JP	2009259210	A	2009年 11月 5日
				CN	101187830	A	2008年 5月 28日
				CN	101187830	B	2012年 5月 23日
CN	102622257	A	2012年 8月 1日	CN	102622257	B	2015年 9月 9日
CN	101010668	A	2007年 8月 1日	KR	20070047336	A	2007年 5月 4日
				WO	2006028657	A1	2006年 3月 16日
				US	2006059385	A1	2006年 3月 16日
				US	8032787	B2	2011年 10月 4日
				TW	I351608	B	2011年 11月 1日
				MY	148730	A	2013年 5月 31日
				JP	2008511913	A	2008年 4月 17日
				TW	200609735	A	2006年 3月 16日
				SG	130391	A1	2007年 4月 26日
				SG	130391	B	2009年 12月 31日

表 PCT/ISA/210 (同族专利附件) (2009年7月)