(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/031538 A1

(51) 国際特許分類:
H03K 17/16 (2006.01) *H03K 17/687* (2006.01)
H02M 1/08 (2006.01) *H03K 19/0185* (2006.01)
H02M 7/48 (2007.01)

(21) 国際出願番号： PCT/JP2019/025519

(22) 国際出願日： 2019年6月27日(27.06.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-151221 2018年8月10日(10.08.2018) JP

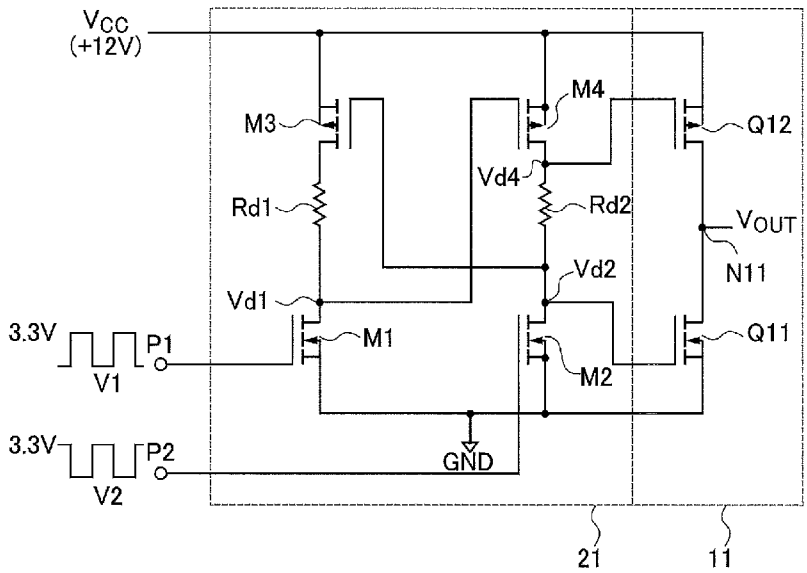
(71) 出願人: 日本電産株式会社 (**NIDEC CORPORATION**) [JP/JP]; 〒6018205 京都府京都市南区久世殿城町３３８番地 Kyoto (JP).

(72) 発明者: 吉永 眞樹 (**YOSHINAGA, Masaki**); 〒6018205 京都府京都市南区久世殿城町３３８番地 日本電産株式会社内 Kyoto (JP). 雨貝 太郎 (**AMAGAI, Taro**); 〒6018205 京都府京都市南区久世殿城町３３８番地 日本電産株式会社内 Kyoto (JP). 池田 明子 (**IKEDA, Akiko**); 〒6018205 京都府京都市南区久世殿城町３３８番地 日本電産株式会社内 Kyoto (JP). 荒木 健吾 (**ARAKI, Kengo**); 〒6018205 京都府京都市南区久世殿城町３３８番地 日本電産株式会社内 Kyoto (JP). 渡邊 克巳 (**WATANABE, Katsumi**); 〒6018205 京都府京都市南区久世殿城町３３８番地 日本電産株式会社内 Kyoto (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** DRIVE CIRCUIT, AND DRIVE SYSTEM

(54) 発明の名称： 駆動回路、駆動システム



(57) **Abstract:** Provided is a drive circuit provided with: a drive NMOS transistor and a drive PMOS transistor of which a common drain is connected to a load; and a level shifting circuit. The level shifting circuit includes: a first transistor comprising an NMOS transistor; a second transistor comprising an NMOS transistor; a third source set to a second potential; a third transistor comprising a PMOS transistor; and a fourth transistor comprising a PMOS transistor. A first drain of the first transistor and a fourth gate of the fourth transistor are connected to one another, and a second drain of the second transistor and a third gate of the third transistor are connected to one another. Complementary pulse signals are

WO 2020/031538 A1

[続葉有]

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

input into each input terminal, the pulse signals including a period set such that each input terminal adopts a reference potential when the signal levels switch.

(57) 要約：共通のドレインが負荷に接続された駆動用ＮＭＯＳトランジスタおよび駆動用ＰＭＯＳトランジスタと、レベルシフト回路と、を備えた駆動回路が提供される。レベルシフト回路は、ＮＭＯＳトランジスタである第１トランジスタと、ＮＭＯＳトランジスタである第２トランジスタと、第２電位に設定される第３ソースと、ＰＭＯＳトランジスタである第３トランジスタと、ＰＭＯＳトランジスタである第４トランジスタと、を有する。第１トランジスタの第１ドレインと第４トランジスタの第４ゲートとが接続され、第２トランジスタの第２ドレインと第３トランジスタの第３ゲートとが接続される。各入力端子相補的なパルス信号が入力され、当該パルス信号は、信号レベルが切り替わるときに各入力端子がともに基準電位となる期間が設定されている。

明　細　書

発明の名称 ： 駆動回路、駆動システム

技術分野

[0001] 本発明は、駆動回路および駆動システムに関する。

背景技術

[0002] 従来、モータを駆動するためのインバータ装置として、マイクロコントローラからの指令に基づき、モータに与える電圧を制御するスイッチ素子に対する信号を生成する専用ＩＣが設けられたものが知られている（例えば、日本国登録公報特許第５６５２２４０号の図１を参照）。

先行技術文献

特許文献

[0003] 特許文献1：日本国登録公報：特許第５６５２２４０号

発明の概要

発明が解決しようとする課題

[0004] モータ等の負荷を駆動する駆動回路において専用ＩＣを設ける場合には、設計の自由度が高いため、専用ＩＣを設けない場合よりも、例えば消費電力、応答性、エネルギー損失等の特性上で有利であるが、コスト面では不利である。

したがって、専用ＩＣを用いずに駆動回路を構成することが好ましい。その場合、素子を保護する観点から駆動回路内の貫通電流を防止することももとめられる。

[0005] そこで、本発明は、負荷をスイッチング駆動する場合に専用ＩＣを用いずに性能向上を実現し、かつ貫通電流を防止することを目的とする。

課題を解決するための手段

[0006] 本願の例示的な第１発明は、共通のドレインが負荷に接続された駆動用ＮＭＯＳトランジスタおよび駆動用ＰＭＯＳトランジスタと、基準電位と前記基準電位よりも高い第１電位との間で変動する第１入力端子および第２入力端

子の電位に基づいて、前記駆動用ＮＭＯＳトランジスタおよび前記駆動用ＰＭＯＳトランジスタのゲートの電位が、前記基準電位と前記第１電位よりも高い第２電位との間で変動するように信号処理するレベルシフト回路と、を備え、前記駆動用ＮＭＯＳトランジスタのソースが前記基準電位側に設けられ、前記駆動用ＰＭＯＳトランジスタのソースが前記第２電位に設定され、前記レベルシフト回路は、前記基準電位に設定される第１ソースと、前記第１入力端子に接続される第１ゲートと、第１ドレインと、を有するＮＭＯＳトランジスタである第１トランジスタと、前記基準電位に設定される第２ソースと、前記第２入力端子に接続される第２ゲートと、前記駆動用ＮＭＯＳトランジスタのゲートに接続される第２ドレインと、を有するＮＭＯＳトランジスタである第２トランジスタと、前記第２電位に設定される第３ソースと、第３ゲートと、前記第１ドレインに接続される第３ドレインと、を有するＰＭＯＳトランジスタである第３トランジスタと、前記第２電位に設定される第４ソースと、第４ゲートと、前記第２ドレインおよび前記駆動用ＰＭＯＳトランジスタのゲートに接続される第４ドレインと、を有するＰＭＯＳトランジスタである第４トランジスタと、を有し、前記第１ドレインと前記第４ゲートとが接続され、前記第２ドレインと前記第３ゲートとが接続され、前記第１入力端子と前記第２入力端子には互いに相補的なパルス信号が入力され、当該パルス信号は、信号レベルが切り替わるときに前記第１入力端子と前記第２入力端子がともに前記基準電位となる期間が設定されている、駆動回路である。

発明の効果

[0007] 本発明によれば、負荷をスイッチング駆動する場合に専用ＩＣを用いずに性能向上を実現し、かつ貫通電流を防止することができる。

図面の簡単な説明

[0008] [図1]第１の実施形態のモータ駆動システムのシステム構成を示す図である。

[図2]第１の実施形態の駆動回路の回路図である。

[図3]第１の実施形態の駆動回路の動作を示すタイミングチャートである。

[図4]第１の実施形態の駆動回路のＭＯＳトランジスタの構造例を示す図である。

[図5]第１の実施形態の駆動回路のＭＯＳトランジスタの別の構造例を示す図である。

[図6]第２の実施形態の駆動回路の回路図である。

[図7]第２の実施形態の駆動回路の各部の電流波形の一例を示す図である。

[図8]第２の実施形態の駆動回路の各部の電流波形の一例を示す図である。

[図9]第２の実施形態の駆動回路の各部の電流波形の一例を示す図である。

[図10]第３の実施形態の駆動回路の回路図である。

[図11]第３の実施形態の駆動回路に含まれる各可変抵抗の等価回路を示す図である。

[図12]第３の実施形態の駆動回路に含まれるＰ／Ｎ型可変抵抗の構成例を示す図である。

[図13]第４の実施形態の駆動回路の回路図である。

[図14]第５の実施形態の駆動回路の回路図である。

[0009] 以下、本発明の駆動システムの実施形態であるモータ駆動システムについて説明する。

[0010] （１）第１の実施形態

（１－１）システム構成

以下、本発明のモータ駆動システムの一実施形態について図面を参照して説明する。

図１は、実施形態のモータ駆動システム１のシステム構成を示す図である。モータ駆動システム１は、インバータ装置２、リニアレギュレータ（ＬＤＯ：Low Dropout）３、ＣＰＵ（Central Processing Unit）５、および、３相交流モータＭを備える。ＣＰＵ５は、マイクロコントローラの例である。

インバータ装置２は、３相電圧生成部１０およびレベルシフト回路群２０を備え、３相交流電力を発生させて３相交流モータＭに供給する。３相交流モータＭには、回転子の位置を検出する相ごとのホールセンサ１００が取り

付けられている。

[0011] 以下の説明において、回路内のノードまたは端子の電圧は、グランド電位ＧＮＤ（以下の説明では、「ＧＮＤ電位」とする。）を基準とした電位を意味している。例えば、インバータ装置２において最も高い電位は電源電位V_{CC}（＋１２Ｖ）であるが、ＧＮＤ電位は０Ｖとみなしてよいため、適宜、「電源電圧Ｖｃｃ」ともいう。

リニアレギュレータ３は、電源電圧Ｖｃｃ（＋１２Ｖ）をＣＰＵ５が動作するのに必要となる所定の電圧（本実施形態の例では、＋３．３Ｖ）まで低下させてＣＰＵ５に供給する。

ＣＰＵ５は、レベルシフト回路群２０のレベルシフト回路２１～２３の各々に対して、振幅が３．３Ｖのパルス信号を供給する。各レベルシフト回路は、ＣＰＵ５からのパルス信号を、３相電圧生成部１０内のＭＯＳトランジスタを動作可能となる信号レベルに変換する。

図１では、レベルシフト回路２１～２３がそれぞれ、ノードＮ１１～Ｎ１３に対応しており、それぞれ後述する駆動回路の出力端子に相当する。

[0012] （１－２）インバータ装置２の構成

以下、インバータ装置２の構成を詳細に説明する。

図１に示すように、インバータ装置２の３相電圧生成部１０は、ローサイドスイッチとしてのＮＭＯＳトランジスタＱ１１，Ｑ２１，Ｑ３１、および、ハイサイドスイッチとしてのＰＭＯＳトランジスタＱ１２，Ｑ２２，Ｑ３２を備える。３相交流モータＭは１００％デューティで動作する場合もあるため、３相電圧生成部１０は、ハイサイドスイッチをＰＭＯＳトランジスタとしている。

[0013] 本実施形態では、ＰＭＯＳトランジスタＱ１２とＮＭＯＳトランジスタＱ１１は、３相交流モータＭに供給される３相交流電力のＵ相に対して設けられる。ＰＭＯＳトランジスタＱ１２とＮＭＯＳトランジスタＱ１１とがスイッチング動作を行うことによりＵ相の出力電圧であるＵ相電圧Ｖｕが生成される。

同様に、ＰＭＯＳトランジスタＱ２２とＮＭＯＳトランジスタＱ２１は、３相交流モータＭに供給される３相交流電力のＶ相に対して設けられる。ＰＭＯＳトランジスタＱ２２とＮＭＯＳトランジスタＱ２１とがスイッチング動作を行うことによりＶ相の出力電圧であるＶ相電圧Ｖｖが生成される。ＰＭＯＳトランジスタＱ３２とＮＭＯＳトランジスタＱ３１は、３相交流モータＭに供給される３相交流電力のW相に対して設けられる。ＰＭＯＳトランジスタＱ３２とＮＭＯＳトランジスタＱ３１とがスイッチング動作を行うことによりW相の出力電圧であるW相電圧Ｖｗが生成される。

[0014] ＮＭＯＳトランジスタＱ１１，Ｑ２１，Ｑ３１のソースは、グランド電位ＧＮＤに設定されている。ＰＭＯＳトランジスタＱ１２，Ｑ２２，Ｑ３２のソースは、インバータ装置２の電源電圧Ｖｃｃに接続されている。

[0015] Ｕ相のＮＭＯＳトランジスタＱ１１とＰＭＯＳトランジスタＱ１２の共通のドレイン（ノードＮ１１）は、３相交流モータＭのＵ相の巻線（図示せず）の一端に接続される。同様に、Ｖ相のＮＭＯＳトランジスタＱ２１とＰＭＯＳトランジスタＱ２２の共通のドレイン（ノードＮ１２）は、３相交流モータＭのＶ相の巻線（図示せず）の一端に接続され、W相のＮＭＯＳトランジスタＱ３１とＰＭＯＳトランジスタＱ３２の共通のドレイン（ノードＮ１３）は、３相交流モータＭのW相の巻線（図示せず）の一端に接続される。

[0016] ＣＰＵ５は、３相交流モータＭの回転子の位置を検出するホールセンサ１００の各相の検出値を示す信号Ｈｕ，Ｈｖ，Ｈｗに基づいて、レベルシフト回路群２０のレベルシフト回路２１～２３に供給するパルス信号のデューティ比を決定する。なお、信号Ｈｕ，Ｈｖ，Ｈｗは、順に１２０度ずつ位相差がある正弦波信号である。ＣＰＵ５は、決定したデューティ比のパルス信号を各レベルシフト回路に供給する。各レベルシフト回路に供給されるパルス信号の振幅は、ＣＰＵ５の動作電圧と同一の３．３Ｖである。

[0017] レベルシフト回路群２０の各レベルシフト回路は、振幅３．３ＶのＣＰＵ５からのパルス信号を振幅１２Ｖのパルス信号にレベル変換する。レベルシフト回路２１は、Ｕ相のＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジ

スタＱ１２の各ゲートに対してレベル変換したパルス信号を入力する。レベルシフト回路２２は、Ｖ相のＮＭＯＳトランジスタＱ２１およびＰＭＯＳトランジスタＱ２２の各ゲートに対してレベル変換したパルス信号を入力する。レベルシフト回路２３は、W相のＮＭＯＳトランジスタＱ３１およびＰＭＯＳトランジスタＱ３２の各ゲートに対してレベル変換したパルス信号を入力する。

レベルシフト回路２１，２２，２３によってレベル変換されたパルス信号によって、ローサイドスイッチであるＮＭＯＳトランジスタＱ１１，Ｑ２１，Ｑ３１およびハイサイドスイッチであるＰＭＯＳトランジスタＱ１２，Ｑ２２，Ｑ３２の動作が制御される。

[0018] （１－３）レベルシフト回路群２０の構成

以下、レベルシフト回路群２０の構成について、図２を参照してさらに詳しく説明する。図２は、レベルシフト回路２１と、３相電圧生成部１０においてレベルシフト回路２１に対応するＵ相のＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２と、を備えた駆動回路の回路構成を示している。

レベルシフト回路２２と、対応するＶ相のＮＭＯＳトランジスタＱ２１およびＰＭＯＳトランジスタＱ２２と、を備えた駆動回路、および、レベルシフト回路２３と、対応するW相のＮＭＯＳトランジスタＱ３１およびＰＭＯＳトランジスタＱ３２と、を備えた駆動回路は、Ｕ相の場合と同じである。そのため、以下ではＵ相の場合についてのみ説明し、Ｖ相およびW相についての重複説明は省略する。

[0019] ＮＭＯＳトランジスタＱ１１（駆動用ＮＭＯＳトランジスタの例）およびＰＭＯＳトランジスタＱ１２（駆動用ＰＭＯＳトランジスタの例）の共通のドレインが、負荷としての３相交流モータＭに接続される。ＮＭＯＳトランジスタＱ１１のソースがグランド電位ＧＮＤに設定され、ＰＭＯＳトランジスタＱ１２のソースが電源電位V_{CC}に設定される。

[0020] レベルシフト回路２１は、グランド電位ＧＮＤ（基準電位の例）と３．３Ｖ

（第１電位の例）との間で変動する第１入力端子Ｐ１および第２入力端子Ｐ２の電位に基づいて、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２のゲートの電位が、グランド電位ＧＮＤと電源電位V_{CC}（＋１２Ｖ；第２電位の例）との間で変動するように信号処理する。

第１入力端子Ｐ１と第２入力端子Ｐ２には、ＣＰＵ５から、グランド電位ＧＮＤと３．３Ｖの間で変動する互いに相補的なパルス信号が入力される。

[0021] レベルシフト回路２１は、ＮＭＯＳトランジスタＭ１（第１トランジスタの例）と、ＮＭＯＳトランジスタＭ２（第２トランジスタの例）と、ＰＭＯＳトランジスタＭ３（第３トランジスタの例）と、ＰＭＯＳトランジスタＭ４（第４トランジスタの例）とを有する。

ＮＭＯＳトランジスタＭ１は、グランド電位ＧＮＤに設定されるソース（第１ソースの例）と、第１入力端子Ｐ１に接続されるゲート（第１ゲートの例）と、ドレイン（第１ドレインの例）と、を有する。

ＮＭＯＳトランジスタＭ２は、グランド電位ＧＮＤに設定されるソース（第２ソースの例）と、第２入力端子Ｐ２に接続されるゲート（第２ゲートの例）と、ＮＭＯＳトランジスタＱ１１のゲートに接続されるドレイン（第２ドレインの例）と、を有する。

ＰＭＯＳトランジスタＭ３は、電源電位V_{CC}に設定されるソース（第３ソースの例）と、ゲート（第３ゲートの例）と、ＮＭＯＳトランジスタＭ１のドレインに接続されるドレイン（第３ドレインの例）と、を有する。

ＰＭＯＳトランジスタＭ４は、電源電位V_{CC}に設定されるソース（第４ソースの例）と、ゲート（第４ゲートの例）と、ＰＭＯＳトランジスタＱ１２のゲートに接続されるドレイン（第４ドレインの例）と、を有する。ＰＭＯＳトランジスタＭ４のゲートは、ＮＭＯＳトランジスタＭ２のドレインに接続される。

ＮＭＯＳトランジスタＭ１のドレインとＰＭＯＳトランジスタＭ４のゲートとが接続され、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジ

スタＭ３のゲートとが接続される。

[0022] レベルシフト回路２１は、ドレイン抵抗Ｒｄ１（第１ドレイン抵抗の例）とドレイン抵抗Ｒｄ２（第２ドレイン抵抗の例）を有する。ドレイン抵抗Ｒｄ１は、ＮＭＯＳトランジスタＭ１のドレインとＰＭＯＳトランジスタＭ３のドレインとの間に設けられる。ドレイン抵抗Ｒｄ２は、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ４のドレインとの間に設けられる。

[0023] （１－４）駆動回路の動作

次に、レベルシフト回路２１と、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２と、を備えた駆動回路の動作について、図３を参照して説明する。図３は、図２に示す駆動回路の動作を示すタイミングチャートである。図３において、上から１番目と２番目のタイミングチャートは、それぞれ、ＰＭＯＳトランジスタＱ１２のオン／オフの状態、ＮＭＯＳトランジスタＱ１１のオン／オフの状態を示している。図３において、上から３番目、４番目、および５番目のタイミングチャートは、それぞれ、ＮＭＯＳトランジスタＭ１のドレイン電圧Ｖｄ１、ＰＭＯＳトランジスタＭ４のドレイン電圧Ｖｄ４、およびＮＭＯＳトランジスタＭ２のドレイン電圧Ｖｄ２を示している。図３において、上から６番目と７番目のタイミングチャートは、第２入力端子Ｐ２の電圧Ｖ２と第１入力端子Ｐ１の電圧Ｖ１を示している。

なお、図３に示す各ドレイン電圧の最大値（１２Ｖ）は、各ＭＯＳトランジスタのオン抵抗およびドレイン抵抗による電圧降下分を無視した値である。

[0024] 図３に示す動作例では、説明の目的で、第２入力端子Ｐ２の電圧Ｖ２と第１入力端子Ｐ１の電圧Ｖ１がパルスであり、そのデューティ比が概ね５０％である場合を示している。

[0025] 時刻ｔ０から時刻ｔ１に達する前まで、第１入力端子Ｐ１の電圧Ｖ１が３．３Ｖ（以下、「Ｈレベル」という。）であり、第２入力端子Ｐ２の電圧Ｖ２

がＧＮＤレベル（以下、「Ｌレベル」という。）である。そのため、時刻ｔ０から時刻ｔ１に達する前まで、ＮＭＯＳトランジスタＭ１がオフ、ＮＭＯＳトランジスタＭ２がオン、ＰＭＯＳトランジスタＭ３がオン、ＰＭＯＳトランジスタＭ４がオフ、ＰＭＯＳトランジスタＱ１２がオン、ＮＭＯＳトランジスタＱ１１がオフとなっている。

[0026] 時刻ｔ１になると、第２入力端子Ｐ２の電圧Ｖ２がＨレベルからＬレベルとなる。時刻ｔ１から時刻ｔ２に達するまでの期間（デッドタイムｄｔ）は、第１入力端子Ｐ１の電圧Ｖ１と第２入力端子Ｐ２の電圧Ｖ２を共にＬレベルとすることで、ＮＭＯＳトランジスタＭ１，Ｍ２を共にオフとし、貫通電流を防止する。

このとき、ＮＭＯＳトランジスタＭ２のドレイン電圧Ｖｄ２（つまり、ＮＭＯＳトランジスタＱ１１のゲート）はＧＮＤレベルであり、ＮＭＯＳトランジスタＱ１１はオフである。

[0027] 時刻ｔ２になると、第１入力端子Ｐ１の電圧Ｖ１がＨレベルとなるため、ＮＭＯＳトランジスタＭ１がオンとなり、図３に示すように、ＮＭＯＳトランジスタＭ１のドレイン電圧Ｖｄ１が１２ＶからＧＮＤレベルに下降する。その下降途中でドレイン電圧Ｖｄ１が閾値電圧ＴＨ１に達すると、ＰＭＯＳトランジスタＭ４のゲートの電圧も閾値電圧ＴＨ１まで低下することによって、ＰＭＯＳトランジスタＭ４がオンとなる。そのため、ＰＭＯＳトランジスタＭ４のドレイン電圧Ｖｄ４がＧＮＤレベルから１２Ｖに上昇する。その上昇の途中でドレイン電圧Ｖｄ４が閾値電圧ＴＨ４に達すると、ＰＭＯＳトランジスタＱ１２のゲートも閾値電圧ＴＨ４まで上昇することによって、ＰＭＯＳトランジスタＱ１２がオフとなる。

他方、ＰＭＯＳトランジスタＭ４のドレイン電圧Ｖｄ４の上昇に伴って、ドレイン抵抗Ｒｄ２と寄生キャパシタによって定まる遅延時間遅れて、ＮＭＯＳトランジスタＭ２のドレイン電圧Ｖｄ２が上昇する。ドレイン電圧Ｖｄ２が閾値電圧ＴＨ２に達すると、ＮＭＯＳトランジスタＱ１１のゲートも閾値電圧ＴＨ２まで上昇することによってＮＭＯＳトランジスタＱ１１がオン

となる。

なお、ＮＭＯＳトランジスタＭ２のドレイン電圧Ｖｄ２が上昇に伴ってＰＭＯＳトランジスタＭ３のゲート電位が上昇するため、ＰＭＯＳトランジスタＭ３がオフとなる。

[0028] 時刻ｔ３になると、第１入力端子Ｐ１の電圧Ｖ１がＨレベルからＬレベルとなる。時刻ｔ３から時刻ｔ４に達するまでの期間（デッドタイムｄｔ）は、第１入力端子Ｐ１の電圧Ｖ１と第２入力端子Ｐ２の電圧Ｖ２を共にＬレベルとすることで、ＮＭＯＳトランジスタＭ１，Ｍ２を共にオフとし、貫通電流を防止する。

このとき、ＮＭＯＳトランジスタＭ１のドレイン電圧Ｖｄ１はＧＮＤレベルを維持している。

[0029] 時刻ｔ４になると、第２入力端子Ｐ２の電圧Ｖ２がＬレベルからＨレベルとなるため、ＮＭＯＳトランジスタＭ２がオンとなり、図３に示すように、ＮＭＯＳトランジスタＭ２のドレイン電圧Ｖｄ２が１２ＶからＧＮＤレベルに下降する。その下降途中でドレイン電圧Ｖｄ２が閾値電圧ＴＨ２に達すると、ＮＭＯＳトランジスタＱ１１のゲートも閾値電圧ＴＨ２まで低下することによってＮＭＯＳトランジスタＱ１１がオフとなる。

ＮＭＯＳトランジスタＭ２のドレイン電圧Ｖｄ２の低下に伴って、ＮＭＯＳトランジスタＭ２のドレインに接続されたＰＭＯＳトランジスタＭ３のゲートの電圧も低下し、ＰＭＯＳトランジスタＭ３のゲートソース間電圧V_{GS}が閾値電圧を超えると、ＰＭＯＳトランジスタＭ３がオンとなる。ＰＭＯＳトランジスタＭ３がオンになると、ドレイン抵抗Ｒｄ１と寄生キャパシタによって定まる遅延時間遅れて、図３に示すように、ＮＭＯＳトランジスタＭ１のドレイン電圧Ｖｄ１が上昇する。その上昇の途中でドレイン電圧Ｖｄ１が閾値電圧ＴＨ１に達すると、ＮＭＯＳトランジスタＭ１のドレインに接続されたＰＭＯＳトランジスタＭ４のゲート電圧も閾値電圧ＴＨ１になり、ＰＭＯＳトランジスタＭ４のゲートソース間電圧V_{GS}が閾値電圧より低下する。その結果、ＰＭＯＳトランジスタＭ４がオフとなる。

ＰＭＯＳトランジスタＭ４がオフになると、ＰＭＯＳトランジスタＭ４のドレイン電圧Ｖｄ４が低下する。ドレイン電圧Ｖｄ４が閾値電圧ＴＨ４まで低下すると、ＰＭＯＳトランジスタＱ１２も閾値電圧ＴＨ４まで低下し、ＰＭＯＳトランジスタＱ１２のゲートソース間電圧V_{GS}が閾値電圧を超えてＰＭＯＳトランジスタＱ１２がオンとなる。

[0030] 時刻ｔ５になると、第２入力端子Ｐ２の電圧Ｖ２がＨレベルからＬレベルとなる。時刻ｔ５の各部の状態は時刻ｔ１の各部の状態と同じであり、以後、同じ動作を繰り返す。

図３では、ＰＭＯＳトランジスタＱ１２とＮＭＯＳトランジスタＱ１１が共にオフである期間をデッドタイムＤＴとして示している。つまり、デッドタイムＤＴは、第１入力端子Ｐ１と第２入力端子Ｐ２に入力されるパルス信号が、信号レベルが切り替わるときにおいて、共にグランド電位ＧＮＤとなる期間である。デッドタイムＤＴは、第１入力端子Ｐ１の電圧Ｖ１と第２入力端子Ｐ２の電圧Ｖ２において設定されるデッドタイムｄｔと、ドレイン抵抗Ｒｄ１，Ｒｄ２および寄生キャパシタによって生ずる遅延時間とによって決定される。

[0031] 図２および図３を参照して説明したように、本願発明の駆動回路には以下の有利な効果がある。

（ｉ）ＰＭＯＳトランジスタＱ１２がオン時には、ＮＭＯＳトランジスタＭ１がオフ、ＮＭＯＳトランジスタＭ２がオン、ＰＭＯＳトランジスタＭ３がオン、ＰＭＯＳトランジスタＭ４がオフとなる。また、ＮＭＯＳトランジスタＱ１１がオン時には、ＮＭＯＳトランジスタＭ１がオン、ＮＭＯＳトランジスタＭ２がオフ、ＰＭＯＳトランジスタＭ３がオフ、ＰＭＯＳトランジスタＭ４がオンとなる。そのため、ＰＭＯＳトランジスタＭ３、ドレイン抵抗Ｒｄ１、ＮＭＯＳトランジスタＭ１を流れる電流、および、ＰＭＯＳトランジスタＭ４、ドレイン抵抗Ｒｄ２，ＮＭＯＳトランジスタＭ２に流れる電流は、定常時にはゼロとなり、低消費電力化が実現する。

[0032] （ｉｉ）図２の駆動回路では、ＰＭＯＳトランジスタＭ４のドレインがＰＭＯ

ＳトランジスタＱ１２のゲートに接続されている。そのため、第１入力端子Ｐ１の電圧Ｖ１がＬレベルからＨレベルになるときには（図３の時刻ｔ２）、ＮＭＯＳトランジスタＭ１オン、ＰＭＯＳトランジスタＭ４オンとなり、ＰＭＯＳトランジスタＱ１２のゲート電位が急速に上昇することで、ＰＭＯＳトランジスタＱ１２がオフになる。すなわち、ＰＭＯＳトランジスタＱ１２を高速にオフとすることができる。

[0033] （iii）ＮＭＯＳトランジスタＱ１１のオン時には、ＮＭＯＳトランジスタＭ１がオン、ＮＭＯＳトランジスタＭ２がオフ、ＰＭＯＳトランジスタＭ３オフ、ＰＭＯＳトランジスタＭ４がオンとなる。そのため、ＮＭＯＳトランジスタＱ１１のゲートソース間電圧V_{GS}は、入力電圧の３．３Ｖではなく電源電圧Ｖｃｃ（＋１２Ｖ）となる。よって、ＮＭＯＳトランジスタＱ１１のオン抵抗を低い値とすることができ、損失低減に寄与する。

[0034] 以上説明したように、本実施形態のモータ駆動システム１において３相交流モータＭを駆動するための駆動回路は、ＣＰＵ５からの３．３Ｖの低電力のパルス信号を電源電圧Ｖｃｃ（＋１２Ｖ）まで昇圧させるレベルシフト回路２１～２３を設けることによって駆動用ＭＯＳトランジスタを制御する。そして、各レベルシフト回路は、低消費電力であり、応答性に優れ、かつ低損失にて動作することから、専用ＩＣを用いずに性能向上を実現することができる。

[0035] 上述した実施形態の駆動回路において、ドレイン抵抗Ｒｄ１とドレイン抵抗Ｒｄ２を有することは必ずしも必須ではない。しかし、ドレイン抵抗Ｒｄ１とドレイン抵抗Ｒｄ２を設けることで、入力信号にデッドタイムｄｔを設定しない場合でも、ＮＭＯＳトランジスタＱ１１とＰＭＯＳトランジスタＱ１２のデッドタイムＤＴを設けることが可能となる。さらに入力信号にデッドタイムｄｔを設定することで、デッドタイムのマージンを拡大することができる。

[0036] （１－５）ＭＯＳトランジスタの構造

本実施形態の駆動回路における好ましいＭＯＳトランジスタの構造につい

て、図４および図５を参照して説明する。図４は、本実施形態の駆動回路のＭＯＳトランジスタの構造例を示す図である。図５は、本実施形態の駆動回路のＭＯＳトランジスタの別の構造例を示す図である。

なお、図４では、図２に示す駆動回路のレベルシフト回路２１のうちＮＭＯＳトランジスタＭ２、ドレイン抵抗Ｒｄ２、および、ＰＭＯＳトランジスタＭ４のみを示しているが、ＮＭＯＳトランジスタＭ１、ドレイン抵抗Ｒｄ１、および、ＰＭＯＳトランジスタＭ３についても同様の構造とすることができる。

[0037] 図４に示すＭＯＳトランジスタの構造例では、駆動用ＭＯＳトランジスタであるＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２を縦型構造としている。縦型構造では、図４に示すように、ドレイン電極がゲート電極およびソース電極と反対側に設けられる。ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２は共通のドレインがノードＮ１１（図１参照）に接続されているため、同一の金属（リードフレーム）上に実装することができる。

縦型構造を採用することでＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２のオン抵抗を低くすることができる。

[0038] 他方、図４に示すＭＯＳトランジスタの構造例では、レベルシフト回路２１に含まれるＮＭＯＳトランジスタＭ２およびＰＭＯＳトランジスタＭ４を横型構造としている。後述する実施形態で明らかとなるように、レベルシフト回路を多数設ける場合があるため、レベルシフト回路内のＭＯＳトランジスタを横型構造として１チップ化することにより集積度が上がり、低コスト化を図ることができる。

なお、レベルシフト回路内のＭＯＳトランジスタを縦型構造とし、縦型構造のＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２と合わせて駆動回路のすべてのＭＯＳトランジスタを縦型構造のみで構成してもよい。

[0039] なお、ＮＭＯＳトランジスタＭ２およびＰＭＯＳトランジスタＭ４では、ゲ

ートソース間最大定格電圧V_{GSS}が電源電圧Ｖｃｃ（＋１２Ｖ）を満足する必要があるが、一般的なＩＣ内部の横型構造のＭＯＳトランジスタの場合、ゲートソース間最大定格V_{GSS}は５Ｖ程度である。しかし、図２に示すレベルシフト回路２１の各ＭＯＳトランジスタでは、大きな駆動能力や低オン抵抗を必要としないため、一般的な横型構造のＭＯＳトランジスタよりもゲート酸化膜を厚くすることでゲートソース間最大定格電圧V_{GSS}を大きくすることができる。すなわち、横型構造のＭＯＳトランジスタであってもゲートソース間最大定格電圧V_{GSS}を１２Ｖ以上とすることができる。

[0040] ＮＭＯＳトランジスタＭ２およびＰＭＯＳトランジスタＭ４のｐ型基板はＧＮＤ電位であるため、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２のリードフレームとは分離する必要がある。そのため、レベルシフト回路の横型構造のＭＯＳトランジスタ用のチップにボンディングパッド領域を設け、縦型構造の駆動用ＭＯＳトランジスタとの結線をワイヤボンディングで行う。

[0041] 図５に示すＭＯＳトランジスタの構造例では、図４に対して横型構造のＭＯＳトランジスタのｐウェルがない構造となっている。かかる構造を横型構造のＭＯＳトランジスタとして適用してもよく、図４の縦型構造のＭＯＳトランジスタと組み合わせることもできる。

[0042] （２）第２の実施形態

次に、第２の実施形態のモータ駆動システムについて説明する。本実施形態のモータ駆動システムの全体構成は、図１に示したものと同じであり、駆動回路が図２に示したものと異なる。

図６は、第２の実施形態の駆動回路の回路図である。図６に示す駆動回路が図２に示した駆動回路と異なる点は、レベルシフト回路内の各ＭＯＳトランジスタにソース抵抗およびゲート抵抗が設けられる点にある。すなわち、本実施形態の駆動回路のレベルシフト回路２１Ａでは、以下の抵抗を備える。

[0043] ・グランド電位ＧＮＤのノードN_{GND}とＮＭＯＳトランジスタＭ１のソース

の間のソース抵抗Ｒｓ１（第１ソース抵抗の例）

・第１入力端子Ｐ１とＮＭＯＳトランジスタＭ１のゲートとの間のゲート抵抗Ｒｇ１（第１ゲート抵抗の例）

・グランド電位ＧＮＤのノードN_{GND}とＮＭＯＳトランジスタＭ２のソースとの間のソース抵抗Ｒｓ２（第２ソース抵抗の例）

・第２入力端子Ｐ２とＮＭＯＳトランジスタＭ２のゲートとの間のゲート抵抗Ｒｇ２（第２ゲート抵抗の例）

・電源電位ＶｃｃのノードN_{VCC}とＰＭＯＳトランジスタＭ３のソースとの間のソース抵抗Ｒｓ３（第３ソース抵抗の例）

・ＰＭＯＳトランジスタＭ３のゲートとＮＭＯＳトランジスタＭ２のドレインとの間のゲート抵抗Ｒｇ３（第３ゲート抵抗の例）

・電源電位ＶｃｃのノードN_{VCC}とＰＭＯＳトランジスタＭ４のソースとの間のソース抵抗Ｒｓ４（第４ソース抵抗の例）

・ＰＭＯＳトランジスタＭ４のゲートとＮＭＯＳトランジスタＭ１のドレインとの間のゲート抵抗Ｒｇ４（第４ゲート抵抗の例）

[0044] なお、図６に示す例では、各ＭＯＳトランジスタのソース抵抗Ｒｓ１～Ｒｓ４およびゲート抵抗Ｒｇ１～Ｒｇ４をすべて備えるレベルシフト回路２１Ａを示しているが、その限りではなく、これらの抵抗のうち、少なくともいずれか１つの抵抗を備えていればよい。

本実施形態において、各ＭＯＳトランジスタのソース抵抗Ｒｓ１～Ｒｓ４およびゲート抵抗Ｒｇ１～Ｒｇ４を設けているのは、貫通電流および各ＭＯＳトランジスタのドレイン電流を抑制するためである。

[0045] 図７～図９はそれぞれ、ソース抵抗Ｒｓ１～Ｒｓ４およびゲート抵抗Ｒｇ１～Ｒｇ４を変化させた場合に、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２のオン／オフが切り替わるときの各部の電流波形を示している。具体的には、出力電流I_{OUT}、ＰＭＯＳトランジスタＱ１２のドレイン電流I_{Q12}、ＮＭＯＳトランジスタＱ１１のドレイン電流I_{Q11}、および、ＰＭＯＳトランジスタＭ４のドレイン電流I_{M4D}の波形を示している。なお、

レベルシフト回路２１Ａ内のＭＯＳトランジスタのドレイン電流の中で、ＰＭＯＳトランジスタＭ４のドレイン電流I_{M4D}が最も大きいため、図７～図９では、ドレイン電流I_{M4D}の波形のみを示している。

[0046] 図７～図９は、すべてドレイン抵抗Ｒｄ１，Ｒｄ２が共に５００Ωの場合である。図７は、ソース抵抗Ｒｓ１～Ｒｓ４およびゲート抵抗Ｒｇ１～Ｒｇ４が設定されていない場合を示している。

図８は、ソース抵抗Ｒｓ１，Ｒｓ２が共に５０Ωであり、ソース抵抗Ｒｓ３，Ｒｓ４が共に１００Ωであり、ゲート抵抗Ｒｇ１，Ｒｇ２が共に５００Ωであり、ゲート抵抗Ｒｇ３，Ｒｇ４が共に１００Ωである場合を示している。

図９は、図８の場合に対してドレイン抵抗Ｒｄ２を５００Ωから２０００Ωに変更した場合を示している。

[0047] 図７の場合は実質的に、図２においてドレイン抵抗Ｒｄ１，Ｒｄ２を５００Ωとした場合と同じ条件である。この場合、ドレイン電流I_{M4D}のピーク電流は８００ｍＡと高い値となっている。

それに対して、図８では、ソース抵抗およびゲート抵抗を設定することにより、ドレイン電流I_{M4D}のピーク電流が８０ｍＡとなって図７の場合と比較してドレイン電流I_{M4D}が１０分の１程度となるが、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２の貫通電流が２０Ａまで増加する。これは、ＮＭＯＳトランジスタＱ１１とＰＭＯＳトランジスタＱ１２が同時にオンし、貫通電流が流れているためである。そこで、ドレイン抵抗Ｒｄ２を増加させることで、図９に示すように、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２の貫通電流を無くし、ドレイン電流を定常電流の６００ｍＡまで低下させつつ、ＰＭＯＳトランジスタＭ４のドレイン電流I_{M4D}を８０ｍＡに維持させることができる。

[0048] 図７～図９からわかるように、レベルシフト回路２１Ａ内の各ＭＯＳトランジスタにソース抵抗およびゲート抵抗を適宜設けることで、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２の貫通電流を低下させるこ

とができる。同時に、レベルシフト回路２１Ａ内の各ＭＯＳトランジスタのドレイン電流を低下させることができる。なお、レベルシフト回路２１Ａ内の各ＭＯＳトランジスタにおいて、ソース抵抗および／またはゲート抵抗の有無、および、ソース抵抗および／またはゲート抵抗を設ける場合の抵抗値は、電源電圧の値や駆動用ＭＯＳトランジスタのオン抵抗等に応じて適宜決定することができる。ソース抵抗および／またはゲート抵抗の抵抗値の上限値は、高周波のパルス入力信号に対する応答性の許容レベルに応じて決定することができる。

以上説明したように、本実施形態の駆動回路によれば、第１の実施形態の駆動回路に対して、レベルシフト回路内のＭＯＳトランジスタに対してソース抵抗および／またはゲート抵抗を設けたため、貫通電流およびドレイン電流をさらに抑制することが可能となる。

[0049] （３）第３の実施形態

次に、第３の実施形態のモータ駆動システムについて、図１０～図１２を参照して説明する。本実施形態のモータ駆動システムの全体構成は、図１に示したものと同じであり、ゲート駆動回路が図６に示したものと異なる。

図１０は、第３の実施形態の駆動回路の回路図である。図１１は、本実施形態の駆動回路に含まれる各可変抵抗の等価回路を示す図である。図１２は、本実施形態の駆動回路に含まれるＰ／Ｎ型可変抵抗の構成例を示す図である。

[0050] 図１０に示す駆動回路が図６に示した駆動回路と異なる点は、レベルシフト回路内の各ＭＯＳトランジスタにドレイン可変抵抗、ソース可変抵抗、およびゲート可変抵抗が設けられる点にある。すなわち、本実施形態の駆動回路のレベルシフト回路２１Ｂでは、以下の抵抗を備える。

[0051] ・ＮＭＯＳトランジスタＭ１のドレインとＰＭＯＳトランジスタＭ３のドレインとの間のドレイン可変抵抗Ｒｄ１＿ｐｎ（第１ドレイン可変抵抗の例）

・ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ４のド

レインとの間にドレイン可変抵抗Ｒｄ２＿ｐｎ（第２ドレイン可変抵抗の例）

・グランド電位ＧＮＤのノードN_{GND}とＮＭＯＳトランジスタＭ１のソースの間のソース可変抵抗Ｒｓ１＿ｎ（第１ソース可変抵抗の例）

・第１入力端子Ｐ１とＮＭＯＳトランジスタＭ１のゲートとの間のゲート可変抵抗Ｒｇ１＿ｎ（第１ゲート可変抵抗の例）

・グランド電位ＧＮＤのノードN_{GND}とＮＭＯＳトランジスタＭ２のソースとの間のソース可変抵抗Ｒｓ２＿ｎ（第２ソース可変抵抗の例）

・第２入力端子Ｐ２とＮＭＯＳトランジスタＭ２のゲートとの間のゲート可変抵抗Ｒｇ２＿ｎ（第２ゲート可変抵抗の例）

・電源電位ＶｃｃのノードN_{VCC}とＰＭＯＳトランジスタＭ３のソースとの間のソース可変抵抗Ｒｓ３＿ｐ（第３ソース可変抵抗の例）

・ＰＭＯＳトランジスタＭ３のゲートとＮＭＯＳトランジスタＭ２のドレインとの間のゲート可変抵抗Ｒｇ３＿ｐｎ（第３ゲート可変抵抗の例）

・電源電位ＶｃｃのノードN_{VCC}とＰＭＯＳトランジスタＭ４のソースとの間のソース可変抵抗Ｒｓ４＿ｐ（第４ソース可変抵抗の例）

・ＰＭＯＳトランジスタＭ４のゲートとＮＭＯＳトランジスタＭ１のドレインとの間のゲート可変抵抗Ｒｇ４＿ｐｎ（第４ゲート可変抵抗の例）

[0052] ソース可変抵抗Ｒｓ１＿ｎ，Ｒｓ２＿ｎ、および、ゲート可変抵抗Ｒｇ１＿ｎ，Ｒｇ２＿ｎは、図１１（ａ）に等価回路を例示するＮ型可変抵抗である。図１１（ａ）の例では、可変抵抗の両端Ｔ１，Ｔ２（端子Ｔ２は高圧側の端子、端子Ｔ１は低圧側の端子）の間に、抵抗Ｒａ，Ｒｂが並列に設けられ、一方の抵抗Ｒｂに直列にスイッチ素子ＳＷが設けられる。スイッチ素子ＳＷは、例えばＮＭＯＳトランジスタによって構成できる。Ｎ型可変抵抗において低圧側にスイッチ素子ＳＷを設けているのは、スイッチ素子ＳＷがオン時のゲートソース間電圧V_{GS}を大きくとれるようにするためである。

[0053] ソース可変抵抗Ｒｓ３＿ｐ，Ｒｓ４＿ｐは、図１１（ｂ）に等価回路を例示するＰ型可変抵抗である。図１１（ｂ）の例では、可変抵抗の両端Ｔ１，Ｔ

２（端子Ｔ２は高圧側の端子、端子Ｔ１は低圧側の端子）の間に、抵抗Ｒａ，Ｒｂが並列に設けられ、一方の抵抗Ｒｂに直列にスイッチ素子ＳＷが設けられる。スイッチ素子ＳＷは、例えばＰＭＯＳトランジスタによって構成できる。Ｐ型可変抵抗において高圧側にスイッチ素子ＳＷを設けているのは、スイッチ素子ＳＷがオン時のゲートソース間電圧V_{GS}を大きくとれるようにするためである。

[0054] ドレイン可変抵抗Ｒｄ１＿ｐｎ，Ｒｄ２＿ｐｎおよび、ゲート可変抵抗Ｒｇ３＿ｐｎ，Ｒｇ４＿ｐｎは、図１１（ｃ）に等価回路を例示するＰ／Ｎ型可変抵抗である。図１１（ｃ）の例では、可変抵抗の両端Ｔ１，Ｔ２（端子Ｔ２は高圧側の端子、端子Ｔ１は低圧側の端子）の間に、抵抗Ｒａ，Ｒｂが並列に設けられ、一方の抵抗Ｒｂに直列にスイッチ素子ＳＷ１，ＳＷ２が設けられる。スイッチ素子ＳＷ１，ＳＷ２は、それぞれＮＭＯＳトランジスタ、ＰＭＯＳトランジスタによって構成できる。ドレイン可変抵抗およびゲート可変抵抗においてスイッチ素子ＳＷ１，ＳＷ２を設けているのは、ドレイン可変抵抗およびゲート可変抵抗が設定されるノードが低圧側と高圧側のいずれもとりうるためである。

[0055] 図１１に例示する可変抵抗では、スイッチ素子ＳＷまたは、スイッチ素子ＳＷ１，ＳＷ２の導通状態がＣＰＵ５からの制御信号によって個別に制御されることによって、その合成抵抗値がＲａまたはＲａ・Ｒｂ／（Ｒａ＋Ｒｂ）となる。各可変抵抗において、抵抗Ｒａ，Ｒｂの値を独立に設定してよいが、スイッチ素子と直列に接続されていない抵抗Ｒａは比較的大きな値とすることが好ましい。

[0056] 図１１に例示する可変抵抗では、２個の抵抗を並列に設け、いずれかの抵抗に直列にスイッチ素子を設けた例を示したが、その限りではない。３個以上の抵抗を並列に設け、２個以上のスイッチ素子を設けることで、可変抵抗値（合成抵抗値）が採りうる抵抗値の数の任意の値に設定することもできる。

[0057] 図１１に例示する可変抵抗では、スイッチ素子の状態に関わらず両端Ｔ１，

Ｔ２の間が開放状態にならないが、スイッチ素子の状態によって両端Ｔ１，Ｔ２の間が開放状態となるように構成してもよい。例えば、図１１に示すように、互いに並列な２個の抵抗によって構成する場合には、各抵抗に直列にスイッチ素子を設ける。互いに並列な３個以上の抵抗によって構成する場合も同様に、各抵抗に直列にスイッチ素子を設ける。第５の実施形態において後述するが、特にＰ／Ｎ型可変抵抗において開放状態となることが可能となるように構成することで、出力端子をフローティング状態とすることが可能となる。

[0058] 図１２に示す具体的なＰ／Ｎ型可変抵抗では、スイッチ素子ＳＷ１としてＮＭＯＳトランジスタｍ５が設けられ、スイッチ素子ＳＷ２としてＰＭＯＳトランジスタｍ６が設けられる。図１２のＰ／Ｎ型可変抵抗においてレベルシフト回路８は、ＣＰＵ５からのスイッチ制御信号ｓｗ＿ｏｆｆ，ｓｗ＿ｏｎ（例えばＧＮＤレベルまたは３．３Ｖの信号）をＧＮＤレベルまたは電源電圧Ｖｃｃ（＋１２Ｖ）となる信号にレベル変換してＮＭＯＳトランジスタｍ５、ＰＭＯＳトランジスタｍ６のゲートに入力する。レベルシフト回路８の回路構成は、図２のレベルシフト回路２１と同じである。

スイッチ制御信号ｓｗ＿ｏｆｆがＨレベル（３．３Ｖ）であり、かつスイッチ制御信号ｓｗ＿ｏｎがＬレベル（ＧＮＤレベル）である場合には、ＮＭＯＳトランジスタｍ５、ＰＭＯＳトランジスタｍ６が共にオフとなり、Ｐ／Ｎ型可変抵抗の端子Ｔ１，Ｔ２間の抵抗がＲａとなる。スイッチ制御信号ｓｗ＿ｏｆｆがＬレベル（ＧＮＤレベル）であり、かつスイッチ制御信号ｓｗ＿ｏｎがＨレベル（３．３Ｖ）である場合には、ＮＭＯＳトランジスタｍ５、ＰＭＯＳトランジスタｍ６が共にオンとなり、Ｐ／Ｎ型可変抵抗の端子Ｔ１，Ｔ２間の抵抗がＲａ・Ｒｂ／（Ｒａ＋Ｒｂ）となる。

[0059] スイッチ制御信号ｓｗ＿ｏｆｆ，ｓｗ＿ｏｎは通常、所望の抵抗値となるように初期に設定した固定の信号レベルとなるため、レベルシフト回路８の動作は遅くてもよい。そのため、レベルシフト回路８のドレイン抵抗ｒｄ１，ｒｄ２を大きな値とすることができ、レベルシフト回路８内の貫通電流を抑

制することができる。

[0060] 図１０に示す例では、各ＭＯＳトランジスタのソース可変抵抗Ｒｓ１＿ｎ，Ｒｓ２＿ｎ，Ｒｓ３＿ｐ，Ｒｓ４＿ｐ、ゲート可変抵抗Ｒｇ１＿ｎ，Ｒｇ２＿ｎ，Ｒｇ３＿ｐｎ，Ｒｇ４＿ｐｎ、および、ドレイン可変抵抗Ｒｄ１＿ｐｎ，Ｒｄ２＿ｐｎをすべて備えるレベルシフト回路２１Ｂを示しているが、その限りではなく、これらの抵抗のうち、少なくともいずれか１つの可変抵抗を備えていればよい。

上述したように、本実施形態の駆動回路によれば、レベルシフト回路２１Ｂの各ＭＯＳトランジスタのソース、ゲート、および、ドレインに可変抵抗を設けることで、負荷（３相交流モータＭ）に応じて最適な抵抗値（つまり、貫通電流およびドレイン電流を抑制し、かつ応答性が悪化しない抵抗値）とすることができる。

[0061] （４）第４の実施形態

次に、第４の実施形態のモータ駆動システムについて、図１３を参照して説明する。本実施形態のモータ駆動システムの全体構成は、図１に示したものと同じであり、ゲート駆動回路が図２に示したものと異なる。図１３は、第４の実施形態の駆動回路の回路図である。

[0062] 図３に示したように、図２の駆動回路では、ＰＭＯＳトランジスタＱ１２がオンからオフになりＮＭＯＳトランジスタＱ１１がオフからオンになるときのデッドタイムＤＴと、ＮＭＯＳトランジスタＱ１１がオンからオフになりＰＭＯＳトランジスタＱ１２がオフからオンになるときのデッドタイムＤＴとは同じである。しかし、負荷によってはデッドタイムを大きくとりたい場合もあり、いずれか一方のデッドタイムをより大きくとりたい場合もある。

そこで、図１３に示す本実施形態の駆動回路は、ＮＭＯＳトランジスタＱ１１とＰＭＯＳトランジスタＱ１２に対してそれぞれ独立にレベルシフト回路を設けている。

すなわち、本実施形態のレベルシフト回路２１Ｃは、ＮＭＯＳトランジスタＱ１１に対応する第１レベルシフト回路２１１と、ＰＭＯＳトランジスタ

Ｑ１２に対応する第２レベルシフト回路２１２とを備える。

[0063] 第１レベルシフト回路２１１は、グランド電位ＧＮＤと３．３Ｖとの間で変動する第１入力端子Ｐ１１および第２入力端子Ｐ１２の電位に基づいて、ＮＭＯＳトランジスタＱ１１のゲートの電位が、グランド電位ＧＮＤと電源電位V_{CC}との間で変動するように信号処理する。第１レベルシフト回路２１１は、ＮＭＯＳトランジスタＭ１１，Ｍ２１、ＰＭＯＳトランジスタＭ３１，Ｍ４１およびドレイン抵抗Ｒｄ１１，Ｒｄ２１を備える。

[0064] 第２レベルシフト回路２１２は、グランド電位ＧＮＤと３．３Ｖとの間で変動する第３入力端子Ｐ１３および第４入力端子Ｐ１４の電位に基づいて、ＰＭＯＳトランジスタＱ１２のゲートの電位が、グランド電位ＧＮＤと電源電位V_{CC}との間で変動するように信号処理する。第２レベルシフト回路２１２は、ＮＭＯＳトランジスタＭ１２，Ｍ２２、ＰＭＯＳトランジスタＭ３２，Ｍ４２およびドレイン抵抗Ｒｄ１２，Ｒｄ２２を備える。

[0065] 第１レベルシフト回路２１１および第２レベルシフト回路２１２のそれぞれの動作は、図２のレベルシフト回路２１と同様である。

第１レベルシフト回路２１１では、第１入力端子Ｐ１１および第２入力端子Ｐ１２に対して相補的に入力されるパルス信号に基づいて、ＮＭＯＳトランジスタＱ１１のオフからオンになるタイミング、および、オンからオフになるタイミングが決定される。すなわち、第１入力端子Ｐ１１がＨレベルであり、第２入力端子Ｐ１２がＬレベルである場合、ＮＭＯＳトランジスタＭ１１がオン、ＮＭＯＳトランジスタＭ２１がオフ、ＰＭＯＳトランジスタＭ３１がオフ、ＰＭＯＳトランジスタＭ４１がオンとなるため、ＮＭＯＳトランジスタＱ１１がオンとなる。他方、第１入力端子Ｐ１１がＬレベルであり、第２入力端子Ｐ１２がＨレベルである場合、ＮＭＯＳトランジスタＭ１１がオフ、ＮＭＯＳトランジスタＭ２１がオン、ＰＭＯＳトランジスタＭ３１がオン、ＰＭＯＳトランジスタＭ４１がオフとなるため、ＮＭＯＳトランジスタＱ１１がオフとなる。

また、第２レベルシフト回路２１２では、第３入力端子Ｐ１３および第４

入力端子Ｐ１４に対して相補的に入力されるパルス信号に基づいて、ＰＭＯＳトランジスタＱ１２のオフからオンになるタイミング、および、オンからオフになるタイミングが決定される。すなわち、第３入力端子Ｐ１３がＨレベルであり、第４入力端子Ｐ１４がＬレベルである場合、ＮＭＯＳトランジスタＭ１２がオン、ＮＭＯＳトランジスタＭ２２がオフ、ＰＭＯＳトランジスタＭ３２がオフ、ＰＭＯＳトランジスタＭ４２がオンとなるため、ＰＭＯＳトランジスタＱ１２がオフとなる。他方、第３入力端子Ｐ１３がＬレベルであり、第４入力端子Ｐ１４がＨレベルである場合、ＮＭＯＳトランジスタＭ１２がオフ、ＮＭＯＳトランジスタＭ２２がオン、ＰＭＯＳトランジスタＭ３２がオン、ＰＭＯＳトランジスタＭ４２がオフとなるため、ＰＭＯＳトランジスタＱ１２がオンとなる。

[0066] したがって、本実施形態の駆動回路では、第１入力端子Ｐ１１および第２入力端子Ｐ１２の各信号のレベル変化のタイミングと、第３入力端子Ｐ１３および第４入力端子Ｐ１４の各信号のレベル変化のタイミングとを個別に設定することで、ＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２のデッドタイムを所望の値に独立に設定することが可能となる。

[0067] （５）第５の実施形態

次に、第５の実施形態のモータ駆動システムについて、図１４を参照して説明する。本実施形態のモータ駆動システムの全体構成は、図１に示したものと同じであり、ゲート駆動回路が図２に示したものと異なる。図１４は、第５の実施形態の駆動回路の回路図である。

３相交流モータＭの始動時に出力端子（図１のノードＮ１１）がフローティング状態とする場合があるが、図２に示した駆動回路では出力端子をフローティング状態とすることができない。例えば、図２の駆動回路において、第１入力端子Ｐ１と第２入力端子Ｐ２のいずれもＬレベル（ＧＮＤレベル）としてもＮＭＯＳトランジスタＱ１１およびＰＭＯＳトランジスタＱ１２のゲート電位は電源電位Ｖｃｃの中間電位となるため、いずれのＭＯＳトランジスタもオンとなって出力端子はフローティング状態とならない。

[0068] そこで、図１４に示す本実施形態の駆動回路は、３相交流モータＭの始動時に出力端子（図１のノードＮ１１）がフローティング状態とするように構成されている。図１４に示す駆動回路は、図２に示した駆動回路に対して、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ３のゲートの間に、ＮＭＯＳトランジスタｍ５およびＰＭＯＳトランジスタｍ６からなるスイッチ素子を備えたレベルシフト回路２１Ｄを含む。このスイッチ素子によって、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ３のゲートの間の導通状態が制御される。

ＮＭＯＳトランジスタｍ５およびＰＭＯＳトランジスタｍ６の各ゲートには、図１２に示したＰ／Ｎ型可変抵抗に適用されているレベルシフト回路８が接続される。すなわち、ＣＰＵ５からのスイッチ制御信号ｓｗ＿ｏｆｆ，ｓｗ＿ｏｎ（例えばＧＮＤレベルまたは３．３Ｖの信号）をＧＮＤレベルまたは電源電圧Ｖｃｃ（＋１２Ｖ）となる信号までレベル変換してＮＭＯＳトランジスタｍ５、ＰＭＯＳトランジスタｍ６のゲートに入力する。

[0069] 図１４の駆動回路において、３相交流モータＭの始動時には、ＣＰＵ５は、スイッチ制御信号ｓｗ＿ｏｆｆ，ｓｗ＿ｏｎをそれぞれＨレベル（３．３Ｖ）、Ｌレベル（ＧＮＤレベル）とする。すると、ＮＭＯＳトランジスタｍ５のゲートはＧＮＤレベルとなり、ＰＭＯＳトランジスタｍ６のゲートは電源電位ｃｃとなるため、ＮＭＯＳトランジスタｍ５およびＰＭＯＳトランジスタｍ６は共にオフとなる。そのため、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ３のゲートの間が非導通状態となる。このとき、ＣＰＵ５から入力端子Ｐ１，Ｐ２に与えられる信号レベルを共にＨレベル（３．３Ｖ；第１電位の例）とすることで、出力端子であるノードＮ１１はフローティング状態となる。

[0070] 図１４の駆動回路を備えたモータ駆動システムの動作は以下のとおりである。

３相交流モータＭの始動時には、スイッチ制御信号ｓｗ＿ｏｆｆ，ｓｗ＿ｏｎをそれぞれＨレベル、Ｌレベルとする。それによって、ＮＭＯＳトラン

ジスタＭ２のドレインとＰＭＯＳトランジスタＭ３のゲートの間が非導通状態となる。この状態で、第１入力端子Ｐ１，第２入力端子Ｐ２の入力信号を共にＨレベルとする。すると、ＮＭＯＳトランジスタＭ１がオンとなり、ＰＭＯＳトランジスタＭ４のゲートがＧＮＤレベルとなって、ＰＭＯＳトランジスタＭ４がオンとなる。そのため、ＰＭＯＳトランジスタＱ１２がオフとなる。このとき、ＰＭＯＳトランジスタＭ３のゲートが電源電位ｃｃとなるため、ＰＭＯＳトランジスタＭ３はオフとなる。

他方、第２入力端子Ｐ２の入力信号がＨレベルであるため、ＮＭＯＳトランジスタＭ２がオンし、ＮＭＯＳトランジスタＱ１１のゲート電位がＧＮＤレベルとなって、ＮＭＯＳトランジスタＱ１１がオフとなる。このとき、ＮＭＯＳトランジスタＭ２のドレインはＧＮＤレベルとなるが、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ３のゲートが非導通状態となっているため、ＰＭＯＳトランジスタＭ３のオフ状態が維持される。

以上の動作説明のとおり、３相交流モータＭの始動時には、ＮＭＯＳトランジスタＱ１１とＰＭＯＳトランジスタＱ１２が共にオフとなり、出力端子であるノードＮ１１はフローティング状態となる。

[0071] 次いで、スイッチ制御信号ｓｗ＿ｏｆｆ，ｓｗ＿ｏｎをそれぞれＬレベル、Ｈレベルとすることで、ＮＭＯＳトランジスタｍ５のゲートは電源電圧Ｖｃｃとなり、ＰＭＯＳトランジスタｍ６のゲートはＧＮＤレベルとなるため、ＮＭＯＳトランジスタｍ５およびＰＭＯＳトランジスタｍ６は共にオンとなる。そのため、ＮＭＯＳトランジスタＭ２のドレインとＰＭＯＳトランジスタＭ３のゲートの間が導通状態となり、図２の駆動回路と同一の動作となる。

[0072] 以上説明したように、図１４に示した本実施形態の駆動回路によれば、３相交流モータＭの始動時に出力端子をフローティング状態とすることができる。

[0073] なお、３相交流モータＭの始動時に出力端子をフローティング状態とすることができる駆動回路は図１４に限られず、図１３に示した駆動回路によって

も実現することができる。図１３の駆動回路において、３相交流モータＭの始動時に、ＣＰＵ５によって、第１入力端子Ｐ１１をＬレベル（グランド電位ＧＮＤ）に設定し、第２入力端子Ｐ１２をＨレベル（３．３Ｖ）に設定し、第３入力端子Ｐ１３をＨレベル（３．３Ｖ）に設定し、第４入力端子Ｐ１４をＬレベル（グランド電位ＧＮＤ）設定する。その場合、前述したように、ＮＭＯＳトランジスタＱ１１がオフとＰＭＯＳトランジスタＱ１２が共にオフとなる。そのため、出力端子がフローティング状態となる。

[0074] 以上、本発明のモータ駆動システムの実施形態について詳細に説明したが、本発明の範囲は上記の実施形態に限定されない。また、上記の実施形態は、本発明の主旨を逸脱しない範囲において、種々の改良や変更が可能である。

[0075] 例えば、上述した実施形態では、３相電圧生成部１０の各駆動用ＭＯＳトランジスタのオン・オフ制御が、ホールセンサの位置情報に基づく１２０度通電によって行われる場合について説明したが、その限りではない。各駆動用ＭＯＳトランジスタのオン・オフ制御方法は、１８０度通電等の他の通電制御方法を適用してもよい。

請求の範囲

[請求項1] 共通のドレインが負荷に接続された駆動用ＮＭＯＳトランジスタおよび駆動用ＰＭＯＳトランジスタと、

基準電位と前記基準電位よりも高い第１電位との間で変動する第１入力端子および第２入力端子の電位に基づいて、前記駆動用ＮＭＯＳトランジスタおよび前記駆動用ＰＭＯＳトランジスタのゲートの電位が、前記基準電位と前記第１電位よりも高い第２電位との間で変動するように信号処理するレベルシフト回路と、

を備え、

前記駆動用ＮＭＯＳトランジスタのソースが前記基準電位側に設けられ、前記駆動用ＰＭＯＳトランジスタのソースが前記第２電位に設定され、

前記レベルシフト回路は、

前記基準電位に設定される第１ソースと、前記第１入力端子に接続される第１ゲートと、第１ドレインと、を有するＮＭＯＳトランジスタである第１トランジスタと、

前記基準電位に設定される第２ソースと、前記第２入力端子に接続される第２ゲートと、前記駆動用ＮＭＯＳトランジスタのゲートに接続される第２ドレインと、を有するＮＭＯＳトランジスタである第２トランジスタと、

前記第２電位に設定される第３ソースと、第３ゲートと、前記第１ドレインに接続される第３ドレインと、を有するＰＭＯＳトランジスタである第３トランジスタと、

前記第２電位に設定される第４ソースと、第４ゲートと、前記第２ドレインおよび前記駆動用ＰＭＯＳトランジスタのゲートに接続される第４ドレインと、を有するＰＭＯＳトランジスタである第４トランジスタと、

を有し、前記第１ドレインと前記第４ゲートとが接続され、前記第

２ドレインと前記第３ゲートとが接続され、

前記第１入力端子と前記第２入力端子には互いに相補的なパルス信号が入力され、当該パルス信号は、信号レベルが切り替わるときに前記第１入力端子と前記第２入力端子がともに前記基準電位となる期間が設定されている、

駆動回路。

[請求項2] 前記レベルシフト回路は、

前記第１ドレインと前記第３ドレインとの間に第１ドレイン抵抗を有し、前記第２ドレインと前記第４ドレインとの間に第２ドレイン抵抗を有する、

請求項１に記載された駆動回路。

[請求項3] 前記レベルシフト回路は、

前記基準電位のノードと前記第１ソースとの間の第１ソース抵抗、

前記第１入力端子と前記第１ゲートとの間の第１ゲート抵抗、

前記基準電位のノードと前記第２ソースとの間の第２ソース抵抗、

前記第２入力端子と前記第２ゲートとの間の第２ゲート抵抗、

前記第２電位のノードと前記第３ソースとの間の第３ソース抵抗、

前記第３ゲートと前記第２ドレインとの間の第３ゲート抵抗、

前記第２電位のノードと前記第４ソースとの間の第４ソース抵抗、および、

前記第４ゲートと前記第１ドレインとの間の第４ゲート抵抗のうち、少なくともいずれか１つの抵抗を備える、

請求項１または２に記載された駆動回路。

[請求項4] 前記レベルシフト回路は、

前記第１ドレインと前記第３ドレインとの間に第１ドレイン可変

抵抗、

前記第２ドレインと前記第４ドレインとの間に第２ドレイン可変抵抗、

前記基準電位のノードと前記第１ソースとの間の第１ソース可変抵抗、

前記第１入力端子と前記第１ゲートとの間の第１ゲート可変抵抗、

前記基準電位のノードと前記第２ソースとの間の第２ソース可変抵抗、

前記第２入力端子と前記第２ゲートとの間の第２ゲート可変抵抗、

前記第２電位のノードと前記第３ソースとの間の第３ソース可変抵抗、

前記第３ゲートと前記第２ドレインとの間の第３ゲート可変抵抗、

前記第２電位のノードと前記第４ソースとの間の第４ソース可変抵抗、および、

前記第４ゲートと前記第１ドレインとの間の第４ゲート可変抵抗のうち、少なくとも

いずれか１つの可変抵抗を備える、

請求項１に記載された駆動回路。

[請求項5] 前記少なくともいずれか１つの可変抵抗はスイッチ素子を含み、当該スイッチ素子を制御することにより、複数の抵抗値の中からいずれかの抵抗値に設定される、

請求項４に記載された駆動回路。

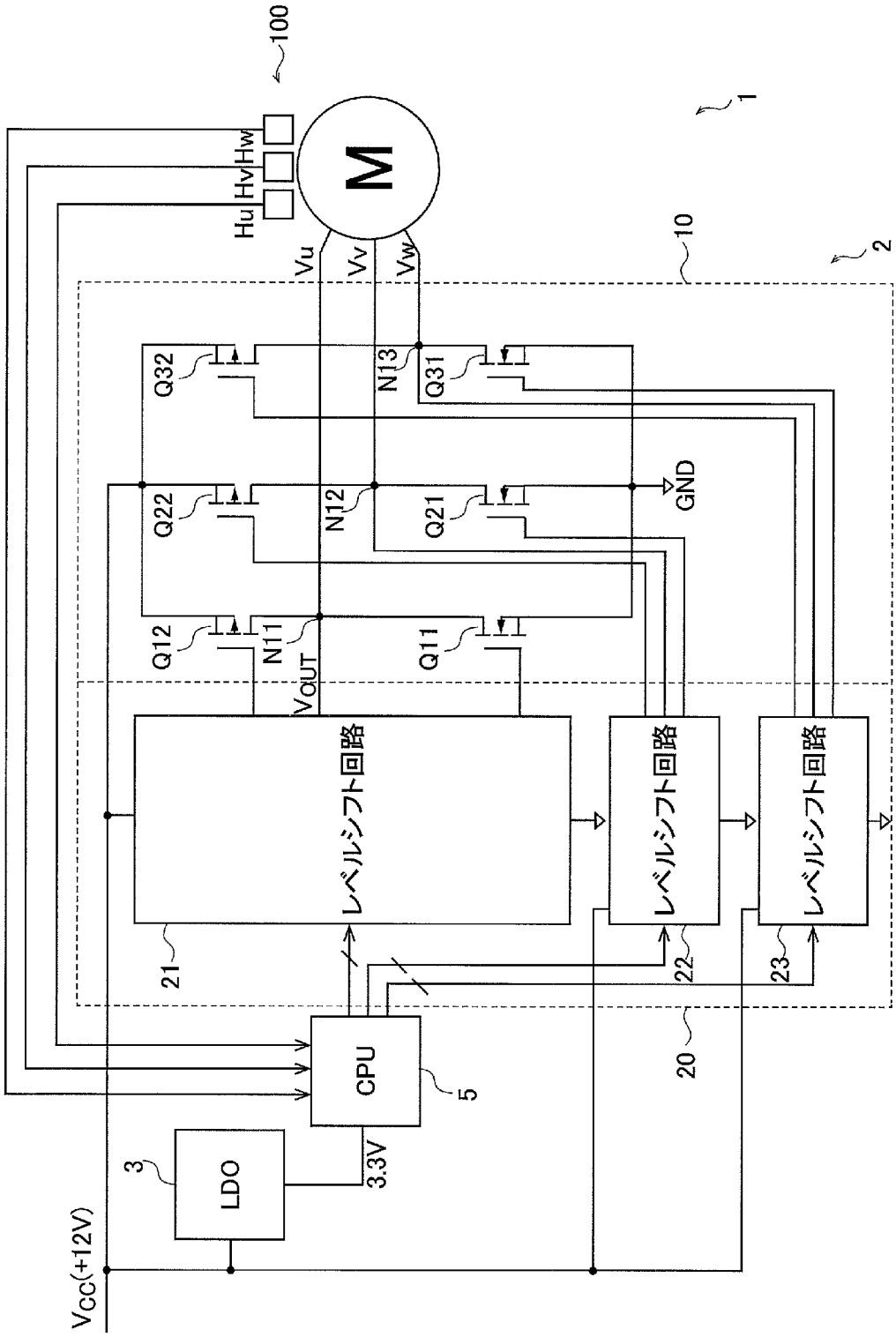
[請求項6] 請求項１から５のいずれか１項に記載された駆動回路と、

マイクロコントローラと、を備え、

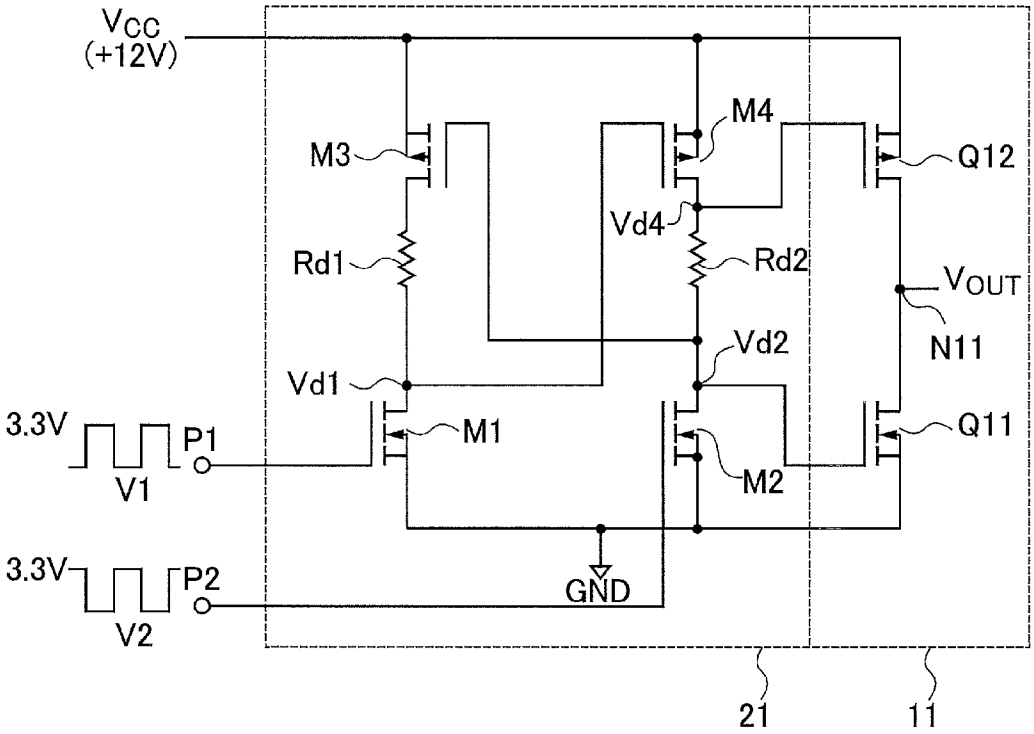
前記マイクロコントローラによって前記第１入力端子および前記第

２入力端子の電位が設定される、駆動システム。

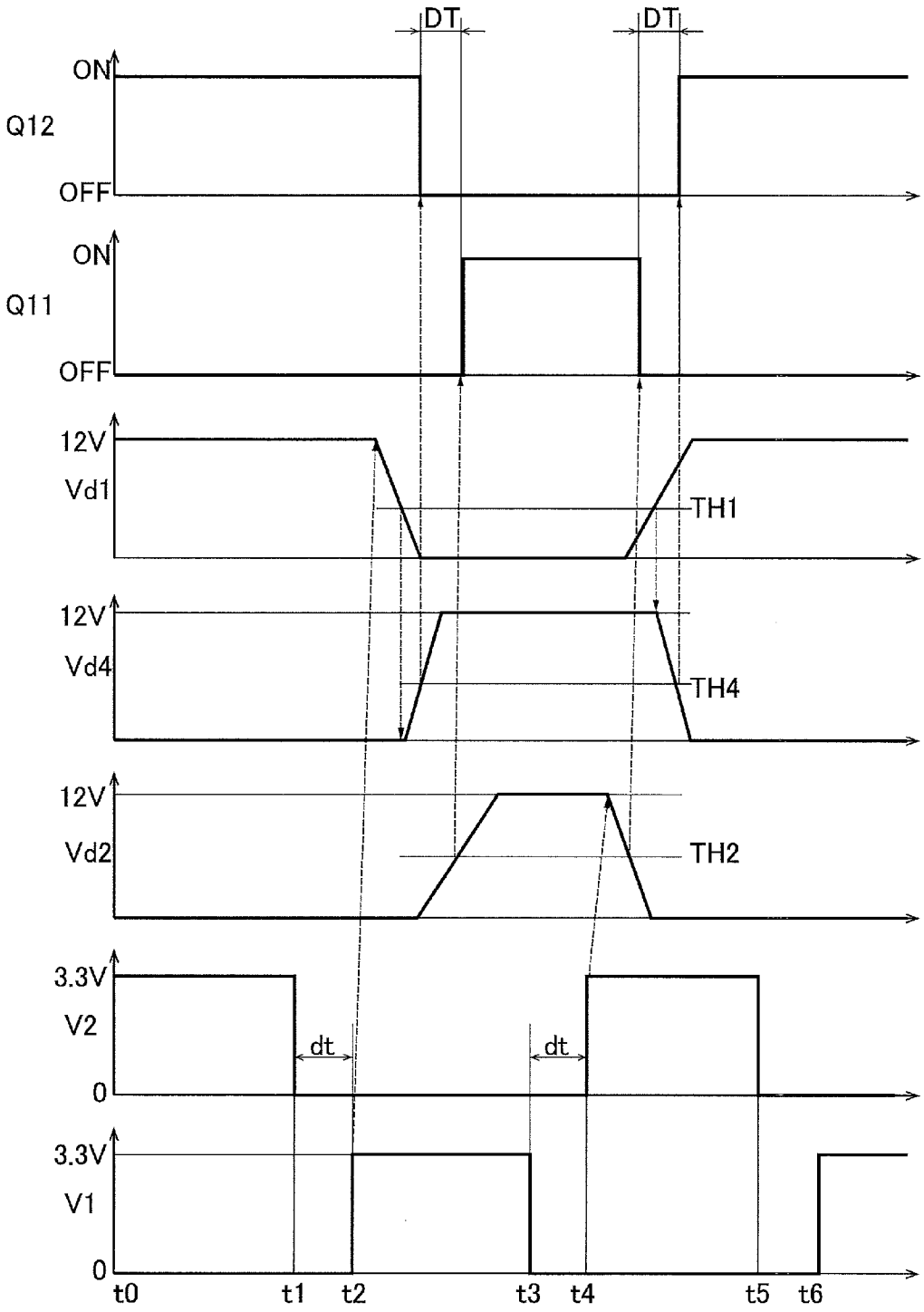
[図1]


100
1
M
Hu
Hv
Hw
Vu
Vv
Vw
10
2
Q32
N13
Q31
Q22
N12
Q21
GND
Q12
N11
Q11
VOUT
レベルシフト回路
レベルシフト回路
レベルシフト回路
21
22
23
20
CPU
5
LDO
3
3.3V
VCC(+12V)

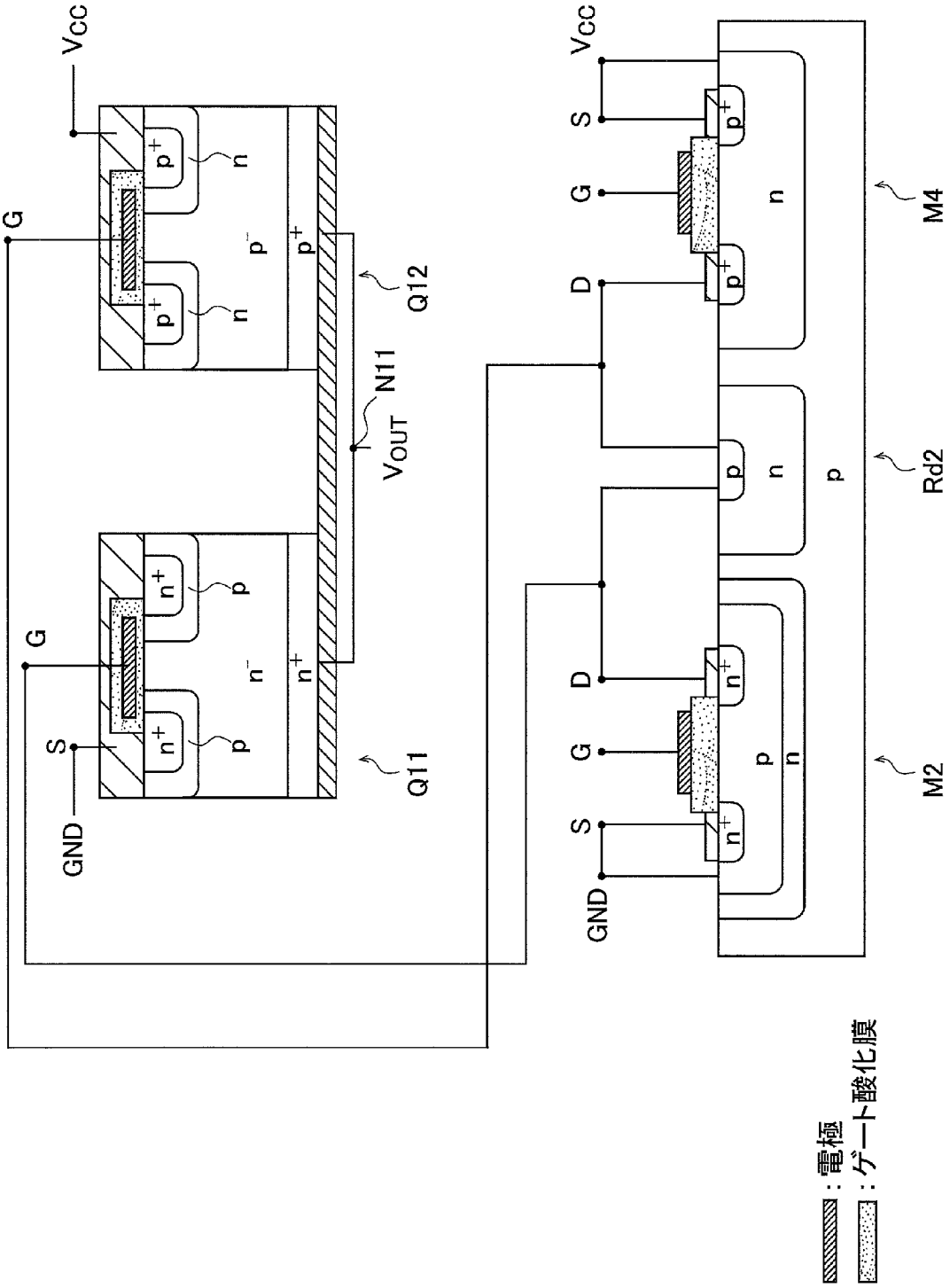
[図2]


Vcc
(+12V)
M3
M4
Q12
Vd4
Rd1
Rd2
VOUT
N11
Vd2
Vd1
3.3V
P1
V1
M1
Q11
M2
3.3V
P2
V2
GND
21
11

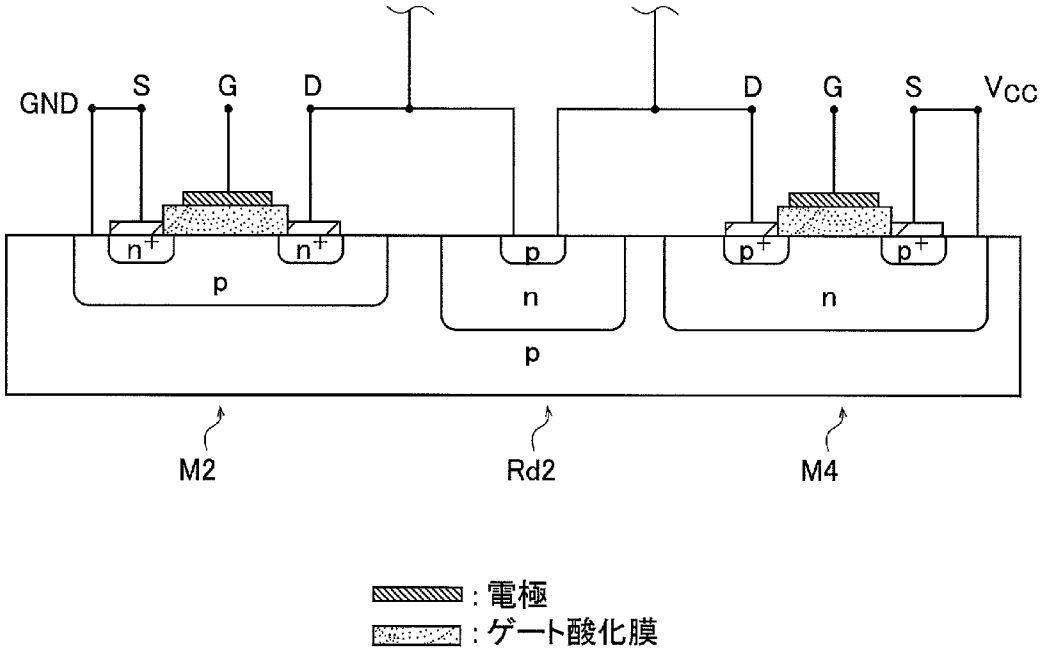
[図3]


DT
DT
ON
Q12
OFF
ON
Q11
OFF
12V
Vd1
TH1
12V
Vd4
TH4
12V
Vd2
TH2
3.3V
V2
0
dt
dt
3.3V
V1
0
t0
t1
t2
t3
t4
t5
t6

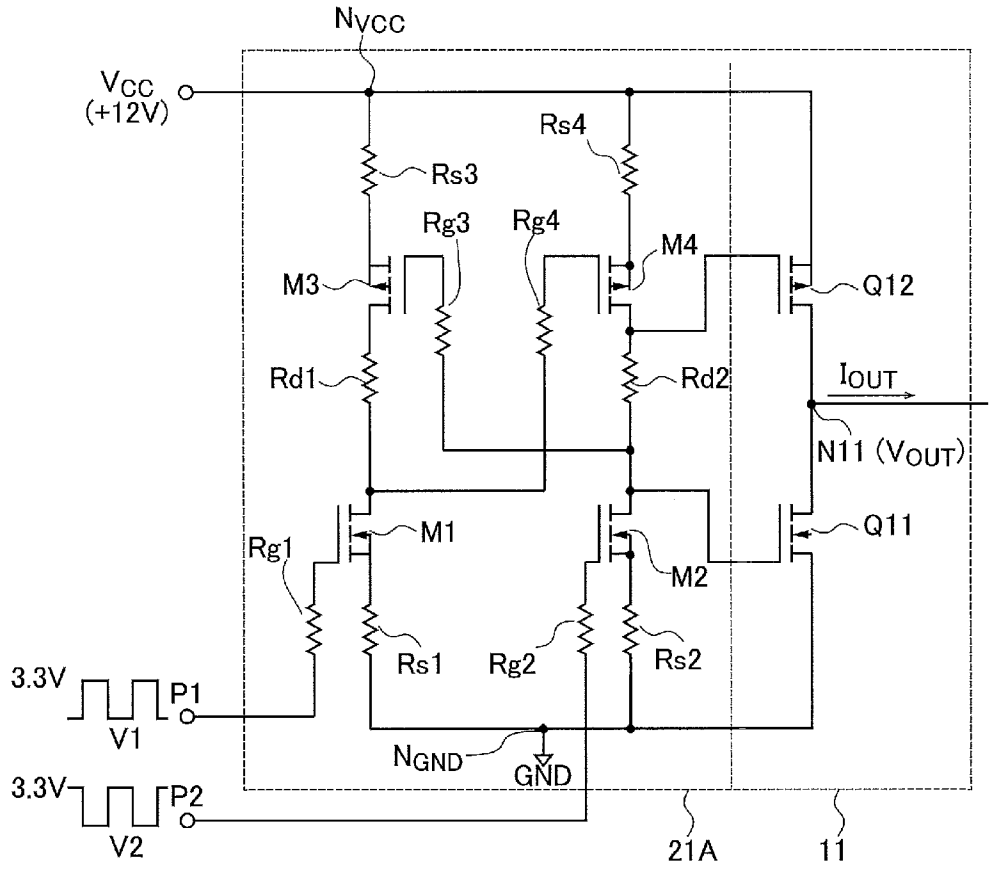
[図4]



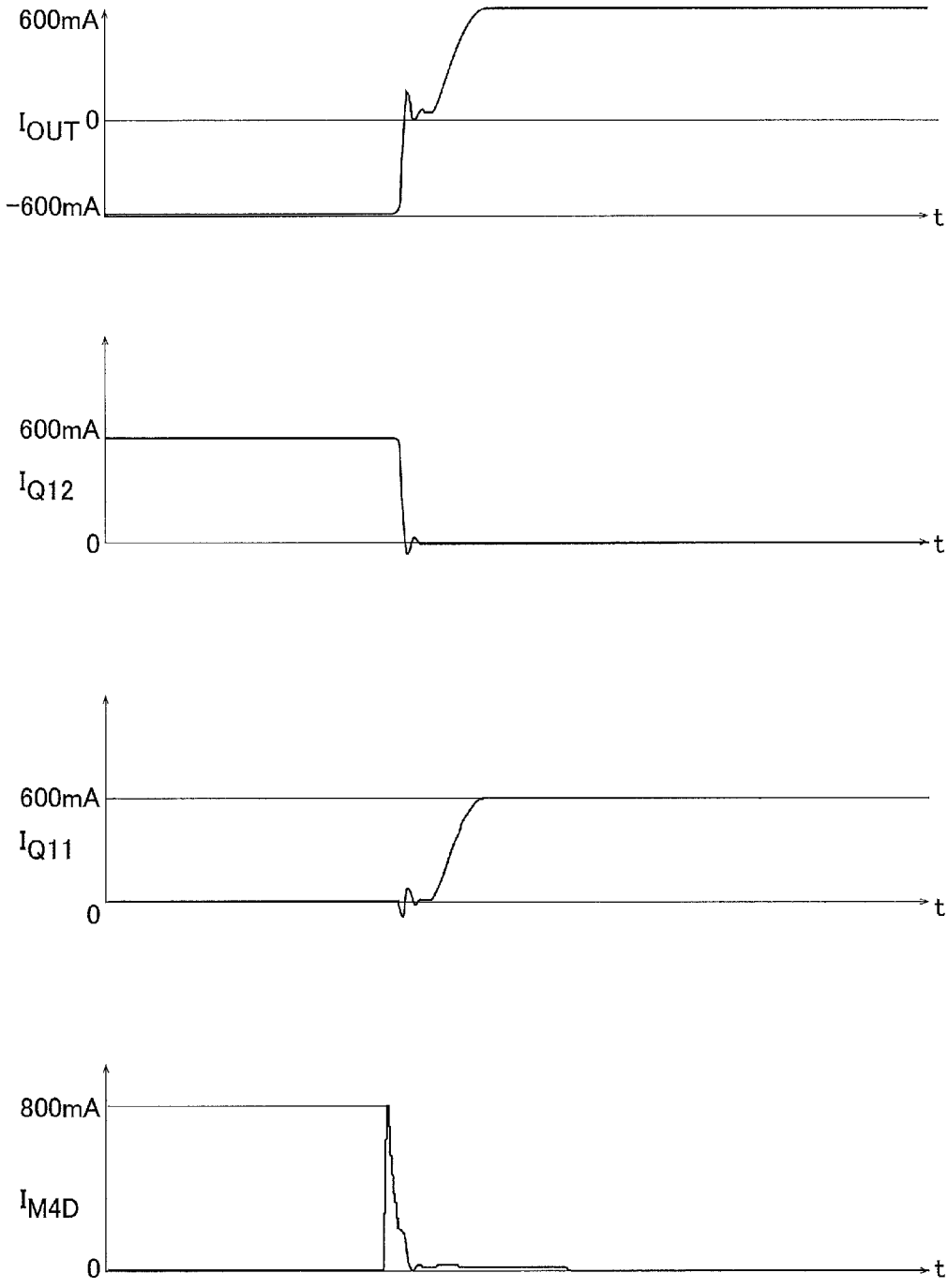
[図5]


GND
S
G
D
D
G
S
Vcc
n+
n+
p+
p+
p
p
n
n
p
M2
Rd2
M4
：電極
：ゲート酸化膜

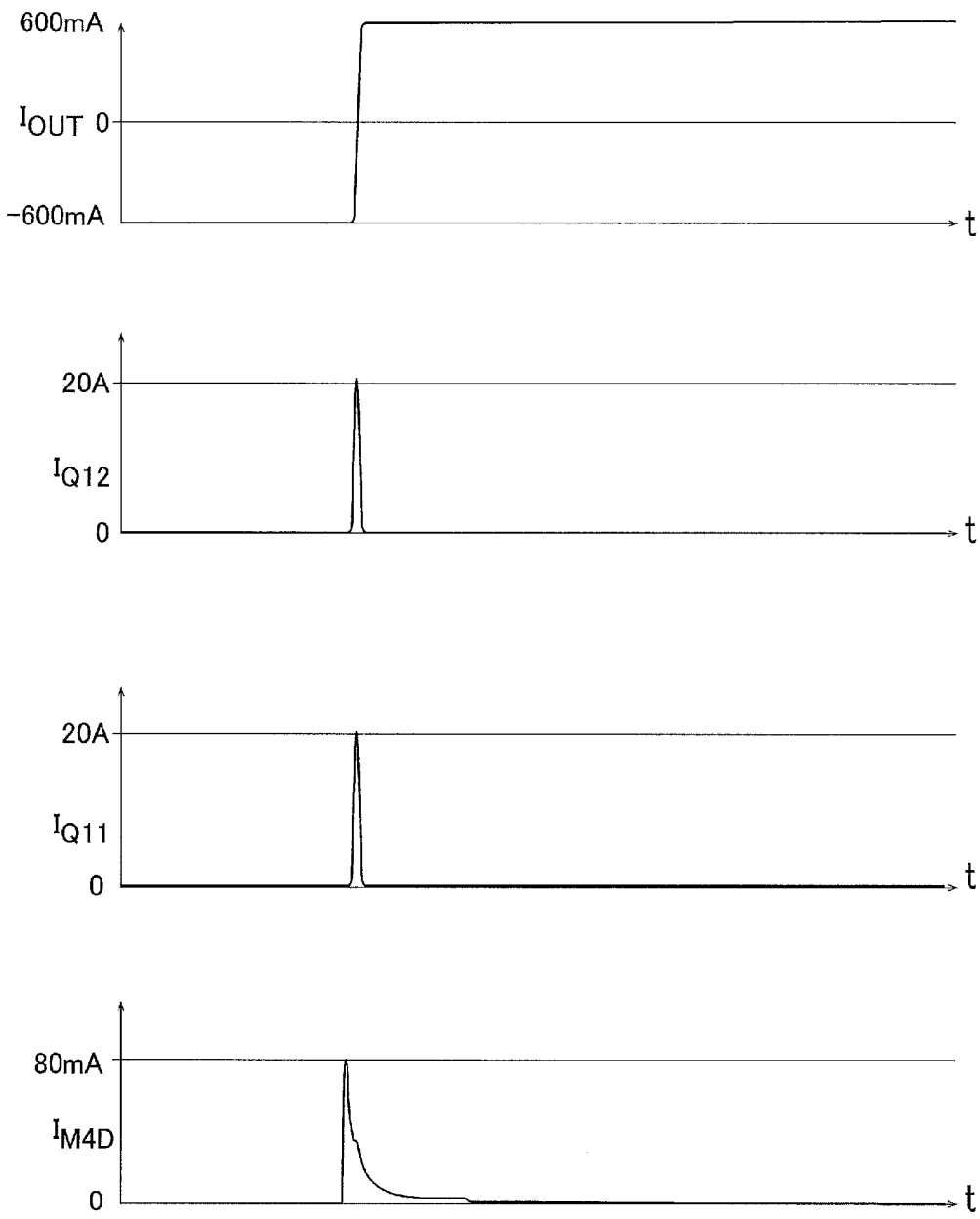
[図6]


NVCC
VCC
(+12V)
Rs4
Rs3
Rg3
Rg4
M4
M3
Q12
Rd1
Rd2
IOUT
N11 (VOUT)
Q11
M1
Rg1
M2
Rs1
Rg2
Rs2
3.3V
P1
V1
NGND
GND
3.3V
P2
V2
21A
11

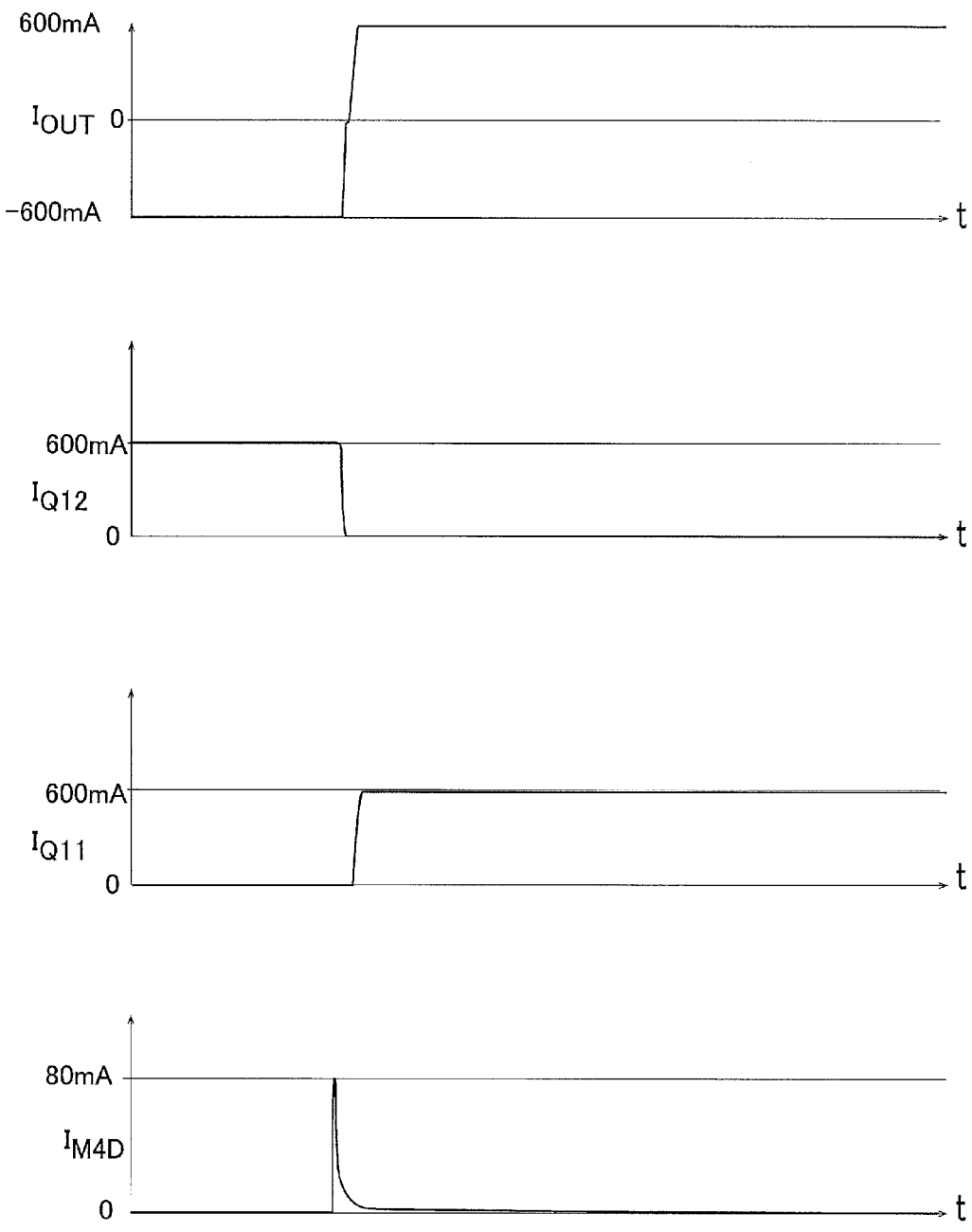
[図7]



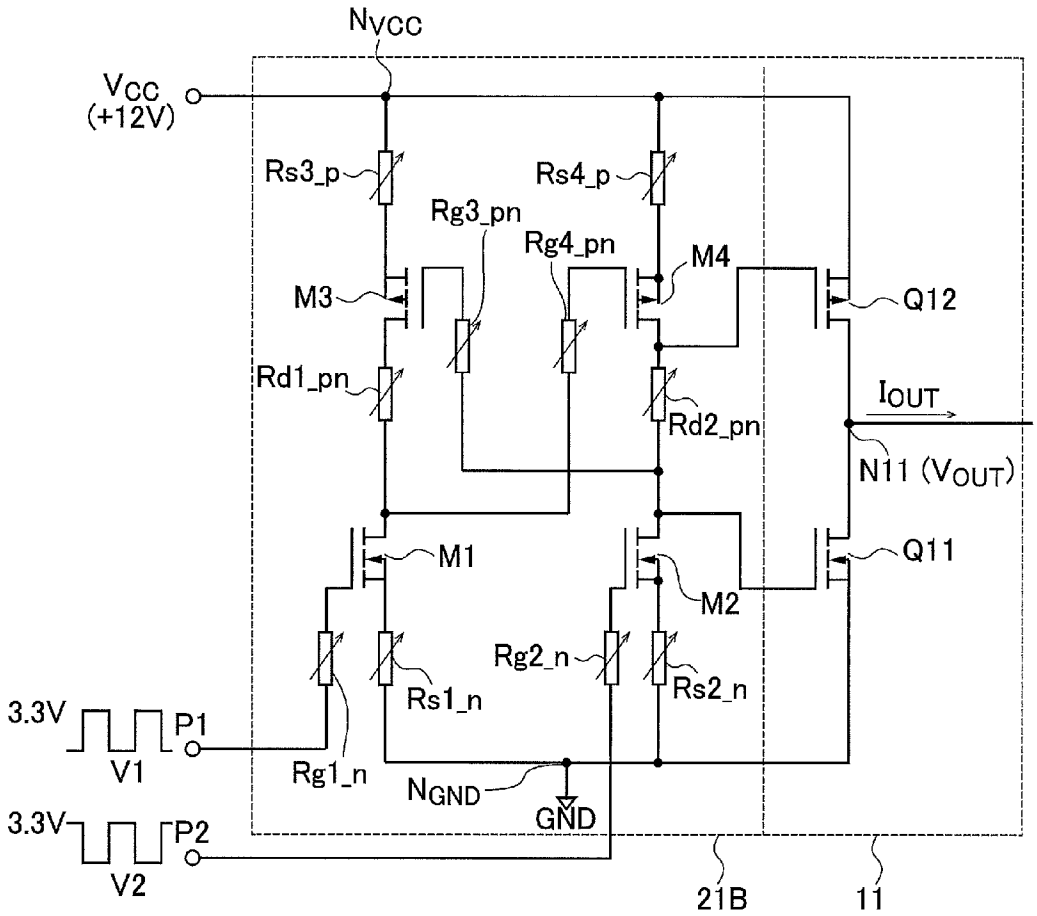
[図8]



[図9]

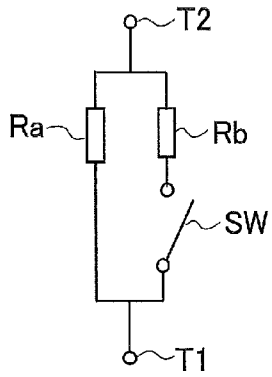


[図10]

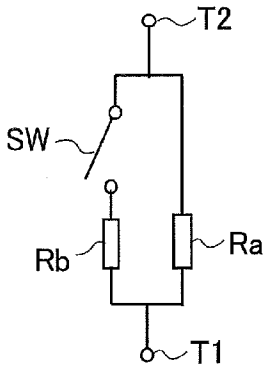

NVCC
VCC
(+12V)
Rs3_p
Rs4_p
Rg3_pn
Rg4_pn
M4
M3
Q12
Rd1_pn
Rd2_pn
IOUT
N11 (VOUT)
M1
Q11
M2
Rg2_n
Rs2_n
Rs1_n
3.3V
P1
V1
Rg1_n
NGND
GND
3.3V
P2
V2
21B
11

[図11]

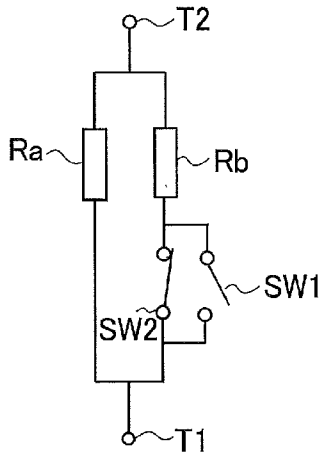
(a) N 型可変抵抗



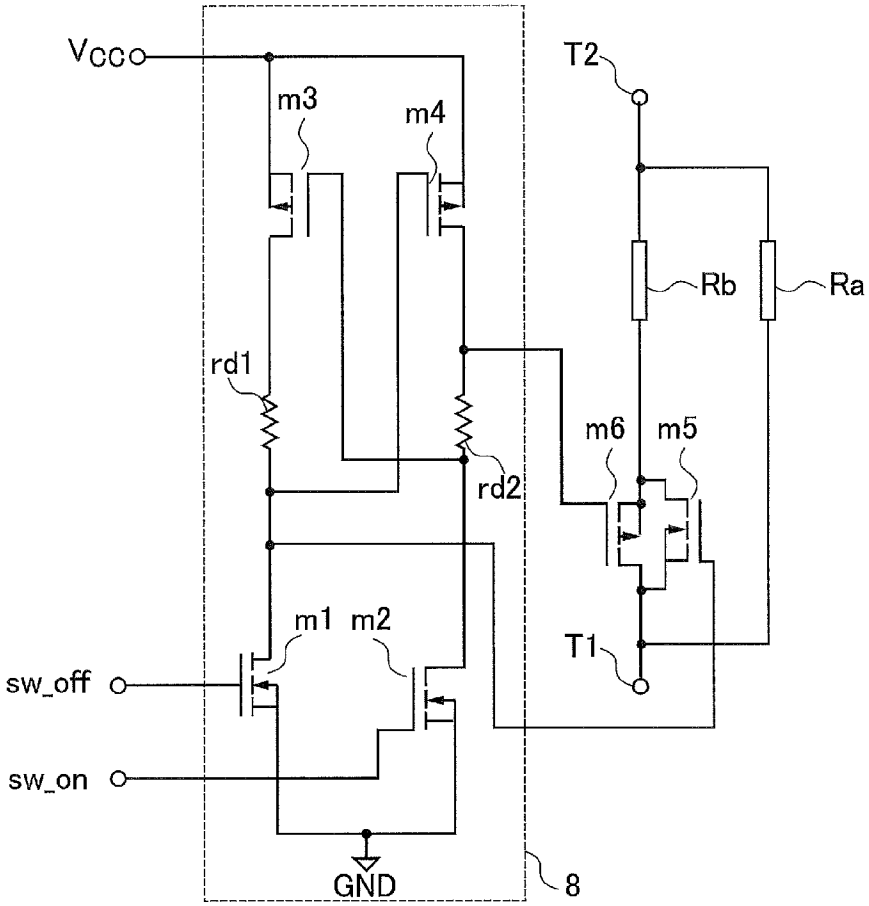
(b) P 型可変抵抗



(c) P/ N 型可変抵抗

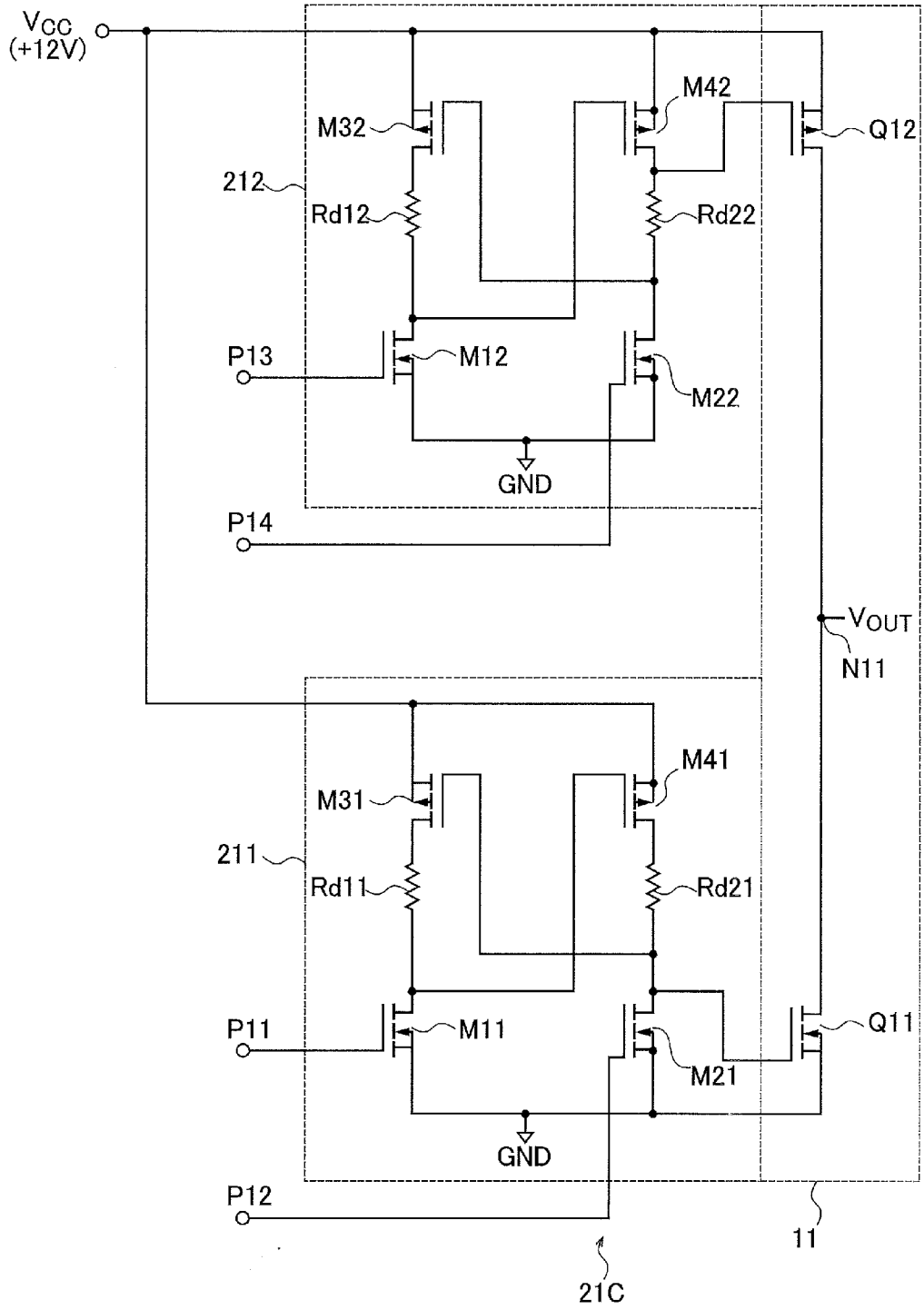


[図12]

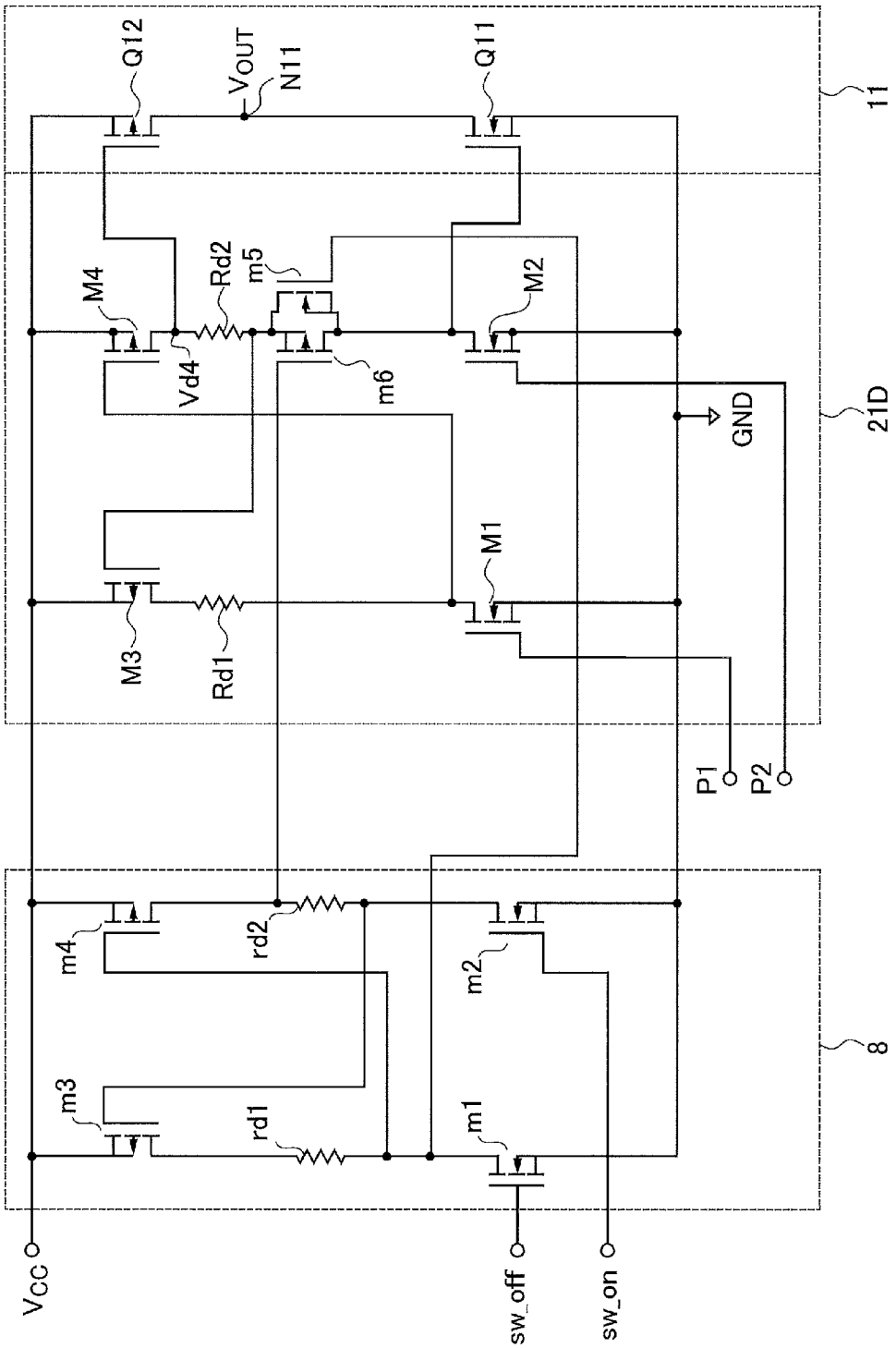


P/N 型可変抵抗

[図13]


Vcc
(+12V)
M32
M42
Q12
212
Rd12
Rd22
P13
M12
M22
GND
P14
VOUT
N11
M31
M41
211
Rd11
Rd21
P11
M11
M21
Q11
GND
P12
11
21C

[図14]


Q12
VOUT
N11
Q11
11
M4
Rd2
m5
M2
Vd4
m6
GND
21D
M1
M3
Rd1
P1
P2
m4
rd2
m2
m3
rd1
m1
8
Vcc
sw_off
sw_on

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/025519

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H03K17/16(2006.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/687(2006.01)i, H03K19/0185(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H03K17/16, H02M1/08, H02M7/48, H03K17/687, H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-300001 A (OKI ELECTRIC IND CO., LTD.) 12 November 1993, paragraphs [0030]-[0054], fig. 10 & US 5378932 A, column 2, line 31 to column 7, line 31, fig. 6	1-3, 6 4-5
Y A	JP 2008-53992 A (SONY CORPORATION) 06 March 2008, paragraphs [0072]-[0076], fig. 1, 5 (Family: none)	1-3, 6 4-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 06.09.2019	Date of mailing of the international search report 17.09.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/025519

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-101490 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 13 April 2006, paragraphs [0059], [0069], fig. 11 & US 2006/0044041 A1, paragraphs [0078], [0088], fig. 15 & KR 10-2006-0050831 A & CN 1744175 A	3, 6 4-5
Y A	JP 5-315941 A (NEC CORPORATION) 26 November 1993, paragraphs [0010]-[0021], fig. 3 (Family: none)	3, 6 4-5
Y A	JP 2013-131964 A (RENESAS ELECTRONICS CORP.) 04 July 2013, paragraphs [0043]-[0046], fig. 8, 9 & US 2013/0162294 A1, paragraphs [0051]-[0054], fig. 8, 9 & US 2016/0049132 A1	6 4-5
Y A	JP 2012-9982 A (RENESAS ELECTRONICS CORP.) 12 January 2012, paragraphs [0016]-[0027], fig. 1 (Family: none)	6 4-5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０２５５１９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/16(2006.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/687(2006.01)i, H03K19/0185(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/16, H02M1/08, H02M7/48, H03K17/687, H03K19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 5-300001 A (沖電気工業株式会社) 1993.11.12, 段落[0030]-[0054], 図 10 & US 5378932 A, 第 2 欄第 31 行-第 7 欄第 31 行, 図 6	1-3, 6 4-5
Y A	JP 2008-53992 A (ソニー株式会社) 2008.03.06, 段落[0072]-[0076], 図 1, 5 (ファミリーなし)	1-3, 6 4-5

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０９．２０１９	１７．０９．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　５８８８
及川　尚人
電話番号　０３－３５８１－１１０１　内線　３５７６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2006-101490 A（松下電器産業株式会社）2006.04.13, 段落[0059]，[0069]，図 11 & US 2006/0044041 A1，段落[0078]，[0088]，図 15 & KR 10-2006-0050831 A & CN 1744175 A	3，6 4-5
Y A	JP 5-315941 A（日本電気株式会社）1993.11.26, 段落[0010]-[0021]，図 3 （ファミリーなし）	3，6 4-5
Y A	JP 2013-131964 A（ルネサスエレクトロニクス株式会社） 2013.07.04，段落[0043]-[0046]，図 8-9 & US 2013/0162294 A1，段落[0051]-[0054]，図 8-9 & US 2016/0049132 A1	6 4-5
Y A	JP 2012-9982 A（ルネサスエレクトロニクス株式会社）2012.01.12, 段落[0016]-[0027]，図 1 （ファミリーなし）	6 4-5