

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 2 月 25 日 (2016.2.25)

【公開番号】特開 2015-89062 (P2015-89062A)

【公開日】平成 27 年 5 月 7 日 (2015.5.7)

【年通号数】公開・登録公報 2015-030

【出願番号】特願 2013-228180 (P2013-228180)

【国際特許分類】

H 0 4 N 5/376 (2011.01)

H 0 4 N 5/374 (2011.01)

H 0 4 N 5/353 (2011.01)

H 0 1 L 27/146 (2006.01)

【F I】

H 0 4 N 5/335 7 6 0

H 0 4 N 5/335 7 4 0

H 0 4 N 5/335 5 3 0

H 0 1 L 27/14 A

【手続補正書】

【提出日】平成 28 年 1 月 4 日 (2016.1.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

固体撮像素子内の画素アレイの各画素行に設けられ、当該画素アレイ中の画素行を特定するための V アドレス信号に基づいて、当該 V アドレス信号に対応する画素行の画素に、当該画素から蓄積電荷を読み出す読み出し動作又は当該画素から蓄積電荷を掃き出す電子シャッタ動作を行わせるための制御信号を少なくとも生成するアドレスデコーダ回路、
を備え、

前記アドレスデコーダ回路には、少なくとも 2 つの互いに異なる系統の前記 V アドレス信号が供給され、

1 水平走査期間内に、少なくとも 2 つの互いに異なる前記アドレスデコーダ回路が、少なくとも 2 つの互いに異なる画素行に対して前記制御信号を生成する、
駆動装置。

【請求項 2】

前記アドレスデコーダ回路は、前記 V アドレス信号とメモリ入力信号との論理積に応答して前記 V アドレス信号を保持するメモリ回路を有し、

前記メモリ回路に入力される前記 V アドレス信号は、互いに異なる系統の前記 V アドレス信号の論理和である、

請求項 1 に記載の駆動装置。

【請求項 3】

前記アドレスデコーダ回路に対して前記 V アドレス信号及び前記メモリ入力信号を所定のタイミングで入力することにより、前記メモリ回路に、前記読み出し動作又は前記電子シャッタ動作を行わせる画素行に対応する前記 V アドレス信号を保持させる制御部、
を更に備える、

請求項 2 に記載の駆動装置。

【請求項 4】

前記メモリ入力信号は、前記読み出し動作を行う画素行を特定する前記Vアドレス信号を前記メモリ回路に保持させるための読み出しメモリ信号と、前記電子シャッタ動作を行う画素行を特定する前記Vアドレス信号を前記メモリ回路に保持させるための電子シャッタメモリ信号と、を含み、

前記制御部は、前記Vアドレス信号とともに、前記読み出しメモリ信号及び前記電子シャッタメモリ信号のいずれかを前記アドレスデコーダ回路に対して入力することにより、前記アドレスデコーダ回路に、前記Vアドレス信号によって特定される前記画素行の画素に前記読み出し動作又は前記電子シャッタ動作を行わせるための制御信号を生成させる、
請求項 3 に記載の駆動装置。

【請求項 5】

前記アドレスデコーダ回路は、前記メモリ入力信号の入力を、前記メモリ入力信号の立ち上がり及び立ち下がりで検出する、

請求項 2 ~ 4 のいずれか 1 項 に記載の駆動装置。

【請求項 6】

前記メモリ回路は、

前記メモリ入力信号の立ち上がり及び立ち下がりの一方が検出された際に保持した前記Vアドレス信号に対応する画素行の画素に対して前記読み出し動作を行わせるための制御信号を生成し、

前記メモリ入力信号の立ち上がり及び立ち下がりの他方が検出された際に保持した前記Vアドレス信号に対応する画素行の画素に対して前記電子シャッタ動作を行わせるための制御信号を生成する、

請求項 5 に記載の駆動装置。

【請求項 7】

前記制御信号に基づいて、前記Vアドレス信号によって特定される前記画素行の画素を駆動するための駆動信号を生成することにより、前記読み出し動作又は前記電子シャッタ動作を前記画素に行わせる画素タイミング駆動回路、

を更に備える、

請求項 1 ~ 6 のいずれか 1 項 に記載の駆動装置。

【請求項 8】

前記画素タイミング駆動回路に対して、前記画素内のトランジスタを駆動するタイミングを制御する画素駆動パルスを入力することにより、前記画素タイミング駆動回路に所定のタイミングで前記駆動信号を生成させる制御部、

を更に備える、

請求項 7 に記載の駆動装置。

【請求項 9】

前記メモリ回路は、S R ラッチ回路であり、

前記メモリ入力信号は、当該S R ラッチ回路におけるセット側の入力端子に印加されるラッチセット信号である、

請求項 2 ~ 6 のいずれか 1 項 に記載の駆動装置。

【請求項 10】

前記固体撮像素子は、CMOS イメージセンサである、

請求項 1 ~ 9 のいずれか 1 項 に記載の駆動装置。

【請求項 11】

固体撮像素子内の画素アレイの各画素行に設けられ、当該画素アレイ中の画素行を特定するためのVアドレス信号に基づいて、当該Vアドレス信号に対応する画素行の画素に、当該画素から蓄積電荷を読み出す読み出し動作又は当該画素から蓄積電荷をリセットする電子シャッタ動作を行わせるための制御信号を生成するアドレスデコーダ回路に対して、少なくとも2つの互いに異なる系統の前記Vアドレス信号が供給されることにより、1水平走査期間内に、少なくとも2つの互いに異なる前記アドレスデコーダ回路が、少なくと

も 2 つの互いに異なる画素行に対して前記制御信号を生成すること、
を含む、駆動方法。

【請求項 1 2】

被写体からの光を受光し受光した光に応じた画素信号を出力する複数の画素が配列された画素アレイを有する固体撮像素子と、

前記被写体からの光を筐体内の前記固体撮像素子まで導光する光学系と、

複数の前記画素から出力された前記画素信号に基づいて、前記被写体の画像である撮像画像を生成する画像処理部と、

を備え、

前記固体撮像素子は、

前記画素アレイの各画素行に設けられ、当該画素アレイ中の画素行を特定するための V アドレス信号に基づいて、当該 V アドレス信号に対応する画素行の画素に、当該画素から蓄積電荷を読み出す読み出し動作又は当該画素から蓄積電荷をリセットする電子シャッタ動作を行わせるための制御信号を生成するアドレスデコーダ回路、

を有し、

前記アドレスデコーダ回路には、少なくとも 2 つの互いに異なる系統の前記 V アドレス信号が供給され、

1 水平走査期間内に、少なくとも 2 つの互いに異なる前記アドレスデコーダ回路が、少なくとも 2 つの互いに異なる画素行に対して前記制御信号を生成する、

電子機器。

【請求項 1 3】

固体撮像素子内の画素アレイの各画素行に設けられ、当該画素アレイ中の画素行を特定するための V アドレス信号に基づいて、当該 V アドレス信号に対応する画素行の画素に、当該画素から蓄積電荷を読み出す読み出し動作又は当該画素から蓄積電荷をリセットする電子シャッタ動作を行わせるための制御信号を少なくとも生成するアドレスデコーダ回路、

を備え、

前記アドレスデコーダ回路は、前記 V アドレス信号とメモリ入力信号との論理積に応答して前記 V アドレス信号を保持するメモリ回路を有し、

前記アドレスデコーダ回路は、前記メモリ入力信号の入力を、前記メモリ入力信号の立ち上がり及び立ち下がりで検出する、

駆動装置。

【請求項 1 4】

前記メモリ回路は、

前記メモリ入力信号の立ち上がり及び立ち下がりの一方が検出された際に保持した前記 V アドレス信号に対応する画素行の画素に対して前記読み出し動作を行わせるための制御信号を生成し、

前記メモリ入力信号の立ち上がり及び立ち下がりの他方が検出された際に保持した前記 V アドレス信号に対応する画素行の画素に対して前記電子シャッタ動作を行わせるための制御信号を生成する、

請求項 1 3 に記載の駆動装置。

【請求項 1 5】

前記メモリ入力信号は、1 系統である、

請求項 1 3 又は 1 4 に記載の駆動装置。

【請求項 1 6】

前記アドレスデコーダ回路に対して前記 V アドレス信号及び前記メモリ入力信号を所定のタイミングで入力することにより、前記メモリ回路に、前記読み出し動作又は前記電子シャッタ動作を行わせる画素行に対応する前記 V アドレス信号を保持させる制御部、

を更に備える、

請求項 1 3 ~ 1 5 のいずれか 1 項に記載の駆動装置。

【請求項 17】

前記アドレスデコーダ回路には、少なくとも2つの互いに異なる系統の前記Vアドレス信号が供給され、

1 水平走査期間内に、少なくとも2つの互いに異なる前記アドレスデコーダ回路が、少なくとも2つの互いに異なる画素行に対して前記制御信号を生成する、

請求項 13 ~ 16 のいずれか 1 項に記載の駆動装置。

【請求項 18】

前記メモリ回路に入力される前記Vアドレス信号は、互いに異なる系統の前記Vアドレス信号の論理和である、

請求項 17 に記載の駆動装置。

【請求項 19】

固体撮像素子内の画素アレイの各画素行に設けられ、当該画素アレイ中の画素行を特定するためのVアドレス信号に基づいて、当該Vアドレス信号に対応する画素行の画素に、当該画素から蓄積電荷を読み出す読み出し動作又は当該画素から蓄積電荷をリセットする電子シャッタ動作を行わせるための制御信号を生成するアドレスデコーダ回路に対して入力される、当該アドレスデコーダ回路内に設けられるメモリ回路が前記Vアドレス信号を保持するためのメモリ入力信号を、当該メモリ入力信号の立ち上がり及び立ち下がりの少なくともいずれかで検出すること、

を含み、

前記メモリ回路は、前記Vアドレス信号とメモリ入力信号との論理積に応答して前記Vアドレス信号を保持する、

駆動方法。

【請求項 20】

被写体からの光を受光し受光した光に応じた画素信号を出力する複数の画素が配列された画素アレイを有する固体撮像素子と、

前記被写体からの光を筐体内の前記固体撮像素子まで導光する光学系と、

複数の前記画素から出力された前記画素信号に基づいて、前記被写体の画像である撮像画像を生成する画像処理部と、

を備え、

前記固体撮像素子は、

前記画素アレイの各画素行に設けられ、当該画素アレイ中の画素行を特定するためのVアドレス信号に基づいて、当該Vアドレス信号に対応する画素行の画素に、当該画素から蓄積電荷を読み出す読み出し動作又は当該画素から蓄積電荷をリセットする電子シャッタ動作を行わせるための制御信号を生成するアドレスデコーダ回路、

を有し、

前記アドレスデコーダ回路は、前記Vアドレス信号とメモリ入力信号との論理積に応答して前記Vアドレス信号を保持するメモリ回路を有し、

前記アドレスデコーダ回路は、前記メモリ入力信号の入力を、前記メモリ入力信号の立ち上がり及び立ち下がりの少なくともいずれかで検出する、

電子機器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

【特許文献1】特開2008-288903号公報

【特許文献2】特開2008-288904号公報

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 8 1

【補正方法】 変更

【補正の内容】

【 0 0 8 1 】

[2 - 1 . 一般的なアドレスデコーダ回路の構成]

一般的な固体撮像素子においても、アドレスデコーダ部は画素アレイの各画素行に対応する複数のアドレスデコーダ回路を有する。図 1 1 及び図 1 2 を参照して、一般的な固体撮像素子のアドレスデコーダ部を構成するアドレスデコーダ回路の構成について説明する。図 1 1 は、一般的なアドレスデコーダ回路の等価回路を示す図である。図 1 2 は、図 1 1 に示す一般的なアドレスデコーダ回路の動作についてのタイミングチャートを示す図である。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 9 6

【補正方法】 変更

【補正の内容】

【 0 0 9 6 】

[3 - 1 . アドレスデコーダ回路の構成]

第 2 の実施形態に係る固体撮像素子においても、アドレスデコーダ部は画素アレイの各画素行に対応する複数のアドレスデコーダ回路を有する。図 1 5 及び図 1 6 を参照して、第 2 の実施形態に係る固体撮像素子のアドレスデコーダ部を構成するアドレスデコーダ回路の構成について説明する。図 1 5 は、第 2 の実施形態に係るアドレスデコーダ回路の等価回路を示す図である。図 1 6 は、図 1 5 に示す第 2 の実施形態に係るアドレスデコーダ回路の動作についてのタイミングチャートを示す図である。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 1 5 3

【補正方法】 変更

【補正の内容】

【 0 1 5 3 】

次いで、画素行 C、画素行 D、画素行 E 及び画素行 F を表す V アドレス信号並びに S L R S T 信号及び S L S E T __ X 信号の入力タイミングに合わせて、電子シャッタ動作に関する画素駆動パルスである S T R パルス及び S R S T パルスが、所定のタイミングで画素タイミング駆動部に入力される。図 2 3 に示す例では、S T R パルス及び S R S T パルスとして、電子シャッタ動作を行う画素行として V アドレス信号が発行されたある 1 つの画素行に対応する画素タイミング駆動回路に対する S T R パルス及び S R S T パルスのタイミングを図示している。実際には、電子シャッタ動作を行う画素行として指定された他の画素行に対応する画素タイミング駆動回路に対しても、例えば V アドレス信号が入力されたタイミングを基点として同様のタイミングで S T R パルス及び S R S T パルスが入力されてよい。画素タイミング駆動部では、これらの画素駆動パルスと、アドレスデコーダ部から入力された S L Q 信号とに基づいて、電子シャッタ動作を行わせるように画素を駆動するための駆動信号 (T R G 信号及び R S T 信号) を出力する。このようにして、本変形例に係る固体撮像素子では、センサコントローラにより、選択された画素行の画素が所望のタイミングで電子シャッタ動作を行うように、その動作が制御され得る。なお、1 H 期間内における画素駆動パルスのタイミングは、例えば例えば第 1 の実施形態において図 3 を参照して説明したタイミングと同様であってよい。ため、詳細な説明は省略する。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 1 5 5

【補正方法】 変更

【補正の内容】

【0155】

< 6 . 適用例 >

次に、以上説明した第1、第2及び第3の実施形態の一適用例について説明する。ここでは、図24を参照して、第1、第2及び第3の実施形態に係る固体撮像素子が適用され得る電子機器の一例として、例えばデジタルスチルカメラ等の撮像装置の構成について説明する。図24は、第1、第2及び第3の実施形態に係る固体撮像素子が適用された撮像装置の機能構成を示す機能ブロック図である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0165

【補正方法】変更

【補正の内容】

【0165】

上述したように、撮像装置40のCMOSイメージセンサ412は、第1、第2及び第3の実施形態に係る固体撮像素子に対応する。上記< 1 . 第1の実施形態 >、< 3 . 第2の実施形態 > 及び < 4 . 第3の実施形態 > で説明したように、第1、第2及び第3の実施形態に係る固体撮像素子においては、1H期間内に電子シャッタ動作と読み出し動作とが共に行われる場合において、1H期間をより短縮することが可能であり、画質の向上とより高速の撮影とが共に実現され得る。従って、第1、第2及び第3の実施形態に係る固体撮像素子を撮像装置40に適用することにより、より高品質な撮像画像をより高速の撮影条件下において取得することが可能な撮像装置40が実現され得る。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0167

【補正方法】変更

【補正の内容】

【0167】

< 7 . ハードウェア構成 >

上記< 1 . 第1の実施形態 >、< 3 . 第2の実施形態 > 及び < 4 . 第3の実施形態 > で説明した、第1、第2及び第3の実施形態に係る固体撮像素子における一連の動作は、図1に示すセンサコントローラ130が所定のプログラムに従って各種の情報処理を行い、固体撮像素子内の各種の構成の動作を適宜制御することにより実現され得る。このような、第1、第2及び第3の実施形態に係る固体撮像素子に対して一連の動作を行わせるプログラムは、図1に示すセンサコントローラ130のように、固体撮像素子内に設けられる例えばマイコン等の専用の情報処理装置に対してインストールされてもよいし、PC (Personal Computer) 等の汎用的な情報処理装置にインストールされてもよい。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0168

【補正方法】変更

【補正の内容】

【0168】

図25を参照しながら、このような、第1、第2及び第3の実施形態に係る固体撮像素子に一連の動作を実行させるためのプログラムがインストールされ得る、情報処理装置のハードウェア構成について説明する。図25は、本実施形態に係る情報処理装置のハードウェア構成を説明するためのブロック図である。なお、図25に示す情報処理装置900は、例えば、図1に示すセンサコントローラ130、図24に示す撮像装置40、及び、第1、第2及び第3の実施形態に係る固体撮像素子に一連の動作を実行させるためのプロ

グラムがインストールされ得る情報処理装置を実現し得る。