



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월20일
(11) 등록번호 10-1277381
(24) 등록일자 2013년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 23/12 (2006.01) H01L 21/60 (2006.01)
(21) 출원번호 10-2006-0117069
(22) 출원일자 2006년11월24일
심사청구일자 2011년11월24일
(65) 공개번호 10-2007-0055959
(43) 공개일자 2007년05월31일
(30) 우선권주장
JP-P-2005-00342479 2005년11월28일 일본(JP)
(56) 선행기술조사문헌
JP2004193501 A
JP2005340247 A

(73) 특허권자
르네사스 일렉트로닉스 가부시끼가이샤
일본 가나가와켄 가와사끼시 나카하라쿠 시모누마
베 1753
(72) 발명자
요시카와 야스히로
일본 도쿄도 지요다쿠 마루노우찌 2쪼메 4방 1고
가부시끼가이샤르네사스 테크놀로지 지적재산권
통괄부 내
스와 모토오
일본 도쿄도 지요다쿠 마루노우찌 2쪼메 4방 1고
가부시끼가이샤르네사스 테크놀로지 지적재산권
통괄부 내
도요시마 히로시
일본 도쿄도 지요다쿠 마루노우찌 2쪼메 4방 1고
가부시끼가이샤르네사스 테크놀로지 지적재산권
통괄부 내
(74) 대리인
이중희, 장수길

전체 청구항 수 : 총 10 항

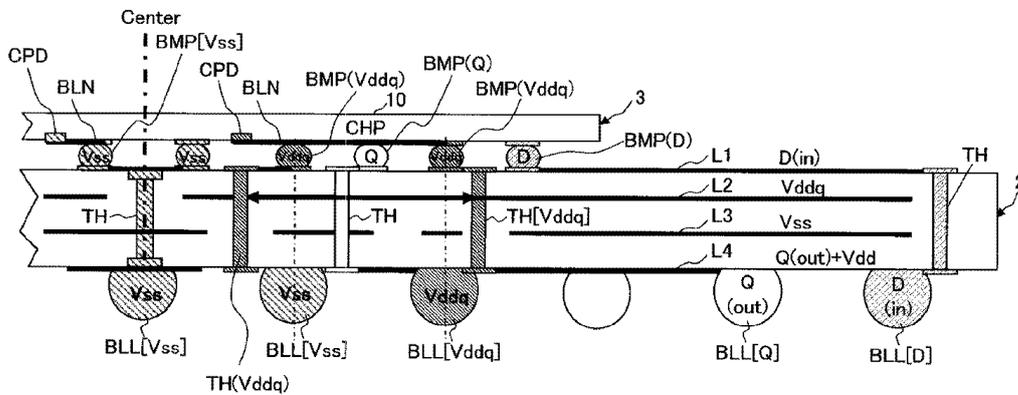
심사관 : 정성중

(54) 발명의 명칭 반도체 장치

(57) 요약

병렬 입출력이 가능하게 된 외부 출력 신호계로부터 외부 입력 신호계에 대한 상호 인덕턴스를 작게 한다. 반도체 집적 회로(3)는 패키지 기관(2)을 향하는 복수의 외부 접속 단자(BMP)를 갖고, 그 일부로서, 병렬로 입출력 가능하게 되는 외부 입력 단자(BMP[D]) 및 외부 출력 단자(BMP[Q]) 등을 갖는다. 패키지 기관은, 서로 대응하는 외부 접속 단자와 모듈 단자(BLL)를 전기적으로 접속하기 위해서 복수의 배선층(L1~L4)을 갖는다. 반도체 집적 회로를 향하는 제1 배선층(L1)은 서로 대응하는 상기 외부 입력 단자와 모듈 단자를 접속하는 주요 배선을 갖고, 모듈 단자가 형성되는 제2 배선층(L4)은 서로 대응하는 외부 출력 단자와 모듈 단자를 접속하는 주요 배선을 갖는다. 노이즈원으로 될 수 있는 외부 출력 단자에 접속된 외부 출력계의 주요 신호 배선은 반도체 집적 회로로부터 떨어진 배선층에 위치하게 된다.

대표도



특허청구의 범위

청구항 1

상면, 상기 상면과는 반대측의 하면, 상기 상면에 형성된 상면측 배선층, 상기 하면에 배치된 하면측 배선층, 상기 상면측 배선층과 상기 하면측 배선층 사이에 배치된 절연층, 및 상기 절연층에 형성되고, 또한 상기 상면측 배선층과 상기 하면측 배선층을 접속하는 복수의 스루홀을 갖는 패키지 기판과,

표면, 및 상기 표면에 형성된 복수의 패드 전극을 갖고, 상기 패키지 기판의 상기 상면에 탑재된 반도체 칩과,

상기 패키지 기판의 상기 하면에 배치된 복수의 모듈 단자

를 포함하고,

상기 복수의 패드 전극은, 데이터의 외부 입력이 행해지는 데이터 입력용의 패드 전극과, 상기 외부 입력과 병렬로 행해지고, 또한 데이터의 외부 출력이 행해지는 데이터 출력용의 패드 전극을 갖고,

상기 상면측 배선층은, 상기 데이터 입력용의 패드 전극과 전기적으로 접속되는 입력용 상면측 배선 패턴과, 상기 데이터 출력용의 패드 전극과 전기적으로 접속되는 출력용 상면측 배선 패턴을 갖고,

상기 복수의 스루홀은, 상기 입력용 상면측 배선 패턴과 접속되는 입력용 스루홀과, 상기 출력용 상면측 배선 패턴과 접속되는 출력용 스루홀을 갖고,

상기 복수의 모듈 단자는, 상기 입력용 스루홀을 통해 상기 입력용 상면측 배선 패턴과 접속되는 입력용 모듈 단자와, 상기 출력용 스루홀을 통해 상기 출력용 상면측 배선 패턴과 접속되는 출력용 모듈 단자를 갖고,

상기 상면측 배선층에서, 상기 입력용 상면측 배선 패턴 중 상기 데이터 입력용의 패드 전극과 최초로 접속되는 제1 부분으로부터 상기 입력용 스루홀까지의 상기 입력용 상면측 배선 패턴의 길이는, 상기 출력용 상면측 배선 패턴 중 상기 데이터 출력용의 패드 전극과 최초로 접속되는 제2 부분으로부터 상기 출력용 스루홀까지의 상기 출력용 상면측 배선 패턴의 길이보다 긴 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 하면측 배선층은, 상기 입력용 스루홀과 상기 입력용 모듈 단자를 접속하는 입력용 하면측 배선 패턴과, 상기 출력용 스루홀과 상기 출력용 모듈 단자를 접속하는 출력용 하면측 배선 패턴을 갖고,

상기 하면측 배선층에서, 상기 입력용 하면측 배선 패턴의 길이는, 상기 출력용 하면측 배선 패턴의 길이보다 짧은 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서,

상기 패키지 기판은, 상기 상면측 배선층과 상기 하면측 배선층 사이에 배치된 전원 전압용 배선층 및 그라운드 전압용 배선층과, 상기 전원 전압용 배선층과 상기 그라운드 전압용 배선층 사이에 배치된 절연층을 갖는 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서,

상기 전원 전압용 배선층은, 상기 상면측 배선층과 상기 하면측 배선층 사이에 배치된 제1 전원 전압용 배선층과, 상기 패키지 기판의 상기 하면에 배치된 제2 전원 전압용 배선층을 갖고,

상기 그라운드 전압용 배선층은, 상기 제1 전원 전압용 배선층과 상기 하면 사이에 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제4항에 있어서,

상기 그라운드 전압용 배선층은, 상기 제1 전원 전압용 배선층과 상기 하면 사이에서, 플레인 형상으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서,

상기 출력용 스루홀은, 상기 입력용 스루홀보다 상기 패키지 기관의 중앙부측에 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서,

상기 반도체 칩의 상기 표면에는, 입력용 인출 배선을 통해 상기 데이터 입력용의 패드 전극과 결합되는 입력용 범프 전극과, 출력용 인출 배선을 통해 상기 데이터 출력용의 패드 전극과 결합되는 출력용 범프 전극이 형성되어 있고,

상기 출력용 범프 전극은, 상기 입력용 범프 전극보다 상기 반도체 칩의 상기 표면에서의 중앙부측에 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서,

상기 복수의 패드 전극은, 전원 전압이 공급되는 전원 전압용의 패드 전극과, 그라운드 전압이 공급되는 그라운드 전압용의 패드 전극을 갖고,

상기 반도체 칩의 상기 표면에는, 전원 전압용 인출 배선을 통해 상기 전원 전압용의 패드 전극과 결합되는 전원 전압용 범프 전극과, 그라운드 전압용 인출 배선을 통해 상기 그라운드 전압용의 패드 전극과 결합되는 그라운드 전압용 범프 전극이 형성되어 있고,

상기 입력용 범프 전극과 상기 출력용 범프 전극 사이에는, 상기 전원 전압용 범프 전극 또는 상기 그라운드 전압용 범프 전극이 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제7항에 있어서,

상기 복수의 패드 전극은, 전원 전압이 공급되는 전원 전압용의 패드 전극과, 그라운드 전압이 공급되는 그라운드 전압용의 패드 전극을 갖고,

상기 반도체 칩의 상기 표면에는, 전원 전압용 인출 배선을 통해 상기 전원 전압용의 패드 전극과 결합되는 전원 전압용 범프 전극과, 그라운드 전압용 인출 배선을 통해 상기 그라운드 전압용의 패드 전극과 결합되는 그라운드 전압용 범프 전극이 형성되어 있고,

상기 입력용 범프 전극과 상기 출력용 범프 전극 사이에는, 상기 전원 전압용 인출 배선 또는 상기 그라운드 전압용 인출 배선이 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 10

제1항에 있어서,

상기 반도체 칩의 상기 표면에는, 입력용 인출 배선을 통해 상기 데이터 입력용의 패드 전극과 결합되는 입력용 범프 전극과, 출력용 인출 배선을 통해 상기 데이터 출력용의 패드 전극과 결합되는 출력용 범프 전극이 형성되어 있고,

상기 반도체 칩에 형성된 상기 입력용 인출 배선 중, 상기 패키지 기관에 형성된 상기 출력용 상면측 배선 패턴과 평면적으로 겹치는 부분은, 상기 출력용 상면측 배선 패턴의 연장 방향과 직교하도록 배열되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0058] [특허 문헌 1] 일본 특허 공개 평11-135668호 공보

[0059] [특허 문헌 2] 일본 특허 공개 2001-203298호 공보

발명이 속하는 기술 및 그 분야의 종래기술

[0060] 본 발명은, 외부 출력 동작과 외부 입력 동작이 병렬 가능하게 된 반도체 장치에 관한 것으로서, 특히 반도체 집적 회로를 실장한 패키지 기관 등에 기생하는 원하지 않는 인덕턴스 성분에 의해 발생하는 노이즈를 저감하는 기술에 관한 것이다. 예를 들면, 복수 비트의 외부 데이터 입력 동작에 대하여 외부 데이터 출력 동작 타이밍이 가변으로 된 쿼드 스테틱 랜덤 액세스 메모리(Quad SRAM)에 적용하여 유효한 기술에 관한 것이다.

[0061] 신호 전파계에 전류 변화가 있으면 자기 인덕턴스에 비례한 노이즈 전압을 일으키는 것은 물론, 인접하는 다른 신호 전파계에 전류 변화가 있어도 상호 인덕턴스에 비례한 노이즈 전압을 일으킨다. 반도체 장치의 패키지 기관에서 외부 데이터 출력계 배선과 외부 데이터 입력계 배선이 상하 또는 좌우에서 인접하고 있을 때, 데이터의

외부 입력 동작 중에 외부 출력 상태가 변화되면, 상호 인덕턴스에 따라서 출력계에서의 전류 변화가 입력계에 노이즈 전압을 유기하게 된다. 따라서, 입력 타이밍이 반드시 출력 동작의 확정 시간으로 되도록 입력 동작 타이밍을 규정하면, 출력 동작에 의해 입력 데이터가 크게 왜곡되는 일은 없다. 특히 문헌 1에는, 반도체 집적 회로에서의 상호 인덕턴스에 의한 크로스토크 노이즈를 저감하는 기술에 대해서 기재가 있다.

[0062] 또한, 풀 그리드로 패키지 단자를 갖는 볼 그리드 어레이(BGA)에 의한 패키지 구조에서는, BGA를 갖는 패키지 기판에, 패드 전극에 인출 배선을 통해서 접속하는 뿔납 범프 전극을 외부 단자로서 갖는 WPP(웨이퍼 프로세스 패키지) 구조의 반도체 집적 회로를 탑재한다. 다층 배선의 패키지 기판에서는 배선층 간의 접속을 스루홀을 통해서 행해야만 하기 때문에, BGA의 볼 및 뿔납 범프의 배치를 피해서 스루홀을 형성해야 한다. 따라서, 패키지 기판의 스루홀의 배치를 정연하게 하거나 혹은 규칙적으로 하기 위해서는, BGA의 볼과 뿔납 범프의 배치를 반도체 집적화 회로와 패키지 기판의 적층 방향으로부터 보아, 겹침이 있도록 배치하는 것이 바람직하다. 특히 문헌 2에는 그와 같이 겹침을 갖고 배치한 기술이 기재된다.

발명이 이루고자 하는 기술적 과제

[0063] 본 발명자는, BGA 패키지 구조의 반도체 장치에서 병렬 동작 가능하게 된 외부 출력 신호계와 외부 입력 신호계의 상호 인덕턴스를 작게 하는 것에 대해서 검토하였다. 특히 문헌 2에 기재된 바와 같이 패키지 기판에 형성하는 스루홀의 배치를 정연하면서 또한 규칙적으로 하면, 부분적으로 스루홀이 밀집하는 장소를 줄일 수 있어, 패키지 기판 상에 형성하는 배선 경로의 자유도가 증가하고, 병렬로 입출력 가능하게 된 외부 출력 신호계와 외부 입력 신호계를 이간시키거나 실드하거나 하는 자유도가 증가한다.

[0064] 그러나, 그것만으로는 충분히 상호 인덕턴스를 작게 할 수 없다. 본 발명자는 이하의 인식을 얻었다. 우선, BGA 패키지 기판에 WPP 구조의 반도체 집적 회로가 탑재되는 경우, BGA 패키지 기판의 최상층 배선층은, 뿔납 범프와 패드 전극을 연결하는 인출 배선에 직접 대향하게 되고, 실드층이 개재되지 않는다. 그와 같이 대향하는 배선으로서 외부 출력 신호계 배선과 외부 입력 신호계 배선이 존재하게 되면, 외부 입력 신호에 노이즈가 실린다. 이 의미에서, 패키지 기판의 최상 배선층에 대한 주요 배선의 할당이 특히 중요해지는 것이 본 발명에 의해 발견되었다. 즉, 반도체 패키지 기판의 배선층에 대한 기능 할당의 중요성이 증가한다고 하는 것이다. 한편, 반도체 집적 회로의 WPP 구조에서의 패드 전극으로부터 뿔납 범프에 이르는 인출 배선은 평면적 배치로 되어야 하기 때문에, 인출 배선 등에 관해서는, 평면적 배치에서 인덕턴스 성분을 실효적으로 작게 해야만 하는 것이 명백해졌다.

[0065] 본 발명의 목적은, 병렬 입출력이 가능하게 된 외부 출력 신호계로부터 외부 입력 신호계에의 노이즈의 유기를 완화 혹은 억제하는 것에 있다. 요컨대, 병렬 입출력이 가능하게 된 외부 출력 신호계로부터 외부 입력 신호계에 대한 상호 인덕턴스를 작게 하는 것에 있다.

[0066] 본 발명의 상기 및 그 외의 목적과 신규의 특징은 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

발명의 구성 및 작용

[0067] 본원에서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 하기와 같다.

[0068] [1] <패키지 기판의 배선층 할당>

[0069] 본 발명에 따른 반도체 장치(1)는, 패키지 기판(2)과 상기 패키지 기판에 탑재된 반도체 집적 회로(3)를 갖는다. 상기 반도체 집적 회로는 상기 패키지 기판을 향하는 복수의 외부 접속 단자(BMP)를 갖고, 상기 복수의 외부 접속 단자의 일부로서 병렬로 입출력 가능하게 되는 외부 입력 단자(BMP[D]) 및 외부 출력 단자(BMP[Q])와, 외부 그라운드 단자(BMP[Vss])와, 외부 전원 단자(BMP[Vdd])를 갖는다. 상기 패키지 기판은, 상기 반도체 집적 회로가 탑재되는 면과는 반대의 면에 어레이 형상으로 배치된 복수의 모듈 단자(BLL)를 갖는다. 상기 패키지 기판은, 서로 대응하는 상기 외부 접속 단자와 상기 모듈 단자를 전기적으로 접속하기 위해서 필요한 배선 패턴이 형성된 복수의 배선층(L1~L4)을 갖는다. 상기 복수의 배선층 중, 상기 반도체 집적 회로를 향하는 제1 배선층(L1)은 서로 대응하는 상기 외부 입력 단자와 상기 모듈 단자를 접속하는 주요 배선(L1[D])을 갖고, 상기 모듈 단자가 형성되는 제2 배선층(L4)은 서로 대응하는 상기 외부 출력 단자와 상기 모듈 단자를 접속하는 주요 배선(L4[Q])을 갖는다.

[0070] 상기로부터, 외부 출력 단자에 접속되는 외부 출력계의 주요 신호 배선은 반도체 집적 회로로부터 떨어진(반도체 집적 회로가 탑재되는 면과는 반대의 면에 형성된) 배선층에 위치하게 되기 때문에, 외부 출력계의 주요 신호

호 배선에서의 전류 변화에 의해 반도체 집적 회로층에서의 외부 입력계의 신호 배선에 노이즈 전압이 유기되는 것을 완화할 수 있다.

[0071] 본 발명의 하나의 구체적인 형태로서, 상기 제1 배선층과 제2 배선층의 사이에는 상기 외부 그라운드 단자에 접속되는 플레인 형상의 도전 패턴(PLN[Vss])이 주로 형성되는 제3 배선층(L3)을 갖는다. 제3 배선층의 도전 패턴은 외부 출력계의 주요 신호 배선 상에서의 전류 변화에 의해 발생하는 자계를 실드한다. 출력 동작에 병행되는 입력의 내노이즈성이 더욱 향상된다.

[0072] 본 발명의 다른 하나의 구체적인 형태로서, 상기 반도체 집적 회로는 반도체 칩(10)과 복수의 인출 배선(BLN)을 갖고, 상기 인출 배선은, 상기 반도체 칩의 표면 보호막으로부터 노출되는 패드 전극(CPD)과 대응하는 상기 외부 접속 단자를 결합한다. 요컨대 반도체 집적 회로에는 소위 WPP 구조가 채용된다. 이 소위 WPP 구조에서 각종 인출 배선은 패키지 기판의 최상층에 면하고, 실드층은 개재되어 있지 않다. 그 때문에, 소위 WPP 구조에서, 외부 출력 단자에 접속되는 외부 출력계의 주요 신호 배선을 반도체 집적 회로로부터 떨어진 배선층에 위치시킨 상기 구성은, 상기 내노이즈성의 실효성이 높다.

[0073] 더욱 구체적인 형태로서, 상기 반도체 집적 회로에서 상기 외부 입력 단자에 접속하는 상기 인출 배선은, 상기 반도체 집적 회로의 외부 출력 단자에 접속하는 상기 제1 배선층의 배선에 대하여 직교하는 배치를 갖는다. 직교하는 도체 간의 상호 인덕턴스는 실질적으로 무시할 수 있게 된다.

[0074] 본 발명의 또 다른 하나의 구체적인 형태에서는, 상기 외부 접속 단자로서, 제1 외부 클럭 입력 단자(BMP[C, /C])와 제2 외부 클럭 입력 단자(BMP[K, /K])를 더욱 갖는다. 상기 제1 외부 클럭 입력 단자는 상기 외부 출력 단자로부터 출력하는 데이터의 출력 동작을 동기시키는 클럭 신호를 입력한다. 상기 제2 외부 클럭 입력 단자는 상기 외부 입력 단자로부터 입력하는 데이터의 입력 동작을 동기시키는 클럭 신호를 입력한다. 외부 입력 동작에 대하여 외부 출력 동작 타이밍이 가변으로 되는 구성에서는, 입출력 동작의 타이밍을 규제해서 대처할 수는 없기 때문에, 상기 패키지 기판의 배선층에 대한 기능 할당에 의한 노이즈 대책은 필수로 된다.

[0075] 더욱 구체적인 형태로서, 상기 인출 배선 중, 상기 제1 외부 클럭 입력 단자에 접속하는 클럭용 제1 인출 배선(BLN[C, /C])과 제2 외부 클럭 입력 단자에 접속하는 클럭용 제2 인출 배선(BLN[K, /K])은, 상기 반도체 칩의 중앙부를 가로질러 대응하는 패드 전극(CPD[C, /C], CPD[K, /K])에 접속한다. 통상적으로, 클럭 스쿠 대책의 관점으로부터 반도체 집적 회로의 중앙부에 클럭 입력용 패드 전극이 배치되는 경우가 많다. 이것을 고려했을 때, 패키지 기판의 상층 배선층에서 중앙에 클럭 공급 배선을 통하여, 해당 클럭 공급 배선에 땀납 볼과 같은 외부 클럭 입력 단자를 접속하는 것도 가능하다. 그렇게 하면, 중앙부에는 스루홀을 만들 수 없게 된다. 이에 대하여, 진술한 바와 같이 클럭 입력 패드 전극에 접속하는 인출 배선을 반도체 집적 회로의 중앙부에 형성하고, 이것에 땀납 볼과 같은 외부 클럭 입력 단자를 형성하면, 패키지 기판의 중앙에는 클럭 배선을 형성하지 않아도 된다. 이것이, 패키지 기판에 형성하는 스루홀의 배치의 자유도를 향상시키고, 패키지 기판 상의 배선 레이아웃의 자유도의 향상에 이바지할 수 있다.

[0076] 더욱 구체적인 형태로서, 예를 들면 상기 패키지 기판은, 상기 클럭용 제1 인출 배선 및 클럭용 제2 인출 배선과 겹치는 위치에, 서로 다른 배선층의 배선을 접속하기 위한 복수의 스루홀(TH[Vss])을 갖는다.

[0077] 더욱 구체적인 형태로서, 상기 모듈 단자에서의 어레이 형상 배치의 피치에 대하여 상기 외부 접속 단자는 해당 피치의 반의 피치를 기본 피치로서 갖고, 서로 배열의 피치가 동일한 모듈 단자와 외부 접속 단자는, 상기 패키지 기판과 반도체 집적 회로의 표리 방향에 겹침을 갖는다. 이에 따라, 패키지 기판에 형성하는 스루홀의 배치를 정연하면서 또한 규칙화하기 쉬워진다. 이 점에서도, 부분적으로 스루홀이 밀집하는 장소를 줄일 수 있어, 패키지 기판 상에 형성하는 배선 경로의 자유도가 증가하고, 병렬로 입출력 가능하게 된 외부 출력 신호계와 외부 입력 신호계를 이격시키거나 실드하거나 하는 자유도를 증가시키는 데도 이바지할 수 있다.

[0078] [2] <WPP 범프 배열>

[0079] 본 발명의 다른 관점에 의한 반도체 장치(1)는, 패키지 기판(2)과 상기 패키지 기판에 탑재된 반도체 집적 회로(3)를 갖는다. 상기 반도체 집적 회로는, 반도체 칩(10)과, 복수의 인출 배선(BLN)과, 상기 패키지 기판을 향하는 복수의 외부 접속 단자(BMP)를 갖는다. 상기 인출 배선은, 상기 반도체 칩의 표면 보호막으로부터 노출되는 패드 전극(CPD)과 대응하는 외부 접속 단자(BMP)를 결합하는 것으로서, 반도체 집적 회로에는 소위 WPP 구조가 채용된다. 상기 복수의 외부 접속 단자의 일부로서, 병렬로 입출력 가능하게 되는 외부 입력 단자(BMP[D]) 및 외부 출력 단자(BMP[Q])와, 외부 그라운드 단자(BMP[Vss])와, 외부 전원 단자(BMP[Vdd])와, 외부 입출력용 전원 단자(BMP[Vddq])를 갖는다. 외부 입출력용 전원 단자는 상기 외부 출력 단자 및 외부 입력 단자에 접속하

는 회로에 동작 전원을 공급하는 단자이다. 상기 반도체 집적 회로의 중앙부로부터 연변부를 향하여 순차적으로, 상기 패드 전극의 제1 배열, 상기 외부 입출력용 전원 단자와 상기 외부 그라운드 단자의 제2 배열, 상기 외부 출력 단자의 제3 배열, 상기 외부 입출력용 전원 단자와 상기 외부 그라운드 단자의 제4 배열, 상기 외부 입력 단자의 제5 배열이 형성된다.

[0080] 상기로부터, 패드 전극의 제1 배열과, 외부 출력 단자의 제3 배열과, 외부 입력 단자의 제5 배열의 사이에는 반드시 외부 그라운드 단자 또는 외부 입출력용 전원 단자가 배치되기 때문에, 인접하는 외부 입력 단자용의 인출 배선 및 외부 출력 단자용의 인출 배선의 사이에는 외부 그라운드 단자에 접속하는 인출 배선 또는 외부 입출력용 전원 단자에 접속하는 인출 배선을 배치하기가 용이해진다. 이들 외부 그라운드 단자에 접속하는 인출 배선 및 외부 입출력용 전원 단자에 접속하는 인출 배선은, 인접하는 외부 입력 단자용의 인출 배선 및 외부 출력 단자용의 인출 배선에 있어서 전자적인 실드 배선으로서 기능하여, 외부 출력용의 인출 배선과 외부 입력용의 인출 배선의 크로스토크를 억제할 수 있다.

[0081] 또한, 외부 입출력용 전원 또는 그라운드 전원의 인출 배선에 인접하도록 외부 출력용의 인출 배선 및 외부 입력용의 인출 배선이 배치되면, 신호 경로와 그 리턴 패스를 전자적으로 밀결합하는 것이 용이해져서, 신호계의 실효 인덕턴스를 작게 하는 것도 용이해진다.

[0082] 또한, 외부 출력 단자는 외부 입력 단자보다도 패드 전극의 제1 배열 근처에 배치되어 있기 때문에, 노이즈원으로 될 수 있는 출력용의 인출 배선을 짧게 할 수 있고, 이 점에서도 내노이즈성이 향상된다.

[0083] 본 발명의 하나의 구체적인 형태로서, 상기 패드 전극의 제1 배열을 사이에 두고, 상기 외부 입출력용 전원 단자와 상기 외부 그라운드 단자의 제2 배열과는 반대측에, 상기 외부 그라운드 단자 및 상기 외부 전원 단자의 제6 배열이 형성된다. 상기 외부 그라운드 단자 및 상기 외부 전원 단자의 배열의 이웃에 상기 패드 전극의 배열이 있기 때문에, 외부 그라운드 단자용의 인출 배선과 외부 전원 단자용의 인출 배선을 인접시키는 것이 용이해진다. 요컨대, 전원과 그 리턴 패스를 전자적으로 밀결합하는 것이 용이해져서, 전원계의 실효 인덕턴스를 작게 하는 것이 가능하게 된다.

[0084] 본 발명의 다른 하나의 구체적인 형태로서, 상기 반도체 집적 회로에서 상기 외부 입력 단자에 접속하는 상기 인출 배선(BLN[D])은, 상기 반도체 집적 회로의 외부 출력 단자에 접속하는 상기 제1 배선층(L1)의 배선에 대하여 직교하는 배치를 갖는다. 직교 배치에 의해 원리적으로 상호 인덕턴스가 제로로 되어, 패키지 기관의 외부 출력계 신호 배선과 반도체 집적 회로의 외부 입력계 인출 배선의 사이의 크로스토크를 억제할 수 있다.

[0085] 본 발명의 다른 하나의 구체적인 형태로서, 상기 패키지 기관은, 상기 반도체 집적 회로가 탑재되는 면과는 반대 면에 어레이 형상으로 배치된 복수의 모듈 단자(BLL)를 갖는다. 상기 패키지 기관은, 상기 외부 접속 단자와 대응하는 상기 모듈 단자를 전기적으로 접속하기 위해서 필요한 배선 패턴이 형성된 복수의 배선층을 갖는다. 상기 복수의 배선층 중, 상기 반도체 집적 회로를 향하는 제1 배선층(L1)은 상기 외부 입력 단자와 대응하는 모듈 단자를 접속하는 주요 배선을 갖고, 상기 모듈 단자가 형성되는 제2 배선층(L4)은 상기 외부 출력 단자와 대응하는 모듈 단자를 접속하는 주요 배선을 갖는다. 상기로부터, 외부 출력 단자에 접속되는 외부 출력계의 주요 신호 배선은 반도체 집적 회로로부터 떨어진 배선층에 위치하게 되기 때문에, 외부 출력계의 주요 신호 배선에서의 전류 변화에 의해 반도체 집적 회로측에서의 외부 입력계의 신호 배선에 노이즈 전압이 유기되는 것을 완화할 수 있다.

[0086] 더욱 구체적인 형태로서, 상기 제1 배선층과 상기 제2 배선층의 사이에, 상기 외부 그라운드 단자에 접속하는 플레인 형상의 도전 패턴(PLN[Vss])이 주로 형성된 제3 배선층(L3)과, 상기 외부 입출력용 전원 단자에 접속하는 플레인 형상의 도전 패턴(PLN[Vddq])이 주로 형성된 제4 배선층(L2)을 갖는다. 제3 배선층 및 제4 배선층의 도전 패턴은 외부 출력계의 주요 신호 배선 상의 전류 변화에서 생기는 자계에 대한 실드층으로서 기능한다.

[0087] 더욱 구체적인 형태로서, 상기 제2 배선층(L4)은, 상기 외부 전원 단자에 접속하는 플레인 형상의 도전 패턴(PLN[Vdd])을 더욱 갖는다. 상기 제3 배선층은 상기 제2 배선층(L4)과 제4 배선층(L2)의 사이에 배치된다. 외부 입출력용 전원 단자에 접속하는 플레인 형상의 도전 패턴과 상기 외부 전원 단자에 접속하는 플레인 형상의 도전 패턴은, 제3 배선층(L3)을 개재해서 제4 배선층(L2)과 상기 제2 배선층으로 분리되게 되기 때문에, 외부 입출력용 전원과 외부 전원의 각각의 전원계 인덕턴스의 저감으로 된다. 또한, 외부 입출력용 전원 단자에 접속하는 제4 배선층의 플레인 형상의 도전 패턴은 제1 배선층에 형성된 주요 입력 신호 배선의 리턴 패스를 구성하고, 또한, 상기 그라운드 단자에 접속하는 제3 배선층(L3)의 플레인 형상의 도전 패턴은 제4 배선층에 형성된 주요 출력 신호 배선의 리턴 패스를 구성하기 때문에, 이들의 데이터 출력계와 데이터 입력계 각각의 실효 인덕

턴스 저감에 이바지할 수 있다.

[0088] 배선층의 할당에 관련하여 재차 설명한다. 본 발명은 데이터의 외부 입력과 외부 출력이 병렬 가능하게 된 반도체 집적 회로(3)를 사용하고 있다. 외부 출력은 신호 배선 상의 전류 변화에 의해 노이즈를 발생하기 쉽다. 그 때문에, 외부 입력계의 주요 신호 배선이 외부 출력계의 주요 신호 배선의 근처에 배치되어 있으면, 외부 출력계의 주요 신호 배선에서의 전류 변화에 의해 반도체 집적 회로에서의 외부 입력계의 신호 배선에 노이즈 전압이 유기되어, 오동작이 발생한다. 따라서, 외부 입력계의 주요 신호 배선은 패키지 기관의 주면 상(반도체 집적 회로가 탑재되는 측)에 제1 배선층(L1)으로서 배치하고, 외부 출력계의 주요 신호 배선은 패키지 기관의 주면과는 반대측의 이면 상(모듈 단자가 형성되는 측)에 제2 배선층(L4)으로서 배치하고, 또한 외부 그라운드 단자에 접속하는 플레인 형상의 도전 패턴(PLN[Vss])이 주로 형성된 제3 배선층(L3)과, 상기 외부 입출력용 전원 단자에 접속하는 플레인 형상의 도전 패턴(PLN[Vddq])이 주로 형성된 제4 배선층(L2)을 제1 배선층(L1)과 제2 배선층(L4)의 사이에 배치함으로써, 실드층으로서 기능시킬 수 있어, 노이즈 대책이 가능하게 된다.

[0089] 여기에서, 상기 외부 그라운드 단자, 상기 외부 입출력용 전원 단자 및 외부 전원 단자에 접속하는 패키지 기관 내의 도전층을 플레인 형상으로 형성하는 것은, 가해지는 전위가 높기 때문에, 실효 인덕턴스를 저감하기 위함이다. 이 때, 각각 플레인 형상으로 형성된 도전층은 패키지 기관의 내층인 제3 배선층(L3)과 제4 배선층(L2)에 형성하는 것이 좋다. 왜냐하면, 패키지 기관의 주면(L1) 및 이면(L4)은, 복수의 외부 접속 전극, 복수의 모듈 단자, 배선 패턴 또는 스루홀 등이 배치되기 때문에, 거기에 플레인 형상의 큰 패턴으로 형성하기가 어렵기 때문이라고 생각된다. 이러한 이유로부터, 상기 외부 그라운드 단자, 상기 외부 입출력용 전원 단자 및 외부 전원 단자에 접속하는 패키지 기관 내의 도전층을 내층인 제3 배선층(L3)과 제4 배선층(L2)에 형성하는 것이 좋다고 생각된다. 그 중에서, 제3 배선층(L3)에 주로 형성되는 외부 그라운드 단자에 접속하는 플레인 형상의 도전 패턴(PLN[Vss])은 기준 전위이기 때문에, 반도체 집적 회로의 안정된 전기적 동작을 얻기 위해서는 충분히 큰 면적을 확보하려고 하므로, 상기 외부 입출력용 전원 단자 및 외부 전원 단자에 접속하는 패키지 기관 내의 도전층과는 서로 다른 배선층에 배치하는 것이 바람직하다. 또한 상기 외부 입출력용 전원 단자 및 외부 전원 단자에 접속하는 도전 패턴은 모두 기본적으로는 전원용 배선이지만, 공급하는 대상이 서로 다르고, 취급하는 전위도 서로 다르다. 또한, 상기 외부 입출력용 전원 단자에 접속하는 도전 패턴은 패키지 기관 중에서도 가장 높은 전위를 취급하기 때문에, 노이즈의 발생원이기도 한 점으로부터, 외부 전원 단자에 접속하는 도전 패턴과는 배선층을 분리시키는 것이 바람직하다고 생각된다. 여기에서, 상기 외부 입출력용 전원 단자가 접속되는 패키지 기관 내의 도전 패턴과 외부 전원 단자에 접속하는 패키지 기관 내의 도전 패턴의 사이에 제3 배선층(L3)을 배치해 두면, 상기한 바와 같이, 실드 효과를 얻을 수 있기 때문에 노이즈 대책이 가능하다. 그러나, 상기한 바와 같이, 제2 배선층에서 외부 출력 단자(BMP[Q])에 접속하는 주요 배선 패턴도 노이즈를 발생하기 쉽기 때문에, 외부 그라운드 단자에 접속하는 도전 패턴은, 제2 배선층의 근방으로서, 패키지 기관의 1층째(L1)인 주면으로부터 3층째(L3)에 배치하는 것이 바람직하다. 그리고, 상대적으로 고전위인 상기 외부 입출력용 전원 단자에 접속되는 플레인 형상 도전 패턴을 제1 배선층과 제3 배선층의 사이의 제4 배선층에 형성하면, 실효 인덕턴스도 저감할 수 있다. 이들을 고려하여, 외부 전원 단자(BMP[Vdd])에 접속하는 플레인 형상 도전 패턴(PLN[Vdd])에 관해서는 제2 배선층과 동일한 배선층(L4)에 배치함으로써, 제4 배선층(L2)에서의 플레인 형상 도전 패턴(PLN[Vddq])으로부터의 노이즈의 영향을 받기 어렵게 하는 것이 가능하다.

[0090] 본 발명의 또 다른 하나의 구체적인 형태로서, 상기 외부 출력 단자로부터 출력하는 데이터의 출력 동작을 동기시키기 위한 클럭 신호를 입력하는 제1 외부 클럭 입력 단자와, 상기 외부 입력 단자로부터 입력하는 데이터의 입력 동작을 동기시키기 위한 클럭 신호를 입력하는 제2 외부 클럭 입력 단자를 더욱 갖는다. 상기 반도체 집적 회로는 스택틱 랜덤 액세스 메모리로서 동작 가능하게 된다. 외부 입력 동작에 대하여 외부 출력 동작 타이밍이 가변으로 되는 구성에서는, 입출력 동작의 타이밍을 규제해서 대처할 수는 없기 때문에, 상기 반도체 집적 회로에서의 외부 접속 단자의 기능별 배열에 의한 노이즈 대책은 필수로 된다.

[0091] <발명을 실시하기 위한 최선의 형태>

[0092] 《QDR-SRAM》

[0093] 도 2에는 본 발명에 따른 반도체 장치의 일례로서 쿼드 스택틱 랜덤 액세스 메모리(QDR-SRAM)의 블록도가 도시된다. QDR-SRAM(1)은, 풀 그리드의 볼 그리드 어레이(BGA) 형태의 패키지 기관(PKG)(2)에, WPP 구조를 갖는 반도체 집적 회로(LSI)(3)를 탑재해서 구성된다. 반도체 집적 회로(3)는 데이터의 외부 입력과 외부 출력이 병렬로 가능하게 되어, 입력과 출력이 각각 고유의 클럭 신호에 동기되고, 각각의 동작은 클럭 신호의 폴 엣지와 라이즈 엣지의 각각의 동기가 가능하게 된다. D[in]은 외부 입력 데이터, Q[out]은 외부 출력 데이터, Vre는 참

조 전위, ADRS는 어드레스 신호, STRV는 외부 액세스 제어 신호를 대표적으로 나타낸다. 메모리 어레이(ARY)(4)는, 특별히 제한되지 않지만 각각 독립적으로 메모리 동작 가능한 복수의 메모리 뱅크를 구비하고, 메모리 뱅크마다 메모리 셀의 선택이 가능하게 된다. 메모리 셀의 선택은 어드레스 디코더(DEC)(5)에 의한 어드레스 신호(ADRS)의 디코드 결과에 따라서 행해진다. 기입 동작이 선택된 메모리 뱅크에 대한 기입 데이터의 외부 입력은 입력 회로(6)가 행하고, 판독 동작이 선택된 메모리 뱅크로부터 출력되는 판독 데이터의 외부 출력은 출력 회로(7)가 행한다. 입력 회로(6)는 제어 회로(8)에의 커맨드 입력에도 이용된다. 제어 회로(8)는 입력 커맨드 및 액세스 제어 신호에 따라서 내부 동작을 제어하고, 그 동작 타이밍은 외부로부터의 클럭 신호에 동기시킨다.

[0094] 도 3에는 입출력 동작 타이밍이 예시된다. 입력 회로(6)에 의한 데이터 입력은 차동의 클럭 신호(K, /K)의 양쪽 클럭 엣지에 동기된다. 출력 회로(7)에 의한 데이터 출력 동작은 차동의 클럭 신호(C, /C)의 양쪽 클럭 엣지에 동기된다. 클럭 신호(K, /K)와 클럭 신호(C, /C)의 위상은 동일해도 되고, 상이해도 된다. 요컨대, 데이터의 입출력 동작이 병렬될 때, 데이터 입력 타이밍은 데이터 출력 타이밍에 대하여 가변 가능하게 된다. 만약, 출력 데이터의 출력 신호 배선에 대한 입력 데이터의 입력 신호 배선의 상호 인덕턴스가 크다고 하면, 입력 신호선에는 출력 신호선의 전류 변화에 부합하여 소위 크로스토크에 의한 노이즈가 유기된다. 도 3의 NIS의 부분에 나타나는 바와 같이 입력 데이터 D[in]의 논리값이 원하지 않게 변화되게 된다. 본 실시예에 따른 QDR-SRAM(1)에서는 출력 데이터의 출력 신호 배선에 대한 입력 데이터의 입력 신호 배선의 상호 인덕턴스가 작아지도록 후술하는 대책이 세워져 있다.

[0095] 도 1에는 QDR-SRAM(1)의 종단면 구조의 개략이 도시된다. 상기 반도체 집적 회로(3)의 WPP 구조는, 반도체 칩(CHP)(10)의 표면 보호막으로부터 노출되는 패드 전극(CPD)과 대응하는 외부 접속 단자(BMP)를 인출 배선(WPP 인출 배선, 또는 재배선이라고도 칭함)(BLN)에 의해 결합해서 구성된다. 패드 전극(CPD)은 알루미늄 등으로 이루어지는 반도체 칩(10)의 표면 전극이다. 외부 접속 단자(BMP)는 뿔납 또는 금 등의 범프 전극으로서, 반도체 웨이퍼 상태에서 증착 등에 의해 형성된다. 인출 배선(BLN)은 예를 들면 구리 배선이다. 패드 전극(CPD)은 반도체 칩(10)의 중앙부에 그 연변을 따라 2열로 배치되어 있다. 도 4에는 패드 전극(CPD)의 배치가 예시된다. 도 5에는 범프 전극(BMP)의 배치가 예시된다.

[0096] 패키지 기관(PKG)(2)은 예를 들면 L1~L4의 4층의 배선층을 갖는 다층 배선 기관으로 구성된다. 배선층의 배선 패턴은 알루미늄 등으로 구성되고, 배선층 간은 글래스 에폭시 수지 등으로 절연되어 있다. 배선층 간에서의 배선 패턴의 접속은 스루홀(TH)을 통해서 행해진다. 상기 범프 전극(BMP)은 배선층(L1)의 배선 패턴으로 접속된다. 배선층(L4)에는 다수의 모듈 단자로서 볼 전극(BLL)이 어레이 형상으로 배치된다. 볼 전극(BLL)은 예를 들면 뿔납 등에 의해 구성된다. 도 6에는 볼 전극(BLL)의 배치가 예시된다. 도 4 내지 도 6에서, 전원용에는 VDD, 그라운드용에는 VSS, 외부 입출력 전원용에는 VDDQ, 데이터 입력용에는 Di, 데이터 출력용에는 Qi, 어드레스용에는 SA, 출력 클럭용에는 C, /C, 입력 클럭용에는 K, /K, 컨트롤계에는 /BW, /R, /W의 참조 부호가 첨부되어 있다.

[0097] 도 7에는 QDR-SRAM(1)의 전원계의 개략이 예시된다. Vdd는 외부로부터 공급되는 전원 전압, Vddq는 외부로부터 공급되는 입출력 회로용 전원 전압, Vddi는 내부 강압 전압, Vss는 그라운드 전압이다. 전원 전압(Vdd)은 강압 회로(PUPchg), 기준 전압 발생 회로(Gvref), 전원 제어 회로(Cpow), JTAG(Joint European Test Action Group) 준거의 바운더리 스캔 테스트 회로의 동작 전원으로 된다. 내부 강압 전압(Vddi)은 강압 회로(PUPchg)에서 생성되고, 메모리 어레이(ARY)(4), 디코더(DEC)(5) 및 제어 회로(CONT)(8) 등의 SRAM의 코어 회로(CORE)의 동작 전원으로 된다. 입출력 회로용 전원 전압(Vddq)은 입력 회로(BUFin)(6), 출력 회로(BUFout)(7) 및 입력 보호 다이오드(Desd) 등의 동작 전원으로 된다. 전원 전압(Vdd)은 전원 볼 전극(BLL[Vdd]) 및 전원 범프 전극(BMP[Vdd])으로부터 공급된다. 입출력 회로용 전원 전압(Vddq)은 전원 볼 전극(BLL[Vddq]) 및 전원 범프 전극(BMP[Vddq])으로부터 공급된다. 그라운드 전압(Vss)은 그라운드 볼 전극(BLL[Vss]) 및 그라운드 범프 전극(BMP[Vss])으로부터 공급된다.

[0098] 도 8에는 WPP 구조의 평면적인 구성이 도시된다. 도 9에는 배선층(L1)의 평면적인 구성이 도시되고, 도 10에는 배선층(L2)의 평면적인 구성이 도시되고, 도 11에는 배선층(L3)의 평면적인 구성이 도시되고, 도 12에는 배선층(L4)의 평면적인 구성이 도시된다. 도 13에는 범프 전극(BMP)과 볼 전극(BLL)의 평면적인 상대 위치 관계가 도시된다. 도 13에서 BMPpitch(min)는 최소 범프 피치, BLLpitch는 볼 피치를 의미한다. 이하, 반도체 집적 회로에서의 WPP 구조와 패키지 기관의 특징적인 구성에 관하여 설명한다.

[0099] 《데이터 입출력계의 배선층 할당》

- [0100] 도 1 및 도 14의 중단면 구조에 단적으로 나타나 있는 바와 같이, 데이터 입력 범프 전극(BMP[D])과 대응하는 데이터 입력 볼 전극(BLL[D])을 접속하는 주요 배선을 표층의 배선층(L1)에 형성하고, 데이터 출력 범프 전극(BMP[Q])과 대응하는 데이터 출력 볼 전극(BLL[Q])을 이면의 배선층(L4)에 형성한다. 데이터 입력계 배선과 데이터 출력계 배선의 배선층을 분리함으로써, 상호간의 크로스토크를 저감할 수 있다. 반도체 집적 회로(3)의 패드 전극(CPD)은 반도체 칩(10)의 중앙부에 배치되어 있고, 데이터 출력 범프 전극(BMP[Q])은 데이터 입력 범프 전극(BMP[D])보다도 패드 전극(CPD) 근처의 배치를 갖는다. 요컨대, 데이터 출력 범프 전극(BMP[Q])에 접속하는 스루홀(TH[Q])은 데이터 입력 범프 전극(BMP[D])에 접속하는 스루홀(TH[D])보다도 패키지 기판(2)의 중앙 근처에 배치된다. 따라서, 노이즈원으로 되는 출력 신호 배선은 데이터 출력 패드 전극(CPD[Q])의 근방에서, 먼 L4 배선층에 위치하게 되고, 그 결과, 데이터 입력 패드 전극(CPD[D])에 연결되는 WPP의 인출 배선이나 그 밖의 WPP 인출 배선에 대항하는 패키지 기판(10) 상에서 노이즈원으로 되는 출력 신호 배선의 길이가 짧아진다. 이에 따라, 실드층이 개재되어 있지 않은 L1 배선층과 WPP 인출 배선의 사이에서, L1 배선층의 BMP[Q]에 접속하는 노이즈원 배선에 기인하는 그 밖의 WPP 인출 배선과의 사이의 크로스토크에 관해서도 저감할 수 있다.
- [0101] 도 15에는 도 9의 A2 부분에서의 L1 배선층의 배선과 WPP 인출 배선의 평면 상에서의 상대 위치 관계가 예시된다. L1[Q]는 배선층(L1)에서 데이터 출력 범프 전극(BMP[Q])에 접속하는 데이터 출력 배선, BLN[D]는 데이터 입력 범프 전극(BMP[D])에 접속하는 WPP 인출 배선이다. 도 15로부터 분명히 알 수 있는 바와 같이, 데이터 입력 WPP 인출 배선(BLN[D])은, 데이터 출력 배선(L1[Q])에 대하여 직교하는 배치를 갖는다. 직교하는 도체 간의 상호 인덕턴스는 실질적으로 무시할 수 있게 되기 때문에, 양자 간의 크로스토크는 매우 작아진다.
- [0102] 《전원계 배선층 할당》
- [0103] 외부 입출력용 전원 전압(Vddq)을 위한 플레인 형상의 도전 패턴(Vddp 플레인)(PLN[Vddq])은 L2 배선층에 할당된다. 그 평면적 구성은 도 10에 도시된다. 그라운드 전압(Vss)을 위한 플레인 형상의 도전 패턴(Vss 플레인)(PLN[Vss])은 L3 배선층에 할당된다. 그 평면적 구성은 도 11에 도시된다. 전원 전압(Vdd)을 위한 플레인 형상의 도전 패턴(Vdd 플레인)(PLN[Vdd])은 L4 배선층에 할당된다. 그 평면적 구성은 도 12에 도시된다.
- [0104] 배선층(L3)의 Vss 플레인(PLN[Vss]) 및 배선층(L2)의 Vddp 플레인(PLN[Vddq])은 배선층(L4)의 외부 출력계 신호 배선의 전류 변화에 의해 생기는 자계에 대한 실드층으로서 기능한다. Vddq 플레인(PLN[Vddq])과 vdd 플레인(PLN[Vdd])은 배선층(L3)을 개재해서 배선층(L2)과 배선층(L4)으로 분리되게 되기 때문에, 외부 입출력용 전원 전압(Vddq)과 외부 전원 전압(Vdd)의 각각의 전원계의 실효 인덕턴스의 저감으로 된다. 또한, 배선층(L2)에 형성된 Vddq 플레인(PLN[Vddq])은 배선층(L1)에 형성된 주요 입력 신호 배선의 리턴 패스를 구성하고, 또한, 배선층(L3)에 형성된 Vss 플레인(PLN[Vss])은 배선층(L4)에 형성된 주요 출력 신호 배선의 리턴 패스를 구성하기 때문에, 그들의 데이터 출력계와 데이터 입력계 각각의 실효 인덕턴스를 저감할 수 있다.
- [0105] 《범프 전극의 배치》
- [0106] 도 1의 중단면 구조, 도 8의 평면적 구성으로부터 분명히 알 수 있는 바와 같이, 상기 반도체 집적 회로(3)의 중앙부로부터 연변부를 향해서 순차적으로, 패드 전극(CPD)의 제1 배열, 외부 입출력용 전원 범프 전극(BMP[vddq])과 그라운드 범프 전극(BMP[Vss])의 제2 배열, 데이터 출력 범프 전극(BMP[Q])의 제3 배열, 외부 입출력용 전원 범프 전극(BMP[Vddq])과 그라운드 범프 전극(BMP[Vss])의 제4 배열, 데이터 입력 범프 전극(BMP[D])의 제5 배열이 형성된다. 도 16에는 도 8의 A1 부분의 확대도가 도시된다. 패드 전극(CPD)의 제1 배열과, 데이터 출력 범프 전극(BMP[Q])의 제3 배열과, 데이터 입력 범프 전극(BMP[D])의 제5 배열의 사이에는 반드시 외부 입출력용 전원 범프 전극(BMP[vddq]) 또는 그라운드 범프 전극(BMP[Vss])이 배치된다. 따라서, 인접하는 데이터 입력용의 인출 배선(BLN[D])과 데이터 출력용의 인출 배선(BLN[Q])의 사이에는 그라운드용 인출 배선(BLN[Vss]) 또는 Vddq 전원의 인출 배선(BLN[Vddq])을 배치하는 것이 용이해진다. 이들 그라운드용 인출 배선(BLN[Vss]) 및 Vddq 전원의 인출 배선(BLN[Vddq])은, 인접하는 데이터 입력용의 인출 배선(BLN[D])과 데이터 출력용의 인출 배선(BLN[Q])에 있어서 전자적인 실드 배선으로서 기능하고, 데이터 입력용의 인출 배선(BLN[D])과 데이터 출력용의 인출 배선(BLN[Q])의 크로스토크를 억제할 수 있다.
- [0107] 그라운드용 인출 배선(BLN[Vss]) 또는 Vddq 전원의 인출 배선(BLN[Vddq])에 인접하도록 데이터 입력용의 인출 배선(BLN[D]) 및 데이터 출력용의 인출 배선(BLN[Q])이 배치되기 때문에, 신호 경로와 그 리턴 패스를 전자적으로 밀결합하는 것이 용이해져서, 신호계의 실효 인덕턴스를 작게 하는 데에도 이바지할 수 있다.
- [0108] 데이터 출력 범프 전극(BMP[Q])은 데이터 입력 범프 전극(BMP[D])보다도 패드 전극(CPD)의 제1 배열 근처에 배치되어 있기 때문에, 노이즈원으로 될 수 있는 출력용의 인출 배선(BLN[Q])을 짧게 할 수 있고, 이 점에서도 내

노이즈성이 향상된다.

[0109] 《Vss, Vddq의 급전 경로》

[0110] 도 17에는 그라운드 전압(Vss) 및 외부 입출력 전원 전압(Vddq)의 급전 경로의 중단면 구조가 예시된다. 도 17에 도시된 바와 같이, 그라운드 볼 전극(BLL[Vss])은 패키지 기관(2)의 중앙부에 배치된다. 전원 플레인(PLN[Vdd])의 외측에 외부 입출력 전원 볼 전극(BLL[Vddq])이 배치된다. 그 외측에 데이터 입력 볼 전극(BLL[D]) 및 데이터 출력 볼 전극(BLL[Q])이 배치된다. 도 17에는 그 중, 그라운드 볼 전극(BLL[Vss])과 외부 입출력 전원 볼 전극(BLL[Vddq])이 대표적으로 도시된다. 외부 입출력 전원 볼 전극(BLL[Vddq])은 스루홀(TH[Vddq]A)을 통해서 배선층(L2)의 전원 플레인(PLN[Vddq])과 배선층(L1)의 배선(L1[Vddq]A)에 접속된다. 배선(L1[Vddq]A)은 범프 전극(BMP[Vddq]A)으로부터 WPP 인출 배선(BLN[Vddq])을 통하여 전원 패드(CPD[Vddq])에 접속한다. 패키지 기관(2)의 중앙부 근처에는 외부 입출력 전원 볼 전극(BLL[Vddq])에 결합되지 않는 스루홀(TH[Vddq]B)이 형성되고, 이 스루홀(TH[Vddq]B)도, 배선(L1[Vddq]B) 및 범프 전극(BMP[Vddq]B) 경유로, 상기와 마찬가지로 WPP 인출 배선(BLN[Vddq])을 통하여 전원 패드(CPD[Vddq])에 접속한다. 스루홀(TH[Vddq]A)을 경유하는 급전 경로는 도 16을 참조함으로써 분명하게 나타나 있는 바와 같이, 오로지 BLN[D]과 BLN[Q]의 사이의 실드 배선(BLN[Vddq])을 형성하기 위함이다. 이 실드 배선(BLN[Vddq])만으로 급전을 행하려고 하면, 해당 경로의 자기 인덕턴스가 지나치게 커져서, 리턴 경로로 될 그라운드 전압(Vss)의 급전 경로와 전자적인 특성이 크게 상이하게 된다. 스루홀(TH[Vddq]B)을 경유하는 급전 경로는, 전원 플레인(PLN[Vddq])을 통해서 그라운드 전압(Vss)의 급전 경로와 전자적 특성을 동등하게 하기 위한 경로이다. 바꾸어 말하면, 도 10으로부터 용이하게 이해되는 바와 같이 전원 플레인(PLN[Vddq])에 의해 임피던스가 작은 전류 경로를 확보하려고 하는 것이다. 이 점에서, 전원 전압(Vddq)과 그라운드 전압(Vss)의 실효 인덕턴스가 작게 된다.

[0111] 특히, 도 18에 예시되는 바와 같이, 전원 플레인(PLN[Vddq]) 상에서 스루홀(TH[Vddq]A)로부터 스루홀(TH[Vddq]B)을 향하는 전류의 방향과, 배선층(L1)에서의 외부 입력 데이터 배선(L1[D])의 배선 방향이 부분적으로 평행하게 되어 있기 때문에, 이것이 입력 신호와 그 리턴 패스의 사이의 실효 인덕턴스를 작게 하도록 작용한다.

[0112] 《스루홀 배치의 자유도》

[0113] 전술한 도 14의 외부 출력 데이터용의 스루홀(TH[Q]), 도 17의 Vss용의 스루홀(TH[Vss]), 마찬가지로 도 17의 전원(Vddq)의 급전에 이용하는 스루홀(TH[Vddq])은, 지금까지의 설명으로부터 분명히 알 수 있는 바와 같이 패키지 기관(2)의 중앙 근처에 형성하는 것이 바람직하다. 이 의미에서 스루홀 형성의 자유도를 높인 구성에 관하여 설명한다.

[0114] 패키지 기관(2)의 중앙부에 대한 스루홀 형성의 자유도를 높이기 위해서, 반도체 집적 회로에서의 클럭이나 커맨드계의 패드 전극의 배치와, 패키지에서의 이들 신호의 볼 전극의 배치와의 상이에 대해서 주목했다. 반도체 집적 회로에서의 클럭이나 커맨드계의 패드 전극의 배치는 보통 칩의 중앙부로 된다. 클럭 등 장배선을 고려하기 위함이다. 패키지에서의 이들 신호의 볼 전극의 배치는 통상 패키지 기관의 끝에 배치되는 경우가 많다. 따라서, 양자를 접속하는 데 패키지 기관의 배선층을 이용하는 경우에는, 적지않이 패키지 기관의 중앙부의 배선을 이용해야 한다. 그에 따라 패키지 기관의 중앙부에 대한 스루홀 형성의 자유도가 소외된다. 도 8의 A1 부분의 확대도인 도 19에 도시되어 있는 바와 같이, 반도체 집적 회로(3)에서의 클럭이나 커맨드계의 패드 전극(CPD)과, 패키지 기관(2)에서의 이들 신호의 볼 전극(BLL)의 접속에, WPP 인출 배선(20)을 이용한다. 도 19에서 클럭 및 커맨드계의 복수의 패드 전극(CPD)군(20)은, 칩의 중앙부에 형성한 WPP 인출 배선(21)을 통해서 칩 단부의 대응하는 복수의 범프 전극(BM)군(22)에 접속된다. 클럭 신호로서 입력 클럭 신호(K, /K)가 예시된다. 도시하지는 않았지만 도 8의 하반부의 중앙부도 마찬가지로 구성되고, 여기에는 출력 클럭 신호(C, /C) 등의 WPP 인출 배선이 형성된다. 따라서 도 20에 예시되는 바와 같이, WPP 인출 배선(20)에 겹치는 패키지 기관(2)의 중앙부에는 그라운드(Vss) 등의 스루홀(TH)을 형성하는 것이 가능하게 된다.

[0115] 패키지 기관(2)의 좌우의 외측 영역(PDOUT)에서 스루홀 형성의 자유도를 높이기 위해서, 예를 들면 도 21에 예시되는 바와 같이, 볼 전극(BLL)을 일정한 피치(예를 들면 1000 μ m)로 매트릭스 배치하고, 범프 전극(BMP)은 볼 전극에 겹치도록 혹은 볼 전극의 반의 피치 상에 배치하는 것으로 한다. 스루홀(TH)은 범프 전극(BMP) 또는 볼 전극(BLL)과 겹치는 위치에 형성할 수는 없다. 볼 전극(BLL)과 범프 전극(BMP)이 평면적으로 겹치는 분만큼 스루홀(TH)을 형성 가능한 면적이 커진다. 따라서 범프 전극(BMP) 및 볼 전극(BLL)을 랜덤하게 배치하는 경우에 비해서 스루홀(TH)의 형성 개소에 대한 자유도가 증가하여, 형성 가능한 스루홀의 수도 늘리는 것이 용이해진다. 도 13에서는 AR[TH]이 스루홀 형성 가능 영역으로 된다. 외측 영역(PDOUT)의 경계는 칩의 패드

전극(PD)열이다. 좌우의 패드 전극(PD)열의 내측 영역(PDIN)에서는 범프 전극(BMP)은 볼 전극(BLL)의 아주 가까이 배치된다. 도 22에는 볼 전극(BLL), 스루홀(TH), 범프 전극(BMP)의 배치의 일례가 도시된다.

[0116] 도 21에는 상기 WPP 인출 배선(21)의 신호나 전원의 종류가 예시된다. 상기 WPP 인출 배선(21)에 Vddq, Vdd, Vddi가 포함되는 것은 칩 내부의 설계와의 관계에서 WPP 인출 배선을 일부 이용하고 있는 것에 불과하다.

[0117] 《평가와 수정》

[0118] 상기 QDR-SRAM(1)의 데이터 병렬 입출력에서의 출력의 변화가 입력 데이터에 미치는 영향에 대해서 평가를 행하였다. 평가는, 임의의 출력 핀을 노이즈원으로 했을 때, 그에 따른 모든 입력 핀의 전압 변화를 평가하는 시뮬레이션을 행하고, 이를 모든 출력 핀에 대하여 반복하여 행함으로써 도 23에 예시되는 바와 같은 실효 상호 인덕턴스 매트릭스를 작성해서 행한다. 즉, 특정한 출력 핀의 변화가 각각의 입력에 미치는 영향을, 실효 상호 인덕턴스로서 전체 출력 핀에 대해서 시뮬레이션에 의해 연산을 행하였다. 도 25에는 시뮬레이션 대상 회로가 모식적으로 도시된다. 도 25에서는 칩측(CHP side)의 Sig0이 노이즈원으로 되어 칩측의 출력 핀, Sig1, Sig2, ...가 입력 핀을 의미한다. 신호계에 대한 전원측(POW side)으로부터의 리턴 패스로서의 전원계에는 Vss, Vddq의 패스를 고려한다. 도 23에는, Q18~Q30의 출력 핀과 D18~D3의 입력 핀에 대한 시뮬레이션 결과가 나타난다. 예를 들면 출력 핀(Q18)의 전류 변화는, 상호 인덕턴스 0.98nH에 비례하는 노이즈 전압으로서 입력 핀(D18)에 공급되고, 상호 인덕턴스 0.37nH에 비례하는 노이즈 전압으로서 입력 핀(D19)에 공급되는 것을 나타내고 있다. ΣMQ 는 임의의 입력 핀에 관한 전체 출력 핀 및 전원분의 실효 상호 인덕턴스의 절대값의 총합을 의미한다. 여기에서, 도 26에 예시되는 바와 같이, 테스터 보드(30)에 QDR-SRAM(1)을 탑재하고, 신호 진폭을 서서히 작게 하면서 순차적으로 리드 라이트를 반복하고, 테스터 리시버(31)로부터 입력한 리드 데이터의 정오를 판정했을 때, 데이터 에러를 발생하지 않는 최소 진폭값(Dmin)을 실측했다. 이 때, 본 발명자의 검토에 따르면, 도 27에 예시되는 바와 같이, ΣMQ 의 값이 커지면 최소 진폭값(Dmin)이 커지는 경향이 있는 것이 밝혀졌다. 즉, 최소 진폭값(Dmin)이 클수록 전자적 내노이즈성이 작다는 것으로서, ΣMQ 의 값이 전자적 내노이즈성에 대한 지표로 되고, ΣMQ 의 값을 작게 하는 것이 최소 진폭값(Dmin)을 작게 하는 데 있어서 중요함이 본 발명에 의해 발견되었다. 이 관점으로부터, 도 23의 실효 상호 인덕턴스 매트릭스에서 D27의 입력 핀에 관한 $\Sigma MQ=3.82nH$ 가 워스트(worst)로 되어 있다. 비교예로서 도 24에는 지금까지 설명한 WPP 구조와 패키지 기관의 특징적 구조를 채택하지 않은 QDR-SRAM(comparison QDR-SRQM)의 경우의 실효 상호 인덕턴스 매트릭스가 예시된다. 비교예의 워스트 값은 $\Sigma MQ=4.78nH$ 이고, 본원 발명에 따른 QDR-SRAM(1)은 약 1nH의 개선이 이루어진 것으로 된다. 도 28에는 쌍방의 QDR-SRAM에서의 ΣMQ 의 상이가 나타난다.

[0119] 또한 본 발명자는 도 23의 실효 상호 인덕턴스 매트릭스를 검증한 결과, ΣMQ 가 비교적 큰 패키지 기관의 연변측에 위치하는 D18, D27의 입력 핀에 주목했다. 도 29에 명시적으로 나타난 바와 같이, 상기 D18, D27의 입력 핀은, 가장 가까운 Q18, Q27의 출력 핀과의 상호 인덕턴스가 큰 것을 알 수 있다. 그 원인으로서, 인접하는 입력 핀과 출력 핀의 사이의 크로스토크를 생각할 수 있다. 도 30에는 배선층(L1)과 배선층(L4)을 투시한 모습이 도시된다. 이에 따르면, D18에 접속하는 배선과 Q18에 접속하는 배선이 STK1의 부분에서 상하 방향으로 겹치고, D27에 접속하는 배선과 Q27에 접속하는 배선이 STK2의 부분에서 상하 방향으로 겹치고 있는 것을 알 수 있다. 따라서, 도 31에 예시되는 바와 같이, D18에 접속하는 배선과 Q18에 접속하는 배선을 SPR1의 부분에서 분리하고, D27에 접속하는 배선과 Q27에 접속하는 배선이 SPR2의 부분에서 분리하고, 또한 배선 크로스하는 부분은 CRS의 부분과 같이 직교 배선으로 한다. 이에 의한 개선 결과는 도 32에 예시된다. ΣMQ 의 최대값은 개선 전에 비해서 약간이기는 하지만 0.2nH 저감할 수 있었다. 도 33에는 개선 전과 후의 쌍방의 QDR-SRAM에서의 ΣMQ 의 상이가 나타난다.

[0120] 이상 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 이에 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

[0121] 예를 들면, 반도체 집적 회로는 QDR-SRAM에 한정되지 않고, 다른 메모리, 마이크로컴퓨터, 액셀러레이터 등의 그 밖의 데이터 처리 LSI이어도 된다. 병렬 입출력의 대상은 데이터에 한정되지 않는다. 출력 데이터와 입력 커맨드, 출력 데이터와 입력 어드레스 등이어도 된다. 반도체 집적 회로는 WPP 구조를 갖는 것에 한정되지 않는다. 패키지 기관은 BGA 구조에 한정되지 않고, 또한, 4층의 복합 배선 기관에 한정되지 않는다.

발명의 효과

[0122] 본원에서 개시되는 발명 중 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면 다음과 같다.

[0123] 즉, 병렬 입출력이 가능하게 된 외부 출력 신호계로부터 외부 입력 신호계에의 노이즈의 유기를 완화 혹은 억제

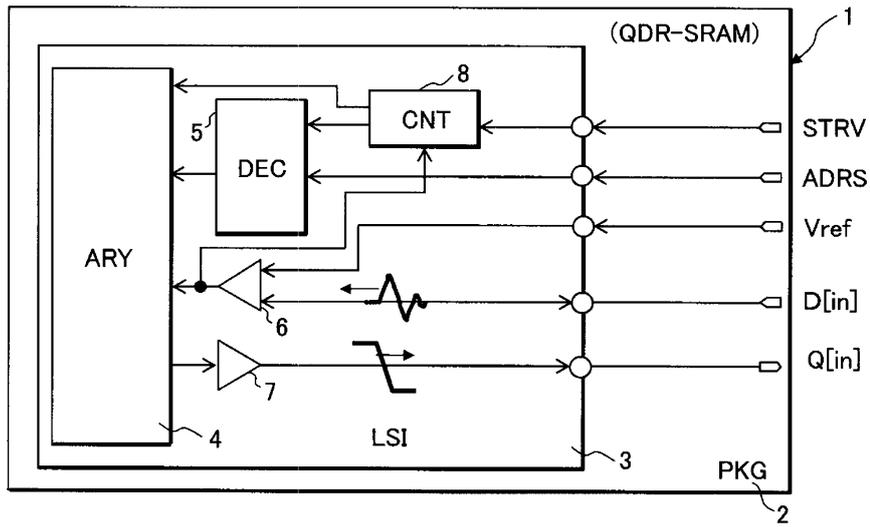
할 수 있다. 병렬 입출력이 가능하게 된 외부 출력 신호계로부터 외부 입력 신호계에 대한 상호 인덕턴스를 작게 할 수 있다.

도면의 간단한 설명

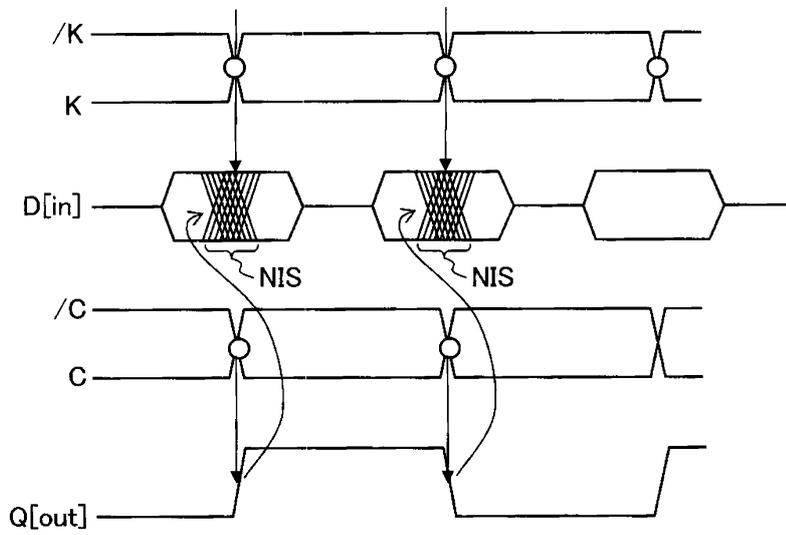
- [0001] 도 1은 본 발명의 일례에 따른 QDR-SRAM의 종단면 구조를 개략적으로 도시한 단면도.
- [0002] 도 2는 QDR-SRAM의 블록도.
- [0003] 도 3은 QDR-SRAM의 입출력 동작 타이밍을 예시하는 타이밍차트.
- [0004] 도 4는 QDR-SRAM에서의 패드 전극(CPD)의 배치를 예시하는 평면도.
- [0005] 도 5는 QDR-SRAM에서의 범프 전극(BMP)의 배치를 예시하는 평면도.
- [0006] 도 6은 QDR-SRAM에서의 볼 전극(BLL)의 배치를 예시하는 평면도.
- [0007] 도 7은 QDR-SRAM의 전원계의 개략을 예시하는 블록도.
- [0008] 도 8은 반도체 집적 회로의 WPP 구조를 도시한 평면도.
- [0009] 도 9는 패키지 기관의 배선층(L1)의 평면적 구성을 도시한 평면도.
- [0010] 도 10은 패키지 기관의 배선층(L2)의 평면적 구성을 도시한 평면도.
- [0011] 도 11은 패키지 기관의 배선층(L3)의 평면적 구성을 도시한 평면도.
- [0012] 도 12는 패키지 기관의 배선층(L4)의 평면적 구성을 도시한 평면도.
- [0013] 도 13은 범프 전극(BMP)과 볼 전극(BLL)의 평면적인 상대 위치 관계를 도시한 평면도.
- [0014] 도 14는 데이터 입출력계의 배선층 할당을 도시한 종단면도.
- [0015] 도 15는 L1 배선층의 배선과 WPP 인출 배선의 평면 상에서의 교차적 배치를 예시하는 평면도.
- [0016] 도 16은 도 8의 A1 부분의 확대도.
- [0017] 도 17은 그라운드 전압 및 외부 입출력 전원 전압(Vddq)의 급전 경로를 도시한 종단면도.
- [0018] 도 18은 전원 플레인(PLN[Vddq]) 상에 전류의 방향과 배선층(L1)에서의 외부 입력 데이터 배선(L1[D])의 배선 방향의 관계를 예시하는 평면도.
- [0019] 도 19는 클럭 및 커맨드계의 복수의 패드 전극(CPD)군에 접속하는 WPP 인출 배선을 칩의 중앙부에 형성한 구성을 도시한 평면도.
- [0020] 도 20은 칩 중앙부의 WPP 인출 배선에 접치는 패키지 기관의 중앙부에 그라운드 전압(Vss) 등의 스루홀(TH)을 형성한 상태를 도시한 평면도.
- [0021] 도 21은 볼 전극(BLL)을 일정한 피치로 매트릭스 배치하고, 범프 전극(BMP)을 볼 전극에 겹치도록 혹은 볼 전극의 반의 피치 상에 배치한 상태를 도시한 평면도.
- [0022] 도 22는 볼 전극(BLL), 스루홀(TH), 범프 전극(BMP)의 배치의 일례를 전체적으로 도시한 평면도.
- [0023] 도 23은 QDR-SRAM의 데이터 병렬 입출력에서의 출력의 변화가 입력 데이터에 미치는 영향에 대해서 평가를 행하는 점에 취득한 실효 상호 인덕턴스 매트릭스를 나타내는 설명도.
- [0024] 도 24는 WPP 구조와 패키지 기관의 특징적 구조를 채택하지 않은 QDR-SRAM 경우의 실효 상호 인덕턴스 매트릭스를 비교예로서 나타내는 설명도.
- [0025] 도 25는 상호 인덕턴스 매트릭스를 취득하기 위한 시뮬레이션 대상 회로를 모식적으로 도시한 회로도.
- [0026] 도 26은 테스트 보드에 의한 QDR-SRAM(1) 최소 진폭값(Dmin)을 실측할 때의 테스트 보드와의 접속예를 도시한 개략적인 단면도.
- [0027] 도 27은 ΣMQ 의 값이 커지면 최소 진폭값(Dmin)이 커지는 경향을 나타내는 특성도.
- [0028] 도 28은 본 발명과 비교예의 쌍방의 QDR-SRAM에서의 ΣMQ 의 상이를 나타내는 설명도.

- [0029] 도 29는 상기 D18, D27의 입력 핀은, 가장 가까운 Q18, Q27의 출력 핀과의 상호 인덕턴스가 큰 것을 명시적으로 나타내는 설명도.
- [0030] 도 30은 배선층(L1)과 배선층(L4)을 투시한 모습을 도시한 평면도.
- [0031] 도 31은 D18에 접속하는 배선과 Q18에 접속하는 배선을 분리하고, D27에 접속하는 배선과 Q27에 접속하는 배선을 분리하고, 또한 배선 크로스하도록 레이아웃의 수정을 행한 상태를 도시한 평면도.
- [0032] 도 32는 도 31의 수정에 의한 개선 결과를 예시하는 설명도.
- [0033] 도 33은 도 31의 개선 전과 후의 쌍방의 QDR-SRAM에서의 ΣMQ 의 상이를 나타내는 설명도.
- [0034] <도면의 주요부분에 대한 부호의 설명>
- [0035] 1: QDR-SRAM
- [0036] 2: 패키지 기관(PKG)
- [0037] 3: 반도체 집적 회로(LSI)
- [0038] 4: 메모리 어레이
- [0039] 5: 어드레스 디코더(DEC)
- [0040] 6: 입력 회로
- [0041] 7: 출력 회로
- [0042] 8: 제어 회로
- [0043] C, /C: 데이터 출력 동작용의 차동 클럭 신호
- [0044] K, /K: 데이터 입력 동작용의 차동 클럭 신호
- [0045] 10: 도체 칩(CHP)
- [0046] CPD: 패드 전극
- [0047] BMP: 범프 전극(외부 접속 단자)
- [0048] L1~L4: 배선층
- [0049] Vdd: 전원 전압
- [0050] Vddq: 입출력 회로용 전원 전압
- [0051] Vddi: 내부 강압 전압
- [0052] Vss: 그라운드 전압
- [0053] TH: 스루 홀
- [0054] PLN[Vddq]: Vddp 플레인
- [0055] PLN[Vss]: Vss 플레인
- [0056] PLN[Vdd]: Vdd 플레인
- [0057] 20: 칩 중앙부의 WPP 인출 배선

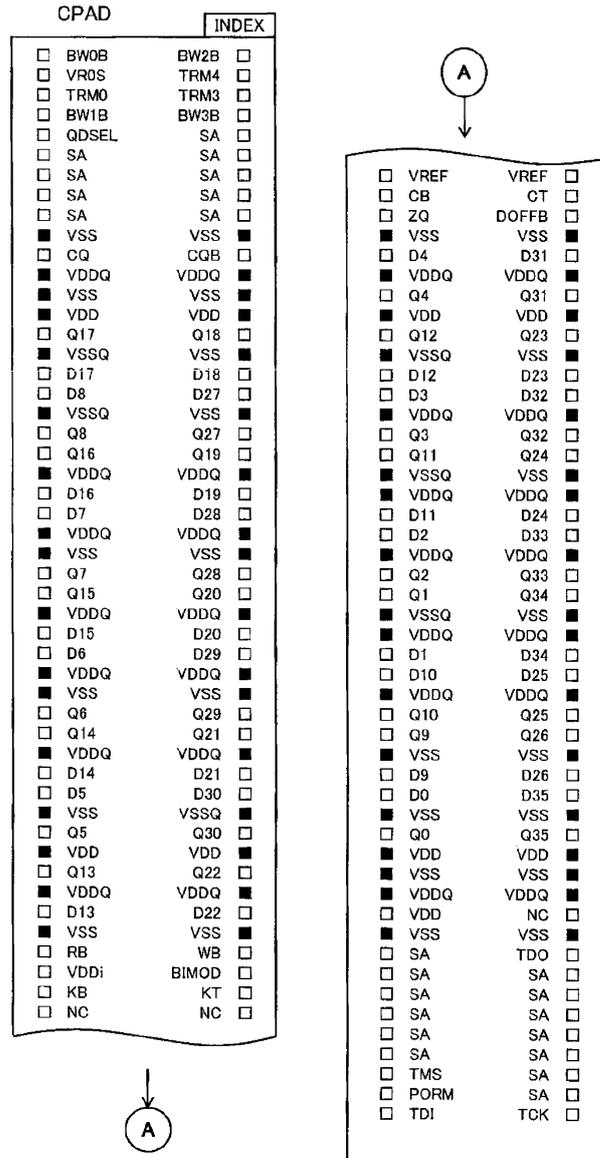
도면2



도면3



도면4



도면5

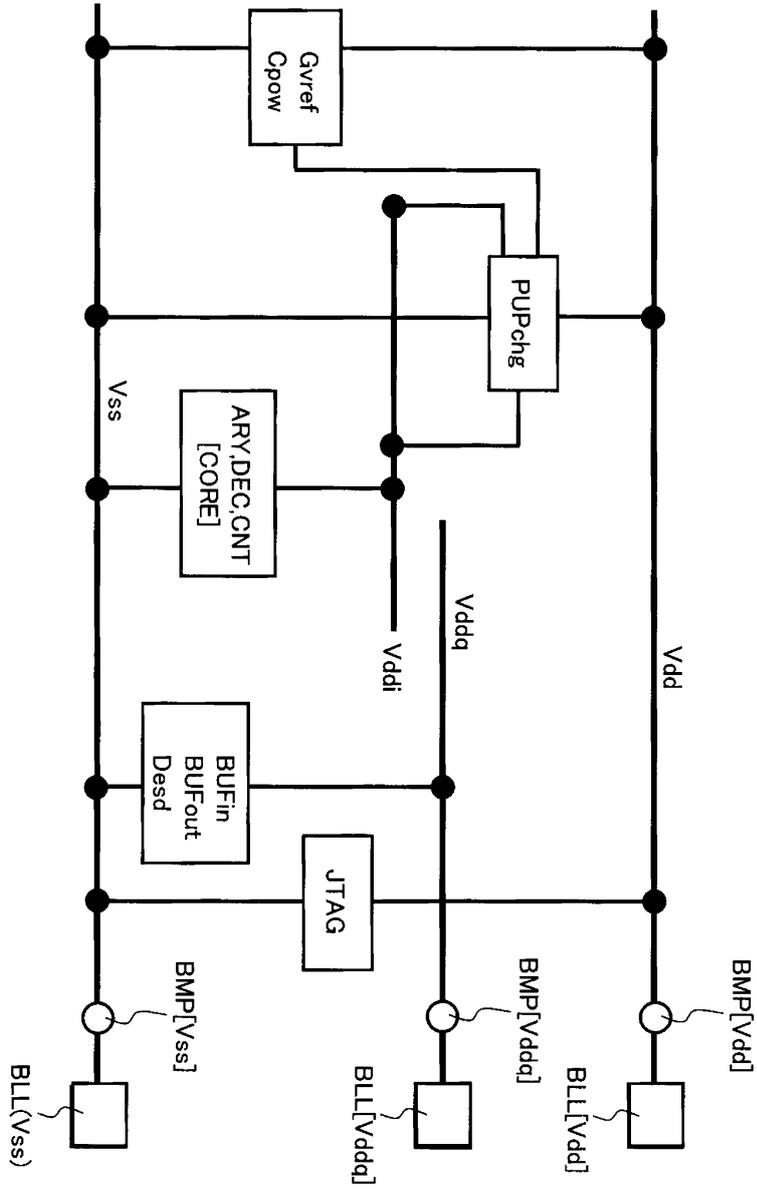
	BMP								INDEX	
R00	TRM2	TRM1	TRM0	/BW1	VR0S	FC	/BW2		TRM3	TRM4
R01	SA_9A	BLSEL		/BW0	/K	K	/BW3		IOSEL2	SA_3A
R02	SA_10A		QDSEL	/R			/W	SA_4B	IOSEL1	SA_2A
R03	SA_8B	SA_7C			VDD	VDD			SA_6C	SA_5C
R04	D17	VSS	Q7	VDDQ	VSS	VSS	VDDQ	/CQ	VSS	D18
R05	D8		Q17		VDDQ	VDDQ		Q18		D27
R06	D16	VSS	Q8	VSS	VSS	VSS	VSS	Q27	VSS	D19
R07	D7		Q16		VDDQ	VDDQ		Q19		D28
R08	D15	VDDQ	Q7	VDDQ	VSS	VSS	VDDQ	Q28	VDDQ	D20
R09	D6	VDDQ	Q15		VDDQ	VDDQ		Q20	VDDQ	D29
R10	D14	VDDQ	Q6	VDDQ	VSS	VSS	VDDQ	Q29	VDDQ	D21
R11	D5		Q14	VDDQ	VSS	VSS	VDDQ	Q21		D30
R12		VDDQ	Q5	VDDQ	VDD	VDD	VDDQ	Q30	VDDQ	
R13	D13		Q13	VDDI	VSS	VSS	BiMOD	Q22		D22
R14	VSS	VDDQ	ZQ	VREF2			VREF1	/DOFF	VDDQ	VSS
R15	D4		Q4		VSS	VSS		Q31		D31
R16		VDDQ	Q12	VDDQ	VDD	VDD	VDDQ	Q23	VDDQ	
R17	D12		Q3	VDDQ	VSS	VSS	VDDQ	Q32		D23
R18	D3	VDDQ	Q11	VDDQ	VSS	VSS	VDDQ	Q24	VDDQ	D32
R19	D11	VDDQ	Q2		VDDQ	VDDQ		Q33	VDDQ	D24
R20	D2	VDDQ	Q1	VDDQ	VSS	VSS	VDDQ	Q34	VDDQ	D33
R21	D1		Q10		VDDQ	VDDQ		Q25		D34
R22	D10	VSS	Q9	VSS	VSS	VSS	VSS	Q26	VSS	D25
R23	D9		Q0		VDDQ	VDDQ		Q35		D26
R24	D0	VSS	VDDM	VDDQ	VSS	VSS	VDDQ		VSS	D35
R25	SA_8P	SA_7N			VDD	VDD		TDO	SA_5N	SA_3R
R26	SA_9R	SA_7P						SA_6N	SA_5P	SA_4P
R27	SA_8R	SA_7R	SCSEL		/C	C		PRST	PUPF	SA_4R
R28	PTCK	TMS	PORM	TDI	PORC	PTDI	TCK		SA_5R	
	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3

도면6

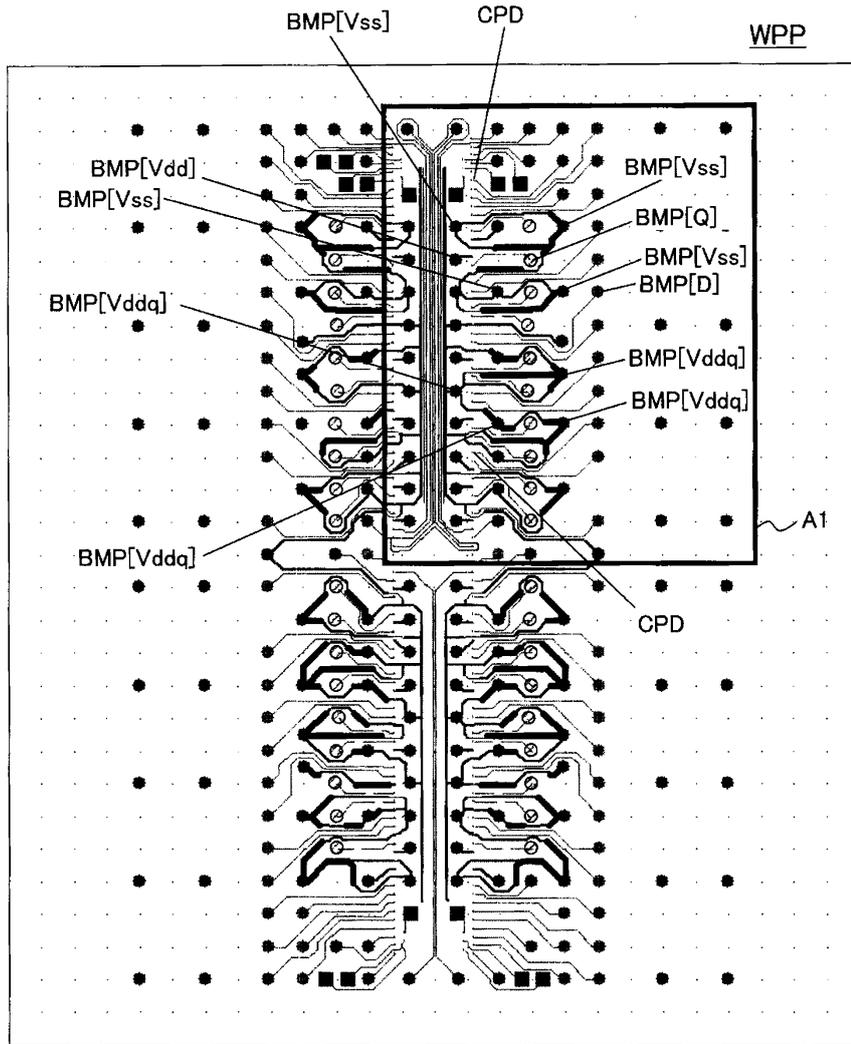
BLL

												INDEX
A	CQ	SA	SA	/R	/BW1	/K	/BW2	/W	SA	SA	SA	/CQ
B	Q8	Q17	D17	SA	/BW0	K	/BW3	SA	D18	Q18	Q27	Q27
C	D8	Q7	D16	VSS	SA	SA	SA	VSS	D19	Q28	D27	D27
D	D7	D15	Q16	VSS	VSS	VSS	VSS	VSS	Q19	D20	D28	D28
E	Q6	D6	Q15	VDDQ	VSS	VSS	VSS	VDDQ	Q20	D29	Q29	Q29
F	Q5	Q14	D14	VDDQ	VDD	VSS	VDD	VDDQ	D21	Q21	Q30	Q30
G	D5	D13	Q13	VDDQ	VDD	VSS	VDD	VDDQ	Q22	D22	D30	D30
H	ZQ	VREF	VDDQ	VDDQ	VDD	VSS	VDD	VDDQ	VDDQ	VREF	/DOF	/DOF
J	D4	Q4	D12	VDDQ	VDD	VSS	VDD	VDDQ	D23	Q31	D31	D31
K	Q3	D3	Q12	VDDQ	VDD	VSS	VDD	VDDQ	Q23	D32	Q32	Q32
L	Q2	Q11	D11	VDDQ	VSS	VSS	VSS	VDDQ	D24	Q24	Q33	Q33
M	D2	Q1	D11	VSS	VSS	VSS	VSS	VSS	D25	Q34	D33	D33
N	D1	D9	Q10	VSS	SA	SA	SA	VSS	Q25	D26	D34	D34
P	Q0	D0	Q9	SA	SA	C	SA	SA	Q26	D35	Q35	Q35
R	TDI	TMS	SA	SA	SA	/C	SA	SA	SA	TOK	TDO	TDO
			9	8	7	6	5	4	3	2	1	
			10									
			11									

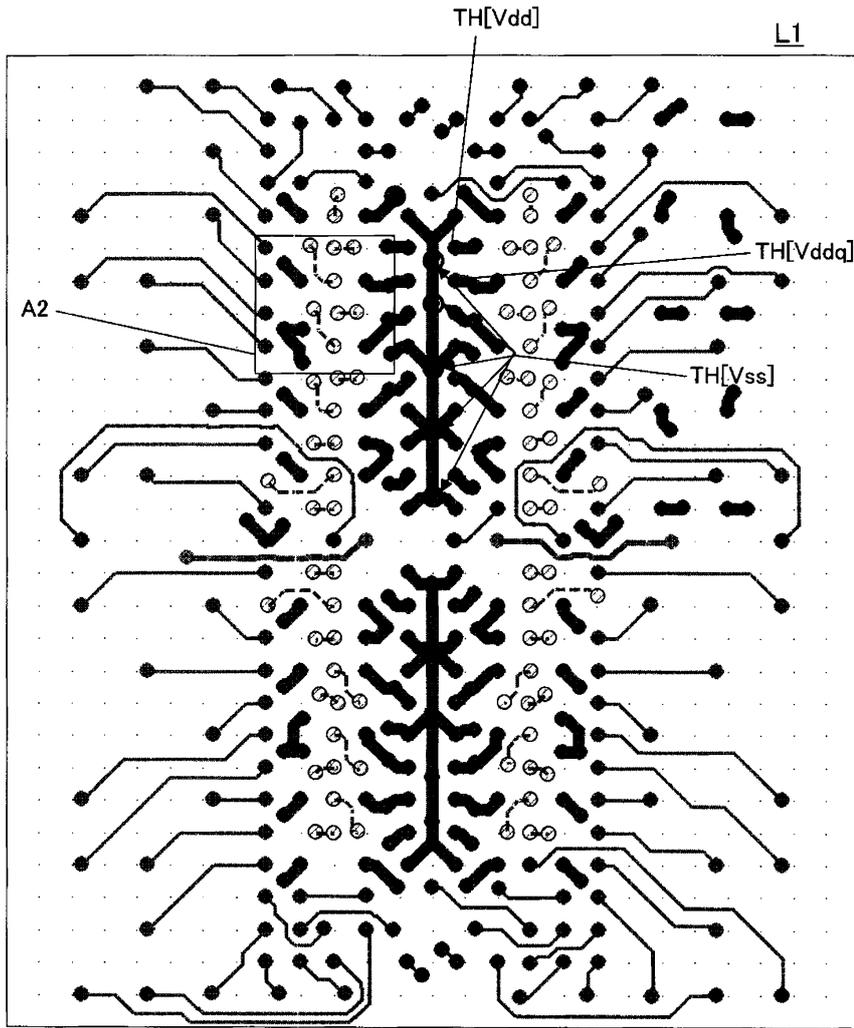
도면7



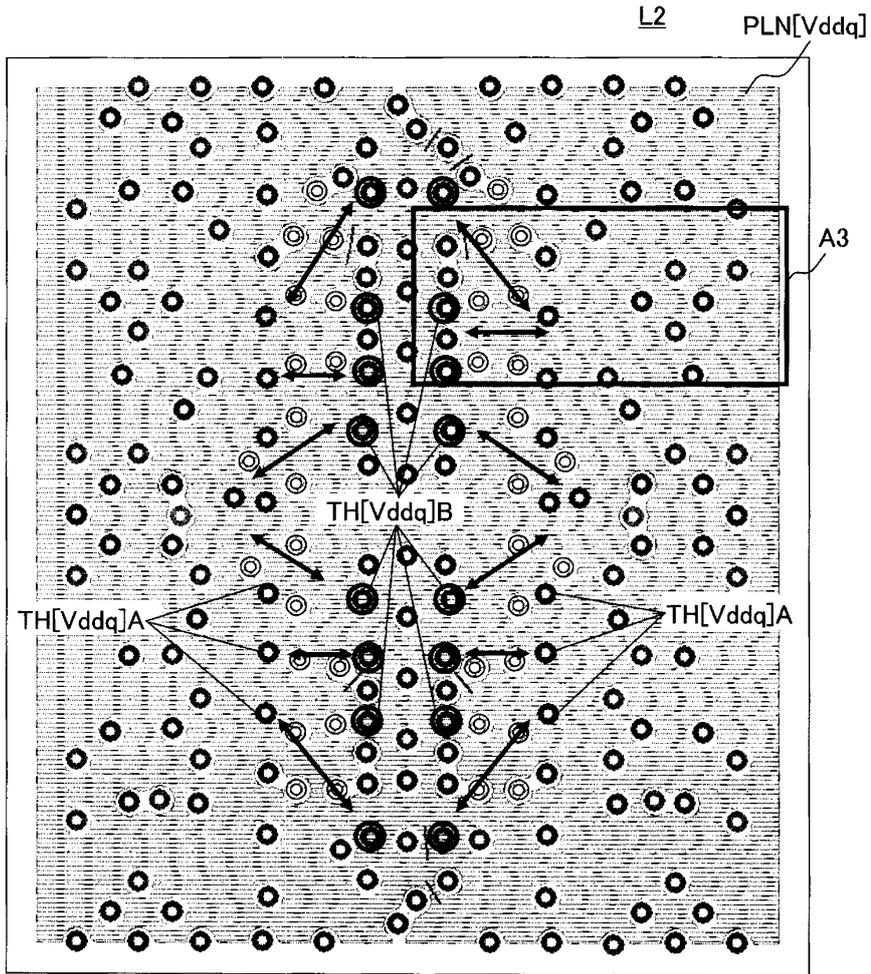
도면8



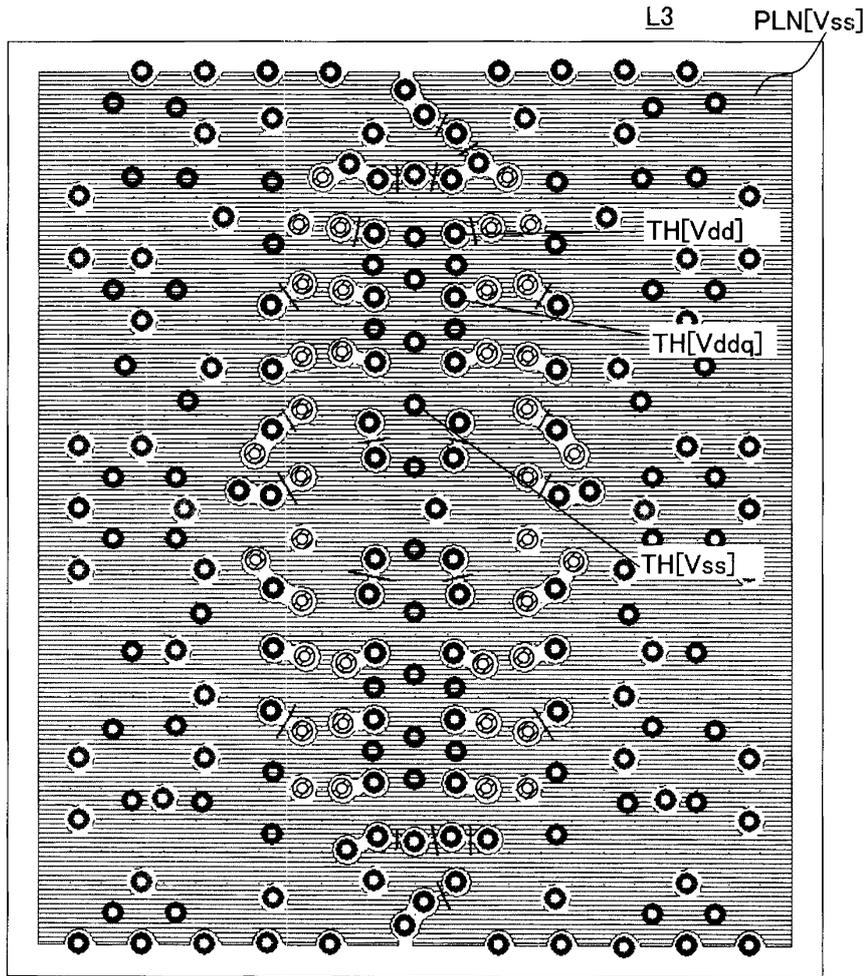
도면9



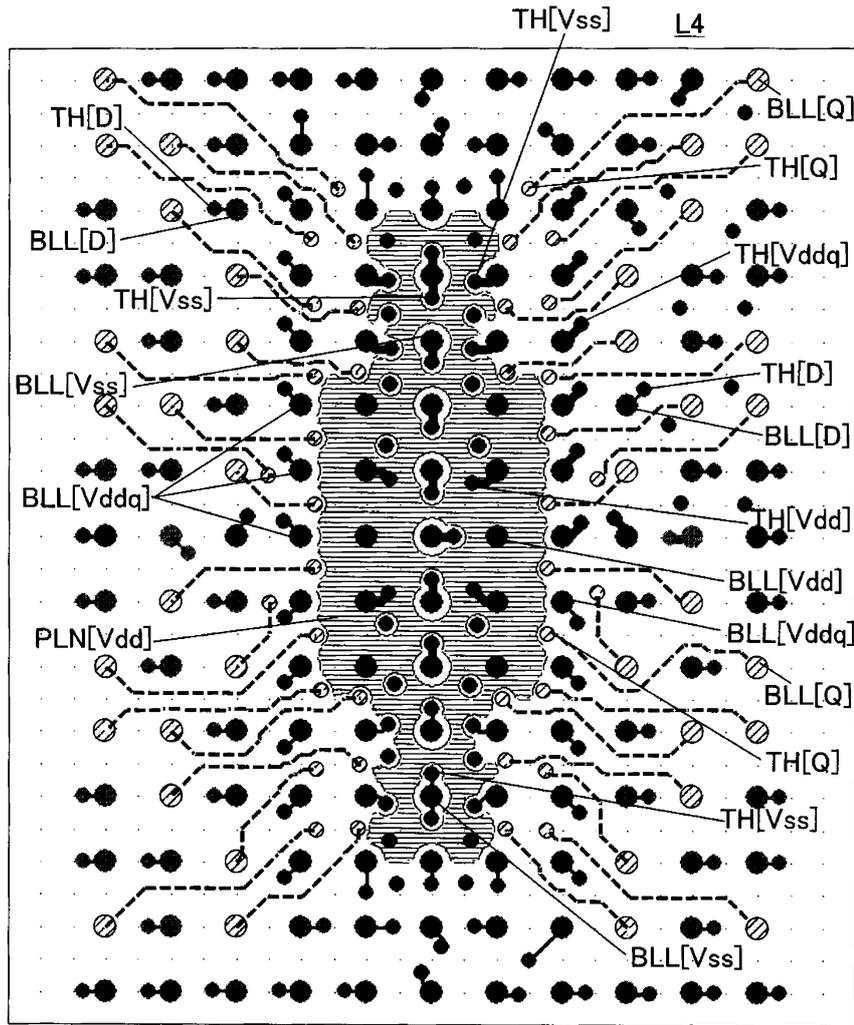
도면10



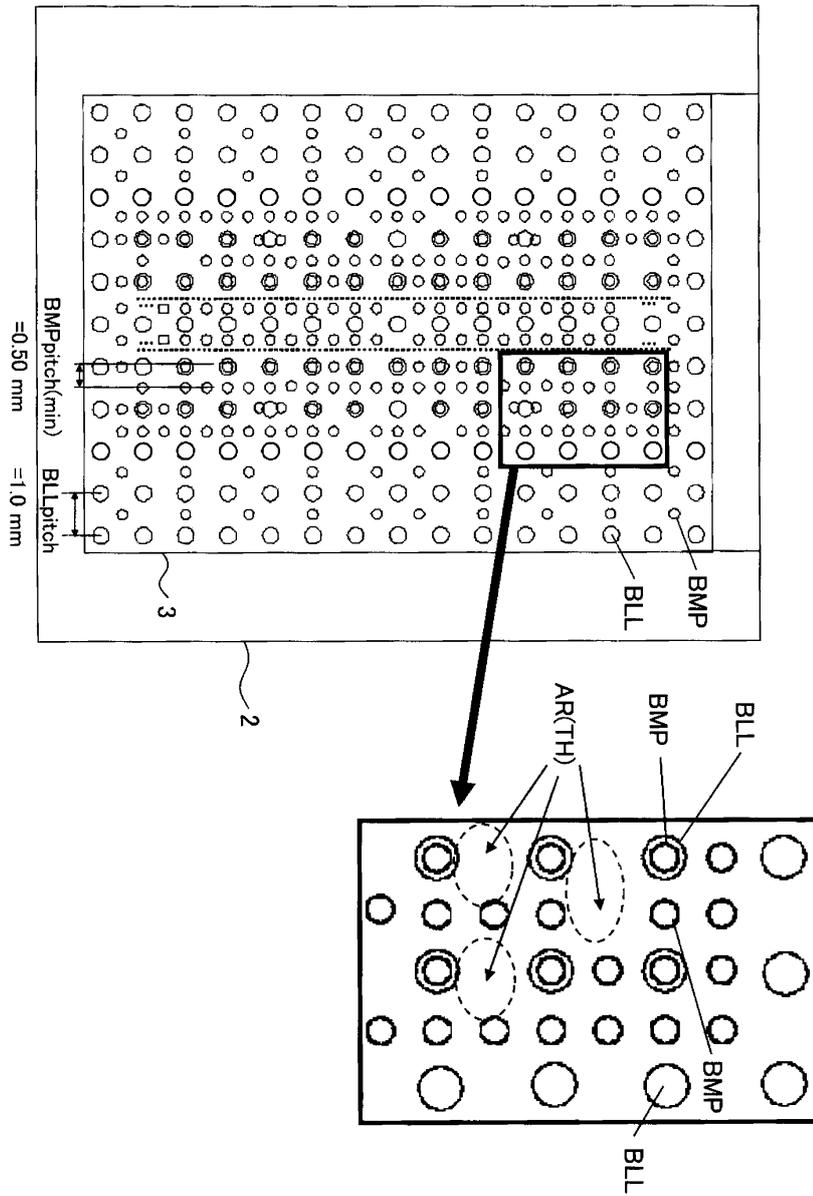
도면11



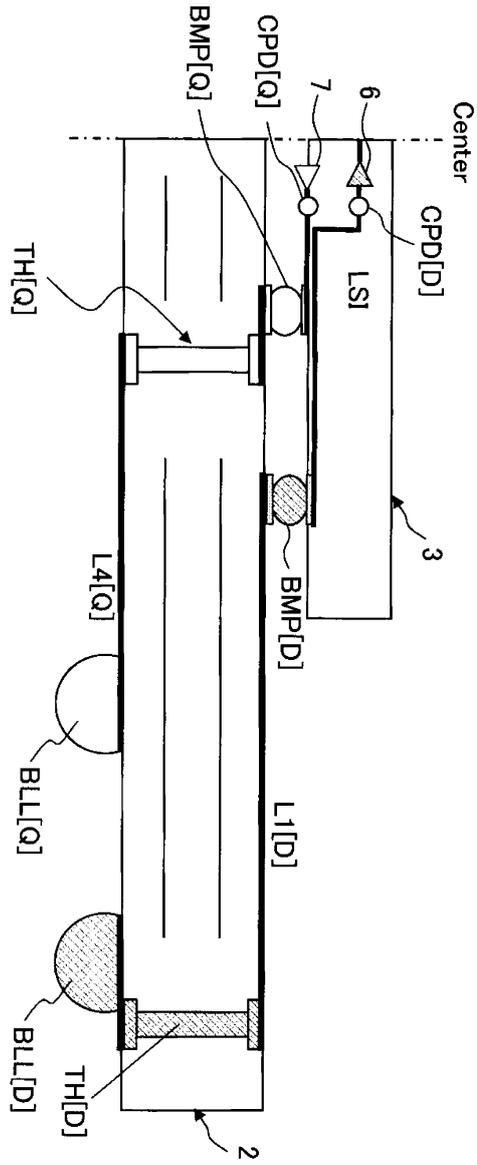
도면12



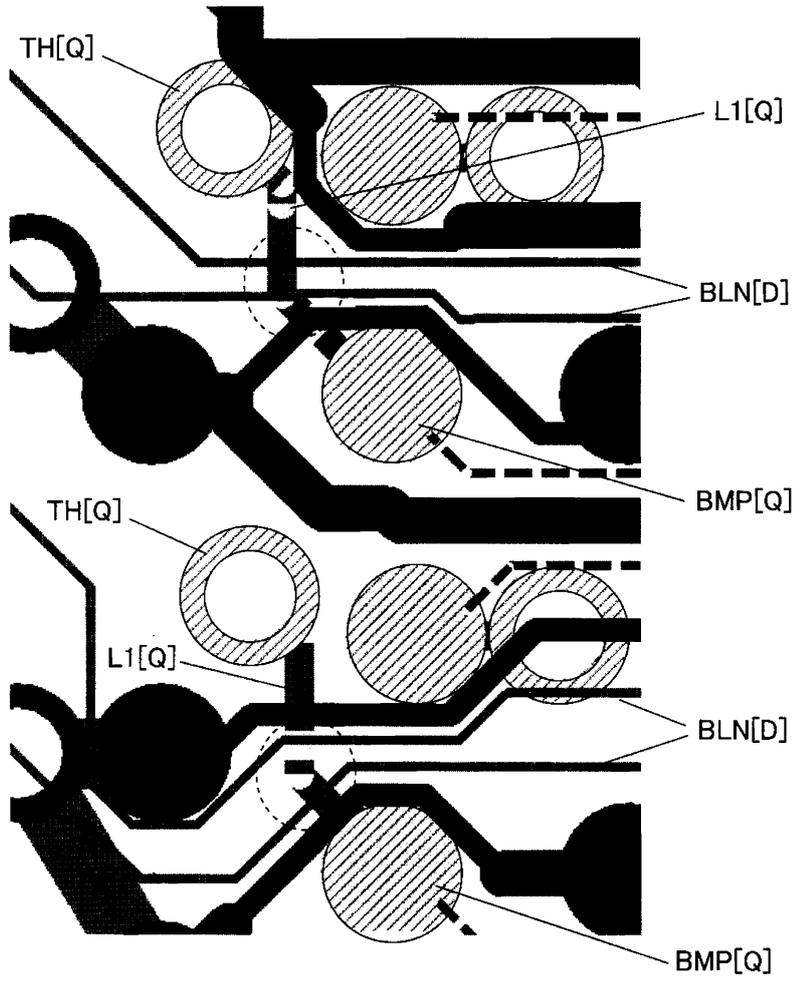
도면13



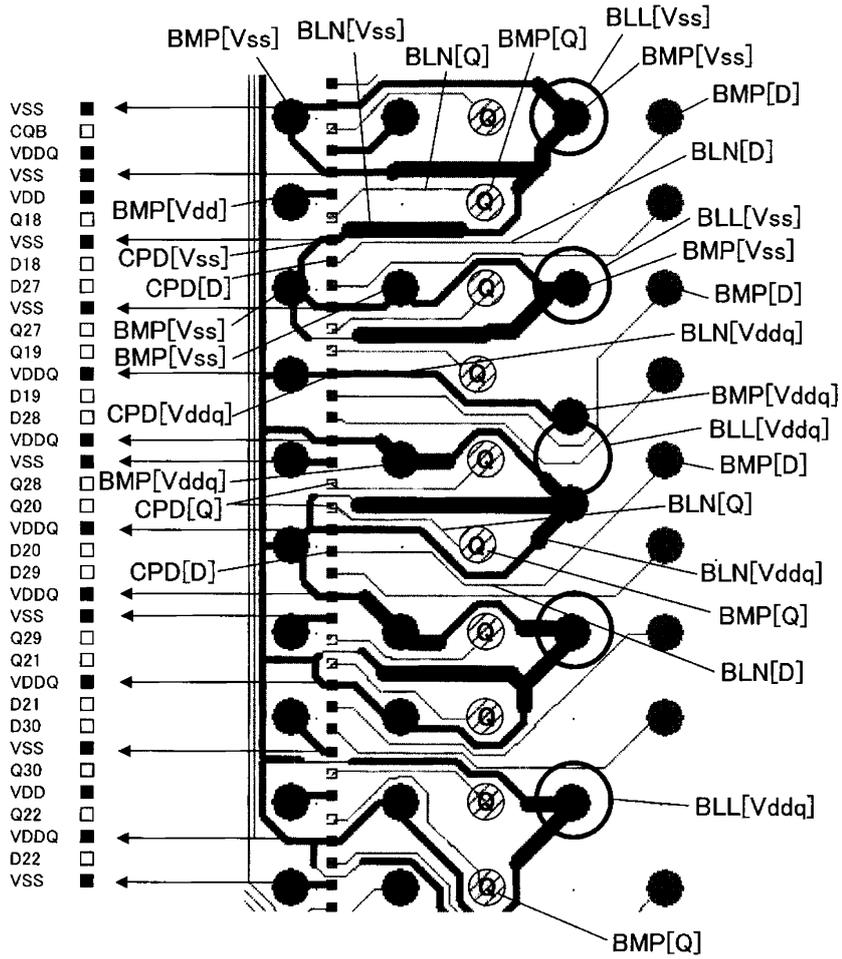
도면14



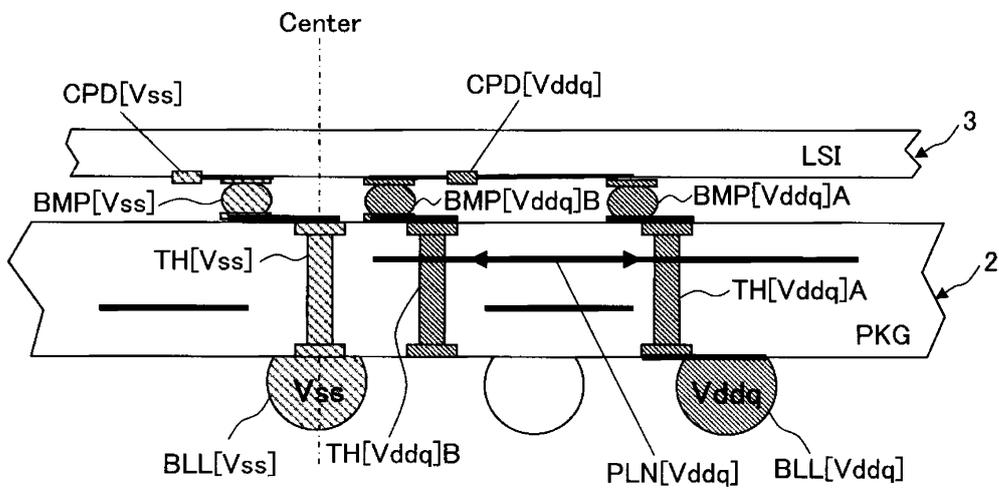
도면15



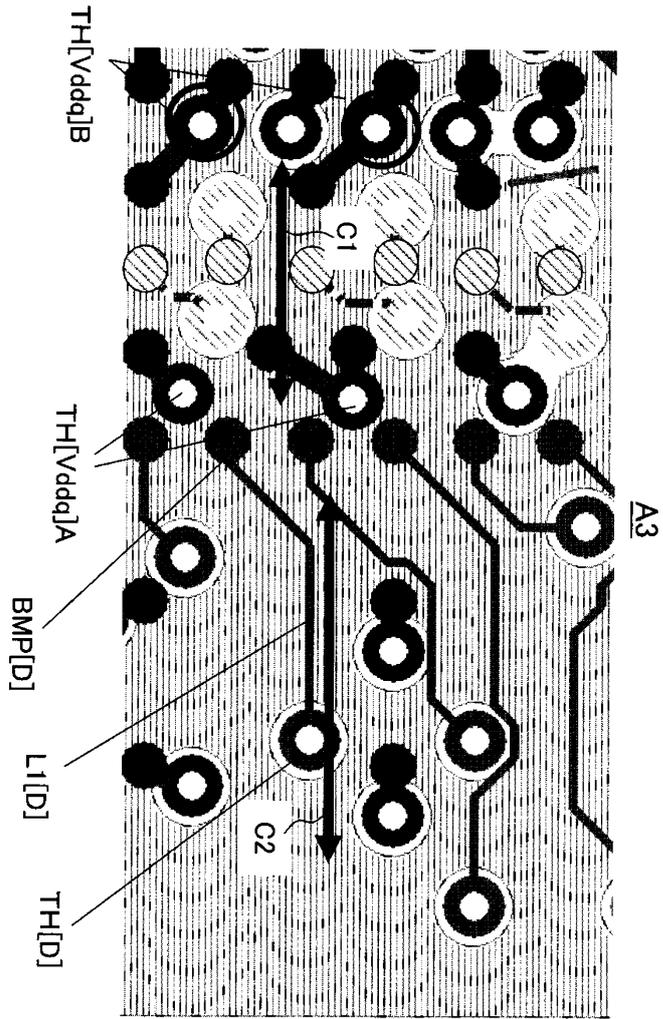
도면16



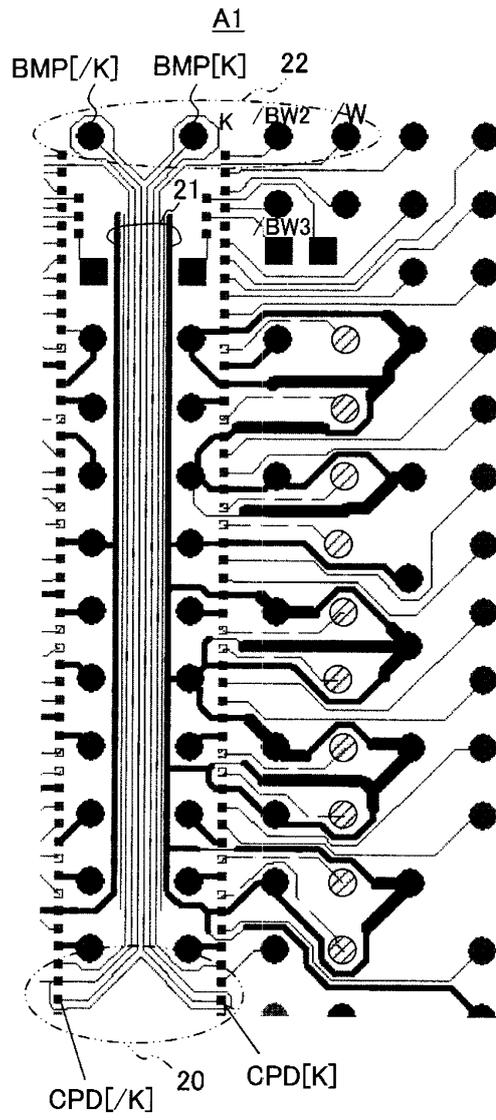
도면17



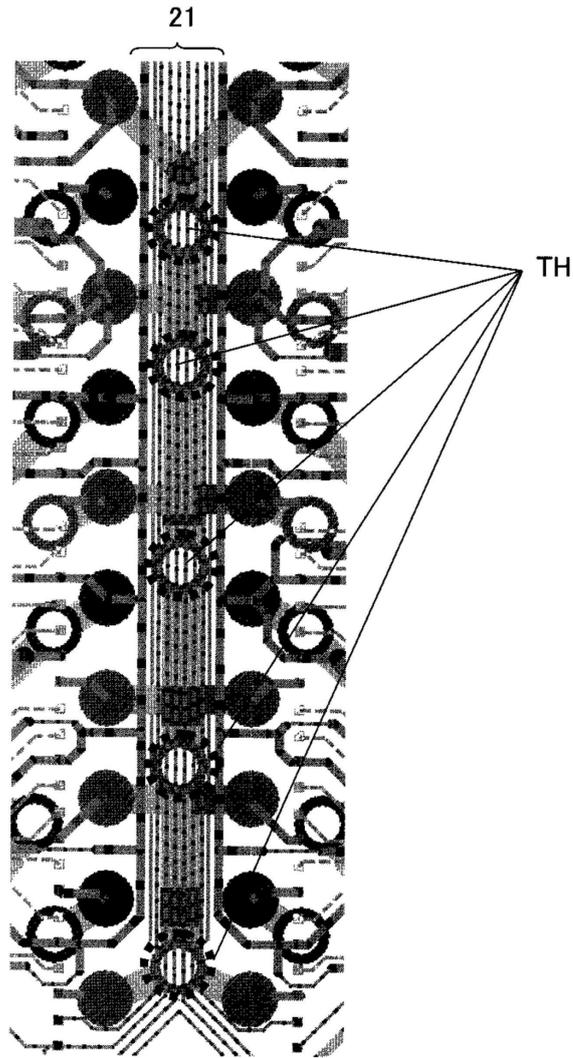
도면18



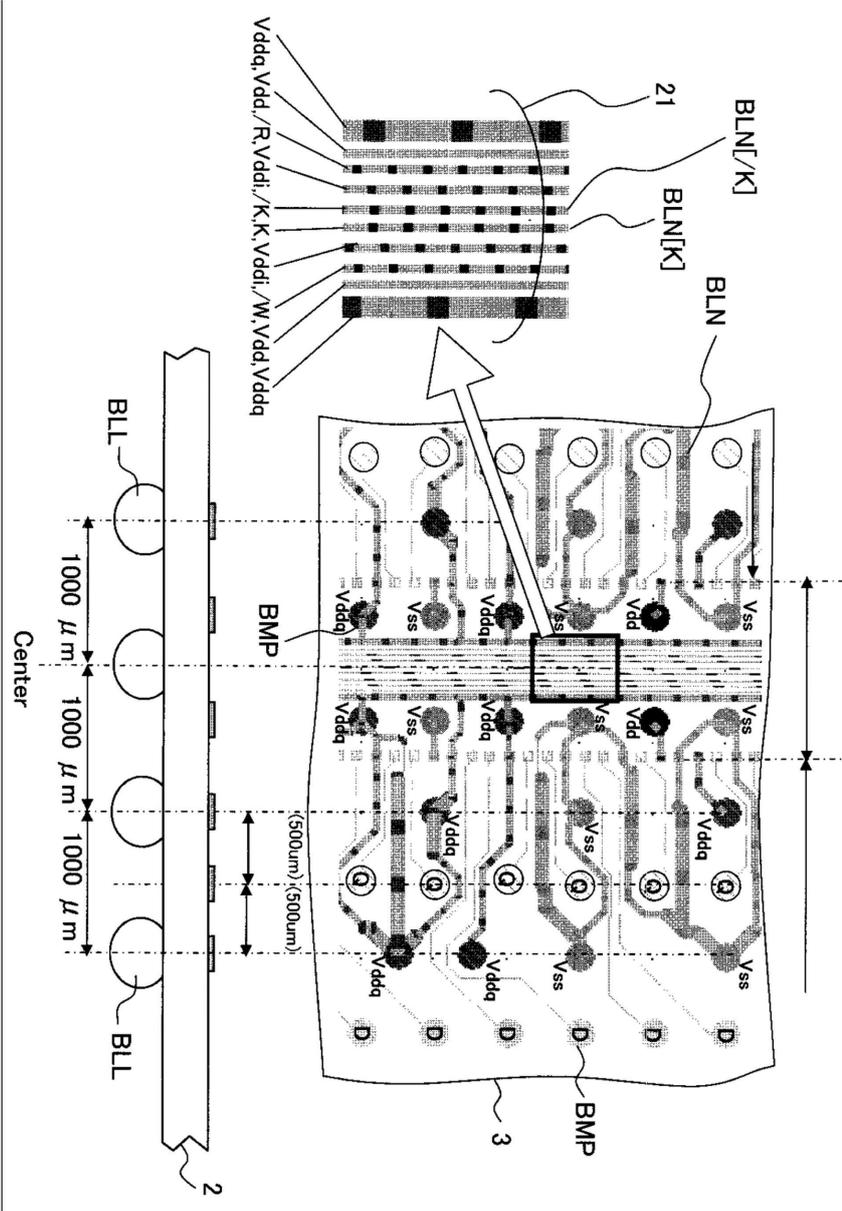
도면19



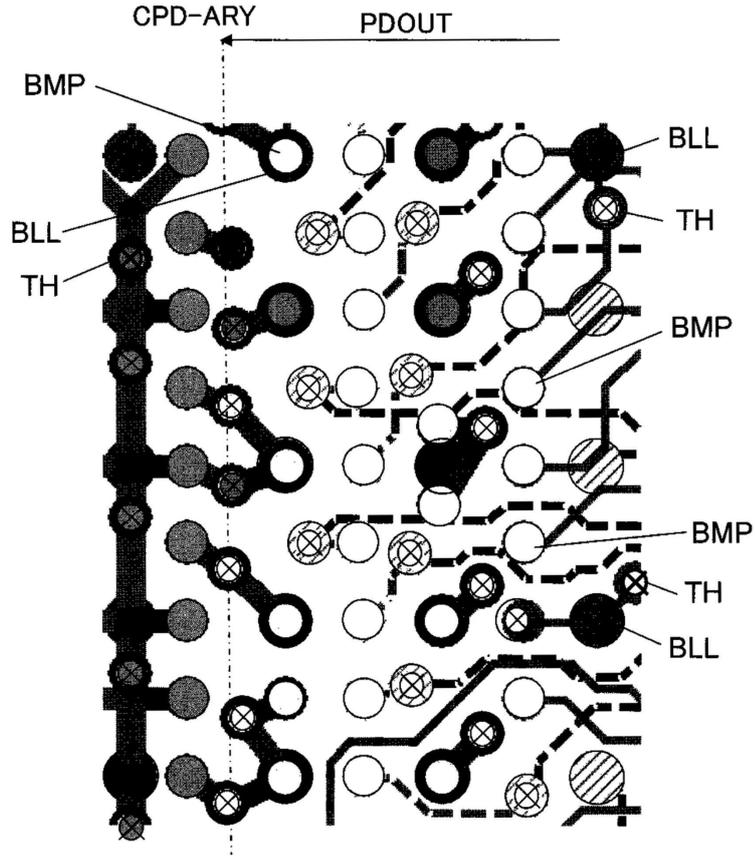
도면20



도면21



도면22



도면23

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.98	0.37	0.16	-0.22	-0.23	0.84	0.31	-0.04	-0.18
Q19	0.37	0.93	0.52	-0.06	-0.15	0.46	0.61	0.22	-0.07
Q20	0.05	0.36	0.75	0.17	-0.06	0.15	0.47	0.50	0.05
Q21	-0.09	0.04	0.29	0.66	0.32	-0.01	0.17	0.67	0.59
Q22	-0.21	-0.15	-0.02	0.77	0.75	-0.17	-0.07	0.19	0.55
Q27	0.98	0.52	0.27	-0.18	-0.21	1.20	0.49	0.03	-0.15
Q28	0.82	0.81	0.57	-0.12	-0.21	0.79	0.77	0.18	-0.12
Q29	0.05	0.23	0.63	0.33	0.11	0.17	0.48	0.81	0.33
Q30	-0.09	-0.02	0.15	0.58	0.62	-0.02	0.11	0.38	1.05
Σ MQ	3.65	3.44	3.38	3.09	2.67	3.82	3.48	3.03	3.09

(nH)

Worst

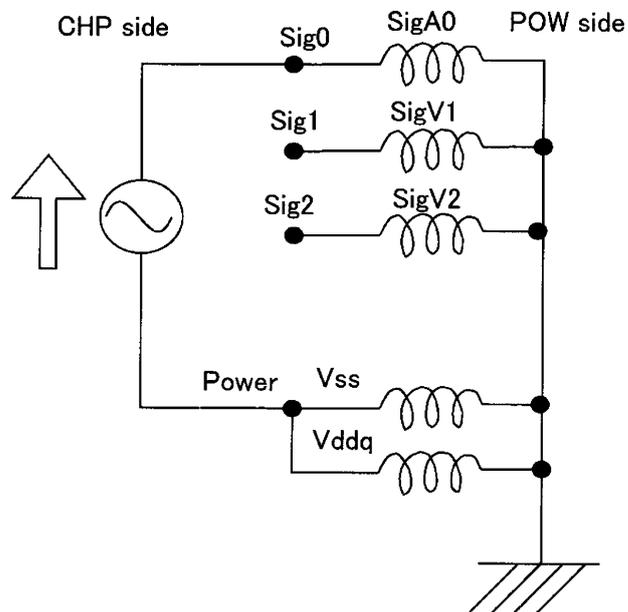
도면24

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	1.33	0.69	0.32	-0.13	-0.15	0.98	0.53	0.13	-0.10
Q19	0.58	1.27	0.60	-0.03	-0.10	0.60	0.79	0.30	-0.02
Q20	0.15	0.39	0.86	0.31	0.01	0.20	0.58	0.69	0.15
Q21	-0.02	0.07	0.34	0.88	0.41	0.02	0.27	0.68	1.04
Q22	-0.16	-0.10	0.05	0.78	0.77	-0.12	0.01	0.22	0.61
Q27	1.32	0.72	0.36	-0.09	-0.12	1.42	0.61	0.18	-0.06
Q28	0.94	0.96	0.72	-0.05	-0.12	0.73	1.11	0.35	-0.03
Q29	0.14	0.25	0.69	0.66	0.22	0.20	0.62	0.96	0.53
Q30	-0.02	0.05	0.29	0.79	0.48	0.03	0.26	0.50	1.41
Σ MQ	4.66	4.50	4.22	3.71	2.37	4.31	4.78	4.02	3.93

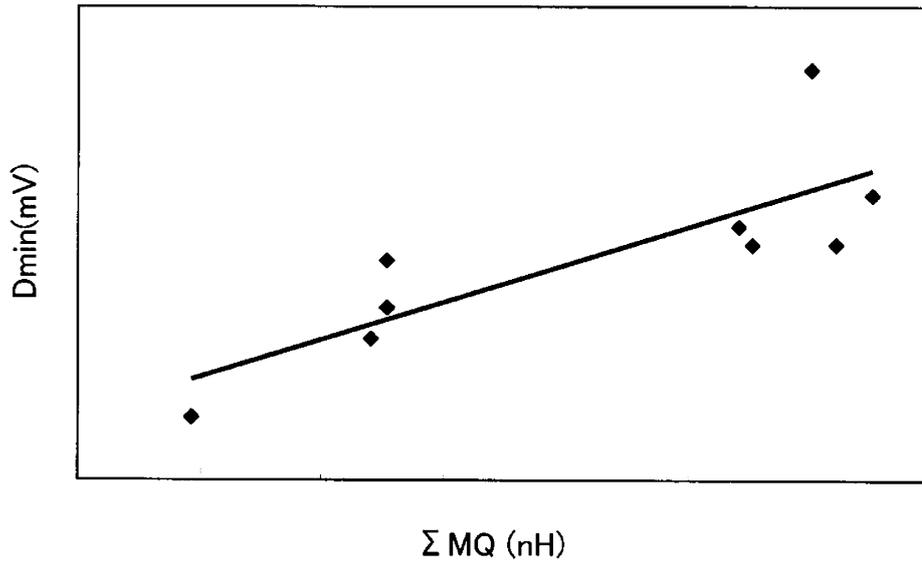
(nH)

Worst

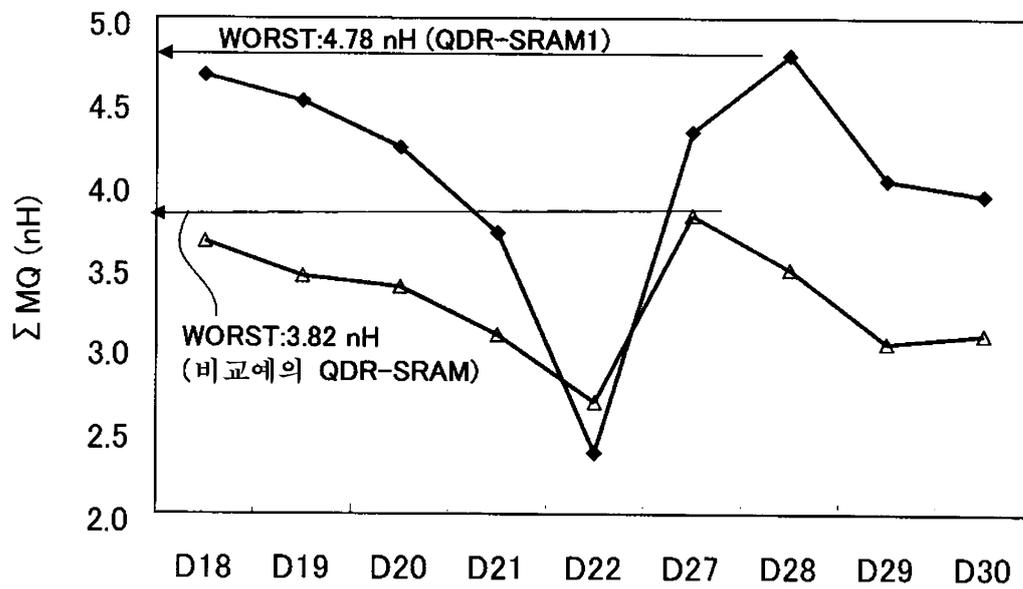
도면25



도면27



도면28

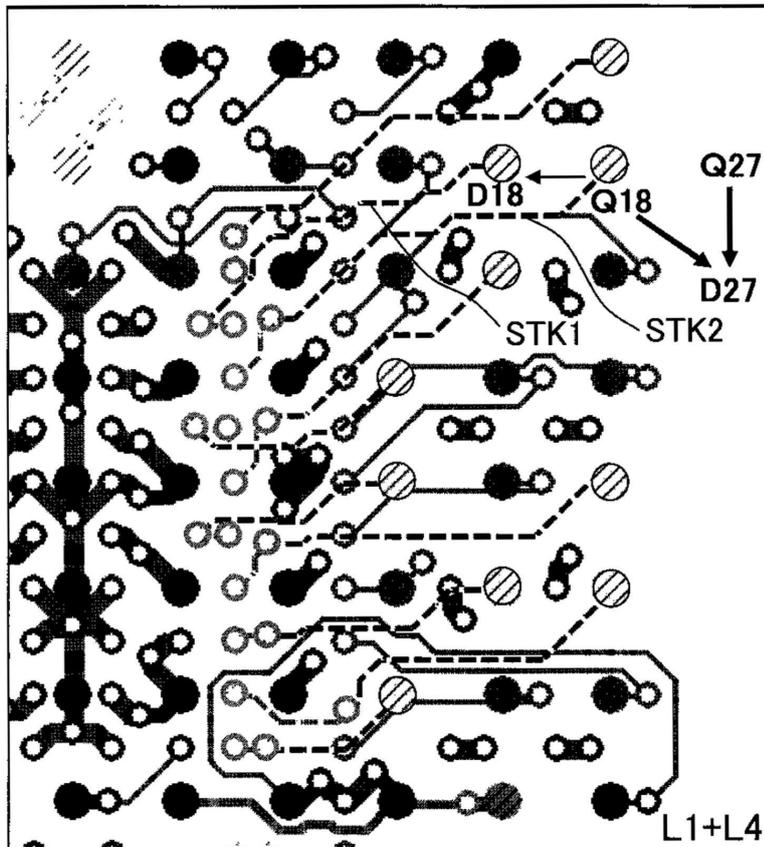


도면29

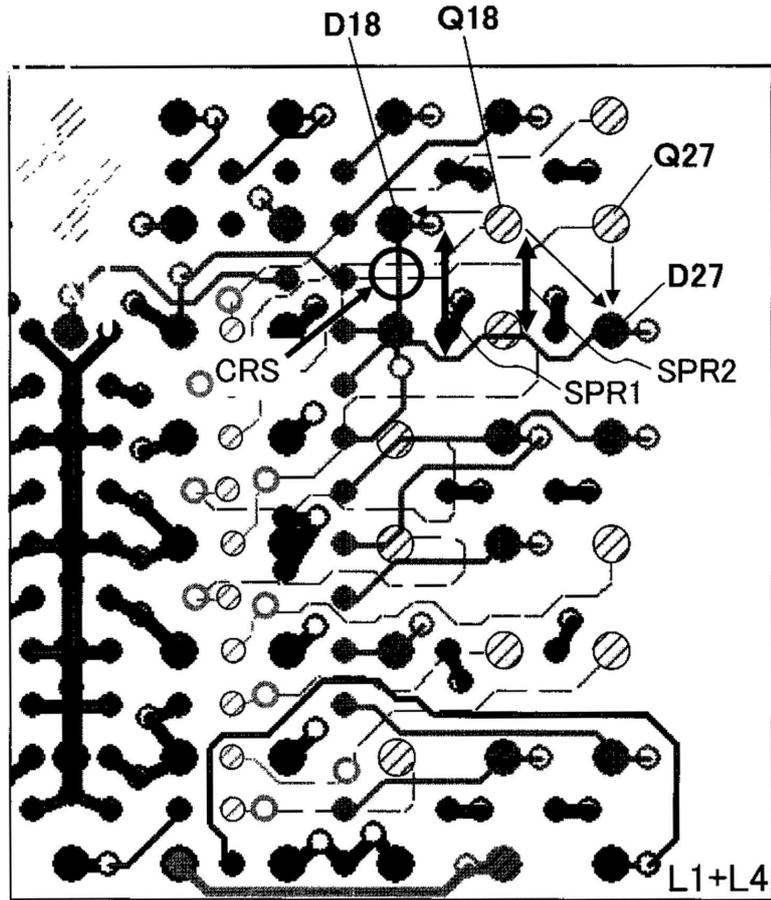
	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.98	0.37	0.16	-0.22	-0.23	0.84	0.31	-0.04	-0.18
Q19	0.37	0.93	0.52	-0.06	-0.15	0.46	0.61	0.22	-0.07
Q20	0.05	0.36	0.75	0.17	-0.06	0.15	0.47	0.50	0.05
Q21	-0.09	0.04	0.29	0.66	0.32	-0.01	0.17	0.67	0.59
Q22	-0.21	-0.15	-0.02	0.77	0.75	-0.17	-0.07	0.19	0.55
Q27	0.98	0.52	0.27	-0.18	-0.21	1.20	0.49	0.03	-0.15
Q28	0.82	0.81	0.57	-0.12	-0.21	0.79	0.77	0.18	-0.12
Q29	0.05	0.23	0.63	0.33	0.11	0.17	0.48	0.81	0.33
Q30	-0.09	-0.02	0.15	0.58	0.62	-0.02	0.11	0.38	1.05
Σ MQ	3.65	3.44	3.38	3.09	2.67	3.82	3.48	3.03	3.09

(nH)

도면30



도면31



도면32

	D18	D19	D20	D21	D22	D27	D28	D29	D30
Q18	0.90	0.35	0.15	-0.23	-0.24	0.70	0.30	-0.04	-0.18
Q19	0.38	0.93	0.54	-0.04	-0.14	0.48	0.59	0.26	-0.05
Q20	0.05	0.36	0.75	0.18	-0.04	0.18	0.46	0.52	0.07
Q21	-0.09	0.05	0.32	0.67	0.32	0.01	0.18	0.69	0.59
Q22	-0.22	-0.15	-0.01	0.76	0.75	-0.16	-0.07	0.19	0.53
Q27	0.97	0.51	0.25	-0.19	-0.22	1.05	0.47	0.02	-0.16
Q28	0.84	0.80	0.56	-0.12	-0.21	0.84	0.79	0.19	-0.11
Q29	0.04	0.21	0.61	0.35	0.13	0.19	0.46	0.80	0.37
Q30	-0.09	-0.01	0.18	0.59	0.61	0.00	0.13	0.41	1.03
Σ MQ	3.58	3.37	3.37	3.12	2.66	3.62	3.45	3.12	3.09

(nH)

도면33

