

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 1 年 5 月 9 日 (2019.5.9)

【公表番号】特表 2018-528524 (P2018-528524A)

【公表日】平成 30 年 9 月 27 日 (2018.9.27)

【年通号数】公開・登録公報 2018-037

【出願番号】特願 2018-505415 (P2018-505415)

【国際特許分類】

G 0 6 F 1/04 (2006.01)

G 0 6 F 1/32 (2019.01)

【 F I 】

G 0 6 F 1/04 5 7 1

G 0 6 F 1/04 5 7 0

G 0 6 F 1/04 5 7 5

G 0 6 F 1/32 Z

【手続補正書】

【提出日】平成 31 年 3 月 20 日 (2019.3.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のプロセッサと、

入力クロック信号を生成するように構成されたクロックデバイスと、

前記クロックデバイスから前記入力クロック信号を受信し、前記入力クロック信号に基づいて前記複数のプロセッサに出力クロック信号を出力するように構成された周波数調整器と、

前記プロセッサのうちの 1 つまたは複数の他のプロセッサがアクティブモードにある間、アイドルモードにある前記プロセッサのうちの 1 つまたは複数をアクティブ化するための信号を受信するように構成された電力マネージャと、ここにおいて、前記信号に応答して、前記電力マネージャは、前記出力クロック信号の周波数を第 1 のクロック周波数から第 2 のクロック周波数に低減するように前記周波数調整器に命令し、前記出力クロック信号の前記周波数が前記第 2 のクロック周波数にある間、前記アイドルモードにある前記プロセッサのうちの前記 1 つまたは複数をアクティブ化し、前記プロセッサのうちの前記 1 つまたは複数がアクティブ化された後に、前記出力クロック信号の前記周波数を前記第 2 のクロック周波数から前記第 1 のクロック周波数に増加させるように前記周波数調整器に命令するように構成された、

を備える、処理システム。

【請求項 2】

前記第 1 のクロック周波数が、前記入力クロック信号の周波数にほぼ等しい、請求項 1 に記載の処理システム。

【請求項 3】

前記第 2 のクロック周波数が、前記第 1 のクロック周波数の 20 % から 80 % の間である、請求項 2 に記載の処理システム。

【請求項 4】

前記電力マネージャが、前記プロセッサのうちの前記 1 つまたは複数中の内部クロック

経路をアンゲートすることによって、前記プロセッサのうちの前記１つまたは複数をアクティブ化するように構成された、請求項１に記載の処理システム。

【請求項５】

前記周波数調整器が、前記入力クロック信号のパルスを選択的にスワローすることによって前記出力クロック信号の前記周波数を低減するように構成された、請求項１に記載の処理システム。

【請求項６】

前記周波数調整器が、前記入力クロック信号の周波数を分割することによって前記出力クロック信号の前記周波数を低減するように構成された、請求項１に記載の処理システム。

【請求項７】

前記プロセッサのうちの前記１つまたは複数をアクティブ化するための前記信号が中断信号を備える、請求項１に記載の処理システム。

【請求項８】

前記電力マネージャが、中断まで待機（WFI）命令の実行に応答して前記プロセッサのうちの前記１つまたは複数を前記アイドルモードに入れるように構成され、前記中断信号は、前記プロセッサのうちの前記１つまたは複数が前記アイドルモードに入れられた後に受信される、請求項１に記載の処理システム。

【請求項９】

前記電力マネージャは、前記信号に応答してアクティブ化されるべき前記プロセッサのうちの前記１つまたは複수와、前記信号が受信された時間において前記アクティブモードにある前記プロセッサのうちの前記１つまたは複数の他のプロセッサとに基づいて、前記第２のクロック周波数を決定するように構成された、請求項１に記載の処理システム。

【請求項１０】

前記電力マネージャが、前記第１のクロック周波数に基づいて前記第２のクロック周波数を決定するようにさらに構成された、請求項９に記載の処理システム。

【請求項１１】

複数のプロセッサにおいて１つまたは複数のプロセッサをアクティブ化するための方法であって、

前記複数のプロセッサのうちの１つまたは複数の他のプロセッサがアクティブモードにある間、アイドルモードにある前記１つまたは複数のプロセッサをアクティブ化するための信号を受信することと、

前記信号に応答して、クロック信号の周波数を第１のクロック周波数から第２のクロック周波数に低減することと、ここにおいて、前記クロック信号が、前記アイドルモードにある前記１つまたは複数のプロセッサと、前記アクティブモードにある前記プロセッサのうちの前記１つまたは複数の他のプロセッサとを含む前記複数のプロセッサに出力される、

前記信号に応答して、前記クロック信号の前記周波数が低減された後に前記アイドルモードにある前記１つまたは複数のプロセッサをアクティブ化することと、

前記１つまたは複数のプロセッサがアクティブ化された後に前記クロック信号の前記周波数を前記第２のクロック周波数から前記第１のクロック周波数に増加させることとを備える、方法。

【請求項１２】

前記第２のクロック周波数が、前記第１のクロック周波数の２０％から８０％の間である、請求項１１に記載の方法。

【請求項１３】

前記１つまたは複数のプロセッサをアクティブ化することが、前記１つまたは複数のプロセッサ中の内部クロック経路をアンゲートすることを備える、請求項１１に記載の方法。

【請求項１４】

中断まで待機（WFI）命令の実行に応答して前記１つまたは複数のプロセッサを前記アイドルモードに入れること

をさらに備え、

ここにおいて、前記信号が、中断信号である、請求項１１に記載の方法。

【請求項１５】

前記１つまたは複数のプロセッサと、前記第２のクロック周波数の決定が行われる時間においてすでに前記アクティブモードにある前記複数のプロセッサのうちの前記１つまたは複数の他のプロセッサとに基づいて、前記第２のクロック周波数を決定することをさらに備え、ここにおいて、前記第２のクロック周波数を決定することが、前記第１のクロック周波数に基づいて前記第２のクロック周波数を決定することをさらに備える、請求項１１に記載の方法。