

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5685898号
(P5685898)

(45) 発行日 平成27年3月18日 (2015. 3. 18)

(24) 登録日 平成27年1月30日 (2015. 1. 30)

(51) Int. Cl.

F I

H O 1 L 25/065 (2006. 01)

H O 1 L 25/08 Z

H O 1 L 25/07 (2006. 01)

H O 4 N 5/335 7 8 O

H O 1 L 25/18 (2006. 01)

H O 1 L 27/04 U

H O 4 N 5/378 (2011. 01)

H O 1 L 27/14 A

H O 1 L 21/822 (2006. 01)

H O 1 L 27/14 D

請求項の数 13 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2010-255934 (P2010-255934)
 (22) 出願日 平成22年11月16日 (2010. 11. 16)
 (65) 公開番号 特開2011-159958 (P2011-159958A)
 (43) 公開日 平成23年8月18日 (2011. 8. 18)
 審査請求日 平成25年10月23日 (2013. 10. 23)
 (31) 優先権主張番号 特願2010-2979 (P2010-2979)
 (32) 優先日 平成22年1月8日 (2010. 1. 8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 助川 俊一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 福島 範之
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 木下 直哉

最終頁に続く

(54) 【発明の名称】 半導体装置、固体撮像装置、およびカメラシステム

(57) 【特許請求の範囲】

【請求項 1】

第1チップと、

第2チップと、を有し、

上記第1チップと上記第2チップは貼り合わされた積層構造を有し、

上記第1チップは、

少なくとも高耐圧トランジスタ系回路が搭載され、

上記第2チップは、

少なくとも上記高耐圧トランジスタ系回路より低耐圧な低耐圧トランジスタ系回路が
搭載され、

上記第1チップと上記第2チップ間の配線は、

上記第1チップに形成されたビアを通して接続され、

上記第1チップは、

搭載される回路ブロックの角部に電源および信号のポートを有するようにレイアウト
され、信号および電力供給用のビアが上記回路ブロックの角部近傍に配置されている
半導体装置。

【請求項 2】

上記第1チップは、

アナログ系回路が搭載され、

上記第2チップは、
デジタル系回路が搭載される
請求項1記載の半導体装置。

【請求項3】

上記第2チップには、
ボンディングパッドおよび入出力回路が配置され、
上記第1チップには、
上記第2チップにワイヤーボンディングするための開口部が形成されている
請求項1または2記載の半導体装置。

【請求項4】

上記第1チップには、
電力供給用ビアと、
信号用ビアと、が形成され、
電力供給用ビアから供給される電力の電源配線が回路ブロックのポートに接続され、
信号配線は、第1チップの回路ブロックの角部近傍のビアに接続される
請求項1から3のいずれかーに記載の半導体装置。

【請求項5】

上記第1チップでは、
信号配線は、電力供給用ビア間の隙間にビア接続配線層とは別の配線層で配線され、
回路ブロックに接続される
請求項1から4のいずれかーに記載の半導体装置。

【請求項6】

上記第1チップにおいては、電力供給用ビアは、信号供給用ビアよりチップの縁部に対してより内側に配置されている
請求項1から5のいずれかーに記載の半導体装置。

【請求項7】

回路ブロックを複数に分割し、回路ブロック間のスペースに上記ビアが配置されている
請求項1から6のいずれかーに記載の半導体装置。

【請求項8】

上記第2チップに、上記第1チップの電源配線と平行して配線された電源線によって裏打ちされている
請求項7記載の半導体装置。

【請求項9】

光電変換を行う複数の画素が行列状に配列された画素部と、
上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し回路と、
を有し、

上記画素信号読み出し回路は、

画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数のコンパレータと、

上記比較器の出力により動作が制御され、対応する上記コンパレータの比較時間をカウントする複数のカウンタと、

第1チップと、

第2チップと、を有し、

上記第1チップと上記第2チップは貼り合わされた積層構造を有し、

上記第1チップは、

少なくとも上記画素部および上記画素信号読み出し回路のコンパレータが搭載され、

上記第2チップは、

少なくとも上記画素信号読み出し回路のカウンタが搭載され、

上記第1チップと上記第2チップ間の配線は、

上記第1チップに形成されたビアを通して接続され、

10

20

30

40

50

上記第 1 チップは、
搭載される回路ブロックの角部に電源および信号のポートを有するようにレイアウト
され、

信号および電力供給用のビアが上記回路ブロックの角部近傍に配置されている
固体撮像装置。

【請求項 10】

上記第 1 チップは、
アナログ系回路が搭載され、
上記第 2 チップは、
デジタル系回路が搭載される
請求項 9 記載の固体撮像装置。

10

【請求項 11】

上記第 2 チップには、
ボンディングパッドおよび入出力回路が配置され、
上記第 1 チップには、
上記画素部の周囲に上記第 2 チップにワイヤーボンディングするための開口部が形成
されている

請求項 9 または 10 記載の固体撮像装置。

【請求項 12】

上記第 1 チップには、
電力供給用ビアと、
信号用ビアと、が形成され、
電力供給用ビアから供給される電力の電源配線が回路ブロックのポートに接続され、
信号配線は、第 1 チップの回路ブロックの角部近傍のビアに接続される
請求項 9 から 11 のいずれかーに記載の固体撮像装置。

20

【請求項 13】

固体撮像素子と、
上記撮像素子に被写体像を結像する光学系と、を有し、
上記固体撮像素子は、
光電変換を行う複数の画素が行列状に配列された画素部と、
上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し回路と
、を有し、

30

上記画素信号読み出し回路は、
画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、
その判定信号を出力する複数のコンパレータと、

上記比較器の出力により動作が制御され、対応する上記コンパレータの比較時間を
カウントする複数のカウンタと、

第 1 チップと、

第 2 チップと、を有し、

上記第 1 チップと上記第 2 チップは貼り合わされた積層構造を有し、

40

上記第 1 チップは、

少なくとも上記画素部および上記画素信号読み出し回路のコンパレータが搭載され、
上記第 2 チップは、

少なくとも上記画素信号読み出し回路のカウンタが搭載され、

上記第 1 チップと上記第 2 チップ間の配線は、

上記第 1 チップに形成されたビアを通して接続され、

上記第 1 チップは、

搭載される回路ブロックの角部に電源および信号のポートを有するようにレイアウト
され、

信号および電力供給用のビアが上記回路ブロックの角部近傍に配置されている

50

カメラシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2つのチップの積層構造を有する半導体装置、固体撮像装置、およびカメラシステムに関するものである。

【背景技術】

【0002】

従来、撮像装置はCMOSイメージセンサ(CIS)チップと画像処理チップの2チップをそれぞれパッケージに搭載し、モジュールとして組み立てを行っている。

10

もしくは、それぞれのチップをCOB(Chip On Board)実装している場合もある。

【0003】

近年、携帯電話などに撮像装置を搭載する場合に、実装面積の低減、小型化が求められており、上記2チップを1チップ化するSOC(System On Chip)が開発されている(図2(A)参照)。

【0004】

しかし、1チップ化するために、CISプロセスと高速ロジックプロセスが混載されたプロセスは工程数が増加しコスト高なだけでなく、アナログ特性とロジック特性の両立が難しくなり、撮像装置の特性劣化につながる懸念がある。

そこで、上記の2チップをチップレベルで組み立て、小型化と特性向上の両立を図る方法が提案されている(特許文献1, 2参照)。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-146816号公報

【特許文献2】特開2008-85755号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところが、2つのチップ間接続において、その構造上、配置ピッチは小さく、また、歩留まり低下を招くおそれがある。

30

また、下チップから上チップへの電源やリファレンス信号などDC成分の供給において、1/fノイズ等の影響を受けやすい。そのため、上下チップ間の通信に特別な回路を必要とし、結果的にコスト増大を招くという不利益がある。

【0007】

本発明は、両チップ間の接続部によるノイズの影響を低減でき、通信に特別な回路を必要とせず、結果的にコスト削減を図ることができる半導体装置、固体撮像装置、およびカメラシステムを提供することにある。

【課題を解決するための手段】

【0008】

40

本発明の第1の観点の半導体装置は、第1チップと、第2チップと、を有し、上記第1チップと上記第2チップは貼り合わされた積層構造を有し、上記第1チップは、少なくとも高耐圧トランジスタ系回路が搭載され、上記第2チップは、少なくとも上記高耐圧トランジスタ系回路より低耐圧な低耐圧トランジスタ系回路が搭載され、上記第1チップと上記第2チップ間の配線は、上記第1チップに形成されたビアを通して接続され、上記第1チップは、搭載される回路ブロックの角部に電源および信号のポートを有するようにレイアウトされ、信号および電力供給用のビアが上記回路ブロックの角部近傍に配置されている。

【0009】

本発明の第2の観点の固体撮像装置は、光電変換を行う複数の画素が行列状に配列され

50

た画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し回路と、を有し、上記画素信号読み出し回路は、画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数のコンパレータと、上記比較器の出力により動作が制御され、対応する上記コンパレータの比較時間をカウントする複数のカウンタと、第1チップと、第2チップと、を有し、上記第1チップと上記第2チップは貼り合わされた積層構造を有し、上記第1チップは、少なくとも上記画素部および上記画素信号読み出し回路のコンパレータが搭載され、上記第2チップは、少なくとも上記画素信号読み出し回路のカウンタが搭載され、上記第1チップと上記第2チップ間の配線は、上記第1チップに形成されたビアを通して接続され、上記第1チップは、搭載される回路ブロックの角部に電源および信号のポートを有するようにレイアウトされ、信号および電力供給用のビアが上記回路ブロックの角部近傍に配置されている。

10

【0010】

本発明の第3の観点のカメラシステムは、固体撮像素子と、上記撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し回路と、を有し、上記画素信号読み出し回路は、画素の列配列に対応して配置され、読み出し信号電位と参照電圧とを比較判定し、その判定信号を出力する複数のコンパレータと、上記比較器の出力により動作が制御され、対応する上記コンパレータの比較時間をカウントする複数のカウンタと、第1チップと、第2チップと、を有し、上記第1チップと上記第2チップは貼り合わされた積層構造を有し、上記第1チップは、少なくとも上記画素部および上記画素信号読み出し回路のコンパレータが搭載され、上記第2チップは、少なくとも上記画素信号読み出し回路のカウンタが搭載され、上記第1チップと上記第2チップ間の配線は、上記第1チップに形成されたビアを通して接続され、上記第1チップは、搭載される回路ブロックの角部に電源および信号のポートを有するようにレイアウトされ、信号および電力供給用のビアが上記回路ブロックの角部近傍に配置されている。

20

【発明の効果】

【0011】

本発明によれば、両チップ間の接続部によるノイズの影響を低減でき、通信に特別な回路を必要とせず、結果的にコスト削減を図ることができる。

30

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係る半導体装置としての固体撮像装置の構成例を示す図である。

【図2】本実施形態に係る固体撮像装置と画像処理プロセッサを搭載したSOCタイプの通常型固体撮像装置とを比較して示す図である。

【図3】本実施形態に係る積層構造の固体撮像装置のプロセスフローを示す図である。

【図4】本実施形態に係る固体撮像装置の第1の構成例を示すブロック図である。

【図5】本実施形態に係る第1チップおよび第2チップのフロアプランの一例を示す図である。

40

【図6】本実施形態に係る第1チップおよび第2チップのフロアプランにおける電源配線のレイアウト例を示す図である。

【図7】図6中において円Aで囲まれた部分の拡大図であって、回路ブロックの近傍に配置されるTCVの具体例を示す図である。

【図8】図7のA-A'間の断面構造を示す図である。

【図9】図8の回路ブロック配線の変形例を示す図である。

【図10】図9のB-B'間の断面構造を示す図である。

【図11】本実施形態に係る固体撮像装置の第2の構成例を示すブロック図である。

【図12】本実施形態に係る固体撮像装置の第3の構成例を示すブロック図である。

【図13】図12の固体撮像装置における第1チップおよび第2チップのフロアプランの

50

一例を示す図である。

【図 1 4】本実施形態に係る固体撮像装置の第 4 の構成例を示すブロック図である。

【図 1 5】図 1 4 の固体撮像装置における第 1 チップおよび第 2 チップのフロアプランの一例を示す図である。

【図 1 6】 $\Sigma \Delta A D C$ (A D) 変換器の基本的な構成を示すブロック図である。

【図 1 7】固体撮像装置に $\Sigma \Delta A D C$ をカラム処理部に採用した画素アレイ周辺部の基本構成を示す図である。

【図 1 8】オーバーサンプリングの方式を説明するための図である。

【図 1 9】 $\Sigma \Delta A D C$ を含むカラム処理部にデジタルフィルタを採用した画素アレイ周辺部の第 1 の構成例を示す図である。

10

【図 2 0】 $\Sigma \Delta A D C$ を含むカラム処理部にデジタルフィルタを採用した画素アレイ周辺部の第 2 の構成例を示す図である。

【図 2 1】本実施形態に係る固体撮像装置の第 5 の構成例を示すブロック図である。

【図 2 2】本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

【発明を実施するための形態】

【0 0 1 3】

以下、本発明の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 固体撮像装置の概要
2. プロセスフロー
3. 回路配置
4. T C V (コンタクト用ビア) の配置

20

【0 0 1 4】

< 1. 固体撮像装置の概要 >

図 1 は、本発明の実施形態に係る半導体装置としての固体撮像装置の構成例を示す図である。

本実施形態においては、半導体装置の一例として C M O S イメージセンサの構成について説明する。

【0 0 1 5】

30

固体撮像装置 1 0 は、図 1 に示すように、第 1 チップ (上チップ) 1 1 と第 2 チップ (下チップ) 1 2 の積層構造を有する。

この固体撮像装置 1 0 は、後で述べるように、ウェハレベルで貼り合わせ後、ダイシングで切り出した積層構造の撮像装置として形成される。

【0 0 1 6】

上下 2 チップの積層構造において、第 1 チップ 1 1 は C M O S イメージセンサ (C I S : CMOS Image Sensor) チップ、第 2 チップ 1 2 は第 1 チップの制御回路および画像処理回路を含むロジックチップで構成される。

ボンディングパッド B P D および入出力回路は第 2 チップ (下チップ) 1 2 に形成されており、第 1 チップ (上チップ) には、第 2 チップ 1 2 にワイヤーボンドするための開口部 O P N が形成されている。

40

【0 0 1 7】

そして、本実施形態に係る 2 チップの積層構造を有する固体撮像装置 1 0 は、以下の特徴的な構成を有する。

映像データの上下チップ 1 1 , 1 2 間の信号授受を行う端縁部は、アナログ系回路のうちデジタル系回路との境界的な回路であるコンパレータや $\Sigma \Delta$ 変調器の出力部とする。

上下チップ 1 1 , 1 2 間の接続は、たとえばビアを通して行われる。

第 1 チップ (上チップ) 1 1 は C I S (CMOS Image Sensor) プロセスを用いる。ただし、トランジスタ (T r .) は高耐圧トランジスタ (C M O S) のみ使用し、配線層数を画素アレイおよびその周辺回路の構成に必要な最低限の配線層数とし、コストの低減を図る。

50

ここで、高耐圧トランジスタとは、ゲート絶縁膜であるゲート酸化膜の厚さが、通常のMOS系トランジスタにより厚く設定されており、高い電圧において問題なく動作可能なトランジスタである。

なお、一般的なCISプロセスは、制御回路や画像処理回路など高速論理回路のために低耐圧LVの高速トランジスタTr.も高耐圧のトランジスタ(HV Tr.)と共に必要である。さらに高速論理回路のために、画素アレイおよび周辺回路に最低必要な配線層数より多い配線層数が必要となる。

第2チップ(下チップ)12は汎用ロジック(Logic)プロセスを用いて、FABの変更や展開を容易にする。

【0018】

10

撮像装置10に必要な回路で、特にアナログ特性やノイズ特性($1/f$ ノイズ等)が厳しく要求される特性上重要な回路を、第1チップ(上チップ)11に搭載する。

後で説明するように、本実施形態においては、画素アレイ、垂直デコーダ、ドライバ、コンパレータ、およびDAC(Digital Analog converter)などが第1チップ11に搭載される。

高速論理回路、メモリ、インターフェース(I/F)回路など、低電圧で高速動作する回路を第2チップ(下チップ)12に搭載する。回路に要求される特性や規模を考慮してプロセス世代や配線層数を決定する。

同一の第1チップ(上チップ)11に対して、機能や特性、プロセスの異なる第2チップ(下チップ)12を組み合わせて製品展開を図る。

20

【0019】

後で図5や図6に関連付けて説明するように、ビアの配置位置はチップ端、もしくはパッド(PAD)と回路領域の間とする。

映像信号配線はコンパレータ回路の端部で、垂直信号線の配線ピッチで配置される。

制御信号ならびに電力供給用TCV(コンタクト用ビア)は主にチップ角部の4箇所に集中し、第1チップ(上チップ)11の信号配線領域を削減する。

第1チップ(上チップ)11の配線層数削減により、電源線抵抗が増加し、IR-Dropが増大する問題に対し、TCVを有効に配置することで、第2チップ(下チップ)12の配線を用いて第1チップ(上チップ)11の電源のノイズ対策や安定供給等のための強化を行う。

30

【0020】

以下、このような特徴的な構成について具体的に説明する。

【0021】

図2(A)～(C)は、本実施形態に係る固体撮像装置と画像処理プロセッサを搭載したSOCタイプの通常型固体撮像装置とを比較して示す図である。

【0022】

図2(A)は、画像処理プロセッサを搭載したSOC(System On Chip)タイプの通常型固体撮像装置を示しており、CISプロセスとLogicプロセスの混載プロセスで作られている。

本実施形態において、図2(A)のSOCの構成回路のうち、画素アレイと、アナログ回路で特に $1/f$ ノイズが回路特性に影響を及ぼす回路(コンパレータ、DAC回路など)を図2(B)に示すチップ11に搭載する。

40

本実施形態では、上記の他に、高耐圧トランジスタ(HV Tr.)で構成される垂直デコーダ・ドライバ、パッド開口部OPNなどをひとつのチップにまとめたものが図2(B)であり、図1の第1(上チップ)11に相当する。

なお、垂直デコーダ・ドライバおよびパッド開口部OPNについては必ずしも第1チップ(上チップ)に搭載する必要はなく、第2チップ(下チップ)に搭載される場合もある。

第1チップ(上チップ)11は高耐圧トランジスタ(CMOS)で構成され、画素特性を含め、アナログ特性とノイズ特性が十分に管理されたプロセスを用いており、ノイズ量は

50

十分に低い。

また、配線層は第1チップ（上チップ）11を構成する回路に必要な最小限の配線層数で構成され、その数は、一般的にロジック（Logic）回路よりも少なくすることが可能である。

高耐圧トランジスタ（HV Tr.）だけを使用し、配線層数を削減することで、第1チップ（上チップ）11のプロセスコストはSOCタイプのCISのプロセスコストよりも安価にすることが可能となる。

【0023】

一方、第1チップ（上チップ）11に搭載された回路以外の回路については図2（C）に示すロジック（Logic）チップに搭載する。

10

低電圧高速Logicプロセスで構成可能な回路およびIO回路などがこれにあたる。

ロジック（Logic）チップは論理回路やメモリ回路用の低電圧高速トランジスタTr.と、入出力回路用の高耐圧トランジスタ（HV Tr.）が用いられている。低電圧高速トランジスタTr.とはゲート絶縁膜の膜厚を通常のMOS系トランジスタと同じあるいはそれ以下に設定して低電圧でも高速に動作するように形成されるトランジスタをいう。

FABの変更や展開を考慮して、一般的なASIC設計フローを用いて設計可能な回路構成とすることが望ましく、同一の上チップに対して、機能や特性、プロセスの異なる下チップを組み合わせて製品展開を図ることが容易になる。

一般的にロジック（Logic）プロセスの各種ノイズ、RTS、熱、たとえば $1/f$ ノイズ量は、ノイズ量を管理されたアナログプロセスより大きい。

20

ノイズ等の問題を解決しようとするれば、ロジック（Logic）プロセスのコスト上昇を招くだけでなく、Logic回路特性やその信頼性が劣化する可能性がある。このため、LogicFABの変更や展開を考慮すると、アナログ回路、特に $1/f$ ノイズが特性に影響する回路は第1チップ（上チップ）11に搭載する。

なお、低コストのロジック（Logic）を使うと $1/f$ ノイズは管理されていない、逆に管理されているプロセスは高コストになる。

【0024】

<2. プロセスフロー>

図3（A）～（C）は、本実施形態に係る積層構造の固体撮像装置のプロセスフローを示す図である。

30

【0025】

図3（A）に示すように、上下のチップをそれぞれ最適なプロセスで作製したウェハーを貼りあわせた後に、上チップの裏面を研磨し上チップのウェハー厚を薄くする。

第1チップ（上チップ）11側にパターニング後、第1チップ11側から第2チップ（下チップ）12の配線層までの貫通穴を開け、金属で埋めてビア（VIA）を形成する。本実施形態ではこのVIAをTCVと称する。

図3（B）に示すように、このTCVにより上下チップ間の信号線および電源線が電気的に接合される。

そして、図3（C）に示すように、第1チップ（上チップ）11側に、カラーフィルタおよびマイクロレンズの加工を行った後に、ダイシングによりチップとして切り出す。

40

【0026】

<3. 回路配置>

次に、本実施形態に係る回路配置、すなわち、第1チップ（上チップ）11および第2チップ（下チップ）12それぞれに搭載する回路の分類について、図4に関連付けて説明する。

【0027】

図4は、本実施形態に係る固体撮像装置の第1の構成例を示すブロック図である。

【0028】

図4の固体撮像装置10Aは光電変換素子を含む単位画素（図示しない）が行列状（マトリックス状）に多数2次元配置された画素アレイ部101を有する。

50

固体撮像装置10Aは、垂直駆動回路（行走査回路）102、垂直デコーダ103、カラム処理部104、参照信号供給部105、水平走査回路（列走査回路）106、タイミング制御回路107、および画像信号処理部108を含んで構成される。

固体撮像装置10Aは、さらにI/F系回路109を有する。

カラム処理部104は、コンパレータ1041およびカウンタ回路1042を含む。

【0029】

この固体撮像装置10Aにおいて、タイミング制御回路107は、マスタークロックに基づいて、垂直駆動回路102、カラム処理部104、参照信号供給部105、および水平走査回路106などの動作の基準となるクロック信号や制御信号などを生成する。

また、画素アレイ部101の各单位画素を駆動制御する周辺の駆動系や、アナログ系、すなわち垂直駆動回路102、カラム処理部104のうちコンパレータ1041および参照信号供給部105などは画素アレイ部101と同一の第1チップ11上に集積される。

一方、タイミング制御回路107や画像信号処理部108、およびカラム処理部104のうち、カウンタ回路1042や水平走査回路106は上記とは別の第2チップ（半導体基板）12上に集積される。

図4において、図中の破線に囲まれた部分が第1チップ（上チップ）11、それ以外が第2チップ（下チップ）12に配置される。

【0030】

単位画素としては、ここでは図示を省略するが、光電変換素子（たとえばフォトダイオード）を有する。単位画素は、光電変換素子に加えて、たとえば光電変換素子で光電変換して得られる電荷をFD（フローティングディフュージョン）部に転送する転送トランジスタを有する。

単位画素は、転送トランジスタに加えてFD部の電位を制御するリセットトランジスタと、FD部の電位に応じた信号を出力する増幅トランジスタとを有する3トランジスタ構成のものを適用可能である。あるいは、単位画素は、さらに画素選択を行うための選択トランジスタを別に有する4トランジスタ構成のものなどを用いることができる。

【0031】

画素アレイ部101には、単位画素がm行n列分だけ2次元配置され、このm行n列の画素配置に対して行毎に行制御線が配線され、列毎に列信号線が配線されている。

行制御線の各一端は、垂直駆動回路102の各行に対応した各出力端に接続されている。垂直駆動回路102は、シフトレジスタなどによって構成され、行制御線を介して画素アレイ部101の行アドレスや行走査の制御を行う。

【0032】

カラム処理部104は、たとえば画素アレイ部101の画素列毎、すなわち垂直信号線LSGN毎に設けられたADC（Analog digital converter）を有し、画素アレイ部101の各单位画素から列毎に出力されるアナログ信号をデジタル信号に変換して出力する。

【0033】

参照信号供給部105は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ（RAMP）波形の参照電圧V_{ref}を生成する手段として、たとえばDAC（デジタルアナログ変換器）を有している。

なお、ランプ波形の参照電圧V_{ref}を生成する手段としては、DACに限られるものではない。

DACは、タイミング制御回路107から与えられる制御信号による制御の下に、タイミング制御回路107から与えられるクロックに基づいてランプ波形の参照電圧V_{ref}を生成してカラム処理部104のADCに対して供給する。

【0034】

なお、ADCの各々は、単位画素全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、高速フレームレートモードとの各動作モードに対応したAD変換動作を選択的にに行い得る構成を有する。

高速フレームレートモードとは、通常フレームレートモード時に比べて、単位画素の露

10

20

30

40

50

光時間を $1/N$ に設定してフレームレートを N 倍、たとえば 2 倍に上げる動作モードである。

この動作モードの切り替えは、タイミング制御回路 107 から与えられる制御信号による制御によって実行される。また、タイミング制御回路 107 に対しては、外部のシステムコントローラ（図示せず）から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

A D C は全て同じ構成となっており、コンパレータ 1041、カウンタ回路 1042 である。たとえばアップ／ダウンカウンタ、転送スイッチおよびメモリ装置を有する。

【0035】

コンパレータ 1041 は、画素アレイ部 101 の n 列目の各単位画素から出力される信号に応じた垂直信号線の信号電圧と、参照信号供給部 105 から供給されるランプ波形の参照電圧 V_{ref} とを比較する。

コンパレータ 1041 は、たとえば参照電圧 V_{ref} が信号電圧よりも大きいときに出力 V_{co} が “H” レベルになり、参照電圧 V_{ref} が信号電圧 V_x 以下のときに出力 V_{co} が “L” レベルになる。

アップ／ダウンカウンタであるカウンタ回路 1042 は、非同期カウンタであり、タイミング制御回路 107 から与えられる制御信号による制御の下に、タイミング制御回路 107 からクロックが D A C と同時に与えられる。

カウンタ回路 1042 は、このクロックに同期してダウン（DOWN）カウントまたはアップ（UP）カウントを行うことにより、比較器（コンパレータ）での比較動作の開始から比較動作の終了までの比較期間を計測する。

【0036】

このようにして、画素アレイ部 101 の各単位画素から列信号線を経由して列毎に供給されるアナログ信号が、コンパレータ 1041 およびアップ／ダウンカウンタ回路 1042 の各動作により、 N ビットのデジタル信号に変換されてメモリ装置に格納される。

【0037】

水平走査回路 106 は、シフトレジスタなどによって構成され、カラム処理部 104 における A D C の列アドレスや列走査の制御を行う。

この水平走査回路 106 による制御の下に、A D C の各々で A D 変換された N ビットのデジタル信号は順に水平信号線 L H R に読み出され、この水平信号線 L H R を経由して撮像データとして画像信号処理部 108 に出力される。

【0038】

画像信号処理部 108 は、撮像データに対して各種の信号処理を施す回路で、画像信号処理回路（I S P : Image Signal Processor）1081、マイクロプロセッサ 1082、およびメモリ回路 1083 などを含んで構成される。

【0039】

本実施形態においては、第 1 チップ（上チップ）11 に搭載されたコンパレータ 1041 で各単位画素から出力される信号に応じた垂直信号線 L S G N の信号電圧と、参照信号供給部 105 から供給されるランプ波形の参照電圧 V_{ref} が比較される。

そして、その比較結果を、第 2 チップ（下チップ）12 に搭載された、カウンタ回路 1042 により比較動作の開始から比較動作の終了までの比較期間を計測する。

ここで、上下のチップにそれぞれ搭載されたコンパレータ 1041 とカウンタ回路 1042 間に T C V が挿入され、これを通して信号転送が行われる、映像信号パスをこの部分で分離することが本実施形態の特徴の一つである。

【0040】

第 1 チップ（上チップ）11 に搭載されるコンパレータ 1041 は高耐圧トランジスタ（H V T r .）のみで構成される。

コンパレータ 1041 は、画素アレイ部 101 および参照信号供給部 105 と同一チップ（上チップ）11 に搭載され、アナログ特性およびノイズ特性（特に $1/f$ ノイズ）を十分な特性が得られるようにプロセスが管理される。

10

20

30

40

50

【0041】

第2チップ（下チップ）12に搭載するカウンタ回路1042は、低耐圧トランジスタ（LV Tr.）のみで構成され、先端のロジック（Logic）プロセスを用いた、高速動作設計が行われる。

【0042】

TCVはその構造上、隣接信号からのクロストークノイズを受けやすく、特に配線ピッチの狭いADC部の映像信号を接続する場合は、できるだけノイズに強いCMOSデジタル信号を用いる必要がある。

コンパレータ1041の出力は、たとえば参照電圧Vrefが信号電圧よりも大きいときに出力Vcoが“H”レベルになり、参照電圧Vrefが信号電圧Vx以下のときに出力Vcoが“L”レベルになるいわゆる時間軸にデータを持つCMOS論理信号である。このCMOS論理信号は、ノイズ耐性が比較的高い。

10

【0043】

<4. TCVの配置>

TCVは主に、カラム処理部104のADC部の画像信号、第1チップ（上チップ）11に搭載された画素アレイ部101以外の回路の制御信号、および第1チップ（上チップ）11の電源/GNDを上下チップ間で接合するために用いられる。

【0044】

図5は、本実施形態に係る第1チップおよび第2チップのフロアプランの一例を示す図である。

20

【0045】

図5の例においては、第1チップ（上チップ）11に搭載される垂直駆動回路102、垂直デコーダ103、参照信号供給部105、コンパレータ1041の回路ブロックはその短辺に電源および信号のポートPTUを有するようにレイアウトされる。

制御信号および電力供給用のTCVは上記回路ブロックの短辺近傍に配置して、信号配線LSGおよび電源配線LPWRが、第1チップ（上チップ）11上を長く配線されることを避けることで、第1チップ（上チップ）11のチップ面積増加を防ぐ。

カラム処理部104の画素信号用TCV120は、広帯域映像信号を第1チップ11と第2チップ12間で接続するために、垂直信号線LSGNと同じピッチで直線状に、もしくは垂直信号線LSGNより大きいピッチでアレイ状に配置されたTCVのブロックである。第1チップ（上チップ）11では、コンパレータ1041の回路ブロック、第2チップ（下チップ）12では、カウンタ1042の回路ブロック、それぞれの長縁部に隣接して配置される。

30

【0046】

図6は、本実施形態に係る第1チップおよび第2チップのフロアプランにおける電源配線のレイアウト例を示す図である。

【0047】

たとえば、電源配線LPWRを例にすると、図6に示す第2チップ（下チップ）12のPAD-AおよびPAD-Bから供給される電力があるとする。

ここで、第2チップ（下チップ）12において、十分に低いインピーダンスで供給すべき第1チップ（上チップ）11の回路ブロック近傍にあるTCVに接続される。

40

第1チップ（上チップ）11では、TCVから供給される電力の電源配線LPWRが各回路ブロックのポートPTUに直接接続される。

制御信号の信号配線LCSも同様に、たとえば第2チップ（下チップ）12のタイミング制御回路107から出力された制御信号の信号配線LCSは、接続すべき第1チップ（上チップ）11の回路ブロックの短縁部近傍のTCVに接続される。

そして、TCVを経由して第1チップ（上チップ）11の回路ブロックのポートPTUに入力される。

第1チップ（上チップ）11の回路ブロックは、図6の例では、垂直駆動回路102、垂直デコーダ103である。

50

【0048】

図7は、図6中において円Aで囲まれた部分の拡大図であって、回路ブロック（この例では垂直デコーダ）の近傍に配置されるTCVの具体例を示す図である。

図8は、図7のA-A'間の断面構造を示す図である。

なお、図7においては、第1チップ（上チップ）11の配線要素のみ記載されている。

【0049】

図7において、TCV1～TCV5は電力供給用のTCVで第2チップ（下チップ）12から供給される電力の電源配線LPWRを第1チップ（上チップ）11の回路ブロックCBLKに接続する。

図7において、TCV7～TCV9は制御信号供給用のTCVで、制御信号用信号配線LCSは上下チップ間をTCVで接続される。

第1チップ（上チップ）11では、電力供給用TCV間のスペースをTCV接続配線層とは図示しない別の配線層で配線され、回路ブロックCBLKに接続される。

この例では、TCV121, 122の柱を避けてその間隙に信号配線LCSが配線されている。

そして、第1チップ（上チップ）11においては、電力供給用のTCV1～TCV5は、制御信号供給用のTCV7～9よりチップの縁部に対してより内側に配置されている。

これにより、図7に示すように、電源配線LPWRの面積を大きくすることが可能で、低抵抗化を実現しやすくなる。

各配線は、AlやCuにより形成される。

図8の例では、TCV接合部CNTにおいて、一例として、第1チップ（上チップ）11の最上位層と第2チップ（下チップ）12の最上位層を接続した場合を示している。

なお、図8はTCV接続の一例を示すもので、上下チップそれぞれにおける配線層の使い方や、回路の位置は任意であり、限定するものではない。

【0050】

本実施形態では、第1チップ（上チップ）11の配線層数を最小限に抑えているため、場合によっては、第1チップ（上チップ）11の回路ブロック内の電源配線LPWRのインピーダンスが増加し、回路ブロックの動作不良に至るおそれがある。

単純に電源配線幅を太くすればチップサイズの増加につながるため、第2チップ（下チップ）12の配線を用いて、第1チップ（上チップ）11の電源配線LPWRの電源のノイズ対策や安定供給等のための強化を行うことも可能である。

【0051】

図9は、図8の回路ブロック配線の変形例を示す図である。

図10は、図9のB-B'間の断面構造を示す図である。

なお、図10においては、簡略化のため、第2チップ（下チップ）12のロジック回路内の接続に必要な配線は図示されていない。

【0052】

この変形例においては、回路ブロックを回路ブロックCBLK1、CBLK2の2つに分割し、そのスペースにTCVを配置する。

そして、第2チップ（下チップ）12に、第1チップ（上チップ）11の電源配線LPWRUと平行して配線された電源線LPWRBによって裏打ちを行う。

【0053】

本実施形態では、上下チップ間接続はTCVで行うが、その構造上、配置ピッチは十分に小さく、さらにウェハープロセスにおいて加工されるために、歩留まり低下を招くおそれは小さい。

また、第2チップ（下チップ）12から第1チップ（上チップ）11への電源やリファレンス信号などDC成分の供給も同TCVを介して行われるため、通信に特別な回路を必要とせず、結果的にコスト削減が可能となる。

【0054】

以上説明したように、本実施形態によれば、以下の効果を得ることができる。

画像データの信号授受を行う端縁部における信号は、たとえばコンパレータの出力信号とすることで、T C V接続部におけるノイズの問題を低減することができ、上下チップ間の回路配置にもっとも適した回路構成を可能とする。

アナログ特性とノイズ特性（特に $1/f$ ノイズ）に着目し、ノイズが特性に影響を及ぼす回路を上チップ（第1チップ）に配置することにより、上チップはノイズ耐性に優れた特性を実現することができる。

アナログ特性とノイズ特性（特に $1/f$ ノイズ）に着目し、ノイズが特性に影響を及ぼす回路を上チップ（第2チップ）に配置することにより、下チップは汎用のA S I C（Logic）プロセスを使用することが可能となる。また、下チップについては、ウェハ－F A Bの変更や、他F A Bへの展開が容易に可能となる。

10

上チップに最小限の配線層を用いてコスト削減を図ると共に、それに伴う上チップでのI R-ドロップ（Drop）などの問題を、T C Vを介した下チップ配線で補強することにより解決できる。

撮像装置の画素部とロジック部をそれぞれ最適なプロセスで作成し、ウェハレベルの貼りあわせを行い、積層チップにすることで、チップコストの削減効果が得られる。

最適なプロセスとは、上チップは高電圧トランジスタ（H V . T r）だけで構成される、必要最小限の配線層数を備えた回路であり、下チップは汎用のA S I Cプロセスである。

同一の上チップを用いて、下チップを変更することで、多様な製品展開が可能となる。

【0055】

20

なお、本実施形態において、図4の構成では、デジタル系回路である垂直デコーダ103を第1チップ11に配置した。ただし、他の構成を採用することも可能である。

【0056】

図11は、本実施形態に係る固体撮像装置の第2の構成例を示すブロック図である。

【0057】

本発明の実施形態に係る固体撮像装置10Bは、図11に示すように、この垂直デコーダ103を第2チップ12B側に搭載し、アナログ系回路とデジタル系回路を異なるチップに振り分けて構成することも可能である。

【0058】

図12は、本実施形態に係る固体撮像装置の第3の構成例を示すブロック図である。

30

図13は、図12の固体撮像装置における第1チップおよび第2チップのフロアプランの一例を示す図である。

【0059】

本実施形態において、第2チップ（下チップ）12に搭載すべき回路の規模が小さい場合、固体撮像装置のチップサイズの縮小を図るために、図12に示すように構成することも可能である。

すなわち、図12の固体撮像装置10Cのように、第1チップ（上チップ）11に搭載される回路のうち、垂直駆動回路（行走査回路）102、垂直デコーダ103の一部を第2チップ（下チップ）12に移動することも可能である。

この場合、垂直駆動回路（行走査回路）102を第1チップ（上チップ）11に、垂直デコーダ103を第2チップ（下チップ）12にと分割しても良い。

40

あるいは、垂直駆動回路（行走査回路）102と垂直デコーダ103を統合してひとつの機能ブロックとし、その一部を、第1チップ（上チップ）11に搭載し、残りを第2チップ（下チップ）12に搭載しても良い。

【0060】

図13のフロアプラン例では、垂直駆動回路（行走査回路）102と垂直デコーダ103を統合した回路ブロックを、上下チップに分割することにより、分割されたブロック間を電氣的に接続するための、信号用T C V領域が追加されている。

しかしながら、垂直駆動回路（行走査回路）102と垂直デコーダ103が上下に分割されたことにより、上チップの同ブロックのレイアウト幅が縮小され、固体撮像装置10

50

Cのチップサイズが縮小される。

【0061】

図14は、本実施形態に係る固体撮像装置の第4の構成例を示すブロック図である。

図15は、図14の固体撮像装置における第1チップおよび第2チップのフロアプランの一例を示す図である。

【0062】

本実施形態において、第2チップ（下チップ）12に搭載すべき回路の規模がさらに小さい場合、図14に示すように構成することも可能である。

すなわち、図14の固体撮像装置10Dのように、垂直駆動回路（行走査回路）102、垂直デコーダ103の全てと、参照信号供給部105を、第2チップ（下チップ）12に搭載することも可能である。

10

この場合、参照信号供給部105には、アナログ回路が含まれるため、第2チップ（下チップ）12のノイズ量に注意が必要である。しかし、参照信号供給部105は、コンパレータ1041に比べ、ノイズの影響を受けにくいいため、第2チップ（下チップ）12への搭載が可能である。

【0063】

図15のフロアプラン例では、画像信号処理部の回路規模は小さくなるが、垂直駆動回路（行走査回路）102、垂直デコーダ103と、参照信号供給部105が第2チップ（下チップ）12に搭載されている。

図5の構成例に比べ、第1チップ（上チップ）11は、垂直駆動回路（行走査回路）102、垂直デコーダ103の全てと、参照信号供給部105が削除されチップサイズが縮小されている。

20

また、図示はしないが、垂直駆動回路（行走査回路）102、垂直デコーダ103の一部を第1チップ（上チップ）11に搭載することも可能である。

また、図15の例では、PAD配置を左右の2辺に2列配置しているが、PAD配置については、PAD領域の確保やレンズモジュールへの実装などを考慮しているもので、4辺配置、3辺配置、2辺2列配置など、種々の態様が可能である。

【0064】

また、上述した各実施形態においては、カラム処理部104として、コンパレータ1041およびカウンタ回路1042を含む列並列型ADCを例に説明したが、本発明は他のADC機能を有するカラム処理部の構成を採用することができる。

30

その一例として、 $\Sigma\Delta$ 変調器（ $\Sigma\Delta$ ADC）を適用したカラム処理部の構成例について説明する。

【0065】

まず、 $\Sigma\Delta$ ADC（AD変換器）の基本的な構成について説明する。

図16は、 $\Sigma\Delta$ ADC（AD変換器）の基本的な構成を示すブロック図である。

【0066】

$\Sigma\Delta$ ADC130は、フィルタ部131と、1～5ビット（bit）と分解能が低いADC（AD変換器）132と、ADCと同じビット数のDA変換器（DAC）133と、入力段の減算器134により構成される。

40

$\Sigma\Delta$ ADC130は、フィードバックを用いたシステムであるため、回路の非線形性、ノイズが圧縮され、高分解を実現することができる。

【0067】

ただし、 $\Sigma\Delta$ ADC130は、アナログ入力部に近い部分ほど、回路の非線形、ノイズを圧縮することが困難であるため、フィルタ部131の入力回路とDAC133には高い線形性と低ノイズが求められる。

特に、DAC133の非線形性はノイズフロアを増加させる要因になるため、1ビット以外のADCを使用する場合は、DACの線形性を確保することが重要になる。

【0068】

図17は、固体撮像装置に $\Sigma\Delta$ ADCをカラム処理部に採用した画素アレイ周辺部の基

50

本構成を示す図である。

【0069】

図17のカラム処理部140は、CDS等の処理を行うカラム回路141、およびADC処理を行う $\Sigma\Delta$ 変調器($\Sigma\Delta$ ADC)142を含んで構成される。

$\Sigma\Delta$ 変調器142を採用する場合、ノイズ低減を主目的としてオーバーサンプリング方式が採用される。

【0070】

オーバーサンプリングの手法としては、たとえば以下の3つの方式がある。

図18(A)～(C)は、オーバーサンプリングの方式を説明するための図である。

第1は、図18(A)に示すように、ビデオフレームレート中に高速読み出しすることにより、オーバーサンプリングを行う方式である。

第2は、図18(B)に示すように、非破壊読み出しによりフレーム内でオーバーサンプリングを行う方式である。

第3は、図18(C)に示すように、サンプリングした一定値に対してオーバーサンプリングを行う方式である。

図17のカラム処理部140では、たとえば第3の方式が採用される。

【0071】

オーバーサンプリングによる $\Sigma\Delta$ 変調出力(ADC出力)は、デジタルフィルタによって、Nビットの通常のフレームレートに変換される。

【0072】

図19は、 $\Sigma\Delta$ ADCを含むカラム処理部にデジタルフィルタを採用した画素アレイ周辺部の第1の構成例を示す図である。

図20は、 $\Sigma\Delta$ ADCを含むカラム処理部にデジタルフィルタを採用した画素アレイ周辺部の第2の構成例を示す図である。

【0073】

図19のカラム処理部140Aは、 $\Sigma\Delta$ 変調器142の出力側にデジタルフィルタ143が配置され、デジタルフィルタ143の出力側に出力制御回路144が配置されている。

図20のカラム処理部140Bは、 $\Sigma\Delta$ 変調器142の出力側に出力制御回路144が配置され、出力制御回路144の出力側にデジタルフィルタ143が配置されている。

デジタルフィルタ143は、ソフトウェアで実現することにより、プログラマブルなフィルタが構成可能である。

【0074】

図21は、本実施形態に係る固体撮像装置の第5の構成例を示すブロック図である。

【0075】

図21の固体撮像装置10Eは、図19および図20のカラム処理部140A、140Bを採用した場合の構成例を示している。

この構成では、映像データの第1のチップ11と第2のチップ12間の信号授受を行う端縁部は、アナログ系回路のうちデジタル系回路との境界的な回路である $\Sigma\Delta$ 変調器の出力部となっている。

すなわち、固体撮像装置10Eにおいては、第1のチップ11Eにカラム回路141およびADC処理を行う $\Sigma\Delta$ 変調器($\Sigma\Delta$ ADC)142が配置される。そして、第2のチップ12E側にデジタルフィルタ143および出力制御回路144が配置される。

【0076】

なお、図示しないが、図11、図12、図14の構成と同様の構成にも図21の構成を同様に採用することが可能である。

【0077】

このような構成においても、上述した効果と同様の効果を得ることができる。

すなわち、画像データの信号授受を行う端縁部における信号は、 $\Sigma\Delta$ 変調器の出力信号とすることで、TCV接続部におけるノイズの問題を低減することができ、上下チップ間

10

20

30

40

50

の回路配置にもっとも適した回路構成を可能とする。

アナログ特性とノイズ特性（特に $1/f$ ノイズ）に着目し、ノイズが特性に影響を及ぼす回路を上チップ（第1チップ）に配置することにより、上チップはノイズ耐性に優れた特性を実現することができる。

アナログ特性とノイズ特性（特に $1/f$ ノイズ）に着目し、ノイズが特性に影響を及ぼす回路を上チップ（第2チップ）に配置することにより、下チップは汎用のASIC（Logic）プロセスを使用することが可能となる。また、下チップについては、ウェハーFABの変更や、他FABへの展開が容易に可能となる。

上チップに最小限の配線層を用いてコスト削減を図ると共に、それに伴う上チップでのIR-ドロップ（Drop）などの問題を、TCVを介した下チップ配線で補強することにより解決できる。

10

撮像装置の画素部とロジック部をそれぞれ最適なプロセスで作成し、ウェハレベルの貼りあわせを行い、積層チップにすることで、チップコストの削減効果が得られる。

最適なプロセスとは、上チップは高電圧トランジスタ（HV.Tr）だけで構成される、必要最小限の配線層数を備えた回路であり、下チップは汎用のASICプロセスである。

同一の上チップを用いて、下チップを変更することで、多様な製品展開が可能となる。

【0078】

なお、本実施形態においては、半導体装置の一例としてCMOSイメージセンサの構成について説明したが、上記構成はたとえば裏面照射型CMOSイメージセンサに適用することができ、上記各効果を発現することが可能である。ただし、前面照射型であっても十分に上記各効果を発現することが可能である。

20

このような構成を有する固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

【0079】

図22は、本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

【0080】

本カメラシステム200は、図22に示すように、本実施形態に係るCMOSイメージセンサ（固体撮像素子）10、10A～10Eが適用可能な撮像デバイス210を有する。

30

さらに、カメラシステム200は、この撮像デバイス210の画素領域に入射光を導く（被写体像を結像する）光学系、たとえば入射光（像光）を撮像面上に結像させるレンズ220を有する。

カメラシステム200は、撮像デバイス210を駆動する駆動回路(DRV)230と、撮像デバイス210の出力信号を処理する信号処理回路(PRC)240と、を有する。

【0081】

駆動回路230は、撮像デバイス210内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス210を駆動する。

40

【0082】

また、信号処理回路240は、撮像デバイス210の出力信号に対して所定の信号処理を施す。

信号処理回路240で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路240で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

【0083】

上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス210として、先述した撮像素子10、10A～10Eを搭載することで、高精度なカメラが実現

50

できる。

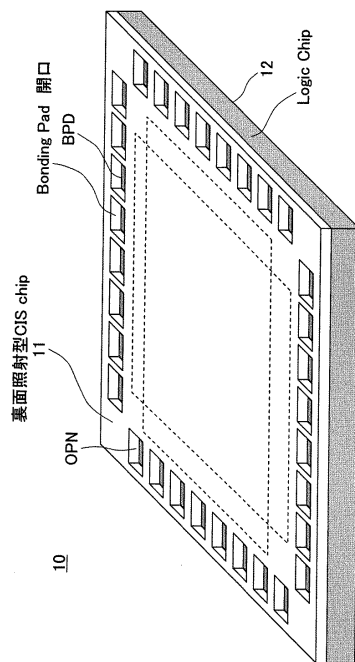
【符号の説明】

【0084】

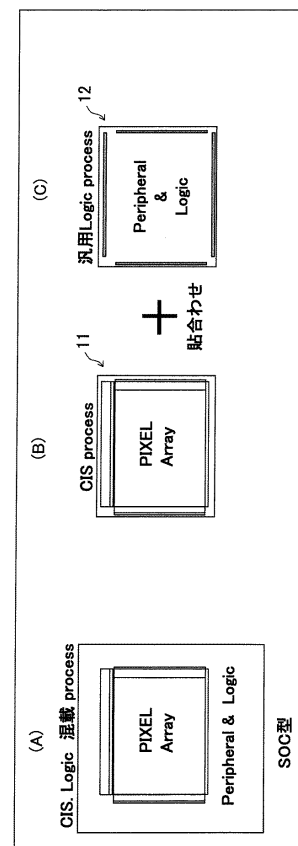
10, 10A~10E・・・固体撮像装置（半導体装置）、11・・・第1チップ（上チップ）、12・・・第2チップ（下チップ）、101・・・画素アレイ部、102・・・垂直駆動回路（行走査回路）、103・・・垂直デコーダ、104・・・カラム処理部、1041・・・コンパレータ、1042・・・カウンタ回路、105・・・参照信号供給部、106・・・水平走査回路（列走査回路）、107・・・タイミング制御回路、108・・・画像信号処理部、109・・・I/F系回路、LPWR・・・電源配線、LCS・・・信号配線、120, 121, 122, 1~9・・・TCV、130・・・ $\Sigma\Delta$ 変調器（ $\Sigma\Delta$ ADC）、140・・・カラム処理部、141・・・カラム回路、142・・・ $\Sigma\Delta$ 変調器（ $\Sigma\Delta$ ADC）、143・・・デジタルフィルタ、144・・・出力制御回路部、CBLK, CBLK1, CBLK2・・・回路ブロック、200・・・カメラシステム。

10

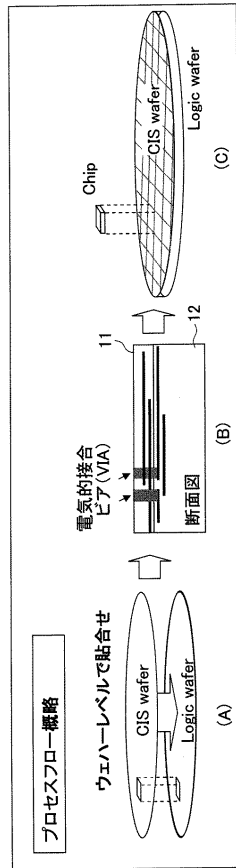
【図1】



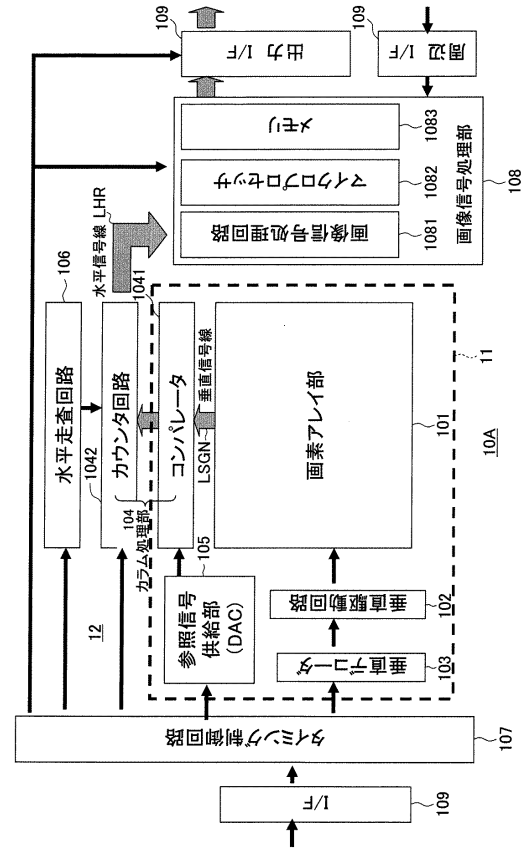
【図2】



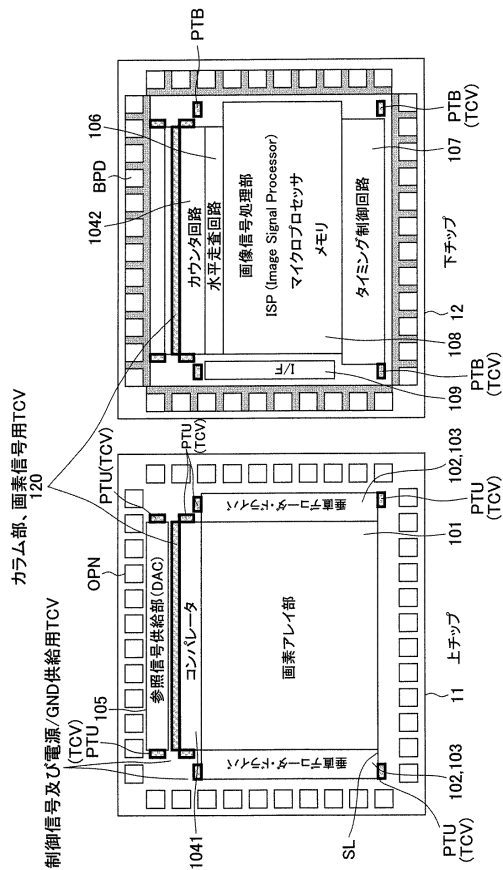
【図 3】



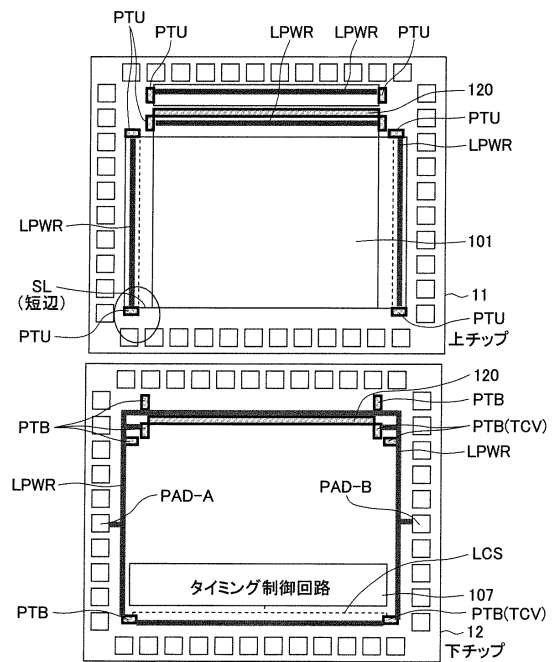
【図 4】



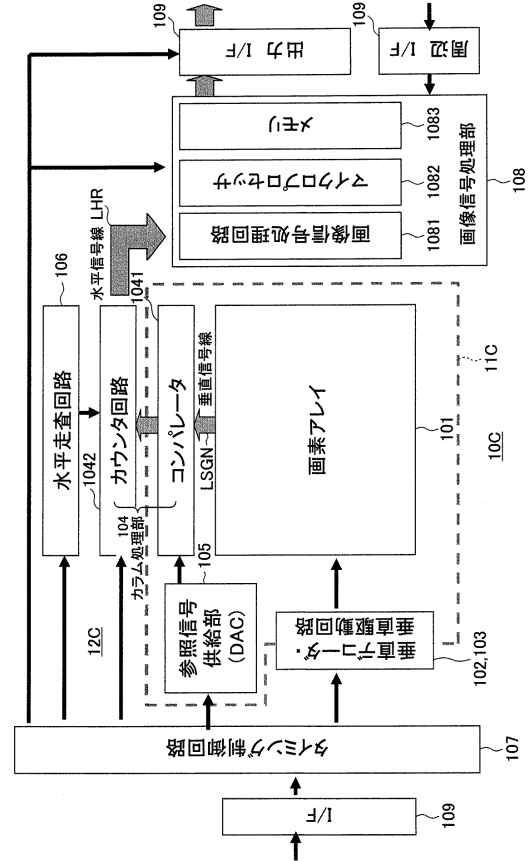
【図 5】



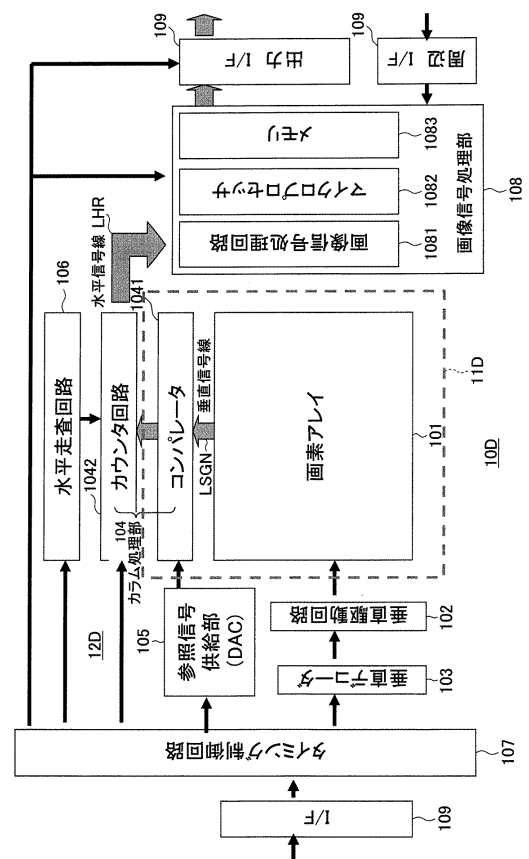
【图 6】



【図 1 2】



【図 14】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/04 (2006.01) H 0 4 N 5/335 7 4 0
H 0 1 L 27/146 (2006.01)
H 0 1 L 27/14 (2006.01)
H 0 4 N 5/374 (2011.01)

(56)参考文献 国際公開第2006/129762 (WO, A1)
特開2009-177207 (JP, A)
特開2009-038142 (JP, A)
特開2009-239147 (JP, A)
国際公開第2005/091367 (WO, A1)
特開平09-064284 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 25/00 - 25/18
H 0 1 L 21/822
H 0 1 L 27/04
H 0 1 L 27/14 - 27/148
H 0 4 N 5/369 - 5/378