(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G05F 1/56

(45) 공고일자 2001년10월22일
(11) 등록번호 10-0299597
(24) 등록일자 2001년06월11일

(21) 출원번호 10-1994-0002215
(22) 출원일자 1994년02월07일

(65) 공개번호 특1994-0020189
(43) 공개일자 1994년09월15일

(30) 우선권주장 93200380.9 1993년02월12일 EP(EP)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.
요트.게.아. 롤페즈
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 에르케홀레
네델란드,아인드호펜,그로네보드세베그1

(74) 대리인 이병호

심사관 : 나용수

(54) 캐스코드전류미러가포함된집적회로

요약

본 발명에 의한 집적 회로는 캐스코드 전류 미러와 이 캐스코드 전류 미러를 바이어스하는 바이어스단을 구비한다. 상기 캐스코드 전류 미러는, 입력 단자(11) 및 공급 전압 단자(14) 사이에, 제 1 캐스코드된 MOS 트랜지스터(21)와 제 1 캐스코드 MOS 트랜지스터(22)를 가지며, 출력 단자(12)와 공급 전압 단자(14) 사이에, 제 2 캐스코드된 MOS 트랜지스터(23)와 제 2 캐스코드 MOS 트랜지스터(24)를 가지고 있다. 출력 단자(12)와 공급 전압 단자(14) 사이에서 최소 전압을 얻기 위해서, 상기 바이어스단은, 제 1 바이어스 전류를 발생하는 제 1 바이어스 전류원(13)과, 제 2 바이어스 전류를 발생하는 제 2 바이어스 전류원(32)과, 2개의 캐스코드된 MOS 트랜지스터(21, 23)의 게이트에 연결된 게이트, 소스, 및 제 1 바이어스 전류원(31)을 통해 제 1 공급 전압 단자(13)에 연결된 드레인을 갖는 제 1 바이어스 MOS트랜지스터(41)와, 2개의 캐스코드 MOS 트랜지스터(22, 24)의 게이트에 연결된 게이트, 제 1 바이어스 MOS 트랜지스터(41)의 소스에 연결된 소스, 및 상기 제 2 바이어스 전류원(32)을 통해 제 1 공급 전압 단자(13)에 연결된 드레인을 갖는 제 2 바이어스 MOS 트랜지스터(42)와, 2개의 바이어스 MOS 트랜지스터(41, 42)의 소스 및 제 2 공급 전압 단자(14) 사이에 연결된 제 3 바이어스 MOS 트랜지스터(43)를 구비하고 있다.

대표도
도 1

명세서

[발명의 명칭]

캐스코드 전류 미러가 포함된 집적 회로

[도면의 간단한 설명]

제 1 도는 본 발명을 구체화한 집적 회로를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

11 : 입력 단자 12 : 출력 단자

13 : 제 1 공급 전압 단자 14 : 제 2 공급 전압 단자

21 : 제 1 캐스코드된 MOS 트랜지스터

22 : 제 1 캐스코드 MOS 트랜지스터

[발명의 상세한 설명]

본 발명은 캐스코드 전류 미러와, 캐스코드 전류 미러를 바아어스하는 바이어스단과, 제 1 공급 전압을 수신하는 제 1 공급 전압 단자와, 제 2 공급 전압을 수신하는 제 2 공급 전압 단자를 구비하는 집적 회로에 관한 것으로, 상기 캐스코드 전류 미러는, 입력 전류를 수신하는 입력 단자와, 출력 전류를 공급하는 출력 단자와, 입력 단자에 연결된 게이트, 공급 전압 단자에 연결된 소스, 및 드레인을 갖는 제 1 캐스코드된 MOS 트랜지스터와, 바이어스단에 연결된 게이트, 제 1 캐스코드된 MOS 트랜지스터의 드레인에 연결된 소스, 및 입력 단자에 연결된 드레인을 갖는 제 1 캐스코드 MOS 트랜지스터와, 제 1 캐스코드된 MOS 트랜지스터의 게이트에 연결된 게이트, MOS 트랜지스터(21)의 소스에 연결된 소스, 및 드레인을 갖는 제 2 캐스코드된 MOS 트랜지스터와, 제 1 캐스코드 MOS 트랜지스터의 게이트에 연결된 게이트, 제 2 캐스코드된 MOS 트랜지스터의 드레인에 연결된 소스, 및 출력 단자에 연결된 드레인을 갖는 제 2 캐스코드 MOS 트랜지스터를 갖는다.

입력 전류를 캐스코드 전류 미러를 통해 출력 전류로 변환하는 집적 회로는 각종 칩에 채용될 수 있다.

그러한 집적 회로는 특히 미국 특허 제 4,618,815호에 공지되어 있다. 공지된 집적 회로에서, 바이어스단은 전류원과 다이오드로서 연결된 MOS 트랜지스터를 갖는다. 전류원 및 MOS 트랜지스터는 2개의 공급 전압 단자간에 직렬로 연결되어 있기 때문에, 전류원에 의해서 발생된 전류가 MOS 트랜지스터 양단에 전압을 발생하고, 이 전압은 2개의 캐스코드 MOS 트랜지스터의 게이트와 제 2 공급 전압 단자사이에 인가된다. 이 전압의 인가에 의해, 2개의 캐스코드 MOS 트랜지스터와, 간접적으로는, 2개의 캐스코드된 MOS 트랜지스터가 바이어스되고, 그 2개의 캐스코드된 MOS 트랜지스터는 캐스코드 전류 미러의 왜곡이 없는 전류 전달을 보장하기 위해, 포화 모드에서 동작해야만 한다. 캐스코드된 MOS 트랜지스터는 2개의 캐스코드된 MOS 트랜지스터를 통하는 전류에 따라 변화하는 드레인-소스 전압을 가지므로, 2개의 캐스코드 MOS 트랜지스터의 게이트 및 제 2 공급 전압 단자간의 전압은 캐스코드된 MOS 트랜지스터의 포화를 보장하는 값을 갖지 않으면 안된다. 그 결과, 2개의 캐스코드 MOS 트랜지스터의 게이트와 제 2 공급 전압 단자 간의 전압값은 드레인-소스 전압의 변동에 대처하는 마진(margin)을 가져야 한다.

그러한 집적 회로의 결점은, 상기 마진 때문에, 제 1 공급 전압 단자와 출력 단자간의 출력 전압이 비교적 작다는 것이다.

본 발명의 목적은 제 1 공급 전압 단자와 출력 단자간에 (최소의 공급 전압차에 대해서) 상대적으로 큰 출력 전압을 (최소의 공급 전압차에 대하여) 보장하는 집적 회로를 제공하는 것이다.

본 발명에 의한 집적 회로는, 바이어스단이 제 1 바이어스 전류를 발생하는 제 1 바이어스 전류원과, 제 2 바이어스 전류를 발생하는 제 2 바이아스 전류원과, 2개의 캐스코드된 MOS 트랜지스터의 게이트에 연결된 게이트, 소스 및 제 1 바이어스 전류원을 통해 제 1 공급 전압 단자에 연결된 드레인을 갖는 제 1 바이어스 MOS 트랜지스터와, 2개의 캐스코드 MOS 트랜지스터의 게이트에 연결된 게이트, 제 1 바이어스 MOS 트랜지스터의 소스에 연결된 소스, 및 제 2 바이어스 전류원을 통해 제 1 공급 전압 단자에 연결된 드레인을 갖는 제 2 바이어스 트랜지스터, 및 2개의 바이어스 MOS 트랜지스터의 소스와 제 2 공급 전압 단자 간에 연결된 제 3 바이어스 MOS 트랜지스터를 구비하는 것을 특징으로 한다. 본 발명은 캐스코드 MOS 트랜지스터가 캐스코드된 MOS 트랜지스터를 통하는 전류에 의존하는 전압에 의해 바이어스될 수 있다는 사실의 인식에 기초하고 있다. 본 발명의 집적 회로에서, 이것은 캐스코드된 MOS 트랜지스터의 게이트가 상기 제 1 및 제 2 바이어스 MOS 트랜지스터를 통해 캐스코드 MOS 트랜지스터의 게이트에 연결되고, 그 바이어스 MOS 트랜지스터가 차동 증폭기를 형성하는 것으로 달성된다. 그 결과, 전압(차)이 캐스코드된 MOS 트랜지스터와 캐스코드 MOS 트랜지스터의 게이트 간에 인가될 수 있고, 이 전압은 2개의 캐스코드 MOS 트랜지스터와, 간접적으로는, 2개의 캐스코드된 MOS 트랜지스터를 바이어스함과 함께 2개의 캐스코드된 MOS 트랜지스터의 드레인-소스 전압(전류)의 변동을 추적한다. 이 전압은 추적을 계속 유지하므로, 어떤 전압 마진도 필요하지 않게 되고 비교적 큰 출력 전압이 얻어진다.

본 발명의 집적 회로의 다른 실시예는, 제 2 바이어스 MOS 트랜지스터의 게이트가 제 2 바이어스 MOS 트랜지스터의 드레인에 연결된 것을 특징으로 한다. 이에 의해, 제 2 바이어스 MOS 트랜지스터가 다이오드로서 연결되는 경우, 제 2 바이어스 MOS 트랜지스터는 제 2 바이어스 전류원에 의해 발생된 바이어스 전류를 수신할 수 있고, 제 2 바이어스 MOS 트랜지스터는 바이어스 전류에 의해 주어진 게이트-소스 전압을 가지며, 그 게이트 소스 전압에 의해, 캐스코드된 MOS 트랜지스터 및 캐스코드 MOS 트랜지스터가 바이어스될 수 있다.

본 발명의 집적 회로의 다른 실시예에서는, 제 3 바이어스 MOS 트랜지스터가, 제 1 바이어스 MOS 트랜지스터의 드레인에 연결된 게이트와, 제 2 공급 전압단자에 연결된 소스 및 2개의 바이어스 MOS 트랜지스터의 소스에 연결된 드레인을 갖는 것을 특징으로 한다. 이와같은 양상으로, 제 3 바이어스 MOS 트랜지스터가 연결되는 경우, 제 1 바이어스 MOS 트랜지스터는 제 1 바이어스 전류원에 의해 발생된 바이어스 전류를 수신할 수 있고, 제 1 바이어스 MOS 트랜지스터는 바이어스 전류에 의해 주어진 게이트-소스 전압을 가지며, 제 3 바이어스 MOS 트랜지스터를 통하는 전류는 제 1 및 제 2 바이어스 전류원에 의해 주어진다. 제 1 및 제 2 바이어스 MOS 트랜지스터의 게이트-소스 전압이 포화 모드의 MOS 트랜지스터의 드레인-소스 전압에 일치하는 차를 보이면, 캐스코드 MOS 트랜지스타와 캐스코드된 MOS 트랜지스터는, 출력 전압이 비교적 크게 되도록, 바이어스될 것이다. 그 차이는 각 전류원으로부터의 바이어스 전류의 차 및 각 바이어스 MOS 트랜지스터의 특정 정합의 어떤 것에 의해서 얻어질 수 있다.

본 발명의 상술한 양태 및 다른 (상세한) 양태는 첨부도면을 참조하여 기술함과 아울러 상술한다.

제 1 도는 본 발명을 구체화한 집적 회로를 도시한다. 이 실시예는, 종래 기술과 유사하게, 캐스코드 전류 미러(11, 12, 21, 22, 23, 24), 캐스코드 전류 미러를 바이어스 하는 바이어스단(31, 32, 41, 42, 43), 제 1 공급 전압을 수신하는 제 1 공급전압 단자(13), 및 제 2 공급 전압을 수신하는 제 2 공급 전압 단자(14)를 가지며, 이 캐스코드 전류 미러는, 입력 전류를 수신하는 입력 단자(11)와, 출력 전류를 공급하는 출력 단자(12)와, 입력 단자(11)에 연결된 게이트, 공급 전압 단자(14)에 연결된 소스, 및 드레인을 갖는 제 1 캐스코드된 MOS 트랜지스터(21)와, 바이어스단에 연결된 게이트, MOS 트랜지스터(21)의 드레인에 연결된 소스, 및 입력 단자(11)에 연결된 드레인을 갖는 제 1 캐스코드 MOS 트랜지스터(22)와, MOS 트랜지스터(21)의 게이트에 연결된 게이트, MOS 트랜지스터(21)의 소스 및 드레인을 갖

는 제 2 캐스코드된 MOS 트랜지스터(23)와, MOS 트랜지스터(22)의 게이트에 연결된 게이트, MOS 트랜지스터(23)의 드레인에 연결된 소스, 및 출력 단자(12)에 연결된 드레인을 갖는 제 2 캐스코드 MOS 트랜지스터(24)를 갖는다.

본 발명에 의하면, 바이어스단은 제 1 바이어스 전류를 발생하는 제 1 바이어스 전류원(31)과, 제 2 바이어스 전류를 발생하는 제 2 바이어스 전류원(32)과, MOS 트랜지스터(21, 23)의 게이트에 연결된 게이트, 소스 및 바이어스 전류원(31)을 통해 공급 전압 단자(13)에 연결된 드레인을 갖는 제 1 바이어스 MOS 트랜지스터(41)와, MOS 트랜지스터(22, 24)의 게이트에 연결된 게이트, MOS 트랜지스터(41)의 소스에 연결된 소스, 및 바이어스 전류원(32)을 통해 공급 전압 단자(13), 바이어스 MOS 트랜지스터(42)의 게이트에 연결된 드레인, 및 MOS 트랜지스터(41)의 드레인에 연결된 게이트, 공급 전압 단자(14)에 연결된 소스, 및 MOS 트랜지스터(41, 42)의 소스에 연결된 드레인을 갖는 제 3 바이어스 MOS 트랜지스터(43)를 갖는다.

MOS 트랜지스터(21, 23)의 게이트는 MOS 트랜지스터(41, 42)를 통해 MOS 트랜지스터(22, 24)의 게이트에 연결되고, MOS 트랜지스터(41, 42)가 차동 증폭기를 형성하므로, 바이어스단(31, 32, 41, 42, 43)은, 본 발명에 의하면, MOS 트랜지스터(21, 23)의 게이트와 MOS 트랜지스터(22, 24)의 게이트 간에 전압을 생성하고, 이 전압에 의해, MOS 트랜지스터(21, 22, 23, 24)가 바이어스될 수 있고, 또한 MOS 트랜지스터(21, 23)는 캐스코드 전류 미러의 왜곡되지 않은 전류 전달을 포화 모드에서 유지할 수 있다. 게이트-소스 전압이 제 1 바이어스 전류에 의해 결정되는 MOS 트랜지스터(41), 및 게이트-소스 전압이 제 2 바이어스 전류에 의해 결정되는 MOS 트랜지스터(42)에 의해 상기 전압이 얻어진다. MOS 트랜지스터(41, 42)의 게이트-소스 전압은 반직렬로 연결되므로, 그 전압은 전압 차가 된다. 이 전압 차가 포화 모드의 MOS 트랜지스터의 드레인-소스 전압에 일치하면, MOS 트랜지스터(21, 22, 23, 24)는 출력 전압이 비교적 크고 또한 비교적 크게 유지되도록 바이어스 된다. 이 전압 차는 바이어스 전류원(31, 32)으로부터의 바이어스 전류의 차 및 MOS 트랜지스터(41, 42)의 특정 정합의 어떤 것에 의해서 얻어질 수 있다. 바이어스 전류들이 동일하게 선택되고, 또한 MOS 트랜지스터(41)의 폭 대 길이의 비가 MOS 트랜지스터(42)의 폭 대 길이의 비 보다 4배 크게되는 경우, 매우 큰 출력 전압이 얻어지게 된다. 이 출력 전압은 상기 배율에 대한 전압(차)이 포화 모드의 MOS 트랜지스터의 드레인-소스 전압에 같은 값을 가짐으로써 얻어진다. 이것에 의해 MOS 트랜지스터(21, 23)의 게이트 및 공급 전압 단자(14) 간에는 1개의 게이트-소스 전압이 생기고, MOS 트랜지스터(22, 24)의 게이트간에는 포화된 MOS 트랜지스터의 1개의 드레인-소스 전압을 추가한 1개의 게이트-소스 전압이 생기며, 또한 출력 단자(12)와 공급 전압 단자(14)간에는 2개의 드레인-소스 전압이 생기며, 이들은 마진이 없다. MOS 트랜지스터(21, 23)가 MOS 트랜지스터를 통하는 전류에 의존하여 변화하는 드레인-소스 전압을 갖고 있지만, MOS 트랜치스터(21, 23)의 설정(차(差) 모드 및 포화 모드)은 변하지 않는다. 그 이유는 MOS 트랜지스터(22, 24)의 게이트 및 MOS 트랜지스터(21, 23)의 게이트간의 전압이 전류의 변동을 추적(track)하기 때문이다. 이것에 의해, 공급 전압 단자(13) 및 출력 단자(12) 사이에 출력 전압이 생기며, 이 출력 전압은 매우 크고 또한 매우 크게 유지된다.

양호한 출력 전압에 더하여, 본 발명에 의한 집적 회로는 정확한 미러비(mirror rate)를 가지고 있다. 이 정확한 미러비는 바이어스단에서 유래하고, 그 바이어스단에서는, MOS트랜지스터(42, 43)가 MOS 트랜지스터(22, 24)를 바이어스하고, MOS 트랜지스터(22, 24, 42)는 유사한 바디 효과(body deffect)에 의한 임계 전압을 갖고 있다. 유사한 바디 효과는 MOS 트랜지스터(42)를 공급 전압 단자(14)에 연결한 MOS 트랜지스터(43)의 결과로서 얻어지고, 이것은 MOS 트랜지스터(22, 24)에 대한 MOS 트랜지스터(21, 23)와 유사한 양태이다.

본 발명에 의한 집적 회로의 다른 이점은, 단일 게이트-소스 전압(MOS 트랜지스터(42))와 2개의 드레인-소스 전압(MOS 트랜지스터(43)와 바이어스 전류원(32))의 최소 값을 갖는 공급 전압이 공급 전압 단자(13, 14)에 인가될 수 있다는 것이다.

본 발명은 본 명세서에 기재한 실시예에 한정되지 않는다. 본 발명의 범위내에서 당업자에 의해 및 개의 수정이 생각될 수 있다. 가능한 수정은 전류 미러의 실현에 관계하고 있다. 다른 캐스코드된 MOS 트랜지스터와 다른 캐스코드 MOS 트랜지스터가 도시된 전류 미러에 부가되는 경우, 다른 캐스코드된 MOS 트랜지스터와 다른 캐스코드 MOS 트랜지스터는 제 2 캐스코드된 MOS 트랜지스터와 제 2 캐스코드 MOS 트랜지스터에 병렬로 연결되고, 얻어진 전류 미러는 상기 출력 전류외에 다른 출력 전류를 공급할 것이다. 다른 수정은 바이어스 단의 실현에 관계하고 있다. 여기에 도시된 바이어스단이 제 1 및 제 2 바이어스 전류원과, 제 1, 제 2 및 제 3 바이어스 MOS 트랜지스터를 구비하여도, 관련 바이어스단은 제 1 게이트-소스 전압과 제 2 게이트-소스 전압만을 필요로 하고, 그 게이트-소스 전압은 캐스코드된 MOS 트랜지스터의 게이트와 캐스코드 MOS 트랜지스터의 게이트의 사이에 반직렬로 연결된다. 게이트-소스 전압에 관하여, 얻어진 바이어스 단은 각종 방법으로 구성될 수 있다. 제 1 및 제 2 바이어스 MOS 트랜지스터와 같은 폭 대 길이의 비에서, 제 1 바이어스 전류원은, 예컨대, 제 2 전류원에 의해 발생된 제 2 바이어스 전류 보다 4배 작게 되는 제 1 바이어스 전류를 발생하도록 구성될 수 있다. 역으로, 만약 제 3 바이어스 MOS 트랜지스터가 제 2 바이어스 전류원에 의해 발생된 제 2 바이어스 전류에 대하여 일정한 전류를 발생하게 되면, 제 1 바이어스 전류원은 불필요하게 될 수 있다.

(57) 청구의 범위

청구항 1.

캐스코드 전류 미러와, 캐스코드 전류 미러를 바이어스하는 바이어스단과, 제 1 공급 전압을 수신하는 제 1 공급 전압 단자(13)와, 제 2 공급 전압을 수신하는 제 2 공급 전압 단자(14)를 구비하는 접적회로로서, 상기 캐스코드 전류 미러는, 입력 전류를 수신하는 입력 단자(11)와, 출력 전류를 공급하는 출력 단자(12)와, 상기 입력 단자(11)에 연결된 게이트, 상기 공급 전압 단자(14)에 연결된 소스, 및 드레인을 갖는 제 1 캐스코드된 MOS 트랜지스터(21)와, 상기 바이어스단에 연결된 게이트, 상기 제 1 캐스코드된 MOS 트랜지스터(21)의 드레인에 연결된 소스, 및 상기 입력 단자(11)에 연결된 드레인을 갖는 제 1 캐스코드 MOS 트랜지스터(22)와, 상기 제 1 캐스코드된 MOS 트랜지스터(21)의 게이트에 연결된 게이트, 상기 MOS 트랜지스터(21)의 소스에 연결된 소스, 및 드레인을 갖는 제 2 캐스코드된 MOS 트랜지스터(24)와, 상기 제 1 캐스코드 MOS 트랜지스터(22)의 게이트에 연결된 게이트, 상기 제 2 캐스코드된 MOS 트랜지스터(23)의 드레인에 연결된 소스, 및 상기 출력 단자(12)에 연결된 드레인을 갖는 제 2 캐스코드 MOS 트랜지스터(24)를 갖는 상기 집적 회로에 있어서,

상기 바이어스단이, 제 1 바이어스 전류를 발생하는 제 1 바이어스 전류원(31)과, 제 2 바이어스 전류를 발생하는 제 2 바이어스 전류원(32)과, 2개의 캐스코드된 MOS 트랜지스터(21, 23)의 게이트에 연결된 게이트, 소스, 및 제 1 바이어스 전류원(31)을 통해 제 1 공급 전압 단자(13)에 연결된 드레인을 갖는 제 1 바이어스 MOS 트랜지스터(41)와, 2개의 캐스코드된 MOS 트랜지스터(22, 24)의 게이트에 연결된 게이트, 제 1 바이어스 MOS 트랜지스터(41)의 소스에 연결된 소스, 및 제 2 바이어스 전류원(32)을 통해 제 1 공급 전압 단자(13)에 연결된 드레인을 갖는 제 2 바이어스 MOS 트랜지스터(42), 및 2개의 바이어스 MOS 트랜지스터(41, 42)의 소스와 제 2 공급 전압 단자(14) 간에 연결된 제 3 바이어스 MOS 트랜지스터(43)를 구비하는 것을 특징으로 하는 집적 회로.

청구항 2.

제 1 항에 있어서, 상기 제 2 바이어스 MOS 트랜지스터(42)의 게이트는 상기 제 2 바이어스 MOS 트랜지스터(42)의 드레인에 연결되는 것을 특징으로 하는 집적 회로.

청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 제 3 바이어스 MOS 트랜지스터(43)는 상기 제 1 바이어스 MOS 트랜지스터(41)의 드레인에 연결된 게이트와, 상기 제 2 공급 전압 단자(14)에 연결된 소스 및, 상기 2개의 바이어스 MOS 트랜지스터(41, 42)의 소스에 연결된 드레인을 갖는 것을 특징으로 하는 집적 회로.

도면

도면 1

