



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월10일
(11) 등록번호 10-2338101
(24) 등록일자 2021년12월07일

(51) 국제특허분류(Int. Cl.)
H04B 1/00 (2006.01) H04B 1/16 (2006.01)
(52) CPC특허분류
H04B 1/0067 (2013.01)
H04B 1/1638 (2013.01)
(21) 출원번호 10-2015-0051727
(22) 출원일자 2015년04월13일
심사청구일자 2020년04월13일
(65) 공개번호 10-2015-0118053
(43) 공개일자 2015년10월21일
(30) 우선권주장
61/978,810 2014년04월11일 미국(US)
(56) 선행기술조사문헌
JP2003529265 A*
JP2010233023 A*
US20040232993 A1*
US20050231290 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스카이워크스 솔루션즈, 인코포레이티드
미국 92617 캘리포니아주 엘바인 캘리포니아 애비뉴 5260
(72) 발명자
페홀리바노글루, 이브라힘 잉긴
미국 92627 캘리포니아주 코스타 메사 유닛 씨 컬리지 애비뉴 2160
(74) 대리인
양영준, 정은진, 백만기

전체 청구항 수 : 총 12 항

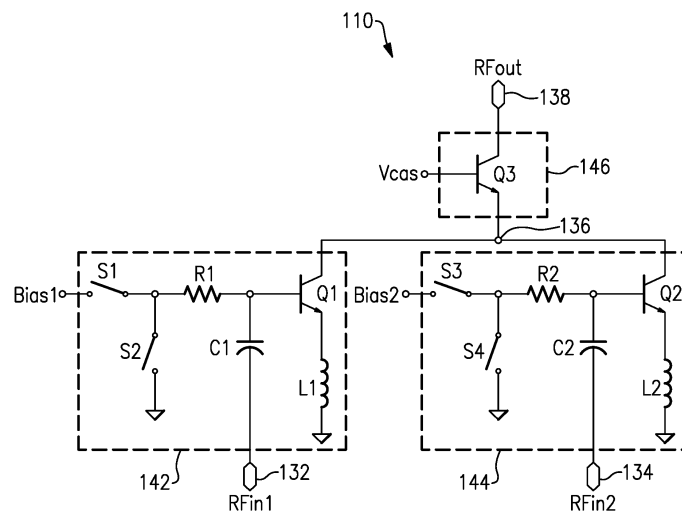
심사관 : 구영희

(54) 발명의 명칭 무선 주파수 수신기들에서의 스위치 없는 반송파 집성에 관련된 회로들 및 방법들

(57) 요약

무선 주파수 수신기들에서의 스위치 없는 반송파 집성에 관련된 회로들 및 방법들이 개시된다. 일부 실시예들에서, 반송파 집성(CA) 회로는 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터를 포함할 수 있다. CA 회로는 제1 필터와 출력 노드 사이에 구현된 제1 신호 경로를 더 포함할 수 있고, 제1 신호 경로는 제1 무선 주파수(RF) 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함한다. 제1 신호 경로에는 스위치들이 실질적으로 없을 수 있다. CA 회로는 제2 필터와 출력 노드 사이에 구현된 제2 신호 경로를 더 포함할 수 있고, 제2 신호 경로는 제2 RF 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함한다. 제2 신호 경로에는 스위치들이 실질적으로 없을 수 있다.

대표도 - 도7



(52) CPC특허분류
H04B 1/18 (2018.01)

명세서

청구범위

청구항 1

반송파 집성 회로로서,

입력 노드, 공통 노드, 및 출력 노드;

제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터;

제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터;

상기 입력 노드와 상기 출력 노드 사이에 구현되는 제1 증폭 경로 - 상기 제1 증폭 경로는 상기 제1 필터, 자신의 베이스를 통해 신호를 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되는 양극성 접합 트랜지스터로서 구현되는 제1 전류 변환기 스테이지, 상기 공통 노드, 및 공유 양극성 접합 트랜지스터로서 구현되는 공통 가산기 스테이지를 포함하고, 상기 제1 증폭 경로에는 스위치들이 없음 -;

상기 입력 노드와 상기 출력 노드 사이에 구현되는 제2 증폭 경로 - 상기 제2 증폭 경로는 상기 제2 필터, 자신의 베이스를 통해 신호를 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되는 양극성 접합 트랜지스터로서 구현되는 제2 전류 변환기 스테이지, 상기 공통 노드, 및 상기 공통 가산기 스테이지를 포함하고, 상기 제2 증폭 경로에는 스위치들이 없고, 상기 공유 양극성 접합 트랜지스터는 자신의 이미터를 통해 상기 제1 및 제2 전류 변환기 스테이지들의 양극성 접합 트랜지스터들로부터 출력된 신호들을 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되고, 상기 제1 및 제2 전류 변환기 스테이지들 및 상기 공통 가산기 스테이지는 저잡음 증폭기의 부분들임 - ; 및

상기 제1 및 제2 전류 변환기 스테이지들의 양극성 접합 트랜지스터들에 연결되는 바이어스 회로 - 상기 바이어스 회로는 각각의 바이어스 노드와 각각의 베이스 사이의 스위치 가능 바이어스 공급 경로를 포함하고, 상기 스위치 가능 바이어스 공급 경로는 각각의 양극성 접합 트랜지스터를 활성화 또는 비활성화시키기 위해 턴 온 또는 턴 오프될 수 있도록 구성되고, 상기 바이어스 회로는 상기 각각의 양극성 접합 트랜지스터가 비활성화될 때 셉트 경로를 제공하도록 구성되는 스위치 가능 셉트 경로를 더 포함함 -

를 포함하는, 반송파 집성 회로.

청구항 2

제1항에 있어서, 스위치들이 없는 상기 제1 증폭 경로 및 상기 제2 증폭 경로는 상기 반송파 집성 회로가 감소된 잡음 지수로 동작할 수 있게 하는 반송파 집성 회로.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제1 및 제2 전류 변환기 스테이지들 각각의 양극성 접합 트랜지스터는 인덕턴스를 통해 접지에 연결되는 이미터를 포함하는 반송파 집성 회로.

청구항 6

제1항에 있어서, 상기 공유 양극성 접합 트랜지스터는 자신의 베이스를 통해 캐스코드 바이어스 전압을 수신하도록 구성되는 반송파 집성 회로.

청구항 7

제1항에 있어서, 상기 제1 증폭 경로 및 상기 제2 증폭 경로 각각은 상기 제1 증폭 경로 및 상기 제2 증폭 경로를 따르는 개별 스위치를 없이 상기 반송파 집성 회로가 반송파 집성 모드 또는 비-반송파 집성 모드에서 동작할 수 있게 하기 위해 활성 상태 또는 비활성 상태에 있을 수 있는 반송파 집성 회로.

청구항 8

제7항에 있어서, 상기 제1 증폭 경로 및 상기 제2 증폭 경로 각각에 대한 상기 활성 상태 또는 상기 비활성 상태는 각각의 전류 변환기 스테이지를 활성화 또는 비활성화하는 것에 의해 실현되는 반송파 집성 회로.

청구항 9

무선 주파수 모듈로서,

복수의 컴포넌트를 수용(receive)하도록 구성된 패키징 기관; 및

상기 패키징 기관 상에 구현되는 반송파 집성 회로

를 포함하고,

상기 반송파 집성 회로는 입력 노드, 공통 노드, 및 출력 노드를 포함하고, 상기 반송파 집성 회로는, 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터; 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터를 더 포함하고, 상기 반송파 집성 회로는, 상기 입력 노드와 상기 출력 노드 사이에 구현되는 제1 증폭 경로를 더 포함하고, 상기 제1 증폭 경로는 상기 제1 필터, 자신의 베이스를 통해 신호를 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되는 양극성 접합 트랜지스터로서 구현되는 제1 전류 변환기 스테이지, 상기 공통 노드, 및 공유 양극성 접합 트랜지스터로서 구현되는 공통 가산기 스테이지를 포함하고, 상기 제1 증폭 경로에는 스위치들이 없으며, 상기 반송파 집성 회로는, 상기 입력 노드와 상기 출력 노드 사이에 구현되는 제2 증폭 경로를 더 포함하고, 상기 제2 증폭 경로는 상기 제2 필터, 자신의 베이스를 통해 신호를 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되는 양극성 접합 트랜지스터로서 구현되는 제2 전류 변환기 스테이지, 상기 공통 노드, 및 상기 공통 가산기 스테이지를 포함하고, 상기 제2 증폭 경로에는 스위치들이 없고, 상기 공유 양극성 접합 트랜지스터는 자신의 이미터를 통해 상기 제1 및 제2 전류 변환기 스테이지들의 양극성 접합 트랜지스터들로부터 출력된 신호들을 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되고, 상기 제1 및 제2 전류 변환기 스테이지들 및 상기 공통 가산기 스테이지는 저잡음 증폭기의 부분들이며, 상기 반송파 집성 회로는 상기 제1 및 제2 전류 변환기 스테이지들의 양극성 접합 트랜지스터들에 연결되는 바이어스 회로를 더 포함하고, 상기 바이어스 회로는 각각의 바이어스 노드와 각각의 베이스 사이의 스위치 가능 바이어스 공급 경로를 포함하고, 상기 스위치 가능 바이어스 공급 경로는 각각의 양극성 접합 트랜지스터를 활성화 또는 비활성화시키기 위해 턴 온 또는 턴 오프될 수 있도록 구성되고, 상기 바이어스 회로는 상기 각각의 양극성 접합 트랜지스터가 비활성화될 때 섀트 경로를 제공하도록 구성되는 스위치 가능 섀트 경로를 더 포함하는, 무선 주파수 모듈.

청구항 10

제9항에 있어서, 상기 제1 필터 및 상기 제2 필터 각각은 표면 탄성과 필터를 포함하는 무선 주파수 모듈.

청구항 11

제10항에 있어서, 상기 무선 주파수 모듈은 다이버시티 수신 모듈인 무선 주파수 모듈.

청구항 12

무선 디바이스로서,

무선 주파수 신호들을 처리하도록 구성되는 수신기;

상기 수신기와 통신하는 무선 주파수 모듈 - 상기 무선 주파수 모듈은 상기 무선 주파수 신호들을 라우팅하도록 구성되는 반송파 집성 회로를 포함하고, 상기 반송파 집성 회로는 입력 노드, 공통 노드, 및 출력 노드; 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터; 상기 입력 노드와 상기 출력 노드 사이에 구현되는 제1 증폭 경로 - 상기 제1 증폭 경로는 상기 제1

필터, 자신의 베이스를 통해 신호를 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되는 양극성 접합 트랜지스터로서 구현되는 제1 전류 변환기 스테이지, 상기 공통 노드, 및 공유 양극성 접합 트랜지스터로서 구현되는 공통 가산기 스테이지를 포함하고, 상기 제1 증폭 경로에는 스위치들이 없음 -; 및 상기 입력 노드와 상기 출력 노드 사이에 구현되는 제2 증폭 경로를 포함하고, 상기 제2 증폭 경로는 상기 제2 필터, 자신의 베이스를 통해 신호를 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되는 양극성 접합 트랜지스터로서 구현되는 제2 전류 변환기 스테이지, 상기 공통 노드, 및 상기 공통 가산기 스테이지를 포함하고, 상기 제2 증폭 경로에는 스위치들이 없고, 상기 공유 양극성 접합 트랜지스터는 자신의 이미터를 통해 상기 제1 및 제2 전류 변환기 스테이지들의 양극성 접합 트랜지스터들로부터 출력된 신호들을 수신하고 자신의 컬렉터를 통해 출력을 생성하도록 구성되고, 상기 제1 및 제2 전류 변환기 스테이지들 및 상기 공통 가산기 스테이지는 저잡음 증폭기의 부분들이고, 상기 반송파 집성 회로는 상기 제1 및 제2 전류 변환기 스테이지들의 양극성 접합 트랜지스터들에 연결되는 바이어스 회로를 더 포함하고, 상기 바이어스 회로는 각각의 바이어스 노드와 각각의 베이스 사이의 스위치 가능 바이어스 공급 경로를 포함하고, 상기 스위치 가능 바이어스 공급 경로는 각각의 양극성 접합 트랜지스터를 활성화 또는 비활성화시키기 위해 턴 온 또는 턴 오프될 수 있도록 구성되고, 상기 바이어스 회로는 상기 각각의 양극성 접합 트랜지스터가 비활성화될 때 셉트 경로를 제공하도록 구성되는 스위치 가능 셉트 경로를 더 포함함 - ; 및

상기 무선 주파수 모듈과 통신하고, 상기 무선 주파수 신호들을 수신하도록 구성된 안테나

를 포함하는 무선 디바이스.

청구항 13

제12항에 있어서, 상기 안테나는 다이버시티 안테나를 포함하고, 상기 무선 주파수 모듈은 다이버시티 수신 모듈을 포함하는 무선 디바이스.

청구항 14

제13항에 있어서, 상기 다이버시티 안테나로부터 상기 수신기로 상기 무선 주파수 신호들을 라우팅하도록 구성되는 안테나 스위치 모듈을 더 포함하여, 상기 다이버시티 수신 모듈이 상기 다이버시티 안테나와 상기 안테나 스위치 모듈 사이에 구현되는 무선 디바이스.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

관련 출원(들)에 대한 교차 참조

[0001]

[0002] 본 출원은 2014년 4월 11일자 출원되고 명칭이 "CIRCUITS AND METHODS RELATED TO SWITCHLESS CARRIER AGGREGATION IN RADIO-FREQUENCY RECEIVERS"인 미국 가출원 번호 제61/978,810호의 우선권을 주장하며, 그 개시내용은 이로써 그대로 본 명세서에서 참고로 명백히 포함된다.

[0003] 분야

[0004] 본 개시내용은 무선 주파수(RF) 수신기들에서의 반송파 집성에 관한 것이다.

배경 기술

[0005] 일부 RF 애플리케이션들에서, 셀룰러 반송파 집성(CA; carrier aggregation)은 2개 이상의 RF 신호가 공통 경로를 통해 처리되는 것을 수반할 수 있다. 예를 들어, 반송파 집성은 충분히 분리되는 주파수 범위들을 갖는 복수의 대역에 대해 한 경로의 이용을 수반할 수 있다. 이러한 구성에서는, 하나보다 많은 대역의 동시 동작이 실현될 수 있다.

발명의 내용

[0006] 다수의 구현에 있어서, 본 개시내용은 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터를 포함하는 반송파 집성(CA) 회로에 관한 것이다. CA 회로는 제1 필터와 출력 노드 사이에 구현된 제1 신호 경로를 더 포함한다. 제1 신호 경로는 제1 무선 주파수(RF) 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함한다. 제1 신호 경로에는 스위치들이 실질적으로 없다. CA 회로는 제2 필터와 출력 노드 사이에 구현된 제2 신호 경로를 더 포함한다. 제2 신호 경로는 제2 RF 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함한다. 제2 신호 경로에는 스위치들이 실질적으로 없다.

[0007] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로는 저잡음 증폭기(LNA; low-noise amplifier)의 부분들일 수 있다. 스위치들이 실질적으로 없는 제1 신호 경로 및 제2 신호 경로는 CA 회로가 감소된 잡음 지수(noise figure)로 동작할 수 있게 할 수 있다.

[0008] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로 각각의 복수의 증폭 스테이지는 제1 스테이지 및 제2 스테이지를 포함할 수 있다. 제1 스테이지는 각자의 RF 신호를 전류로 변환하도록 구성될 수 있다. 제2 스테이지는 전류를 가산하도록 구성될 수 있다.

[0009] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로 각각의 제1 스테이지는 그의 베이스를 통해 각자의 RF 신호를 수신하고 그의 콜렉터를 통해 출력을 생성하도록 구성된 제1 양극성 접합 트랜지스터(BJT; bipolar junction transistor)를 포함할 수 있다. CA 회로는 제1 BJT에 연결된 바이어스 회로를 더 포함할 수 있다. 바이어스 회로는 바이어스 노드와 베이스 사이의 스위치 가능한 바이어스 공급 경로(switchable bias supply path)를 포함할 수 있고, 스위치 가능한 바이어스 공급 경로는 각자의 제1 BJT를 활성화 또는 비활성화하기 위해 턴 온 또는 오프(turn on or off)될 수 있도록 구성된다. 바이어스 회로는 각자의 제1 BJT가 비활성화될 때 션트 경로를 제공하도록 구성된 스위치 가능한 션트 경로(switchable shunt path)를 더 포함할 수 있다.

[0010] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로 각각의 제1 BJT는 인덕턴스를 통해 접지에 연결되는 이미터를 포함할 수 있다. 제1 신호 경로 및 제2 신호 경로의 제1 BJT의 이미터들은 개별 인덕턴스들을 통해 또는 공통 인덕턴스를 통해 접지에 연결될 수 있다.

[0011] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로의 제2 스테이지들은 그의 이미터를 통해 제1 BJT들로부터 RF 신호들을 수신하고 그의 콜렉터를 통해 출력을 생성하도록 구성된 공유 제2 BJT에 의해 제공될 수 있다. 공유 제2 BJT는 그의 베이스를 통해 캐스코드 바이어스 전압(cascode bias voltage) V_{cas} 을 수신하도록 구성될 수 있다. 캐스코드 바이어스 전압 V_{cas} 은 공유 제2 BJT로의 입력들의 개수에 따라 조절가능할 수 있다.

[0012] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로 각각의 제2 스테이지는 그의 이미터를 통해 각자의 제1 BJT로부터 RF 신호를 수신하고 그의 콜렉터를 통해 출력을 생성하도록 구성된 개별 제2 BJT를 포함할 수 있다. 각각의 개별 제2 BJT는 그의 베이스를 통해 그의 각자의 캐스코드 바이어스 전압 V_{cas} 을 수신하도록 구성될 수 있다.

[0013] 일부 실시예들에서, 제1 필터 및 제2 필터는 다이플렉서의 부분들일 수 있다. 다이플렉서는 안테나로부터 RF 신호를 수신하도록 구성된 입력 포트를 포함할 수 있다.

[0014] 일부 실시예들에서, 제1 신호 경로 및 제2 신호 경로 각각은 제1 신호 경로 및 제2 신호 경로를 따르는 개별 스

위치들이 없이 CA 회로가 CA 모드 또는 비-CA 모드(non-CA mode)에서 동작할 수 있게 하기 위해 활성 상태 또는 비활성 상태에 있을 수 있다. 제1 신호 경로 및 제2 신호 경로 각각에 대한 활성 상태 또는 비활성 상태는 각각의 제1 스테이지를 활성화 또는 비활성화하는 것에 의해 실현될 수 있다.

[0015] 일부 구현들에 따르면, 본 개시내용은 복수의 컴포넌트를 수용(receive)하도록 구성된 패키징 기판, 및 패키징 기판 상에 구현된 반송파 집성(CA) 회로를 포함하는 무선 주파수(RF) 모듈에 관한 것이다. CA 회로는 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터를 포함한다. CA 회로는 제1 필터와 출력 노드 사이에 구현된 제1 신호 경로를 더 포함하고, 제1 신호 경로는 제1 무선 주파수(RF) 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함하고, 제1 신호 경로에는 스위치들이 실질적으로 없다. CA 회로는 제2 필터와 출력 노드 사이에 구현된 제2 신호 경로를 더 포함하고, 제2 신호 경로는 제2 RF 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함하고, 제2 신호 경로에는 스위치들이 실질적으로 없다.

[0016] 일부 실시예들에서, 제1 필터 및 제2 필터 각각은 표면 탄성파(SAW; surface acoustic wave) 필터를 포함할 수 있다. 제1 SAW 필터 및 제2 SAW 필터는 다이플렉서로서 구현될 수 있다. 제1 신호 경로 및 제2 신호 경로 각각에 대한 복수의 증폭 스테이지는 저잡음 증폭기(LNA)의 부분일 수 있다.

[0017] 일부 실시예들에서, RF 모듈은 프론트 엔드 모듈(front-end module)일 수 있다. 일부 실시예들에서, RF 모듈은 다이버시티 수신(DRx; diversity receive) 모듈일 수 있다.

[0018] 일부 교시들에서, 본 개시내용은 무선 주파수(RF) 모듈을 제조하는 방법에 관한 것이다. 이 방법은 복수의 컴포넌트를 수용하도록 구성된 패키징 기판을 제공 또는 형성하는 단계, 및 패키징 기판 상에 반송파 집성(CA) 회로를 구현하는 단계를 포함한다. CA 회로는 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터를 포함한다. CA 회로는 제1 필터와 출력 노드 사이에 구현된 제1 신호 경로를 더 포함하고, 제1 신호 경로는 제1 무선 주파수(RF) 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함하고, 제1 신호 경로에는 스위치들이 실질적으로 없다. CA 회로는 제2 필터와 출력 노드 사이에 구현된 제2 신호 경로를 더 포함하고, 제2 신호 경로는 제2 RF 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함하고, 제2 신호 경로에는 스위치들이 실질적으로 없다.

[0019] 다수의 구현에 따르면, 본 개시내용은 무선 주파수(RF) 신호를 처리하도록 구성된 수신기, 및 수신기와 통신하는 RF 모듈을 포함하는 무선 주파수(RF) 디바이스에 관한 것이다. RF 모듈은 제1 주파수 대역에서 동작을 허용하도록 구성된 제1 필터 및 제2 주파수 대역에서 동작을 허용하도록 구성된 제2 필터를 갖는 반송파 집성(CA) 회로를 포함한다. CA 회로는 제1 필터와 출력 노드 사이에 구현된 제1 신호 경로를 더 포함하고, 제1 신호 경로는 제1 무선 주파수(RF) 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함하고, 제1 신호 경로에는 스위치들이 실질적으로 없다. CA 회로는 제2 필터와 출력 노드 사이에 구현된 제2 신호 경로를 더 포함하고, 제2 신호 경로는 제2 RF 신호를 증폭하도록 구성된 복수의 증폭 스테이지를 포함하고, 제2 신호 경로에는 스위치들이 실질적으로 없다. RF 디바이스는 RF 모듈과 통신하는 안테나를 더 포함하고, 안테나는 RF 신호를 수신하도록 구성된다.

[0020] 일부 실시예들에서, RF 디바이스는 무선 디바이스일 수 있다. 이러한 무선 디바이스는 예를 들어, 셀룰러 폰일 수 있다. 일부 실시예들에서, 안테나는 다이버시티 안테나(diversity antenna)를 포함할 수 있고, RF 모듈은 다이버시티 수신(DRx) 모듈을 포함할 수 있다. 일부 실시예들에서, 무선 디바이스는 다이버시티 안테나로부터 수신기로 RF 신호를 라우팅하도록 구성된 안테나 스위치 모듈(ASM; antenna switch module)을 더 포함할 수 있다. DRx 모듈은 다이버시티 안테나와 ASM 사이에 구현될 수 있다.

[0021] 본 개시내용을 요약하기 위해, 본 발명의 특징의 측면, 이점 및 새로운 특징이 본 명세서에 기술되어 있다. 이러한 이점 모두가 꼭 본 발명의 임의의 특정 실시예에 따라 달성될 수 있을 필요는 없다는 것을 잘 알 것이다. 이와 같이, 본 발명은 본 명세서에 교시 또는 제안될 수 있는 다른 이점들을 달성할 필요 없이 본 명세서에 교시된 하나의 이점 또는 이점들의 그룹을 달성 또는 최적화하는 방식으로 구현 또는 수행될 수 있다.

도면의 간단한 설명

[0022] 도 1은 2개의 입력을 수신하여 출력을 생성하도록 구성된 저잡음 증폭기(LNA) 회로를 포함하는 반송파 집성(CA) 구성을 도시한다.

도 2는 본 개시내용의 하나 이상의 특징이 2개보다 많은 주파수 대역의 집성에서도 구현될 수 있는 것을 도시한

다.

도 3은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 LNA 회로가 신호 경로들을 따르는 스위치들 없이 CA 기능들을 제공하도록 구현될 수 있는 예를 도시한다.

도 4는 공통 안테나 및 공통 LNA를 활용하는 3개의 주파수 대역에서 동작하도록 구성된 다중대역 수신기 아키텍처의 예를 도시한다.

도 5는 공통 안테나 및 3개의 개별 LNA를 활용하는 3개의 주파수 대역에서 동작하도록 구성된 다중대역 수신기 아키텍처의 다른 예를 도시한다.

도 6은 대역 통과 필터들과 LNA(들) 사이의 스위치들이 제거될 수 있도록 구성되지만, 반송과 집성(CA) 아키텍처가 CA 모드 또는 비-CA 모드에서 동작할 수 있게 하는 LNA 회로를 포함하는 CA 아키텍처를 도시한다.

도 7은 도 6의 LNA 회로의 더욱 구체적인 예로서 구현될 수 있는 LNA 회로를 도시한다.

도 8은 도 6의 LNA 회로의 다른 더욱 구체적인 예로서 구현될 수 있는 LNA 회로를 도시한다.

도 9는 도 6의 LNA 회로의 또 다른 더욱 구체적인 예로서 구현될 수 있는 LNA 회로를 도시한다.

도 10은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 디바이스를 제조하기 위해 구현될 수 있는 프로세스를 도시한다.

도 11은 일부 실시예들에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징이 RF 애플리케이션들을 위해 구성된 모듈에 구현될 수 있는 것을 도시한다.

도 12는 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스를 도시한다.

도 13은 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 다른 예시적인 무선 디바이스를 도시한다.

도 14는 본 개시내용의 하나 이상의 특징이 다이버시티 수신 모듈에 구현될 수 있는 것을 도시한다.

도 15는 도 14의 다이버시티 수신 모듈을 갖는 예시적인 무선 디바이스를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0023] 여기서 제공된 서두는, 있다면, 단지 편의를 위한 것이며, 반드시 청구된 발명의 범위 또는 의미에 영향을 미치는 것은 아니다.
- [0024] 셀룰러 반송과 집성(CA)은 2개 이상의 무선 주파수(RF) 신호가 공통 경로를 통해 처리될 수 있게 할 수 있다. 예를 들어, 반송과 집성은 충분히 분리되는 주파수 범위들을 갖는 복수의 대역에 대해 한 경로의 이용을 수반할 수 있다. 이러한 구성에서는, 하나보다 많은 대역의 동시 동작이 가능하다.
- [0025] 수신기의 문맥에서, 반송과 집성은 예를 들어 높은 데이터 레이트 성능을 제공하기 위해 복수의 대역에서의 RF 신호의 동시 처리를 허용할 수 있다. 그러한 반송과 집성 시스템에서는, 각각의 RF 신호에 대해 낮은 잡음 지수(NF)를 유지하는 것이 바람직하다. 집성되는 2개의 대역의 주파수가 가까울 때, 2개의 대역의 충분한 분리를 유지하는 것도 바람직하다.
- [0026] 도 1은 2개의 입력을 수신하여 출력을 생성하도록 구성된 저잡음 증폭기(LNA) 회로(110)를 포함하는 반송과 집성(CA) 구성(100)을 도시한다. 2개의 입력은 제1 RF 신호 및 제2 RF 신호를 포함할 수 있다. 제1 RF 신호는 제1 필터(106a)를 포함하는 제1 경로(104a)를 통해, 공통 입력 노드(102)(RF_IN)로부터 LNA 회로(110)에 제공될 수 있다. 유사하게, 제2 RF 신호는 제2 필터(106b)를 포함하는 제2 경로(104b)를 통해, 공통 입력 노드(102)(RF_IN)로부터 LNA 회로(110)에 제공될 수 있다. 본 명세서에 설명된 바와 같이, LNA 회로(110)는 공통 출력 노드(114)에서의 출력이 제1 및 제2 RF 신호와 연관된 2개의 분리된 주파수 대역을 포함하는 증폭된 RF 신호가 되도록 구성될 수 있다. 또한 본 명세서에 설명된 바와 같이, LNA 회로(110)는 저손실, 저잡음 지수, 및 2개의 신호 경로(104a, 104b) 사이의 높은 분리와 같은 바람직한 성능 특징들을 생성하도록 구성될 수 있다.
- [0027] 도 1의 예를 포함한 본 명세서에서의 다양한 예가 2개의 주파수 대역을 집성하는 문맥에서 설명되어 있다. 그러나, 본 개시내용의 하나 이상의 특징이 2개보다 많은 주파수 대역의 집성에서 구현될 수 있다는 것을 이해할 것이다. 예를 들어, 도 2는 3개의 RF 신호가 공통 입력 노드(102)(RF_IN)에서 분리되고, 각자의 필터들(106a, 106b, 106c)을 통해 처리되고, LNA 회로(110)에 의해 처리되어, 공통 출력 노드(114)(RF_OUT)에서 증폭된 RF

신호를 생성하는 CA 구성(100)을 도시한다. 다른 개수의 주파수 대역이 또한 본 명세서에 설명된 바와 같은 하나 이상의 특징을 활용하여 집성될 수 있다는 것을 이해할 것이다.

[0028] 도 1 및 도 2의 집성 구성들(100)은 다수의 RF 애플리케이션에서 구현될 수 있다. 도 3은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 LNA 회로(110)가 신호 경로들을 따르는 스위치들 없이, 또는 감소된 개수의 스위치들을 갖고서 CA 기능들을 제공하도록 구현될 수 있는 더욱 구체적인 예를 도시한다. LNA 회로(110)는 예를 들어 2개의 입력을 수신하여 출력을 생성하도록 구성될 수 있다. 2개의 입력은 제1 RF 신호 및 제2 RF 신호를 포함할 수 있다. 제1 RF 신호는 제1 대역 통과 필터(122)를 포함하는 제1 경로를 통해, 공통 입력 노드(102)(RF_IN)로부터 LNA 회로(110)에 제공될 수 있다. 유사하게, 제2 RF 신호는 제2 대역 통과 필터(124)를 포함하는 제2 경로를 통해, 공통 입력 노드(102)(RF_IN)로부터 LNA 회로(110)에 제공될 수 있다. 본 명세서에 설명된 바와 같이, LNA 회로(110)는 공통 출력 노드(114)에서의 출력이 제1 및 제2 RF 신호와 연관된 2개의 분리된 주파수 대역을 포함하는 증폭된 RF 신호가 되도록 구성될 수 있다. 또한 본 명세서에 설명된 바와 같이, LNA 회로(110)는 저손실, 저잡음 지수, 및 2개의 입력 신호 경로 사이의 높은 분리와 같은 바람직한 성능 특징들을 생성하도록 구성될 수 있다.

[0029] 일부 실시예들에서, LNA 회로(110)는 제1 및 제2 대역들을 효과적으로 증폭하기 위해 충분히 넓은 대역폭으로 동작하도록 구성될 수 있다. 일부 실시예들에서, 대역 통과 필터들(122, 124)은 예를 들어, 표면 탄성파(SAW) 필터들을 포함한 다수의 방식으로 구현될 수 있다. 다양한 예가 SAW 필터들의 문맥에서 본 명세서에 설명되어 있지만, 다른 유형의 필터들이 또한 활용될 수 있다는 것을 이해할 것이다.

[0030] 본 명세서에 설명된 바와 같이, 도 3의 집성 구성(100)은 다른 수신기 구성들에 비해 다수의 유리한 특징을 제공할 수 있다. 예를 들어, 도 4는 공통 안테나(도시되지 않음) 및 공통 LNA(18)를 활용하는 3개의 주파수 대역에서 동작하도록 구성된 다중대역 수신기 아키텍처(10)를 도시한다. 공통 안테나로부터의 RF 신호가 입력 신호 RF_IN로서 수신되는 것으로 도시되어 있고, 그러한 입력 신호는 제1 스위치(12) 및 제2 스위치(16)에 의해 3개의 경로 중 하나의 경로를 통해 라우팅될 수 있다. 예를 들어, 도시된 바와 같은 상태들에서의 제1 및 제2 스위치들(12, 16)은 입력 신호가 제1 대역 통과 필터(14a)에 라우팅되어 제1 주파수 대역에 대응하는 제1 필터링된 신호를 생성할 수 있게 한다. 제2 주파수 대역에서의 동작을 원한다면, 제1 및 제2 스위치들(12, 16)은 입력 신호를 제2 대역 통과 필터(14b)에 라우팅하여 제2 주파수 대역에 대응하는 제2 필터링된 신호를 생성하도록 설정될 수 있다. 유사하게, 제3 주파수 대역에서의 동작을 원한다면, 제1 및 제2 스위치들(12, 16)은 입력 신호를 제3 대역 통과 필터(14c)에 라우팅하여 제3 주파수 대역에 대응하는 제3 필터링된 신호를 생성하도록 설정될 수 있다.

[0031] 도 4의 예에서, CA 모드에서의 동작은 일반적으로 가능하지 않은데, 그 이유는 동시에 2개의 경로를 턴 온하면 결과적으로 2개의 필터 출력이 단락(short)되기 때문이다. 또한, 아키텍처(10)의 스위치들은 성능 및/또는 설계 도전과제들을 생성할 수 있다. 예를 들어, 제2 스위치(16)은 예를 들어 잡음 지수 성능의 저하를 가져올 수 있다. 다른 예에서, 스위치들 및 LNA는 원하는 성능을 위해 상이한 프로세스들[예를 들어, 스위치들을 위한 실리콘 온 인슐레이터(SOI; silicon-on-insulator)와 LNA를 위한 양극성 접합 트랜지스터(BJT; bipolar junction transistor)]로 될 필요가 있을 수 있고; 그러한 상이한 프로세스들의 이용은 결과적으로 디바이스 크기 및/또는 비용의 상당한 증가를 가져올 수 있다.

[0032] 도 5는 공통 안테나(도시되지 않음) 및 3개의 개별 LNA들(26a, 26b, 26c)을 활용하는 3개의 주파수 대역에서 동작하도록 구성된 다중대역 수신기 아키텍처(20)의 다른 예를 도시한다. 공통 안테나로부터의 RF 신호가 입력 신호 RF_IN으로서 수신되는 것으로 도시되어 있고, 그러한 입력 신호는 제1 스위치(22) 및 제2 스위치(28)에 의해 3개의 경로 중 하나의 경로를 통해 라우팅될 수 있다. 예를 들어, 도시된 바와 같은 상태들에서의 제1 및 제2 스위치들(22, 28)은 입력 신호가 제1 대역 통과 필터(24a)에 라우팅되어 제1 주파수 대역에 대응하는 제1 필터링된 신호를 생성할 수 있게 하고, 그러한 필터링된 신호는 제1 LNA(26a)에 제공되는 것으로 도시되어 있다. 제2 주파수 대역에서의 동작을 원한다면, 제1 및 제2 스위치들(22, 28)은 입력 신호를 제2 대역 통과 필터(24b)에 라우팅하여 제2 주파수 대역에 대응하는 제2 필터링된 신호를 생성하도록 설정될 수 있고, 그러한 필터링된 신호는 제2 LNA(26b)에 제공되는 것으로 도시되어 있다. 유사하게, 제3 주파수 대역에서의 동작을 원한다면, 제1 및 제2 스위치들(22, 28)은 입력 신호를 제3 대역 통과 필터(24c)에 라우팅하여 제3 주파수 대역에 대응하는 제3 필터링된 신호를 생성하도록 설정될 수 있고, 그러한 필터링된 신호는 제3 LNA(26c)에 제공되는 것으로 도시되어 있다.

[0033] 도 5의 예에서, LNA들 다음에 구현되는 제2 스위치(28)는 도 4의 예와 연관된 잡음 지수 저하 문제를 상당 부분

해결할 수 있는데, 그 이유는 제2 스위치와 연관된 잡음이 증폭되지 않기 때문이다. 그러나, 도 5의 아키텍처(20)는 통상적으로 복수의 신호 경로의 각각의 필터에 대해 개별 LNA를 필요로 한다. 그러한 복수의 LNA는 통상적으로 수신기 아키텍처와 연관된 크기, 비용, 및/또는 복잡성을 증가시킨다. 또한, CA 모드의 동작은 통상적으로 가능하지 않은데, 그 이유는 동시에 2개의 경로를 인에이블(enable)시키면 결과적으로 LNA 출력들이 단락되기 때문이다.

[0034] 도 6은 대역 통과 필터들과 LNA(들) 사이의 스위치들이 제거될 수 있도록 구성되지만, 반송파 집성(CA) 아키텍처(100)가 CA 모드 또는 비-CA 모드에서 동작할 수 있게 하는 LNA 회로(110)를 포함하는 CA 아키텍처(100)를 도시한다. LNA 회로(110)는 복수의 입력(예를 들어, 2개의 입력)을 수신하여 출력을 생성하도록 구성될 수 있다. 2개의 입력은 공통 노드(130)에서 분리되는 제1 RF 신호 및 제2 RF 신호를 포함할 수 있다. 제1 RF 신호는 제1 대역 통과 필터(122)를 포함하는 제1 경로를 통해, 공통 입력 노드(102)(RF_IN)로부터 LNA 회로(110)에 제공될 수 있다. 유사하게, 제2 RF 신호는 제2 대역 통과 필터(124)를 포함하는 제2 경로를 통해, 공통 입력 노드(102)(RF_IN)로부터 LNA 회로(110)에 제공될 수 있다.

[0035] LNA 회로(110)는 공통 출력 노드(138)에서의 출력(RF_OUT)이 제1 및 제2 RF 신호와 연관된 2개의 분리된 주파수 대역을 포함하는 증폭된 RF 신호가 되도록 구성될 수 있다. 본 명세서에 설명된 바와 같이, LNA 회로(110)는 저손실, 저잡음 지수, 및 2개의 입력 신호 경로 사이의 높은 분리와 같은 바람직한 성능 특징들을 생성하도록 구성될 수 있다.

[0036] 일부 실시예들에서, LNA 회로(110)는 복수의 증폭 경로를 포함할 수 있고, 각각의 증폭 경로는 전류 변환기 부분과 가산기 부분으로 분할되어 있다. 도 6의 예에서, LNA 회로(110)는 2개의 증폭 경로를 포함하는 것으로 도시되어 있다. 제1 증폭 경로는 제1 입력 노드(132), 제1 전류 변환기(142), 공통 노드(136), 가산기(146), 및 출력 노드(138)를 포함할 수 있다. 유사하게, 제2 증폭 경로는 제2 입력 노드(134), 제2 전류 변환기(144), 공통 노드(136), 가산기(146), 및 출력 노드(138)를 포함할 수 있다. LNA 회로(110)의 더욱 구체적인 예들이 도 7 내지 도 9를 참조하여 본 명세서에 설명된다.

[0037] 일부 실시예들에서, 전술한 방식으로 구성된 LNA 회로는 예를 들어, 주어진 경로에서 증폭 회로와 필터 사이의 스위치의 부재로 인한 감소된 잡음 지수로부터 이득을 볼 수 있다. 부가적으로, 그러한 스위치의 부재는 CA 아키텍처와 연관된 크기 및/또는 비용을 감소시킬 수 있다. 본 명세서에 설명된 바와 같이, 그러한 LNA 회로는 집성되는 입력들 사이의 양호한 분리에 의해 CA 모드에서 동작될 수 있다. 또한, 그러한 LNA 회로는 상이한 개수의 입력을 수용하도록 쉽게 확장 가능(scalable)할 수 있다.

[0038] 도 7은 도 6을 참조하여 설명된 LNA 회로의 더욱 구체적인 예로서 구현될 수 있는 LNA 회로(110)를 도시한다. 도 7의 예는 2-입력 버전이지만, 2개보다 많은 입력이 구현될 수 있다는 것을 이해할 것이다.

[0039] 도 7에서, 제1 전류 변환기(142)가 제1 입력 노드(132)에서 제1 RF 신호(RFin1)를 수신하고, 제1 RF 신호를 처리하고, 처리된 제1 RF 신호를 공통 노드(136)에 출력하도록 구성되는 것으로 도시되어 있다. 유사하게, 제2 전류 변환기(144)가 제2 입력 노드(134)에서 제2 RF 신호(RFin2)를 수신하고, 제2 RF 신호를 처리하고, 처리된 제2 RF 신호를 공통 노드(136)에 출력하도록 구성되는 것으로 도시되어 있다. 처리된 제1 및 제2 RF 신호는 공통 노드(136)에서 결합(combine)되고 공통 가산기(146)에 의해 더 처리되어 출력 노드(138)에서 출력 RF 신호(RFout)를 생성할 수 있다.

[0040] 도 7에서는, 제1 전류 변환기(142)와 공통 가산기(146)의 결합이 제1 캐스코드 증폭기로서 구현될 수 있다. 유사하게, 제2 전류 변환기(144)와 공통 가산기(146)의 결합이 제2 캐스코드 증폭기로서 구현될 수 있다. 따라서, 제1 및 제2 전류 변환기들 각각(142 또는 144)은 그의 각자의 RF 신호에 대한 트랜스컨덕턴스 증폭 기능(transconductance amplification functionality)을 제공할 수 있고, 공통 가산기(146)는 결합된 RF 신호에 대한 전류 버퍼 기능을 제공할 수 있다.

[0041] 도 7에서, 제1 전류 변환기(142)는 공통 이미터 구성에 양극성 접합 트랜지스터(BJT) Q1을 포함하는 것으로 도시되어 있다. 제1 RF 신호(RFin1)는 제1 입력 노드(132)로부터, DC 블록 커패시턴스 C1을 통해, Q1의 베이스로 제공될 수 있다. Q1로부터의 출력은 공통 노드(136)에 연결되는 그의 콜렉터를 통해 제공될 수 있다. Q1의 이미터는 인덕턴스 L1을 통해 접지에 연결되는 것으로 도시되어 있다. Q1에 대한 바이어스 신호(Bias1)가 바이어스 스위치(bias switch) S1 및 베이스 저항(base resistance) R1을 통해 Q1의 베이스에 제공될 수 있다. Q1이 활성일 때, 바이어스 스위치 S1은 폐쇄될 수 있고, 션트 스위치(shunt switch) S2는 개방될 수 있다. Q1이 비활성일 때, 바이어스 스위치 S1은 개방될 수 있고, 션트 스위치 S2는 폐쇄될 수 있다. 바이어스 스위치 S1 및

선티 스위치 S2는 제1 RF 신호(RFin1)의 경로를 직접적으로 따르지 않기 때문에, 그것들은 제1 RF 신호에 잡음을 거의 또는 전혀 제공하지 않는다.

[0042] 도 7에서, 제2 전류 변환기(144)는 공통 이미터 구성에 BJT Q2를 포함하는 것으로 도시되어 있다. 제2 RF 신호(RFin2)는 제2 입력 노드(134)로부터, DC 블록 커패시턴스 C2를 통해, Q2의 베이스로 제공될 수 있다. Q2로부터의 출력은 공통 노드(136)에 연결되는 그의 컬렉터를 통해 제공될 수 있다. Q2의 이미터는 인덕턴스 L2를 통해 접지에 연결되는 것으로 도시되어 있다. Q2에 대한 바이어스 신호(Bias2)가 바이어스 스위치 S3 및 베이스 저항 R2를 통해 Q2의 베이스에 제공될 수 있다. Q2가 활성일 때, 바이어스 스위치 S3은 폐쇄될 수 있고, 선티 스위치 S4는 개방될 수 있다. Q2가 비활성일 때, 바이어스 스위치 S3은 개방될 수 있고, 선티 스위치 S4는 폐쇄될 수 있다. 바이어스 스위치 S3 및 선티 스위치 S4는 제2 RF 신호(RFin2)의 경로를 직접적으로 따르지 않기 때문에, 그것들은 제2 RF 신호에 잡음을 거의 또는 전혀 제공하지 않는다.

[0043] 도 7에서, 공통 가산기(146)는 공통 베이스 구성에 BJT Q3을 포함하는 것으로 도시되어 있다. 공통 노드(136)로부터의 결합된 RF 신호는 Q3의 이미터에 제공되는 것으로 도시되어 있고, Q3으로부터의 출력은 그의 컬렉터를 통해 제공되는 것으로 도시되어 있다. 컬렉터는 출력 RF 신호(RFout)를 생성하기 위해 출력 노드(138)에 연결되는 것으로 도시되어 있다. Q3의 베이스는 활성 입력들의 개수에 따라 조절될 수 있는 바이어스 전압 Vcas을 제공받는 것으로 도시되어 있다.

[0044] 도 8은 도 6을 참조하여 설명된 LNA 회로의 다른 더욱 구체적인 예로서 구현될 수 있는 LNA 회로(110)를 도시한다. 도 8의 예는 2-입력 버전이지만, 2개보다 많은 입력이 구현될 수 있다는 것을 이해할 것이다. 도 8의 예는 도 7의 예와 유사하지만, 도 8에서는, 제1 및 제2 전류 변환기들의 BJT들의 이미터들이 공통 인덕턴스를 공유하고 있다.

[0045] 더욱 구체적으로, 도 8에서는, 제1 전류 변환기(142)가 제1 입력 노드(132)에서 제1 RF 신호(RFin1)를 수신하고, 제1 RF 신호를 처리하고, 처리된 제1 RF 신호를 공통 노드(136)에 출력하도록 구성되는 것으로 도시되어 있다. 유사하게, 제2 전류 변환기(144)가 제2 입력 노드(134)에서 제2 RF 신호(RFin2)를 수신하고, 제2 RF 신호를 처리하고, 처리된 제2 RF 신호를 공통 노드(136)에 출력하도록 구성되는 것으로 도시되어 있다. 처리된 제1 및 제2 RF 신호는 공통 노드(136)에서 결합되고 공통 가산기(146)에 의해 더 처리되어 출력 노드(138)에서 출력 RF 신호(RFout)를 생성할 수 있다.

[0046] 도 8에서는, 제1 전류 변환기(142)와 공통 가산기(146)의 결합이 제1 캐스코드 증폭기로서 구현될 수 있다. 유사하게, 제2 전류 변환기(144)와 공통 가산기(146)의 결합이 제2 캐스코드 증폭기로서 구현될 수 있다. 따라서, 제1 및 제2 전류 변환기들 각각(142 또는 144)은 그의 각자의 RF 신호에 대한 트랜스컨덕턴스 증폭 기능을 제공할 수 있고, 공통 가산기(146)는 결합된 RF 신호에 대한 전류 버퍼 기능을 제공할 수 있다.

[0047] 도 8에서, 제1 전류 변환기(142)는 공통 이미터 구성에 BJT Q1을 포함하는 것으로 도시되어 있다. 제1 RF 신호(RFin1)는 제1 입력 노드(132)로부터, DC 블록 커패시턴스 C1을 통해, Q1의 베이스로 제공될 수 있다. Q1로부터의 출력은 공통 노드(136)에 연결되는 그의 컬렉터를 통해 제공될 수 있다. Q1의 이미터는 공통 인덕턴스 L0을 통해 접지에 연결되는 것으로 도시되어 있다. Q1에 대한 바이어스 신호(Bias1)가 바이어스 스위치 S1 및 베이스 저항 R1을 통해 Q1의 베이스에 제공될 수 있다. Q1이 활성일 때, 바이어스 스위치 S1은 폐쇄될 수 있고, 선티 스위치 S2는 개방될 수 있다. Q1이 비활성일 때, 바이어스 스위치 S1은 개방될 수 있고, 선티 스위치 S2는 폐쇄될 수 있다. 바이어스 스위치 S1 및 선티 스위치 S2는 제1 RF 신호(RFin1)의 경로를 직접적으로 따르지 않기 때문에, 그것들은 제1 RF 신호에 잡음을 거의 또는 전혀 제공하지 않는다.

[0048] 도 8에서, 제2 전류 변환기(144)는 공통 이미터 구성에 BJT Q2를 포함하는 것으로 도시되어 있다. 제2 RF 신호(RFin2)는 제2 입력 노드(134)로부터, DC 블록 커패시턴스 C2를 통해, Q2의 베이스로 제공될 수 있다. Q2로부터의 출력은 공통 노드(136)에 연결되는 그의 컬렉터를 통해 제공될 수 있다. Q2의 이미터는 공통 인덕턴스 L0을 통해 접지에 연결되는 것으로 도시되어 있다. Q2에 대한 바이어스 신호(Bias2)가 바이어스 스위치 S3 및 베이스 저항 R2를 통해 Q2의 베이스에 제공될 수 있다. Q2가 활성일 때, 바이어스 스위치 S3은 폐쇄될 수 있고, 선티 스위치 S4는 개방될 수 있다. Q2가 비활성일 때, 바이어스 스위치 S3은 개방될 수 있고, 선티 스위치 S4는 폐쇄될 수 있다. 바이어스 스위치 S3 및 선티 스위치 S4는 제2 RF 신호(RFin2)의 경로를 직접적으로 따르지 않기 때문에, 그것들은 제2 RF 신호에 잡음을 거의 또는 전혀 제공하지 않는다.

[0049] 도 8에서, 공통 가산기(146)는 공통 베이스 구성에 BJT Q3을 포함하는 것으로 도시되어 있다. 공통 노드(136)로부터의 결합된 RF 신호는 Q3의 이미터에 제공되는 것으로 도시되어 있고, Q3으로부터의 출력은 그의 컬렉터를

통해 제공되는 것으로 도시되어 있다. 콜렉터는 출력 RF 신호(RFout)를 생성하기 위해 출력 노드(138)에 연결되는 것으로 도시되어 있다. Q3의 베이스는 활성 입력들의 개수에 따라 조절될 수 있는 바이어스 전압 Vcas를 제공받는 것으로 도시되어 있다.

[0050] 도 9는 도 6을 참조하여 설명된 LNA 회로의 다른 더욱 구체적인 예로서 구현될 수 있는 LNA 회로(110)를 도시한다. 도 9의 예는 2-입력 버전이지만, 2개보다 많은 입력이 구현될 수 있다는 것을 이해할 것이다. 도 9의 예는 도 7의 예와 유사하지만, 도 9에서는, 제1 및 제2 전류 변환기를 각각이 개별 가산기에 연결되어 있다.

[0051] 도 9에서는, 제1 전류 변환기(142)가 제1 입력 노드(132)에서 제1 RF 신호(RFin1)를 수신하고, 제1 RF 신호를 처리하고, 처리된 제1 RF 신호를 출력하여 가산기 회로(146)에 의해 더 처리되도록 구성되는 것으로 도시되어 있다. 유사하게, 제2 전류 변환기(144)가 제2 입력 노드(134)에서 제2 RF 신호(RFin2)를 수신하고, 제2 RF 신호를 처리하고, 처리된 제2 RF 신호를 출력하여 가산기 회로(146)에 의해 더 처리되도록 구성되는 것으로 도시되어 있다. 처리된 제1 및 제2 RF 신호는 가산기 회로(146)에 의해 더 처리되어 출력 노드(138)에서 출력 RF 신호(RFout)를 생성할 수 있다.

[0052] 도 9에서는, 제1 전류 변환기(142)와 가산기 회로(146)의 일부의 결합이 제1 캐스코드 증폭기로서 구현될 수 있다. 유사하게, 제2 전류 변환기(144)와 가산기 회로(146)의 일부의 결합이 제2 캐스코드 증폭기로서 구현될 수 있다. 따라서, 제1 및 제2 전류 변환기들 각각(142 또는 144)은 그의 각자의 RF 신호에 대한 트랜스컨덕턴스 증폭 기능을 제공할 수 있고, 가산기 회로(146)의 각자의 부분들은 각자의 RF 신호에 대한 전류 버퍼 기능을 제공할 수 있다.

[0053] 도 9에서, 제1 전류 변환기(142)는 공통 이미터 구성에 BJT Q1을 포함하는 것으로 도시되어 있다. 제1 RF 신호(RFin1)는 제1 입력 노드(132)로부터, DC 블록 커패시턴스 C1을 통해, Q1의 베이스로 제공될 수 있다. Q1로부터의 출력은 가산기 회로(146)의 대응하는 부분에 연결되는 그의 콜렉터를 통해 제공될 수 있다. Q1의 이미터는 인덕턴스 L1을 통해 접지에 연결되는 것으로 도시되어 있다. Q1에 대한 바이어스 신호(Bias1)가 바이어스 스위치 S1 및 베이스 저항 R1을 통해 Q1의 베이스에 제공될 수 있다. Q1이 활성일 때, 바이어스 스위치 S1은 폐쇄될 수 있고, 셉트 스위치 S2는 개방될 수 있다. Q1이 비활성일 때, 바이어스 스위치 S1은 개방될 수 있고, 셉트 스위치 S2는 폐쇄될 수 있다. 바이어스 스위치 S1 및 셉트 스위치 S2는 제1 RF 신호(RFin1)의 경로를 직접적으로 따르지 않기 때문에, 그것들은 제1 RF 신호에 잡음을 거의 또는 전혀 제공하지 않는다.

[0054] 도 9에서, 제2 전류 변환기(144)는 공통 이미터 구성에 BJT Q2를 포함하는 것으로 도시되어 있다. 제2 RF 신호(RFin2)는 제2 입력 노드(134)로부터, DC 블록 커패시턴스 C2를 통해, Q2의 베이스로 제공될 수 있다. Q2로부터의 출력은 가산기 회로(146)의 대응하는 부분에 연결되는 그의 콜렉터를 통해 제공될 수 있다. Q2의 이미터는 인덕턴스 L2를 통해 접지에 연결되는 것으로 도시되어 있다. Q2에 대한 바이어스 신호(Bias2)가 바이어스 스위치 S3 및 베이스 저항 R2를 통해 Q2의 베이스에 제공될 수 있다. Q2가 활성일 때, 바이어스 스위치 S3은 폐쇄될 수 있고, 셉트 스위치 S4는 개방될 수 있다. Q2가 비활성일 때, 바이어스 스위치 S3은 개방될 수 있고, 셉트 스위치 S4는 폐쇄될 수 있다. 바이어스 스위치 S3 및 셉트 스위치 S4는 제2 RF 신호(RFin2)의 경로를 직접적으로 따르지 않기 때문에, 그것들은 제2 RF 신호에 잡음을 거의 또는 전혀 제공하지 않는다.

[0055] 도 9에서, 가산기 회로(146)는 제1 전류 변환기(142)의 BJT Q1에 대한 공통 베이스 구성에 BJT Q3을 포함하는 것으로 도시되어 있다. Q1의 콜렉터로부터의 출력은 Q3의 이미터에 제공되는 것으로 도시되어 있고, Q3으로부터의 출력은 그의 콜렉터를 통해 제공되는 것으로 도시되어 있다. (Q3의) 콜렉터는 Q3으로부터의 처리된 신호가 다른 캐스코드 증폭 경로로부터의 처리된 신호와 결합될 수 있는 공통 노드(136)에 연결되는 것으로 도시되어 있다. Q3의 베이스는 제1 바이어스 전압 Vcas1을 제공받는 것으로 도시되어 있다.

[0056] 가산기 회로(146)는 제2 전류 변환기(144)의 BJT Q2에 대한 공통 베이스 구성에 BJT Q4를 더 포함하는 것으로 도시되어 있다. Q2의 콜렉터로부터의 출력은 Q4의 이미터에 제공되는 것으로 도시되어 있고, Q4로부터의 출력은 그의 콜렉터를 통해 제공되는 것으로 도시되어 있다. (Q4의) 콜렉터는 Q4로부터의 처리된 신호가 다른 캐스코드 증폭 경로로부터의 처리된 신호와 결합될 수 있는 공통 노드(136)에 연결되는 것으로 도시되어 있다. 공통 노드(136)는 출력 RF 신호(RFout)를 생성하기 위해 출력 노드(138)에 연결되는 것으로 도시되어 있다. Q4의 베이스는 제2 바이어스 전압 Vcas2을 제공받는 것으로 도시되어 있다.

[0057] 상이한 레벨들에서 다른 변형들이 또한 고려될 수 있다. 예를 들어, 본 개시내용의 하나 이상의 특징은 LNA 및/또는 다른 증폭 애플리케이션들을 수반하는 아키텍처들에서 구현될 수 있다. 다른 예에서, 캐스코드 구성들의 문맥에서 다양한 예가 설명되지만, 다른 유형의 증폭 구성들(예를 들어, 푸시-풀(push-pull) 구성)이 활용될 수

있다는 것을 이해할 것이다. 또 다른 예에서, BJT들의 문맥에서 다양한 예가 설명되지만, 다른 유형의 트랜지스터들(예를 들어, 전계 효과 트랜지스터들(FETs; field-effect transistors))이 활용될 수 있다는 것을 이해할 것이다.

[0058] 표 1은 예시적인 셀룰러 대역들 B30(RX를 위한 2.350 내지 2.360 GHz) 및 B38(RX를 위한 2.570 내지 2.620 GHz)을 지원하도록 구성된 도 7의 LNA 회로의 시뮬레이션으로부터 획득된 다양한 성능 파라미터를 나열하고 있다. 시뮬레이션은 B30 대역에 대해 대략 2.355 GHz, 및 B38 대역에 대해 대략 2.6 GHz의 주파수에서 수행되었다.

표 1

모드	이득(dB)	NF (dB)	S11 (dB)	S22 (dB)	전류(mA)
B30 (비-CA)	16.8	2.44	-12	-15.2	3.7
B38 (비-CA)	16.5	2.13	-11.7	-23	3.7
B30 (CA)	16.1	3.02	-15	-17.2	6.3
B38 (CA)	14.2	2.9	-10.5	-50	6.3

[0059]

[0060] 표 1에서, 이득은 대응하는 RF 대역 경로에 의해 제공되는 전체 이득이고, NF는 LNA 회로의 출력에서 측정된 잡음 지수(모든 매칭 컴포넌트(matching component)로부터의 잡음 및 다이플렉서 손실을 포함함)이고, S11은 입력 전압 반사 계수를 나타내고, S22는 출력 전압 반사 계수를 나타내고, 전류는 대응하는 RF 대역 경로와 연관된 총 전류이다. CA 모드에서는 B30 및 B38 대역들의 성능이 상대적으로 거의 저하되지 않는다는 것을 볼 수 있다.

[0061] 도 10은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 디바이스를 제조하기 위해 구현될 수 있는 프로세스(200)를 도시한다. 블록(202)에서, 적어도 다이플렉서 기능을 갖는 회로가 기판 상에 탑재(mount) 또는 제공될 수 있다. 다양한 예에서, 반송파 집성(CA)이 다이플렉서들의 문맥에서 설명되어 있지만, CA는 또한 (예를 들어, 멀티플렉서들을 활용하여) 2개보다 많은 대역으로 구현될 수 있다는 것을 이해할 것이다. 일부 실시예들에서, 다이플렉서는 디바이스로서 구현될 수 있고, 그러한 디바이스는 기판 상에 탑재될 수 있다.

[0062] 블록(204)에서, 저잡음 증폭기(LNA)를 위한 복수의 전류 변환기가 형성 또는 제공될 수 있다. 블록(206)에서, LNA를 위한 하나 이상의 가산기가 형성 또는 제공될 수 있다. 블록(208)에서, 다이플렉서 회로의 출력들이 전류 변환기들과 연결될 수 있다. 블록(210)에서, 전류 변환기들은 하나 이상의 가산기와 연결될 수 있다.

[0063] 일부 실시예들에서, 도 10에 설명되고 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 디바이스는 RF 애플리케이션들을 위해 구성된 모듈일 수 있다. 도 11은 라미네이트 기판과 같은 패키징 기판(302)을 갖는 RF 모듈(300)(예를 들어, 프론트 엔드 모듈)의 블록도를 도시한다. 그러한 모듈은 하나 이상의 LNA 회로를 포함할 수 있고, 일부 실시예들에서, 그러한 LNA 회로(들)는 반도체 다이(306) 상에 구현될 수 있다. 그러한 다이 상에 구현된 LNA 회로가 본 명세서에 설명된 바와 같은 CA 동작을 용이하게 하도록 구성될 수 있다. 그러한 LNA 회로는 또한 본 명세서에 설명된 바와 같은 개선된 반송파 집성(CA) 기능들과 연관된 하나 이상의 유리한 특징을 제공할 수 있다.

[0064] 모듈(300)은 하나 이상의 반도체 다이(304) 상에 구현된 복수의 스위치를 더 포함할 수 있다. 일부 실시예들에서, 그러한 스위치들은 다이플렉서(들)와 LNA 회로 사이의 RF 신호 경로들을 따라 구현되지 않으며, 이로써, 예를 들어, 개선된 잡음 지수 성능을 생성한다.

[0065] 모듈(300)은 RF 신호들을 처리하도록 구성된 하나 이상의 다이플렉서 및/또는 복수의 필터(집합적으로 310으로 표시됨)를 더 포함할 수 있다. 그러한 다이플렉서들/필터들은 표면 실장 디바이스(SMD; surface-mount device)들로서, 집적 회로(IC)의 일부로서, 그의 일부 조합으로서 구현될 수 있다. 그러한 다이플렉서들/필터들은, 예를 들어, SAW 필터들을 포함하거나 그에 기초할 수 있고 높은 Q의 디바이스(high Q device)들로서 구성될 수 있다.

[0066] 일부 구현들에서, 본 명세서에 설명된 하나 이상의 특징을 갖는 아키텍처, 디바이스 및/또는 회로가 무선 디바이스와 같은 RF 디바이스에 포함될 수 있다. 그러한 아키텍처, 디바이스 및/또는 회로는 직접 무선 디바이스로, 본 명세서에 설명된 바와 같은 하나 이상의 모듈 형식으로, 또는 그의 일부 조합으로 구현될 수 있다. 일부 실시예들에서, 그러한 무선 디바이스는, 예를 들어, 셀룰러 폰, 스마트폰, 전화 기능을 갖거나 갖지

않는 핸드헬드 무선 디바이스, 무선 태블릿, 무선 라우터, 무선 액세스 포인트, 무선 기지국 등을 포함할 수 있다. 비록 무선 디바이스의 문맥에서 설명되었으나, 본 개시내용의 하나 이상의 특징은 또한 기지국과 같은 다른 RF 시스템들에 구현될 수 있다는 것을 이해할 것이다.

- [0067] 도 12는 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스(400)를 개략적으로 도시한다. 일부 실시예들에서, 그러한 유리한 특징들은 본 명세서에 설명된 바와 같이 프론트 엔드(FE) 모듈(300)에 구현될 수 있다. 일부 실시예들에서, 그러한 FEM은 파선 박스에 의해 나타내어진 것보다 더 많거나 더 적은 컴포넌트들을 포함할 수 있다.
- [0068] 전력 증폭기(PA; power amplifier) 모듈(412)의 PA들은 증폭되어 송신될 RF 신호들을 생성하도록 구성되고 동작될 수 있는 트랜시버(410)로부터 그들 각자의 RF 신호들을 수신하고 수신된 신호들을 처리할 수 있다. 트랜시버(410)는 사용자에게 적절한 데이터 및/또는 음성 신호들과 트랜시버(410)에 적절한 RF 신호들 사이의 변환을 제공하도록 구성된 기저대역 서브-시스템(408)과 상호작용하는 것으로 도시되어 있다. 트랜시버(410)는 또한 무선 디바이스(400)의 동작을 위한 전력을 관리하도록 구성되는 전력 관리 컴포넌트(406)에 접속되는 것으로 도시되어 있다. 그러한 전력 관리는 또한 기저대역 서브-시스템(408) 및 무선 디바이스(400)의 다른 컴포넌트들의 동작들을 제어할 수 있다.
- [0069] 기저대역 서브-시스템(408)은 사용자에게 제공되고 그로부터 수신되는 음성 및/또는 데이터의 다양한 입력 및 출력을 용이하게 하도록 사용자 인터페이스(402)에 접속되는 것으로 도시되어 있다. 기저대역 서브-시스템(408)은 또한 무선 디바이스의 동작을 용이하게 하는 명령어들 및/또는 데이터를 저장하고, 그리고/또는 사용자에게 대한 정보의 저장을 제공하도록 구성되는 메모리(404)에 접속될 수 있다.
- [0070] 예시적인 무선 디바이스(400)에서, 프론트 엔드 모듈(300)은 본 명세서에 설명된 바와 같은 하나 이상의 기능을 제공하도록 구성된 하나 이상의 반송파 집성-가능 신호 경로들을 포함할 수 있다. 그러한 신호 경로들은 그들 각자의 다이플렉서(들)를 통해 안테나 스위치 모듈(ASM)(414)과 통신할 수 있다. 일부 실시예들에서, 안테나(420)를 통해 수신된 신호들 중 적어도 일부는 ASM(414)로부터 하나 이상의 저잡음 증폭기(LNA)(418)로 본 명세서에 설명된 방식으로 라우팅될 수 있다. LNA(418)로부터의 증폭된 신호들은 트랜시버(410)에 라우팅되는 것으로 도시되어 있다. 일부 실시예들에서, LNA들(418) 중 적어도 일부는 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 LNA 회로(110)를 포함할 수 있다.
- [0071] 도 13은 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스(500)를 개략적으로 도시한다. 일부 실시예들에서, 그러한 유리한 특징들은 본 명세서에 설명된 바와 같이 프론트 엔드(FE) 모듈(300)에 구현될 수 있다. 일부 실시예들에서, 그러한 FEM은 파선 박스에 의해 나타내어진 것보다 더 많거나 더 적은 컴포넌트들을 포함할 수 있다.
- [0072] PA 모듈(512)의 PA들은 증폭되어 송신될 RF 신호들을 생성하도록 구성되고 동작될 수 있는 트랜시버(510)로부터 그들 각자의 RF 신호들을 수신하고 수신된 신호들을 처리할 수 있다. 트랜시버(510)는 사용자에게 적절한 데이터 및/또는 음성 신호들과 트랜시버(510)에 적절한 RF 신호들 사이의 변환을 제공하도록 구성된 기저대역 서브-시스템(508)과 상호작용하는 것으로 도시되어 있다. 트랜시버(510)는 또한 무선 디바이스(500)의 동작을 위한 전력을 관리하도록 구성되는 전력 관리 컴포넌트(506)에 접속되는 것으로 도시되어 있다. 그러한 전력 관리는 또한 기저대역 서브-시스템(508) 및 무선 디바이스(500)의 다른 컴포넌트들의 동작들을 제어할 수 있다.
- [0073] 기저대역 서브-시스템(508)은 사용자에게 제공되고 그로부터 수신되는 음성 및/또는 데이터의 다양한 입력 및 출력을 용이하게 하도록 사용자 인터페이스(502)에 접속되는 것으로 도시되어 있다. 기저대역 서브-시스템(508)은 또한 무선 디바이스의 동작을 용이하게 하는 명령어들 및/또는 데이터를 저장하고, 그리고/또는 사용자에게 대한 정보의 저장을 제공하도록 구성되는 메모리(504)에 접속될 수 있다.
- [0074] 예시적인 무선 디바이스(500)에서, 프론트 엔드 모듈(300)은 본 명세서에 설명된 바와 같은 하나 이상의 기능을 제공하도록 구성된 하나 이상의 반송파 집성-가능 신호 경로들을 포함할 수 있다. 그러한 신호 경로들은 그들 각자의 다이플렉서(들)를 통해 안테나 스위치 모듈(ASM)(524)과 통신할 수 있다. 일부 실시예들에서, 다이버시티 안테나(530)를 통해 수신된 신호들 중 적어도 일부는 ASM(524)로부터 하나 이상의 저잡음 증폭기(LNA)(418)로 본 명세서에 설명된 방식으로 라우팅될 수 있다. LNA(418)로부터의 증폭된 신호들은 트랜시버(510)에 라우팅되는 것으로 도시되어 있다.
- [0075] 다수의 다른 무선 디바이스 구성들은 본 명세서에 설명된 하나 이상의 특징을 이용할 수 있다. 예를 들어, 무선 디바이스는 다중 대역(multi-band) 디바이스일 필요는 없다. 다른 예에서, 무선 디바이스는 다이버시티 안

테나와 같은 추가의 안테나들과, Wi-Fi, 블루투스, 및 GPS와 같은 추가의 접속 특징부들(connectivity features)을 포함할 수 있다.

[0076] 다이버시티 수신(DRx) 구현에 관련된 예들:

[0077] 무선 디바이스의 하나 이상의 메인 안테나 및 하나 이상의 다이버시티 안테나를 이용하면 신호 수신 품질을 개선할 수 있다. 예를 들어, 다이버시티 안테나는 무선 디바이스의 근방(vicinity)의 RF 신호들의 추가적인 샘플링을 제공할 수 있다. 또한, 무선 디바이스의 트랜시버는, 메인 안테나만을 사용하는 구성에 비교할 경우, 더 높은 에너지 및/또는 개선된 충실도(fidelity)의 수신 신호를 획득하기 위해 메인 안테나 및 다이버시티 안테나에 의해 수신된 신호들을 처리하도록 구성될 수 있다.

[0078] 메인 안테나 및 다이버시티 안테나에 의해 수신된 신호들 사이의 상관(correlation)을 저감하기 위해 그리고/또는 안테나 격리(isolation)를 강화하기 위해, 메인 안테나 및 다이버시티 안테나는 무선 디바이스에서 비교적 큰 물리적 거리에 의해 분리될 수 있다. 예를 들어, 다이버시티 안테나는 무선 디바이스의 상부 근방에 위치될 수 있고 메인 안테나는 무선 디바이스의 하부 근방에 위치될 수 있거나, 그 반대의 경우도 가능하다.

[0079] 무선 디바이스는 안테나 스위치 모듈을 통해 트랜시버로부터 또는 트랜시버에 대응하는 신호들을 라우팅함으로써 메인 안테나를 이용하여 신호들을 송신 또는 수신할 수 있다. 설계 사양을 충족 또는 초과하기 위해, 트랜시버, 안테나 스위치 모듈 및/또는 메인 안테나는 무선 디바이스에서 서로에 대해 비교적 인접한 물리적 근접거리(proximity)에 있을 수 있다. 이런 방식으로 무선 디바이스를 구성하면 비교적 적은 신호 손실, 저잡음 및/또는 높은 분리를 제공할 수 있다.

[0080] 전술한 예에서, 메인 안테나가 안테나 스위치 모듈에 물리적으로 가깝게 있으면 다이버시티 안테나가 안테나 스위치 모듈로부터 비교적 멀리 위치되도록 할 수 있다. 그러한 구성에서, 다이버시티 안테나와 안테나 스위치 모듈 사이의 비교적 긴 신호 경로는 다이버시티 안테나를 통해 수신된 신호와 연관된 현저한 손실 및/또는 손실의 추가를 야기할 수 있다. 따라서, 다이버시티 안테나에 근접하는, 본 명세서에 설명된 바와 같은 하나 이상의 특징의 구현을 포함하는, 다이버시티 안테나를 통해 수신된 신호의 처리는 유리할 수 있다.

[0081] 도 14는, 일부 실시예들에서, 본 개시내용의 하나 이상의 특징이 다이버시티 수신(DRx) 모듈(300)에 구현될 수 있음을 도시한다. 그러한 모듈은 복수의 컴포넌트를 수용하고, 또한 그러한 컴포넌트들과 연관된 전기적 접속들을 제공 또는 용이하게 하도록 구성된 패키징 기판(302)(예를 들어, 라미네이트 기판)을 포함할 수 있다.

[0082] 도 14의 예에서, DRx 모듈(300)은 입력(320)에서 다이버시티 안테나(도 14에 도시되지 않음)로부터 RF 신호를 수신하고 그러한 RF 신호를 저잡음 증폭기(LNA)(332)에 라우팅하도록 구성될 수 있다. RF 신호의 그러한 라우팅은 반송파 집성(CA) 및/또는 비-CA 구성들을 수반할 수 있다는 것을 이해할 것이다. 비록, 하나의 LNA(예를 들어, 광대역 LNA)가 도시되지만, 하나보다 많은 LNA가 DRx 모듈(300)에 있을 수 있다는 것을 또한 이해할 것이다. LNA의 유형 및 동작 모드(예를 들어, CA 또는 비-CA)에 따라, LNA(332)의 출력(334)은 하나 이상의 주파수 대역과 연관된 하나 이상의 주파수 컴포넌트를 포함할 수 있다.

[0083] 일부 실시예들에서, 입력(320)과 LNA(332) 사이의 RF 신호의 전술한 라우팅의 일부 또는 전부가 입력(320)과 다이플렉서(들) 및/또는 필터(들)(집합적으로 324로서 표시됨)의 어셈블리 사이의 하나 이상의 스위치(322)의 어셈블리, 및 다이플렉서/필터 어셈블리(324)와 LNA(332) 사이의 하나 이상의 스위치(330)의 어셈블리에 의해 용이하게 될 수 있다. 일부 실시예들에서, 스위치 어셈블리들(322, 330)은, 예를 들어, 하나 이상의 실리콘 온 인슐레이터(SOI) 다이 상에 구현될 수 있다. 일부 실시예들에서, 입력(320)과 LNA(332) 사이의 RF 신호의 전술한 라우팅의 일부 또는 전부가 스위치 어셈블리들(322, 330)과 연관된 스위치들의 일부 또는 전부 없이 달성될 수 있다.

[0084] 도 14의 예에서, 다이플렉서/필터 어셈블리(324)는 2개의 예시적인 다이플렉서(326) 및 2개의 개별 필터들(328)을 포함하는 것으로 도시되어 있다. DRx 모듈(300)은 더 많거나 더 적은 수의 다이플렉서, 및 더 많거나 더 적은 수의 개별 필터들을 가질 수 있다는 것을 이해할 것이다. 그러한 다이플렉서(들)/필터(들)는, 예를 들어, 표면 실장 디바이스(SMD)들로서, 집적 회로(IC)의 일부로서, 그들의 일부 조합으로 구현될 수 있다. 그러한 다이플렉서들/필터들은, 예를 들어, SAW 필터를 포함하거나 그에 기초할 수 있고 높은 Q의 디바이스들로서 구성될 수 있다.

[0085] 일부 실시예들에서, DRx 모듈(300)은 스위치 어셈블리들(322, 330) 및 LNA(332)의 일부 또는 전부와 연관된 제어 기능을 제공하고 그리고/또는 용이하게 하도록 구성된 MIPI RFFE 인터페이스(340)와 같은 제어 컴포넌트를 포

함할 수 있다. 그러한 제어 인터페이스는 하나 이상의 I/O 신호(342)와 동작하도록 구성될 수 있다.

[0086] 도 15는, 일부 실시예들에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 DRx 모듈(300)(예를 들어, 도 14의 DRx 모듈(300))이 무선 디바이스(500)와 같은 RF 디바이스에 포함될 수 있다는 것을 도시한다. 그러한 무선 디바이스에서, 사용자 인터페이스(502), 메모리(504), 전력 관리(506), 기저대역 서브-시스템(508), 트랜시버(510), 전력 증폭기(PA)(512), 안테나 스위치 모듈(ASM)(514) 및 안테나(520)와 같은 컴포넌트들은 도 12 및 도 13의 예들과 대체로 유사할 수 있다.

[0087] 일부 실시예들에서, DRx 모듈(300)은 하나 이상의 다이버시티 안테나와 ASM(514) 사이에 구현될 수 있다. 그러한 구성은 다이버시티 안테나(530)를 통해 수신된 RF 신호가 거의 또는 전혀 손실 없이 및/또는 다이버시티 안테나(530)로부터의 RF 신호에 대해 거의 또는 전혀 잡음의 가산 없이 처리(일부 실시예들에서, LNA에 의한 증폭을 포함함)될 수 있게 할 수 있다. 그리고 나서, 그와 같이 처리된 DRx 모듈(300)로부터의 신호는 비교적 손실이 있을 수 있는 하나 이상의 신호 경로(532)를 통해 ASM에 라우팅될 수 있다.

[0088] 도 15의 예에서, DRx 모듈(300)로부터의 RF 신호는 ASM(514)을 통과하여 하나 이상의 수신(Rx) 경로를 통해 트랜시버(510)에 라우팅될 수 있다. 그러한 Rx 경로들 중 일부 또는 전부는 그들 각자의 LNA(들)를 포함할 수 있다. 일부 실시예들에서, DRx 모듈(300)로부터의 RF 신호는 그러한 LNA(들)를 이용하여 더 증폭되거나 되지 않을 수 있다.

[0089] 본 개시내용의 하나 이상의 특징은 본 명세서에 설명된 다양한 셀룰러 주파수 대역으로 구현될 수 있다. 그러한 대역들의 예들이 표 2에 나열된다. 대역들 중 적어도 일부가 서브-대역들로 분할될 수 있다는 것을 이해할 것이다. 본 개시내용의 하나 이상의 특징은 표 2의 예들과 같이 지정되지 않은 주파수 범위들로 구현될 수 있다.

표 2

대역	모드	Tx 주파수 범위(MHz)	Rx 주파수 범위(MHz)
B1	FDD	1,920 - 1,980	2,110 - 2,170
B2	FDD	1,850 - 1,910	1,930 - 1,990
B3	FDD	1,710 - 1,785	1,805 - 1,880
B4	FDD	1,710 - 1,755	2,110 - 2,155
B5	FDD	824 - 849	869 - 894
B6	FDD	830 - 840	875 - 885
B7	FDD	2,500 - 2,570	2,620 - 2,690
B8	FDD	880 - 915	925 - 960
B9	FDD	1,749.9 - 1,784.9	1,844.9 - 1,879.9
B10	FDD	1,710 - 1,770	2,110 - 2,170
B11	FDD	1,427.9 - 1,447.9	1,475.9 - 1,495.9
B12	FDD	699 - 716	729 - 746
B13	FDD	777 - 787	746 - 756
B14	FDD	788 - 798	758 - 768
B15	FDD	1,900 - 1,920	2,600 - 2,620
B16	FDD	2,010 - 2,025	2,585 - 2,600
B17	FDD	704 - 716	734 - 746
B18	FDD	815 - 830	860 - 875
B19	FDD	830 - 845	875 - 890
B20	FDD	832 - 862	791 - 821
B21	FDD	1,447.9 - 1,462.9	1,495.9 - 1,510.9
B22	FDD	3,410 - 3,490	3,510 - 3,590
B23	FDD	2,000 - 2,020	2,180 - 2,200
B24	FDD	1,626.5 - 1,660.5	1,525 - 1,559
B25	FDD	1,850 - 1,915	1,930 - 1,995
B26	FDD	814 - 849	859 - 894
B27	FDD	807 - 824	852 - 869
B28	FDD	703 - 748	758 - 803
B29	FDD	N/A	716 - 728
B30	FDD	2,305 - 2,315	2,350 - 2,360
B31	FDD	452.5 - 457.5	462.5 - 467.5
B33	TDD	1,900 - 1,920	1,900 - 1,920
B34	TDD	2,010 - 2,025	2,010 - 2,025
B35	TDD	1,850 - 1,910	1,850 - 1,910
B36	TDD	1,930 - 1,990	1,930 - 1,990
B37	TDD	1,910 - 1,930	1,910 - 1,930
B38	TDD	2,570 - 2,620	2,570 - 2,620
B39	TDD	1,880 - 1,920	1,880 - 1,920
B40	TDD	2,300 - 2,400	2,300 - 2,400
B41	TDD	2,496 - 2,690	2,496 - 2,690
B42	TDD	3,400 - 3,600	3,400 - 3,600
B43	TDD	3,600 - 3,800	3,600 - 3,800
B44	TDD	703 - 803	703 - 803

[0090]

[0091]

설명의 목적을 위해, "멀티플렉서", "멀티플렉싱" 등은 "다이플렉서", "다이플렉싱" 등을 포함할 수 있다는 것을 이해할 것이다.

[0092]

문맥상 명백히 달리 요구하지 않는 한, 상세한 설명 및 특허청구범위에 걸쳐, "포함한다", "포함하는" 등과 같은 단어는, 배타적(exclusive) 또는 완전한(exhaustive) 의미가 아니라 포함적 의미로, 즉 "~를 포함하지만 이들로 제한되지 않음"의 의미로 해석되어야 한다. 단어 "연결된(coupled)"이란, 일반적으로 여기서 사용될 때, 직접 접속되거나, 하나 이상의 중간 요소를 통해 접속될 수 있는 2개 이상의 요소를 말한다. 또한, "여기서", "위에서", "아래에서"와 같은 단어 및 유사한 의미의 단어는 본 출원에서 사용되는 경우 본 출원을 전체적으로 지칭하고 본 출원의 임의의 특정한 부분을 지칭하지 않는다. 문맥이 허락하는 경우에, 단수 또는 복수를 사용하는 상기 상세한 설명 내의 단어들은 또한 복수 또는 단수를 각각 포함할 수 있다. 2개 이상의 항목들의 목록과 관련하여 "또는"이라는 단어는, 이하의 해석을 모두 포함한다: 목록 내의 항목들 중 임의의 것, 목록 내의 항목들 전부, 및 목록 내의 항목들의 임의의 조합.

[0093]

본 발명의 실시예의 상기 상세한 설명은 남김없이 철저히 드러내기 위한 것이거나 본 발명을 전술된 형태 그대로 제한하기 위한 것이 아니다. 본 발명의 특정 실시예 및 예가 예시의 목적을 위해 전술되었지만, 이 기술분

야의 통상의 기술자가 인식할 수 있는 바와 같이, 본 발명의 범위 내에서 다양한 등가의 수정이 가능하다. 예를 들어, 프로세스 또는 블록이 주어진 순서로 제시되어 있지만, 대안의 실시예는 상이한 순서로 단계들을 갖는 루틴을 수행하거나 블록들을 갖는 시스템을 이용할 수 있고, 일부 프로세스 또는 블록은 삭제, 이동, 부가, 세분, 결합 및/또는 수정될 수 있다. 이들 프로세스들 또는 블록들 각각은 각종의 상이한 방식으로 구현될 수 있다. 또한, 프로세스들 또는 블록들이 때때로 순차적으로 수행되는 것으로 표시되지만, 이러한 프로세스들 또는 블록들은 그 대신 병렬적으로 수행될 수 있거나, 상이한 시간에 수행될 수 있다.

[0094] 본 명세서에 제공된 본 발명의 교시들은 반드시 전술한 시스템들이 아닌 다른 시스템들에 적용될 수 있다. 전술한 다양한 실시예들의 요소들 및 동작들은 추가의 실시예들을 제공하기 위해 조합될 수 있다.

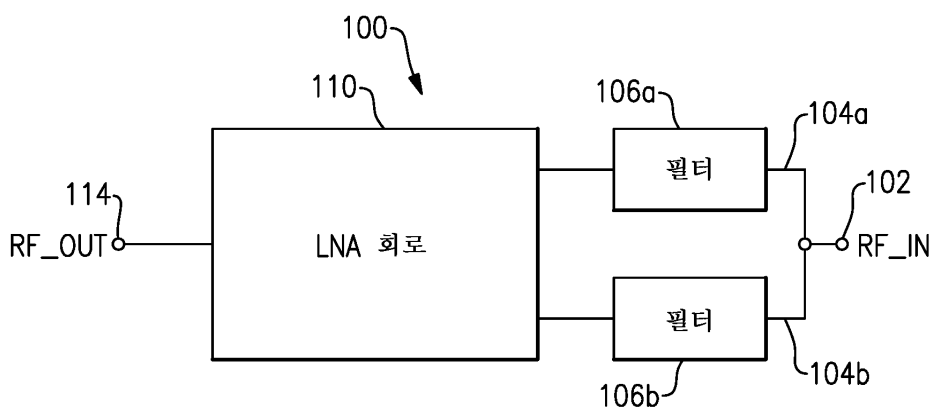
[0095] 본 발명의 일부 실시예들이 설명되었지만, 이들 실시예들은 단지 예로서 제시되었으며, 본 개시내용의 범위를 제한하도록 의도되지는 않는다. 사실상, 본 명세서에 설명된 새로운 방법 및 시스템은 각종의 다른 형태로 구현될 수 있고, 게다가 본 개시내용의 사상을 벗어나지 않고 본 명세서에 설명된 방법 및 시스템의 형태에서의 다양한 생략, 치환 및 변경이 행해질 수 있다. 첨부된 특허청구범위 및 그의 등가물은 본 개시내용의 범위 및 사상 내에 속하는 이러한 형태 또는 수정을 포함하는 것으로 보아야 한다.

부호의 설명

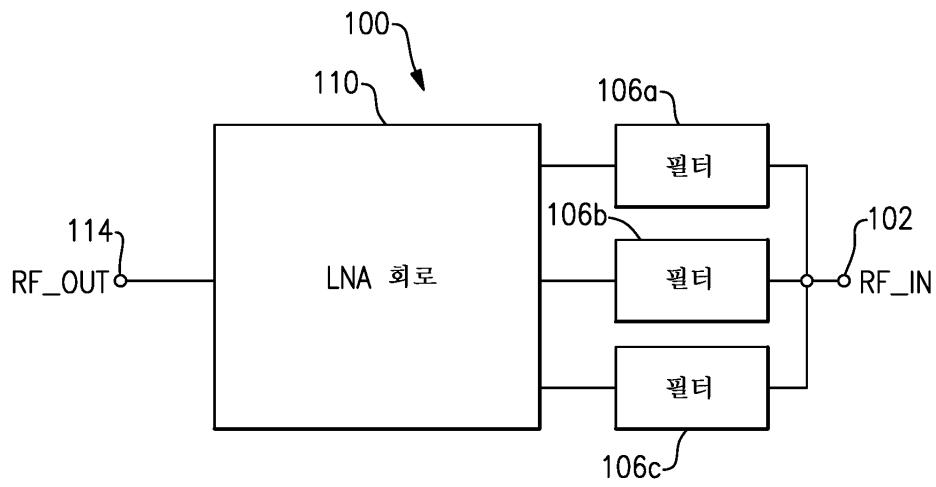
- [0096]
- 110: LNA 회로
 - 132: 제1 입력 노드
 - 134: 제2 입력 노드
 - 136: 공통 노드
 - 138: 출력 노드
 - 142: 제1 전류 변환기
 - 144: 제2 전류 변환기
 - 146: 가산기

도면

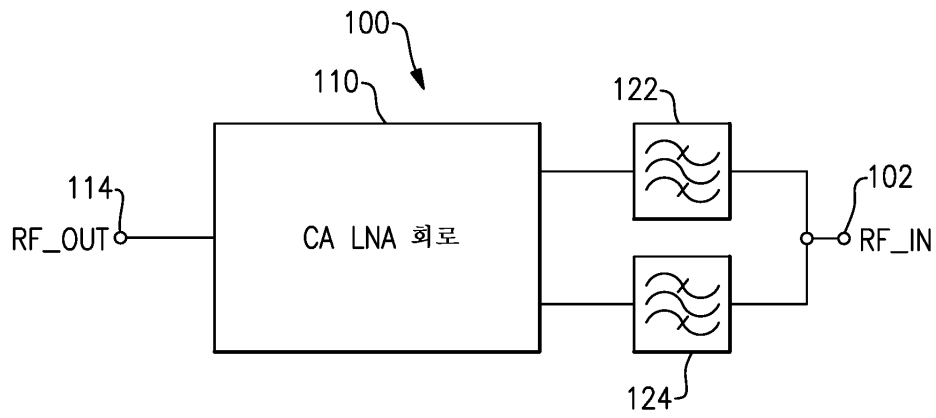
도면1



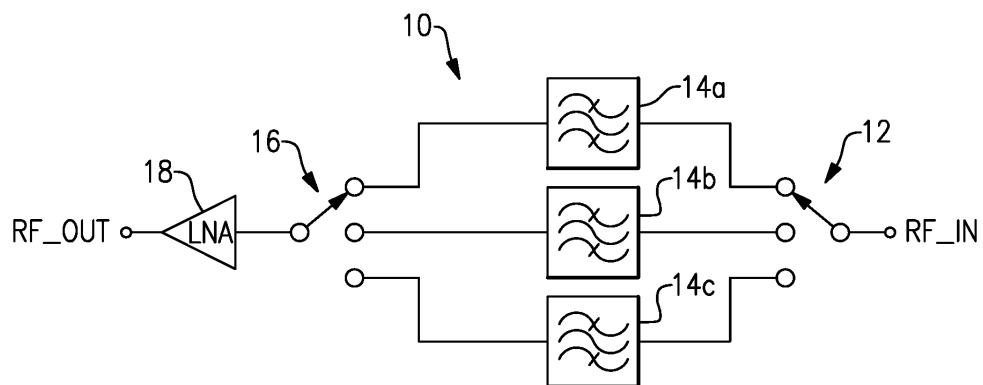
도면2



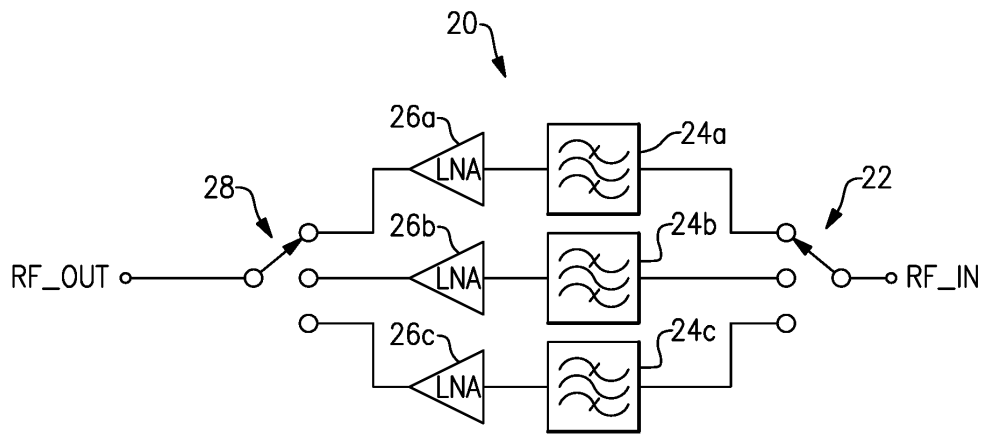
도면3



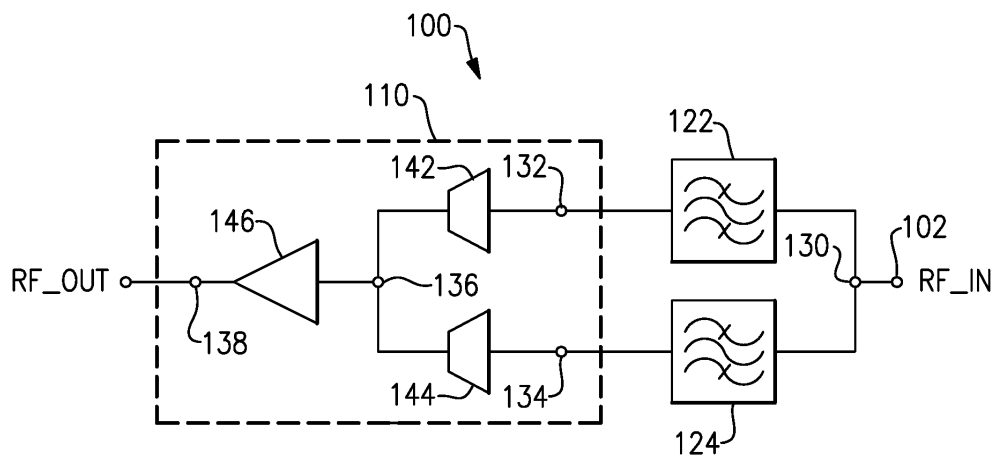
도면4



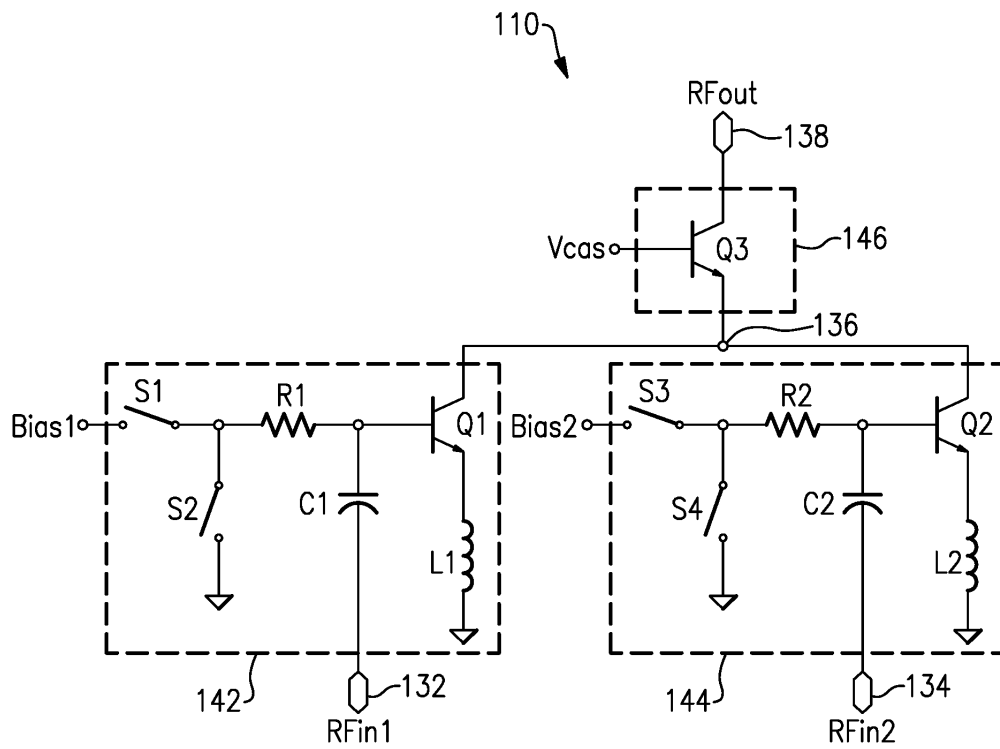
도면5



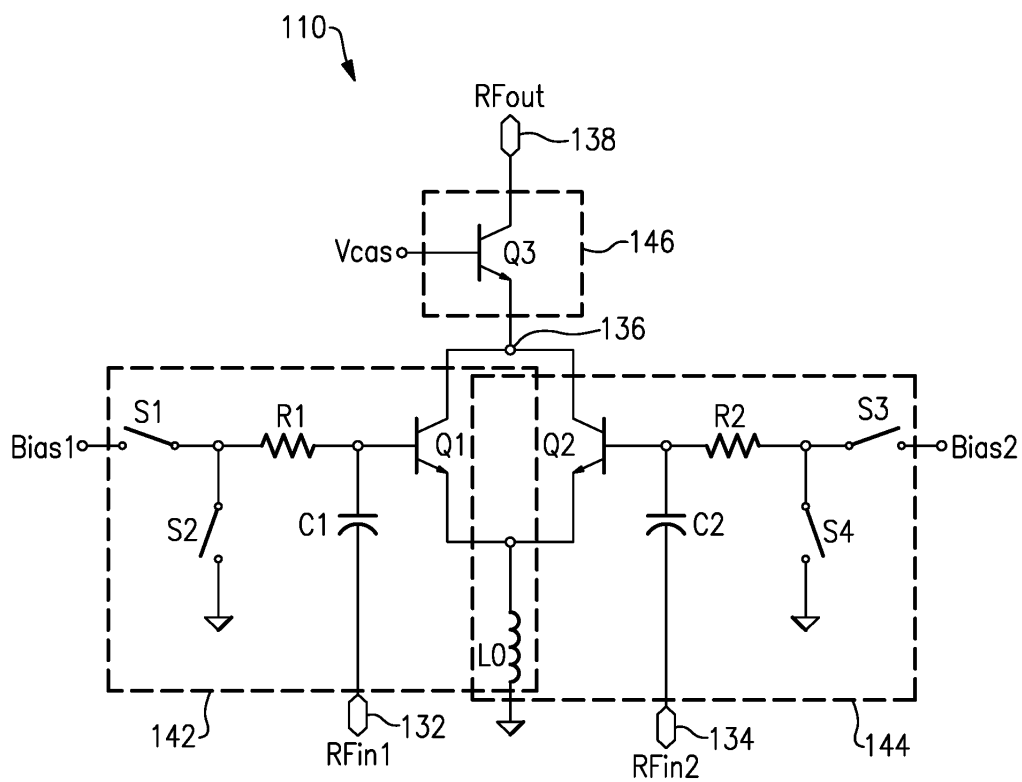
도면6



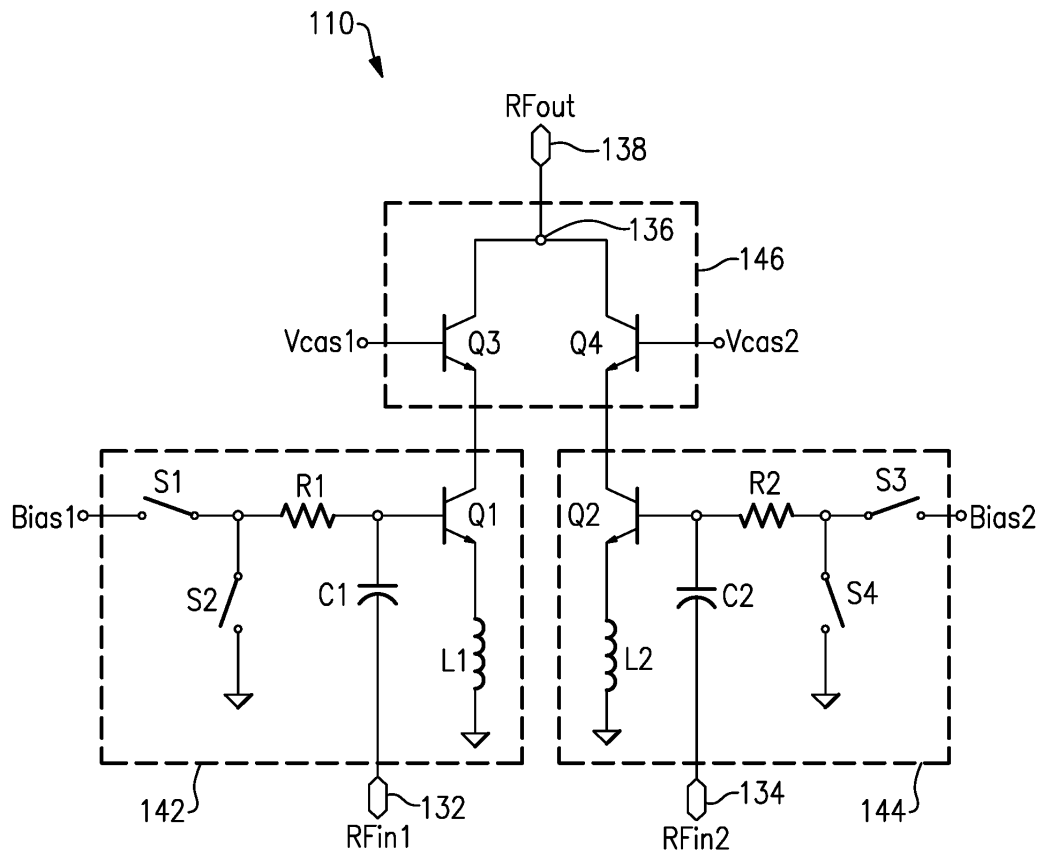
도면7



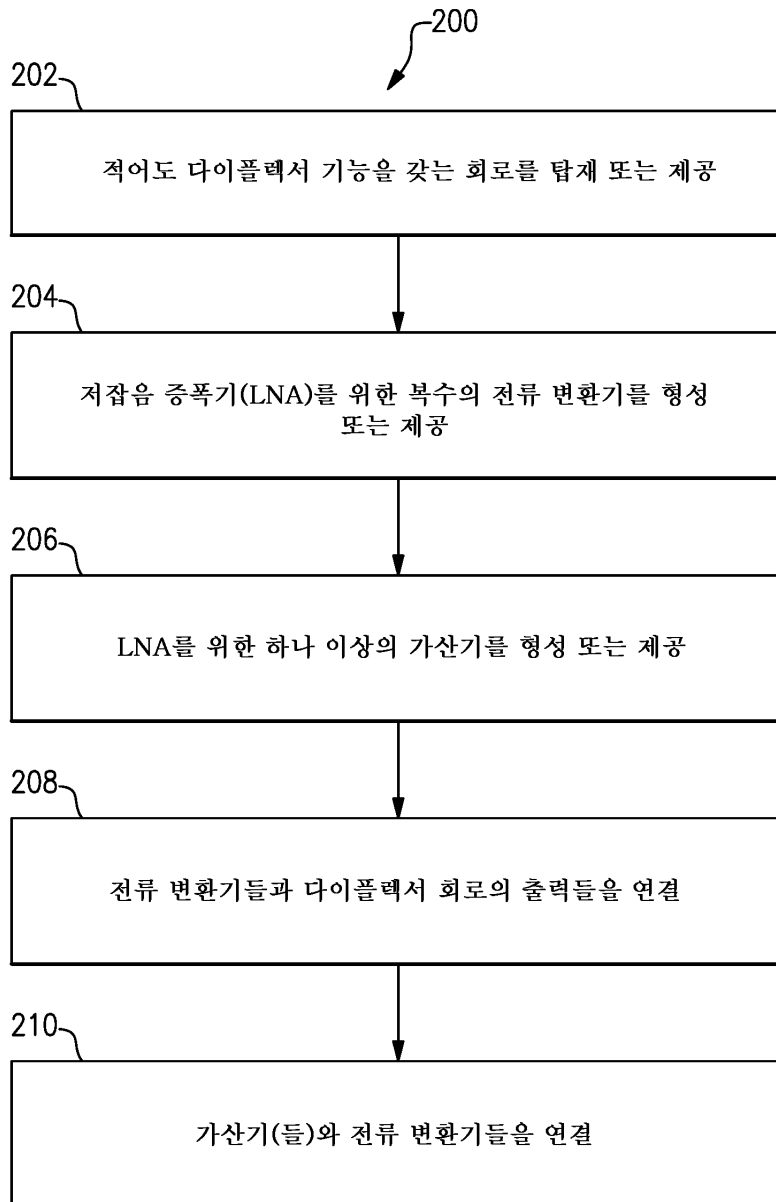
도면8



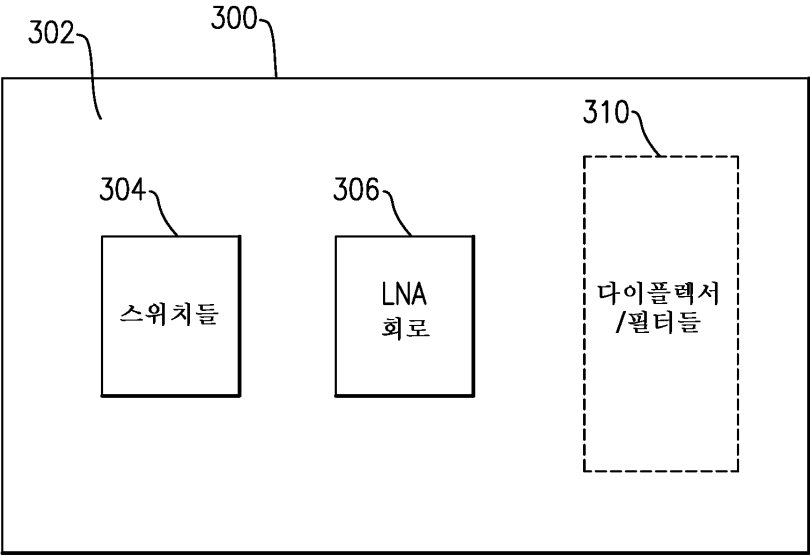
도면9



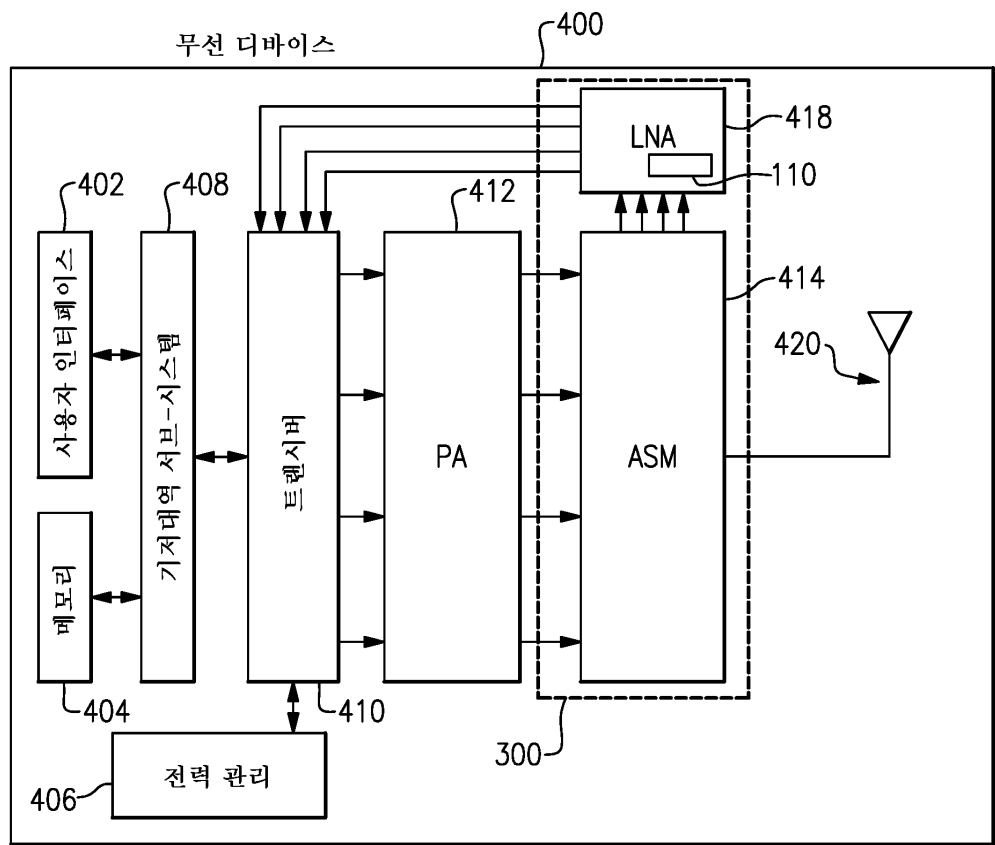
도면10



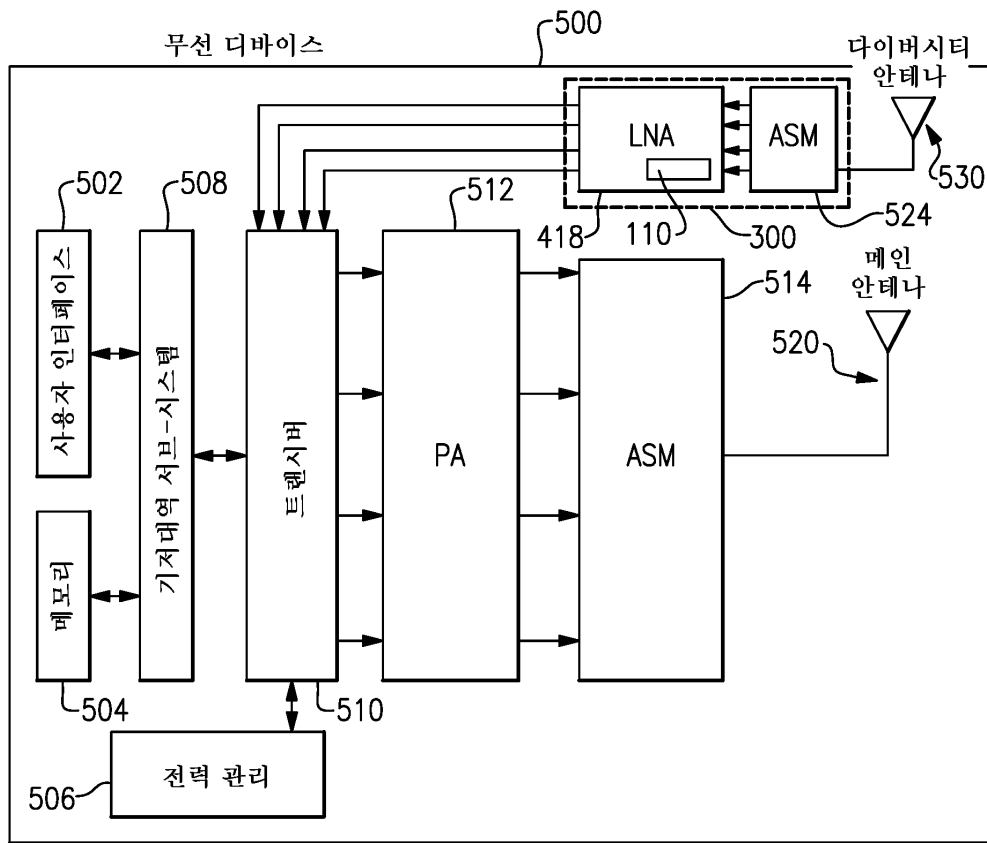
도면11



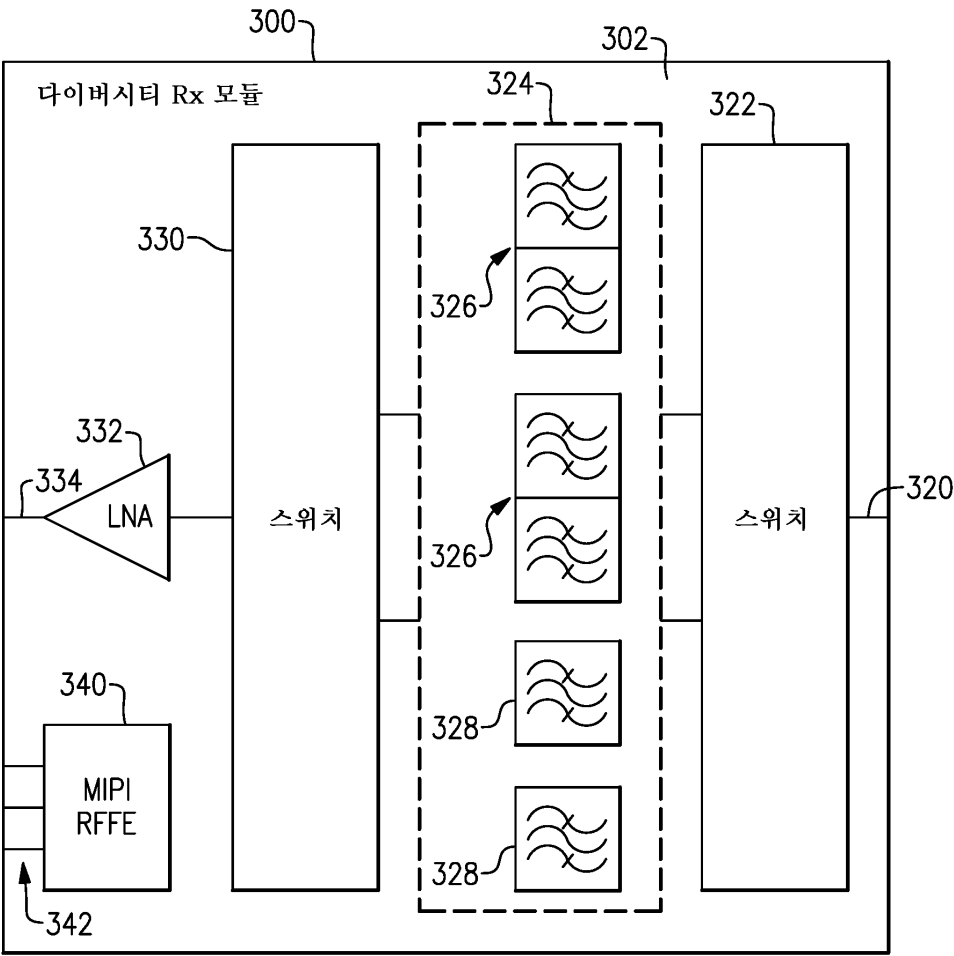
도면12



도면13



도면14



도면15

