

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-540565

(P2009-540565A)

(43) 公表日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/78 (2006.01)	H01L 29/78 301S	5F045
H01L 21/20 (2006.01)	H01L 21/20	5F110
H01L 21/336 (2006.01)	H01L 29/78 616L	5F140
H01L 29/786 (2006.01)	H01L 29/78 616T	5F152
H01L 21/205 (2006.01)	H01L 29/78 616V	
審査請求 未請求 予備審査請求 未請求 (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2009-514271 (P2009-514271)
 (86) (22) 出願日 平成19年5月11日 (2007.5.11)
 (85) 翻訳文提出日 平成21年2月5日 (2009.2.5)
 (86) 国際出願番号 PCT/US2007/011464
 (87) 国際公開番号 W02007/145758
 (87) 国際公開日 平成19年12月21日 (2007.12.21)
 (31) 優先権主張番号 60/811, 703
 (32) 優先日 平成18年6月7日 (2006.6.7)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/536, 463
 (32) 優先日 平成18年9月28日 (2006.9.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500019890
 エーエスエム アメリカ インコーポレイ
 テッド
 アメリカ合衆国 85034-7200
 アリゾナ州 フィーニックス イースト
 ユニバーシティ ドライブ 3440
 (74) 代理人 100127328
 弁理士 八木澤 史彦
 (74) 代理人 100122817
 弁理士 鈴木 正夫
 (74) 代理人 110000796
 特許業務法人三枝国際特許事務所

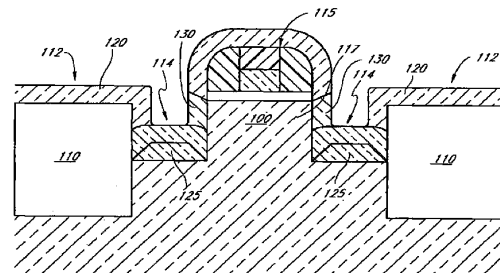
最終頁に続く

(54) 【発明の名称】 半導体膜の選択的なエピタキシャル形成

(57) 【要約】

反復して行うブランケット堆積と選択的エッチングとのサイクル的なプロセスによって、半導体ウィンドウ(114)内にエピタキシャル層(125)を選択的に形成する。ブランケット堆積フェーズは、フィールド酸化物等の絶縁領域(112)上へ非エピタキシャル材料(120)を残し、選択的なエッチングフェーズは、優先的に非エピタキシャル材料(120)を除去し、且つ、堆積されるエピタキシャル材料(125)はサイクル毎に堆積される。エピタキシャル材料(125)の品質は、絶縁体(112)上で堆積が発生しない選択的プロセスよりも向上する。プロセスのエッチングフェーズ中にゲルマニウム触媒を使用することは、エッチング速度を促進し、且つ、複数のサイクルを介する等温および/または等圧条件の維持費用の節約を容易にする。スループットおよび品質は、トリシランの使用、絶縁領域(112)上への非晶質材料(120)の形成、および各堆積フェーズにおける非晶質：エピタキシャル材料の厚さの比の最小化によって向上する。

【選択図】図5A



【特許請求の範囲】**【請求項 1】**

半導体ウィンドウ内に半導体材料を選択的に形成する方法であって、
絶縁表面と単結晶半導体表面とを備える基板を、化学気相蒸着チャンバ内に設ける工程と、

前記絶縁表面上の非エピタキシャル半導体材料と前記単結晶半導体表面上のエピタキシャル半導体材料との厚さの比が約 1 . 6 : 1 未満となるように、前記基板の前記絶縁表面上および前記単結晶半導体表面上へ、半導体材料をブランケット堆積する工程と、

前記絶縁表面から前記非エピタキシャル半導体材料を選択的に除去する工程とを含み、
ブランケット堆積する前記工程と、選択的に除去する前記工程とを、前記化学気相蒸着チャンバ内で実行する方法。

10

【請求項 2】

ブランケット堆積する前記工程と選択的に除去する前記工程とを複数のサイクルで反復する工程をさらに含み、各サイクルが、前記単結晶半導体表面上のエピタキシャル材料に厚さを追加する、請求項 1 記載の方法。

【請求項 3】

前記半導体材料は炭素ドーブシリコンを含む、請求項 2 記載の方法。

【請求項 4】

前記炭素ドーブシリコンは約 0 . 1 原子% ~ 3 . 6 原子%の置換炭素を含む、請求項 3 記載の方法。

20

【請求項 5】

前記単結晶半導体表面はリセスされたソース/ドレイン領域を含み、前記エピタキシャル材料は中間のチャンネル領域上へ応力を加える、請求項 2 記載の方法。

【請求項 6】

選択的に除去する前記工程は、前記リセスされたソース/ドレイン領域の側壁からエピタキシャル材料を除去し、且つ、前記リセスされたソース/ドレイン領域の底部にエピタキシャル材料を残す工程を含む、請求項 5 記載の方法。

【請求項 7】

ブランケット堆積する前記工程は、非選択的に堆積する工程を含む、請求項 2 記載の方法。

30

【請求項 8】

ブランケット堆積する前記工程は、ハロゲン化物を用いずに気相ソースをフローする工程を含む、請求項 2 記載の方法。

【請求項 9】

ブランケット堆積する前記工程は、前記絶縁表面上へ、圧倒的に非晶質である半導体材料を形成する工程を含む、請求項 2 記載の方法。

【請求項 10】

ブランケット堆積する前記工程の各々は、前記絶縁表面上の非エピタキシャル物質と前記単結晶半導体表面上のエピタキシャル材料との厚さの比を、約 1 . 0 : 1 ~ 約 1 . 3 : 1 で堆積する、請求項 2 記載の方法。

40

【請求項 11】

前記エピタキシャル材料は、インサイチュレンおよび炭素ドーブシリコンを含む、請求項 2 記載の方法。

【請求項 12】

前記エピタキシャル材料は約 0 . 4 mΩ・cm ~ 2 mΩ・cm の抵抗率を有する、請求項 11 記載の方法。

【請求項 13】

ブランケット堆積する前記工程と選択的に除去する工程とは共に、互いに ± 10 の範囲内で実行される、請求項 2 記載の方法。

【請求項 14】

50

ブランケット堆積する前記工程と選択的に除去する工程とは共に、互いに±5 の範囲内で実行される、請求項2記載の方法。

【請求項15】

選択的に除去する前記工程は、ゲルマニウムソースおよびハロゲン化物ソースを前記化学気相蒸着チャンバ内へフローする工程を含む、請求項1記載の方法。

【請求項16】

ブランケット堆積する前記工程は、トリシランを前記化学気相蒸着チャンバ内へフローする工程を含む、請求項1記載の方法。

【請求項17】

ブランケット堆積する前記工程は、適切な炭素ソースおよび適切な電気的ドーパントソースを、前記化学気相蒸着チャンバ内へフローする工程をさらに含む、請求項16記載の方法。

10

【請求項18】

エピタキシャル半導体材料を選択的に形成する方法であって、

基板の単結晶半導体領域上へエピタキシャル材料を形成し、かつ前記基板の絶縁領域上へ非エピタキシャル材料を形成するために、半導体材料をブランケット堆積する工程と、

ブランケット堆積された前記半導体材料を、ハロゲン化物ソースおよびゲルマニウムソースを含むエッチング化学物質に露出することにより、前記絶縁領域上から前記非エピタキシャル材料を選択的に除去する工程と、

ブランケット堆積する前記工程と選択的に除去する前記工程とを、少なくとも一度反復する工程とを含む方法。

20

【請求項19】

ブランケット堆積する前記工程は、前記基板を収容する化学気相蒸着チャンバ内へトリシランをフローする工程を含む、請求項18記載の方法。

【請求項20】

ブランケット堆積する前記工程は、各サイクルにおいて約1nm～10nmで堆積する工程を含む、請求項18記載の方法。

【請求項21】

ブランケット堆積する前記工程および選択的に除去する工程は、化学気相蒸着チャンバ内で実行される等温および等圧プロセスである、請求項18記載の方法。

30

【請求項22】

前記半導体領域はリセスされた領域を含む、請求項18記載の方法。

【請求項23】

前記リセスされた領域内の前記エピタキシャル材料は、前記基板の隣接する領域に歪みを加える、請求項22記載の方法。

【請求項24】

前記半導体材料は炭素ドーブシリコンを含む、請求項18記載の方法。

【請求項25】

基板上の選択される位置にシリコン含有材料を形成する方法であって、

単結晶半導体の露出されたウィンドウを複数のフィールド分離領域間に有する基板を設ける工程と、

40

前記基板上へトリシランをフローすることにより、単結晶材料の前記ウィンドウおよび前記フィールド分離領域上へ、シリコン含有材料をブランケット堆積する工程と、

前記フィールド分離領域上から前記シリコン含有材料を選択的に除去する工程と、

ブランケット堆積する前記工程と選択的に除去する前記工程とを複数回のサイクルで反復する工程とを含む方法。

【請求項26】

前記シリコン含有材料をブランケット堆積する前記工程は、前記基板上へ、トリシランを用いて炭素ソース蒸気をフローする工程を含み、前記シリコン含有材料は炭素ドーブシリコンを含む、請求項25記載の方法。

50

【請求項 27】

選択的に除去する前記工程は、単結晶半導体の前記ウィンドウ上からエピタキシャル材料を除去する工程よりも速い速度で、前記フィールド分離領域上から非エピタキシャル材料をエッチングする工程を含む、請求項 26 記載の方法。

【請求項 28】

前記ウィンドウはリセスを備え、選択的に除去する前記工程は、前記リセスの側壁からエピタキシャル材料を除去し、且つ、前記リセスの底部にエピタキシャル材料を残す工程をさらに含む、請求項 27 記載の方法。

【請求項 29】

選択的に除去する前記工程は、前記基板をハロゲン化物エッチャントおよびゲルマニウムソースに露出する工程を含む、請求項 25 記載の方法。

10

【請求項 30】

単結晶半導体の前記ウィンドウは、前記フィールド分離領域の上面に対してリセスを備える、請求項 25 記載の方法。

【請求項 31】

ブランケット堆積する前記工程および選択的に除去する前記工程は、等温および / または等圧条件下で実行される、請求項 25 記載の方法。

【請求項 32】

ブランケット堆積する前記工程および選択的に除去する前記工程は、前記シリコン含有材料の、毎分約 4 nm ~ 11 nm の正味の成長速度を提供する、請求項 25 記載の方法。

20

【請求項 33】

エピタキシャル半導体材料を選択的に形成する方法であって、

絶縁領域と当該絶縁領域内に形成される半導体ウィンドウとを、基板に提供する工程と

、前記絶縁領域上へ非晶質半導体材料を堆積し、かつ前記半導体ウィンドウ上へエピタキシャル半導体材料を堆積する工程と、

前記絶縁領域上から前記非晶質半導体材料を選択的にエッチングし、且つ、前記半導体ウィンドウ内に少なくとも幾分かのエピタキシャル半導体材料を残す工程と、

ブランケット堆積する前記工程と選択的に除去する前記工程とを、複数回のサイクルで反復する工程とを含む方法。

30

【請求項 34】

前記半導体ウィンドウは、前記絶縁領域の上面から下方にリセスを備え、反復する前記工程は、前記リセスをエピタキシャル半導体材料で充填する工程を含む、請求項 33 記載の方法。

【請求項 35】

堆積する前記工程は、前記リセスを炭素ドーブシリコンで充填して、リセスされたソース / ドレイン構造を形成する工程を含む、請求項 34 記載の方法。

【請求項 36】

堆積する前記工程は、前記リセスされたソース / ドレイン構造へ、電気的ドーパントをインサイチュ供給する工程をさらに含む、請求項 35 記載の方法。

40

【請求項 37】

堆積する前記工程は、炭素ドーブシリコンを形成する工程を含む、請求項 35 記載の方法。

【請求項 38】

堆積する前記工程は、前記炭素ドーブシリコン上へ、炭素フリーのキャップ層を形成する工程をさらに含む、請求項 37 記載の方法。

【請求項 39】

反復する前記工程は、隆起されたソース / ドレイン構造を形成する工程を含む、請求項 33 記載の方法。

【請求項 40】

50

堆積する前記工程は、燐および炭素ドーパシリコンを堆積する工程を含む、請求項 3 3 記載の方法。

【請求項 4 1】

前記半導体ウィンドウは、前記絶縁領域の上面から下方にリセスを備え、前記リセス内の前記エピタキシャル半導体材料は、隣接する領域に横方向の引張歪みを加える、請求項 3 3 記載の方法。

【請求項 4 2】

前記隣接する領域はトランジスタチャネル領域である、請求項 4 1 記載の方法。

【請求項 4 3】

選択的に除去する前記工程は、前記リセスの側壁からエピタキシャル材料を除去し、且つ、前記リセスの底部にエピタキシャル材料を残す工程をさらに含む、請求項 4 1 記載の方法。

10

【請求項 4 4】

選択的にエッチングする前記工程は、前記基板を塩素ソースおよびゲルマニウムソースに露出する工程を含む、請求項 3 3 記載の方法。

【請求項 4 5】

堆積の各工程において、前記絶縁領域上の非晶質半導体材料と前記半導体ウィンドウ上の前記エピタキシャル半導体材料との厚さの比が約 1 . 6 : 1 未満である、請求項 3 3 記載の方法。

【請求項 4 6】

20

前記比は約 1 . 0 : 1 ~ 1 . 3 : 1 である、請求項 4 5 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して半導体プロセスにおけるシリコン含有材料の堆積に関し、より具体的には、半導体ウィンドウ上へのシリコン含有材料の選択的形成に関する。

【背景技術】

【0002】

関連する出願の相互参照

本出願は、2006年6月7日付け出願の米国仮特許出願第60/811,703号に対する、米国特許法第119条(e)に基づく優先権の利益を主張する。

30

【0003】

また、本出願は、米国特許出願第11/343,275号(2006年1月30日付け出願、Attorney Docket ASME X.511A)、米国特許出願第11/343,264号(2006年1月30日付け出願、Attorney Docket ASME X.517A)、米国特許出願公報第2003/0036268(2002年5月29日付け出願、Attorney Docket ASME X.317A)、および米国特許第6,998,305号(2004年1月23日付け出願、Attorney Docket ASME X.425A)に関連する。これら関連する出願すべての全開示を、参照により本明細書に組み込む。

40

【0004】

集積回路の形成においては、多くの場合、エピタキシャル層は、複数のフィールド分離領域間に存在する活性領域メサ等の選択されたロケーション内に位置すること、またはより具体的には、画定されたソースドレイン領域上に位置することが望まれる。非エピタキシャル(非晶質または多結晶)材料は、堆積後にフィールド分離領域上から選択的に除去される場合があるが、典型的には、化学気相蒸着法(CVD)およびエッチング用の化学物質を同時に供給し、かつ条件を調整して、結果的に絶縁領域上での正味の堆積をゼロにし、露出された半導体ウィンドウ上に正味のエピタキシャル堆積を形成させることがより効率的であるとされる。選択的なエピタキシャルCVDとして知られるこのプロセスは、シリコン酸化物またはシリコン窒化物のような絶縁体上において、典型的な半導体堆積プ

50

ロセスの遅い核生成を利用する。また、このような選択的なエピタキシャルCVDは、非晶質および多結晶材料のエッチング剤に対する感受性が、エピタキシャル層の感受性よりも大きいという性質を利用する。

【0005】

半導体層の選択的なエピタキシャル形成が望まれる多くの状況の例には、歪みを生成するための幾つかのスキームが含まれる。シリコン、ゲルマニウムおよびシリコンゲルマニウム合金等の半導体材料の電気的特性は、これらの材料が歪まされる程度によって影響を受ける。例えば、シリコンは引張歪みの下では電子移動度の向上を示し、シリコンゲルマニウムは圧縮歪みの下では正孔移動度の向上を示す。半導体材料のパフォーマンスを向上させる方法はかなりの関心事であり、様々な半導体プロセスアプリケーションにおいて潜在的な用途を有する。半導体プロセスは、必然的に特に厳しい品質要求を伴い、典型的には、集積回路の製造、並びに様々な他の分野において使用される。例えば、半導体プロセス技術は、広範な技術を使用するフラットパネルディスプレイの製造、並びに微小電子機械システム（「MEMS」）の製造においても使用される。

10

【0006】

シリコン及びゲルマニウム含有材料に歪みを導入する幾つかのアプローチは、様々な結晶質間の格子定数の相違を活用することに焦点を当てている。例えば、結晶ゲルマニウムの格子定数は 5.65 であり、結晶シリコンでは 5.431 、ダイヤモンド炭素では 3.567 である。ヘテロエピタキシは、堆積層が、基層である単結晶材料の格子定数を取り入れるようにして、特定の結晶材料の薄い層を異なる結晶材料上へ堆積することを含む。例えば、このアプローチを使用すれば、歪みシリコンゲルマニウム層は、単結晶シリコン基板上へのヘテロエピタキシャル堆積によって形成されることが可能である。ゲルマニウム原子はシリコン原子より僅かに大きい、堆積されるヘテロエピタキシャルなシリコンゲルマニウムが、その下に存在するシリコンのより小さい格子定数に拘束されることから、シリコンゲルマニウムは、ゲルマニウム含有量の関数として変化する程度まで圧縮的に歪まされる。典型的には、シリコンゲルマニウム層のバンドギャップは、純粋なシリコンの 1.12 eV から純粋なゲルマニウムの 0.67 eV へと、シリコンゲルマニウム内のゲルマニウム含有量が増大するにつれて単調減少する。別のアプローチでは、弛緩したシリコンゲルマニウム層上へシリコン層をヘテロエピタキシャルに堆積することによって、引張歪みが薄い単結晶シリコン層内に与えられる。この例では、ヘテロエピタキシャルに堆積されるシリコンは、その格子定数がその下に存在する弛緩したシリコンゲルマニウムのより大きい格子定数に拘束されることに起因して、歪まされる。引張歪みを受けるヘテロエピタキシャルシリコンは、典型的には電子移動度の増大を示す。これらのアプローチのどちらにおいても、デバイス（例えば、トランジスタ）が製造される前の基板レベルで歪みが生成される。

20

30

【0007】

これらの例では、格子構造内のシリコン原子を他の原子で置換することによって、単結晶シリコン含有材料内へ歪みが導入される。この技術は、一般的には置換ドーピングと称される。例えば、単結晶シリコンの格子構造に含まれるシリコン原子の幾つかをゲルマニウム原子で置換すると、ゲルマニウム原子は置換されるシリコン原子より大きいので、結果的に生じる置換ドーピングされた単結晶シリコン材料内に圧縮歪みが生成される。炭素原子は置換されるシリコン原子より小さいので、炭素を使用する置換ドーピングを行えば、単結晶シリコン内へ引張歪みを導入することが可能である。さらなる詳細は、“Substitutional Carbon Incorporation and Electronic Characterization of $\text{Si}_{1-y}\text{C}_y/\text{Si}$ and $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y/\text{Si}$ Heterojunctions” by Judy L. Hoyt, Chapter 3 in “Silicon-Germanium Carbon Alloy”, Taylor and Francis, pp. 59-89 (New York 2002)に記載されている。本文献の開示内容を本参照により組み込み、以後、本明細書において本開示を「Hoyt文献」と称する。しかしながら、非置換型の不純物は歪みを生じさせない。

40

【0008】

同様に、電氣的に活性であるために、電氣的ドーパントもまたエピタキシャル層内へ置

50

換的に組み込まれるべきである。どちらのドーパントも、堆積されて組み込まれるか、あるいは、所望のレベルの置換可能性およびドーパント活性化を達成するためにアニールされる必要がある。アニーリングがサーマルバジェットを消費するので、調整された格子定数のための不純物の、または電氣的ドーパントの何れかのインサイチュドーピングは、多くの場合、エクサイチュ(ex-situ)オーバードーピングを行い、後続のアニーリングを行うことで、ドーパントを格子構造内へ導入するのが好適である。しかしながら実際には、インサイチュ置換ドーピングは、堆積を行う間のドーパントが非置換的に組み込まれる傾向、例えば格子構造においてシリコン原子を置換するのではなく、シリコン内のドメインまたはクラスタ内に割込み式に組み込むことにより複雑化する。非置換ドーピングは、例えば、シリコンの炭素ドーピングと、シリコンゲルマニウムの炭素ドーピングと、電気活性ドーパントによるシリコンおよびシリコンゲルマニウムのドーピングとを複雑にする。Hoyt文献の第73ページの図3.10が示すように、インサイチュドーピングされた置換炭素の含有量が2.3原子%に達する結晶シリコンを生成するために、先行技術による堆積方法が使用されている。これは、5.4を超える格子面間隔および1.0 GPa未満の引張歪みに相当する。

10

【発明の概要】

【課題を解決するための手段】

【0009】

本発明の別の態様によれば、半導体ウィンドウ内に半導体材料を選択的に形成する方法が提供される。本方法は、化学気相蒸着チャンバ内に基板を設ける工程を含み、前記基板は絶縁表面と単結晶半導体表面とを備える。半導体材料は、絶縁表面上の非エピタキシャル半導体材料と単結晶半導体表面上のエピタキシャル半導体材料との厚さの比が約1.6:1未満となるように、基板の絶縁表面上および単結晶半導体表面上へブランケット堆積される。非エピタキシャル半導体材料は、絶縁表面上から選択的に除去されるが、ブランケット堆積および選択的除去は、化学気相蒸着チャンバ内で実行される。

20

【0010】

本発明の別の態様によれば、エピタキシャル半導体材料を選択的に形成する方法が提供される。半導体材料は、基板の単結晶半導体領域上へエピタキシャル物質を形成し、かつ基板の絶縁領域上へ非エピタキシャル物質を形成するために、ブランケット堆積される。非エピタキシャル物質は、ブランケット堆積された半導体材料を、ハロゲン化物ソースおよびゲルマニウムソースを含むエッチング化学物質に露出することにより絶縁領域上から選択的に除去される。ブランケット堆積および選択的除去は、少なくとも一回は反復される。

30

【0011】

本発明の別の態様によれば、基板上の選択される位置にシリコン含有材料を形成する方法が提供される。本方法は、単結晶半導体の露出されたウィンドウを複数のフィールド分離領域間に有する基板を設ける工程を含む。シリコン含有材料は、基板上へトリシランをフローすることにより、単結晶材料のウィンドウおよびフィールド分離領域上へブランケット堆積される。シリコン含有材料は、フィールド分離領域上から選択的に除去される。ブランケット堆積および選択的除去は、複数回のサイクルで反復される。

40

【0012】

本発明の別の態様によれば、エピタキシャル半導体材料を選択的に形成する方法が提供される。本方法は、絶縁領域と当該絶縁領域内に形成される半導体ウィンドウとを、基板に提供する工程を含む。絶縁領域上には非晶質半導体材料が堆積され、半導体ウィンドウ上にはエピタキシャル半導体材料が堆積される。非晶質半導体材料は、絶縁領域上から選択的にエッチングされ、且つ、エピタキシャル半導体材料の少なくとも幾分かは、半導体ウィンドウ内に残される。ブランケット堆積および選択的除去は、複数回のサイクルで反復される。

【0013】

本明細書に開示する方法およびシステムの実施形態の一例を、単なる例示を目的とする

50

添付の図面に示す。図面は下記の図を含み、図面を通じて類似の構成部分には類似の数字を付す。

【図面の簡単な説明】

【0014】

【図1】混合基板のリセスされたソース/ドレイン領域内に炭素ドーブシリコン薄膜を堆積させる特定の実施例を使用して、エピタキシャル半導体層を選択的に形成するためのプロセスを示すフローチャートである。

【図2】半導体基板内に形成されたパターンニングされた絶縁領域を備える、部分的に形成された半導体構造を示す概略図である。

【図3】図2の部分的に形成された半導体構造の、混合基板表面上への炭素ドーブシリコン薄膜のブランケット堆積を実行後を示す概略図である。

【図4】図3の部分的に形成された半導体構造の、選択的な化学気相エッチングプロセスを実行して混合基板の酸化物領域から炭素ドーブシリコンを除去した後を示す概略図である。

【図5A】図4の部分的に形成された半導体構造の、ブランケット堆積および選択的エッチングのさらなるサイクルの実行後を示す概略図である。

【図5B】図4の部分的に形成された半導体構造の、ブランケット堆積および選択的エッチングのさらなるサイクルの実行後を示す概略図である。

【図5C】図4の部分的に形成された半導体構造の、ブランケット堆積および選択的エッチングのさらなるサイクルの実行後を示す概略図である。

【図5D】図4の部分的に形成された半導体構造の、ブランケット堆積および選択的エッチングのさらなるサイクルの実行後を示す概略図である。

【図6】炭素ドーブシリコン薄膜の非晶質領域のエッチング速度をエッチング化学物質におけるHCl分圧の関数として示すグラフである。

【図7】様々なエッチング化学物質について、エッチング速度と非晶質(「a」)および単結晶(「c」)エッチング速度比とをエッチング化学物質のGeH₄フローの関数として示すグラフである。

【図8】炭素ドーブシリコン薄膜の非晶質領域のエッチング速度をチャンバ圧力の関数として示すグラフである。

【図9】炭素ドーブシリコン薄膜の非晶質領域のエッチング速度を温度の逆数の関数として示すグラフである。

【図10】炭素ドーブシリコン薄膜の非晶質領域の厚さをエッチングの累積時間の関数として示すグラフである。

【図11】ウェーハ上へ堆積される炭素ドーブシリコン薄膜の非晶質領域のエッチング速度をウェーハ上の半径方向位置の関数として示すグラフである。

【図12】エッチングサイクルの様々な持続時間について、ウェーハ上へ堆積される炭素ドーブシリコン薄膜の非晶質領域の厚さをウェーハ上の半径方向位置の関数として示すグラフである。

【図13】GeH₄エッチャントの様々なエッチング化学物質およびエッチングサイクルの様々な持続時間について、ウェーハ上へ堆積される炭素ドーブシリコン薄膜の非晶質領域の厚さをウェーハ上の半径方向位置の関数として示すグラフである。

【図14】パターンニングされた基板上にブランケット堆積および部分的エッチングのサイクルを実行することにより生成される、部分的に形成された炭素ドーブシリコン構造の一例を示す顕微鏡写真である。

【図15】本明細書に開示する所定の技術を使用して形成された、部分的に形成された例示的な炭素ドーブシリコン薄膜について、元素濃度を深さの関数として示すグラフである。

【図16】パターンニングされた基板上に複数回の堆積およびエッチングサイクルを実行することにより生成された、例示的に形成された炭素ドーブシリコン構造を示す顕微鏡写真である。

10

20

30

40

50

【図 17】本明細書に開示する所定のサイクル技術を使用して選択的に形成されたエピタキシャル炭素ドーブシリコン薄膜の原子間力顕微鏡分析を示す。

【図 18】本明細書に開示する所定のサイクル技術を使用して堆積された炭素ドーブシリコン薄膜の X 線回折の変動するカーブを示す。

【発明を実施するための形態】

【0015】

多くの場合、堆積技術は、基板の異なる領域において、堆積の量または種類に合わせた調製を試行する。例えば、米国特許第 6,998,305 号は、エッチングおよび堆積の同時的反応が、シリコン酸化物上への堆積を伴わないシリコン上への選択的堆積で知られていることを認識する。第 3 のタイプの表面、即ち露出されるトランジスタゲート上の堆積を制御するために、この第 6,998,305 号特許は、エッチングフェーズと共に選択的堆積をサイクル的に交替させることを教示する。しかしながら、本発明の発明者は、選択的堆積の化学物質が、時として堆積フェーズに望ましくない影響を与えることを認識する。説明する実施形態は、NMO S アプリケーション用の炭素ドーブシリコンという特定の実施例に関連するが、当該技術分野における熟練者は、本明細書に開示する方法が、層の選択的形成は望まれるもののエッチャントが堆積層の望ましい特性を妨害する可能性のある、様々な半導体アプリケーションに用途を有することを認識するであろう。

10

【0016】

堆積方法には、様々な置換ドーブ単結晶シリコン含有材料の製造に有効であるものが存在する。例えば、トリシラン (Si_3H_8) をシリコンソースとして、かつ炭素含有ガスまたは蒸気を炭素ソースとして使用して、比較的高速で堆積を実行することにより、結晶シリコンのインサイチュ置換炭素ドーピングを実行することが可能である。炭素ドーブシリコン含有合金は、シリコンゲルマニウム系に対して相補的な性質を有する。置換ドーピングの程度は、シリコン内の炭素ドーバント (置換型および非置換型) の総量をベースとする置換炭素ドーバントの重量比で 70% 以上である。炭素ドーブシリコン含有材料を形成するための技術は、炭素とシリコンとの間の多大な格子不整合、シリコンにおける炭素の低い溶解性、および炭素ドーブシリコンの沈殿傾向を含む幾つかの課題を克服する。結晶シリコンのインサイチュ置換炭素ドーピングに関するさらなる詳細は、米国特許出願第 11/343,275 号 (2006 年 1 月 30 日付け出願、Attorney Docket ASME X, 511A) に記述されている。

20

30

【0017】

本明細書において、「シリコン含有材料」およびこれに類似する用語は、シリコン (結晶シリコンを含む)、炭素ドーブシリコン ($\text{Si}:\text{C}$)、シリコンゲルマニウム、および炭素ドーブシリコンゲルマニウム ($\text{SiGe}:\text{C}$) を含むがこれらに限定されない広範なシリコン含有材料の意味で使用される。本明細書で使用するように、「炭素ドーブシリコン」、「 $\text{Si}:\text{C}$ 」、「シリコンゲルマニウム」、「炭素ドーブシリコンゲルマニウム」、「 $\text{SiGe}:\text{C}$ 」、およびこれらに類似する用語は、表示する化学元素を様々な比率で含み、任意選択として少量の他の元素を含む材料を意味する。例えば、「シリコンゲルマニウム」は、シリコン、ゲルマニウム、および任意選択として、例えば炭素および電気活性ドーバント等のドーバントといった、他の元素を含む材料である。「 $\text{Si}:\text{C}$ 」および「 $\text{SiGe}:\text{C}$ 」等の用語は、それ自体が化学量論的な化学式ではなく、よって表示する元素を特定の割合で含む物質に限定されない。さらに、 $\text{Si}:\text{C}$ および $\text{SiGe}:\text{C}$ 等の用語は、他のドーバントの存在を排除するように意図されるものではなく、よって $\text{Si}:\text{C}$ という用語および $\text{Si}:\text{C}:\text{P}$ という用語には、燐及び炭素ドーブシリコン材料が含まれる。シリコン含有薄膜におけるドーバント (炭素、ゲルマニウムまたは電気活性ドーバント等) の比率は、本明細書では別段の記載のない限り、薄膜全体をベースとする原子パーセントで表される。

40

【0018】

シリコン含有材料内に置換ドーブされる炭素の量は、ドーブされるシリコン含有材料の垂直方向の格子面間隔を X 線回折により測定し、次いで単結晶シリコンと単結晶炭素 (ダ

50

イヤモンド)との間で直線補間を実行して、V e g a r dの法則を当てはめることにより決定することが可能である。例えば、シリコン内に置換ドーパされる炭素の量は、ドーパされるシリコンの垂直方向の格子面間隔をX線回折により測定し、次いでV e g a r dの法則を当てはめることによって決定することが可能である。この技術に関するさらなる詳細は、H o y t文献に記述されている。ドーパシリコンに含まれる炭素の合計含有量は、二次イオン質量分析法(「S I M S」)によって決定することが可能である。非置換炭素含有量は、炭素の合計含有量から置換炭素含有量を減算して決定することが可能である。他のシリコン含有材料内に置換ドーパされる他の元素の量も、類似の方法で決定することが可能である。

【0019】

本明細書において使用する「基板」という用語は、その上で堆積を行うことが望まれるワークピース、もしくは、1つ以上の堆積ガスへ露出される表面の何れかを意味する。例えば、或る実施形態では、基板は、単結晶シリコンウェーハまたはセミコンダクタ・オン・インシュレータ(「S O I」)基板、或いは、ウェーハ上へ堆積されるエピタキシャルシリコン表面、シリコンゲルマニウム表面またはI I I - V族物質である。ワークピースはウェーハに限定されず、ガラス、プラスチック、または半導体プロセスに採用される他の基板も含む。参照によりその全開示を本明細書に組み込む米国特許第6,900,115号で論じられているように、「混合基板」とは、2つ以上の異なるタイプの表面を有する基板である。例えば、或るアプリケーションでは、混合基板は、第1の表面形態を有する第1の表面と、第2の表面形態を有する第2の表面とを備える。或る実施形態では、隣接する誘電体または絶縁体上での堆積を最小限に抑えながら、より好適には回避しながら、炭素ドーパシリコン含有層が単結晶半導体材料上へ選択的に形成される。誘電材料の例には、二酸化シリコン(シリコンの炭素ドーパおよびフッ素ドーパ酸化物等の低誘電定数のフォームを含む)、シリコン窒化物、金属酸化物および金属シリケートが含まれる。「エピタキシャル」、「エピタキシャルに」、「ヘテロエピタキシャル」、「ヘテロエピタキシャルに」およびこれらに類似する用語は、本明細書では、堆積層が基板の格子定数を取り入れる、または前記格子定数に従うように、結晶基板上へ結晶シリコン含有材料を堆積することの意味で使用される。堆積層の組成が基板のそれとは異なる場合、エピタキシャル堆積は概してヘテロエピタキシャルであるとされる。

【0020】

複数の表面が同じ元素から製造される場合であっても、それら表面の形態(結晶性)が異なっていれば、これらの表面は異なるものとされる。本明細書において記述するプロセスは、様々な基板上へのシリコン含有薄膜の堆積に有益であるが、混合された表面形態を有する混合基板に特に有益である。このような混合基板は、第1の表面形態を有する第1の表面と、第2の表面形態を有する第2の表面とを備える。このコンテキストにおいて、「表面形態」は基板表面の結晶構造を意味する。非晶質および結晶は、異なる形態の例である。多結晶形態は、秩序正しい結晶の無秩序な配列から成り、よって中間の秩序度を有する結晶構造である。多結晶材料内の原子は、各結晶内では秩序立てられているが、結晶自体は互いに対して長距離秩序を欠く。単結晶形態は、高度の長距離秩序を有する結晶構造である。エピタキシャル薄膜は、成長の基層である基板、典型的には単結晶、と同一の結晶構造および配向を特徴とする。これらの材料における原子は、(原子規模で)比較的長い距離に渡って連続する格子状構造に配列される。原子が明確な周期的配列を欠くことから、非晶質形態は低い秩序度を有する非晶質構造である。他の形態には、微晶性材料と、非晶質及び結晶材料の混合体が含まれる。したがって、「非エピタキシャル」は、非晶質、多結晶、微晶質およびこれらの混合体を包含する。本明細書で使用する「単結晶」または「エピタキシャル」は、トランジスタ製造に一般に使用されるような、許容可能な数の欠陥を内部に有する圧倒的に大きい結晶構造を記述するために使用される。層の結晶性は、概して非晶質から多結晶、単結晶へと連続して低下し、多くの場合、結晶構造は、低密度という欠陥にも関わらず単結晶またはエピタキシャルとされる。混合基板の特定の例には、単結晶/多結晶、単結晶/非晶質、エピタキシャル/多結晶、エピタキシャル/

10

20

30

40

50

非晶質、単結晶／誘電体、エピタキシャル／誘電体、導電体／誘電体および半導体／誘電体が含まれるが、これらに限定されない。「混合基板」という用語は、2つ以上の異なるタイプの表面を有する基板を包含する。本明細書に記述する、2つのタイプの表面を有する混合基板上へシリコン含有薄膜を堆積させるための方法は、3つ以上の異なるタイプの表面を有する混合基板へも適用可能である。

【0021】

リセスされたソース／ドレイン領域内へ成長される場合、引張歪み炭素ドーブシリコン薄膜（Si：C膜）は、引張歪みシリコンチャンネルへ、NMOSデバイスに特に有益な電子移動度の向上を与える。これは、歪みシリコン層を支持するための弛緩したシリコンゲルマニウムバッファ層を設ける必要性を有利に排除する。このようなアプリケーションでは、ドーパントソースまたはドーパント前駆物質を使用するインサイチュドーピングにより、電気活性ドーパントが有利に組み込まれる。燐を使用する高レベルの電気活性置換ドーピングも、引張歪みに寄与する。電氣的ドーパントの好適な前駆物質は、ホスフィン、ヒ素蒸気、およびアルシン等のn型ドーパント前駆物質を含むドーパント水素化物である。例えば $(H_3Si)_3 \cdot x PR_x$ であるシリルホスフィンと、例えば $(H_3Si)_3 \cdot x AsR_x$ （但し $x = 0, 1$ または 2 、 $R_x = H$ および／または重水素（D）である）であるシリルアルシンとは、燐およびヒ素ドーパントの代替的な前駆物質である。燐およびヒ素は、NMOSデバイスのソース／ドレイン領域のドーピングに特に有益である。Sb、 H_3 およびトリメチルインジウムは、各々アンチモンおよびインジウムの代替的なソースである。このようなドーパント前駆物質は、後述する好適な薄膜、好適には、ボロンドープシリコン、燐ドーブシリコン、アンチモンドープシリコン、インジウムドーブシリコン、およびヒ素ドーブシリコンと、Si：C、シリコンゲルマニウム、およびSiGe：Cの薄膜および合金の製造に有益である。

【0022】

引張歪みSi：C薄膜の選択的なエピタキシャル形成

現在、混合基板のリセスされたソース／ドレイン領域等の露出された半導体ウィンドウ内に、引張歪みSi：C薄膜を選択的に形成するための技術が開発されている。このような選択的な形成は、例えば、(a)シリコン前駆物質としてトリシランを使用して、混合基板上へSi：C薄膜をブランケット堆積し、かつ(b)混合基板の絶縁体部分上へ結果的に形成される非エピタキシャル層を、選択的にエッチングすることによって達成することが可能である。任意選択として、ステップ(a)および(b)は、リセスされたソース／ドレイン領域上にエピタキシャル薄膜の目標厚さが達成されるまでサイクル的に反復される。

【0023】

リセスされたソース／ドレイン領域は、乾式エッチングおよびこれに続くHF洗浄およびインサイチュアニーリングによって形成することが可能である。乾式エッチングが使用される実施形態では、選択的に成長される薄い（約1nm～約3nm）シリコンシード層の堆積が、エッチダメージの低減に役立つ。シード層はまた、先行するドーパント注入プロセスにより生じるダメージを覆う手助けもする。一実施形態例では、このようなシード層は、HClおよびジクロロシランの同時的供給を使用して、約700～約800の堆積温度で選択的に堆積されてもよい。

【0024】

好適な実施形態に従って、サイクル的なブランケット堆積およびエッチングプロセスのフローチャートを図1に示し、部分的に形成される半導体構造の概略図を図2～図5Dに示す。これらの図には、リセスされたソース／ドレイン領域内にSi：C堆積を行うことが示されているが、本明細書に記述する技術は、任意のゲート画定に先行してフィールド分離により囲まれ、且つリセスされない活性領域アイランド上への選択的形成など、他の状況におけるエピタキシャル薄膜の選択的形成に有利であることが認識されるであろう。

【0025】

具体的には、図1は、オペレーションブロック10において、絶縁領域とリセスされた

ソース/ドレイン領域とを有する混合基板がプロセスチャンバ内に配置されることを示す。図2は、シリコンウェーハ等の半導体基板100内に形成された、パターンニングされた絶縁体110を含む例示的な混合基板を示す概略図である。図示されている絶縁体110は、酸化物が充填されたシャロー・トレンチ・アイソレーション(STI)の形態であり、フィールド分離領域112を画定し、かつゲート電極115構造の両側に示されているリセスされたソース/ドレイン領域114に隣接する。ゲート電極115は、基板のチャネル領域117上に存在することに留意されたい。チャネル117とソース/ドレイン領域114とは共に、隣接するデバイスとのクロストークを防止するために、典型的にはフィールド分離112により包囲されるトランジスタの活性領域を画定する。他の配置では、フィールド分離によって複数のトランジスタが包囲されることが可能である。あるケースでは、ゲート構造115の頂部が図のように誘電体でキャップされてもよい。するとこの表面は、その上の堆積に対するフィールド領域110に類似する振る舞いを示し、フィールド領域における選択性を保持するという条件が、ゲート頂部にも適用される。ゲート115が誘電体でキャップされないケースでは、ゲート表面に多結晶材料が成長する可能性があり、これはその後多結晶材料のインサイチュエッチングによって除去されることが可能であるが、フィールド110上に多結晶材料が残留しないことを確実にするために使用される条件に匹敵する、選択性条件の異なるセット(圧力、ガスフロー、他)が適用されるであろう。

10

【0026】

図1のオペレーションブロック20が示すように、かつ図3に概略的に示されているように、次に、トリシランをシリコン前駆物質として使用して、混合基板上へブランケットSi:C層が堆積される。その結果、酸化物領域112上へ非晶質または多結晶(非エピタキシャル)堆積120が生成され、かつ、リセスされたソース/ドレイン領域114上へ、下部エピタキシャル堆積125および側壁部エピタキシャル堆積130が生成される。「ブランケット堆積」とは、各堆積フェーズにおいて、非晶質絶縁体110上および単結晶領域114上の双方に結果的にもたらされる、正味の堆積を意味する点に留意されたい。堆積を「非選択的」と考えることもできるケースであるブランケット堆積では、エッチャントの欠如(例えば、ハロゲン化物の欠如)が好適であるが、以下でより詳しく論じるように、幾分か量のエッチャントが存在して、様々な領域上の堆積厚さの割合を調整することが望ましい場合もある。このような少量のエッチャントが望ましい場合では、各堆積フェーズは、絶縁体110上および単結晶領域114上の双方に正味の堆積を有するであろうことから、堆積プロセスは部分的に選択的であってもよく、それでもやはりブランケット堆積であってもよい。

20

30

【0027】

次に、オペレーションブロック30(図1)において、非晶質または多結晶堆積120領域および側壁部エピタキシャル堆積130領域が選択的にエッチングされ、よって、図4に概略的に示される構造がもたらされる。好適には、この選択的エッチングの間、エピタキシャル堆積されたSi:Cは、リセスされたソース/ドレイン領域114内の下部エピタキシャル層125からは、ほとんど或いは全く除去されない。後により詳細に論じるように、気相エッチングの化学物質は、好適にはハロゲン化物(例えば、フッ素含有、臭素含有または塩素含有の気相混合物)と、特にHClまたはCl₂等の塩素ソースとを含む。より好適には、エッチング化学物質は、エッチング速度を向上させるゲルマニウムソース(例えば、モノゲルマン(GeH₄)、GeCl₄、有機金属Ge前駆物質、固体ソースGe等のゲルマン)も含む。非エピタキシャル材料120が選択的に除去されると同時に、幾分かのエピタキシャル材料は残され、幾分かは除去される。側壁部エピタキシャル層130は、下部エピタキシャル層125とは異なる平面であり、かつ下部エピタキシャル層125より欠陥が多い(2つの表面上での成長速度差による)。したがって、側壁部エピタキシャル層130は、非エピタキシャル材料120と共に容易に除去される。したがって、本プロセスの各サイクルは、リセス114の大幅なボトムアップ充填を達成するように調整されることが可能である。装置によっては、エピタキシャル材料は

40

50

、それが高品質であり且つ選択的充填という目的を妨げなければ、本プロセスにより側壁上にも残されてもよい。

【0028】

決定ブロック40(図1)が示すように、そして図5A(ブランケットSi:C層120の第2のサイクルの堆積)および図5B(Si:C層の第2のサイクルのエッチングを行い、リセスされたソース/ドレイン領域114内に、エピタキシャル層125の厚さが増大されたエピタキシャルSi:C層を残す)に概略的に示されているように、このプロセスは、リセスされたソース/ドレイン領域114上に、エピタキシャルSi:C薄膜の目標厚さが達成されるまで反復される。図5Cは、再充填されたエピタキシャルソース/ドレイン領域114を残すためのさらなるサイクルの結果を示し、選択的エピタキシャル層125はフィールド酸化物110とほぼ同一平面となっている。図5Dは、選択的に隆起されたソース/ドレイン領域114としてエピタキシャル層125を残すためのさらなるサイクルの結果を示す。

10

【0029】

選択的形成プロセスは、さらに、ブランケット堆積と、誘電体領域上からの選択的エッチバックの追加のサイクルとを、キャップ層を形成する炭素ドーピングなしに含んでもよい。キャップ層は、電気的ドーパントを含んでいても含まなくてもよい。例えば、図5Dに示すソース/ドレイン領域125の、当初の基板表面より上(即ち、チャンネル117より上)に位置する隆起部分は、チャンネル117上の歪みに寄与しないことから、炭素フリーであってもよい。

20

【0030】

例示的な一実施形態では、堆積されるSi:C薄膜は、任意選択として、燐またはヒ素等の特にNMOSデバイスに適する電気活性ドーパントを1つ含み、よって、燐ドーブSi:C薄膜またはヒ素ドーブSi:C薄膜が堆積される(各々、Si:C:P薄膜またはSi:C:As薄膜)ことを可能にする。好適にはSi:C薄膜は、絶縁体上およびリセスされたソース/ドレイン領域上の薄膜厚さがほぼ等しくなるように、好適には約1.0:1~約1.6:1、より好適には約1.0:1~約1.3:1、そして最も好適には約1.0:1~約1.1:1の非晶質対エピタキシャル成長速度比で堆積される。非晶質(または、より一般的に非エピタキシャル)対エピタキシャル成長速度比の操作は、有利なことに、後続のエッチングプロセス後の非晶質と結晶Si:Cとの間の界面において、ファセット角の操作を可能とし、かつ絶縁体上のより大きい厚さに対して、除去用のエッチング持続時間を最小限に抑える。好適には、Si:C堆積の非晶質領域には結晶性がほとんど、または全くなく(即ち、圧倒的に非晶質であり)、よってこのような領域における後続のエッチングを容易にする。さらに、厚さの割合を1:1に近づけることによる過剰な非エピタキシャル堆積の最小化は、非エピタキシャル堆積をフィールド領域から(および任意選択としてゲートから)除去するために必要なエッチングフェーズの長さを低減する。

30

【0031】

好適な実施形態では、Si:C薄膜は、インサイチュ化学気相エッチング技術を使用して、混合基板から選択的にエッチングされる。化学気相エッチング技術は、任意選択として、短時間の温度スパイクと同時に実行される。一実施形態では、温度スパイクは、米国特許出願公報第2003/0036268(2002年5月29日付け出願、Attorney Docket ASME X.317A)に記述されているプロセスを使用して実行される。本公報に記述されているように、コールド・クォーツまたは他の透明な壁を介した放射加熱を伴う枚葉式ウェーハエピタキシャル堆積ツールを使用して、温度スパイクは、下側のランプへのパワー比をデカップルすると同時に、上側のランプへ短い持続時間に渡って(例えば、約12秒~約15秒間)フルパワーを利用することができる。この方法では、サセプタ温度が著しく低下する一方、ウェーハ温度は急速に上昇することができる。ウェーハ温度は、好適にはローディング温度から約100~約400、より好適には約200~約350だけ上昇する。温度スパイクおよびエッチングフェーズの持

40

50

続時間が短いことに起因して、サセプタがピーク温度に達する機会を得る前に、ウェーハは冷却することが可能となる。この方法では、ウェーハがその温度でのサイクルに要する時間は、ウェーハ/サセプタのより大規模な組み合わせの同時的な温度サイクルに比べて遙かに短い。この温度スパイク技術用の反応器の一例は、ASM America, Inc. (アリゾナ州フェニックス) から市販されている枚葉式ウェーハエピタキシャル化学気相蒸着チャンバのEPSILON (登録商標) シリーズである。

【0032】

しかしながら、別の実施形態では、温度ランプ/安定化時間を最短化すると同時に、高濃度の置換炭素および電気活性ドーパントの保持を促進するために、好適にはエッチング温度は低く保たれる。エッチングに低温を使用することはまた、エッチングの間に電気活性ドーパント原子が非活性化される可能性を低下させる。例えば、 Cl_2 ガスを使用するエッチングは、有利なことに、エッチング温度の低減を可能とし、よって置換炭素および電気活性ドーパントの保持に寄与する。

10

【0033】

エッチングフェーズの低温は、低温で達成される高いドーパントの取り込みを利用しながら、堆積フェーズの温度へのおおよそのマッチングを可能とする。スループットを向上させるために温度をフラッシュランピングさせる代わりに、エッチングフェーズの間にゲルマニウムソース (例えば、 GeH_4 、 $GeCl_4$ 、有機金属Ge前駆物質、固体ソースGe) を含めることにより、スループットを犠牲にすることなくエッチング速度が増大されて、これらのより低い温度が可能となる。本明細書において使用する「等温」サイクルのブランケット堆積およびエッチングは、設定温度が双方のステップ間で互いに ± 50 の範囲内、好適には ± 10 の範囲内、そして最も好適には ± 5 の範囲内での堆積およびエッチングを意味する。有利なことに、等温プロセスは、スループットを向上させ、且つ温度のランピングおよび安定化に要する時間を最短化する。同様に、ブランケット堆積およびエッチングプロセスは共に、好適には「等圧」、即ち互いに ± 50 Torrの範囲内にあり、好適には ± 20 Torrの範囲内にある。等温および/または等圧状態は、ランプおよび安定化時間を回避するためのより優れたスループットを促進する。

20

【0034】

図1に示すように、ブランケット堆積とこれに続く選択的エッチングとを実行する2段階プロセスは、任意選択として、リセスされたソース/ドレイン領域上に目標のエピタキシャル薄膜厚さが達成されるまで、サイクル的に反復される。下記の表Aは、例示的なプロセスパラメータをまとめたものであり、好適な動作ポイントを、括弧に入れた好適な動作範囲と共に記す。表Aから明らかであるように、チャンバ温度、チャンバ圧力、およびキャリアガスフロー等のプロセス条件は、好適には堆積フェーズおよびエッチングフェーズで実質的に類似し、これにより、スループットの向上が可能となる。したがって、下記の例は、サイクルの双方のフェーズに等温および等圧条件を採用する。他の実施形態では、他のパラメータが使用される。

30

【0035】

【表 1】

TABLE A

表A	プロセスフェーズ						
	チャンバ温度 および 雰囲気安定	堆積前	堆積	堆積後の プロセスガ スのパージ	ベーク前の エッチャン トの安定	フラッシュ ベーク温度ス パイク (任意選択)	ベーク後の 冷却および 温度の安定
時間 (秒)		5 (2.5-7.5)	15 (5-20)	5 (2.5-7.5)	5 (2.5-7.5)	6.5 (3.0-10)	12.5 (10-15)
温度 (°C)	550 (500-650)	550 (500-650)	550 (500-650)	550 (500-650)	550 (500-650)	temp spike	550 (500-650)
圧力 (Torr)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)	64 (50-200)
H ₂ /He (slm)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)	2.0 (0.5-20)
Cl ₂ /HCl (sccm)					200 (5-1000)	200 (5-1000)	200 (5-1000)
Si ₃ H ₈ (mg/min)		75 (50-200)	75 (50-200)	75 (50-200)			
CH ₃ SiH ₃ (sccm)		150 (10-300)	150 (10-300)	150 (10-300)			
PH ₃ (sccm)		50 (10-200)	50 (10-200)	50 (10-200)			

10

20

【0036】

表 A に挙げたパラメータを使用すれば、リセスされたソース/ドレイン領域内に選択的に堆積されるエピタキシャル Si : C : P 薄膜に対して、好適には毎分約 4 nm ~ 約 11 nm、そしてより好適には毎分約 8 nm ~ 約 11 nm の正味の成長速度を達成することが可能である。また、Vegard の法則により決定される 3.6 % までの置換炭素の含有量と、約 0.4 mΩ cm ~ 約 2.0 mΩ cm の抵抗率とを有する Si : C : P 薄膜を達成することも可能である。堆積条件を操作すれば、他の薄膜特性を達成することが可能である。

30

【0037】

本明細書に開示するエッチングプロセスの間、エピタキシャル Si : C は、各エッチングフェーズにおいて非晶質または多結晶 Si : C より遙かに遅くエッチングされる（エッチング選択性は 10 : 1 ~ 30 : 1）。エッチングフェーズでは、欠陥性のエピタキシャル材料も優先的に除去される。好適な実施形態では、堆積およびエッチングプロセスのサイクル条件は、酸化物上の正味の成長を低減または排除すると同時に、各サイクルにおいて、エピタキシャルにリセスされたソース/ドレイン領域内で正味の成長が達成されるように調整される。このサイクルプロセスは、堆積およびエッチング反応が同時に発生する点で、従来の選択的堆積プロセスと区別可能である。

40

【0038】

下表 B および C は、表 A のそれに類似するレシピを使用した、堆積およびエッチング持続時間と、結果的な厚さとの 2 つの例を示す。レシピは、Si₃H₈ の分圧を増大させ且つエッチャントの分圧を最適化することにより、堆積速度およびエッチング速度の双方を調整して、個別にチューニングされている。

【0039】

【表 2】

Table B

堆積フェーズ		エッチングフェーズ	
成長速度 [nm/分]	28	13	α エッチ速度 [nm/分]
堆積時間 [秒]	22	47.4	最短エッチング時間 [秒]
		60	オーバーエッチング%
		75.8	有効エッチング時間 [秒]
堆積された α 厚さ [nm]	10.27	16.43	除去された α 厚さ [nm]
堆積ステップ当たりの堆積されたエピタキシャル厚さ [nm]	9.78	0.82	エッチングステップ当たりの除去された c 厚さ [nm]
α / エピタキシャル成長速度比	1.05	20	インサイチュエッチング選択性
パージ (エピタキシャル前+エピタキシャル後) [秒]	25	25	パージ (エピタキシャル前+エピタキシャル後) [秒]

最終時間／サイクル [秒] 122.8

最終厚さ／サイクル [nm] 8.96

平均成長速度 [nm/分] 4.38

【 0 0 4 0 】

【表 3】

TABLE C

堆積フェーズ		エッチング相	
成長速度 [nm/分]	80	25	エッチ速度 [nm/分]
堆積時間 [秒]	8	25.6	最短エッチング時間 [秒]
		30	オーバーエッチング%
		33.28	有効エッチング時間 [秒]
堆積された α 厚さ [nm]	10.67	13.87	除去された α 厚さ [nm]
堆積ステップ当たりの堆積されたエピタキシャル厚さ [nm]	10.67	0.693	エッチングステップ当たりの除去された c 厚さ [nm]
α / エピタキシャル成長速度比	1	20	インサイチュエッチング選択性
パージ (エピタキシャル前+エピタキシャル後) [秒]	20	20	パージ (エピタキシャル前+エピタキシャル後) [秒]

最終時間／サイクル [秒] 61.3

最終厚さ／サイクル [nm] 9.977

平均成長速度 [nm/分] 9.76

【 0 0 4 1 】

表 A に記載されているプロセスパラメータは、 Cl_2 / HCl エッチング化学物質を表示する。他の実施形態では、エッチング触媒として、約 20 sccm ~ 約 200 sccm の 10 % GeH_4 がエッチング化学物質内に含まれる。或る実施形態では、エッチング化学物質内へのゲルマニウムソース (例えば、 GeH_4 、 GeCl_4 、有機金属 Ge 前駆物

質、固体ソースGe等のゲルマニウムの包含は、有利なことに、エッチング速度およびエッチング選択性を高める。さらに、等温プロセスの論考において先に述べたように、触媒としてのゲルマニウムの使用も、有利なことに、より低いエッチング温度が使用されることを可能とし、かつエッチングの間の温度スパイクが除外されることを可能とする。非晶質、多結晶および単結晶シリコンにおけるゲルマニウムの拡散と、これに続くGeリッチシリコン材料のエッチングとに関するさらなる情報は、文献に記載されている。例えば、Mitchell et al., "Germanium diffusion in polysilicon emitters of SiGe heterojunction bipolar transistors fabricated by germanium implantation", J. of Appl. Phys., 92(11), pp. 6924-6926 (1 December 2002), Wu et al., "Stability and mechanism of selective etching of ultrathin Ge films on the Si(100) surface," Phys. Rev. B, 69 (2004), and Bogumilowicz et al., "Chemical vapour etching of Si, SiGe and Ge with HCl; applications to the formation of thin relaxed SiGe buffers and to the revelation of threading dislocations upon chlorine adsorption," Semicond. Sci. & Tech., no. 20, pp. 127-134, (2005)を参照されたい。

10

20

30

40

50

【0042】

図6は、600の一定温度における炭素ドーブシリコン薄膜の非晶質領域のエッチング速度を、エッチング化学物質に含まれるHCl分圧の関数として示すグラフである。H₂キャリアフローを低減することにより、HClおよびGeH₄の分圧は増大され、これにより、或る実施形態では非晶質エッチング速度が大幅に増大する。例えば、図6は、エッチング化学物質内に20sccmの10%GeH₄を包含した結果(記号▼および▲)、非晶質エッチング速度が実質的に増大することを示す。

【0043】

図7は、600の一定温度、2slmの一定のH₂キャリアフロー、および64Torrの一定のチャンバ圧力における、エッチング速度と非晶質/エピタキシャルエッチング速度比とをエッチング化学物質に含まれるGeH₄フローの関数として示すグラフである。非晶質エッチング速度は凡例では接頭辞「a」で表示され、エピタキシャルエッチング速度は凡例では接頭辞「c」で表示され、かつエッチング速度比は凡例では「ER」で表示されている。GeH₄フローの増加は、非晶質/エピタキシャルエッチング速度比をあるポイントまで増大させ、このポイントを超えると、GeH₄の追加はエッチング選択性を低減させる。例えば、図7は、200sccmHClおよび約30~40sccmの10%GeH₄を包含するエッチング化学物質が、それより低い、或いは高いGeH₄フローでは達成され得ない非晶質/エピタキシャルエッチング速度比を提供することを示す。

【0044】

図8は、550の一定温度、2slmの一定のH₂キャリアフロー、および200sccmの一定のHClエッチャントフローにおける、Si:C薄膜の非晶質領域のエッチング速度を、エッチング化学物質に含まれる様々なGeH₄フロー速度のチャンバ圧力の関数として示すグラフである。チャンバ圧力を約80Torrを超えて増大させると、GeH₄フローに対するエッチング速度の依存度は低減される。しかしながら、エッチング化学物質内に50sccmの10%GeH₄が包含される場合に、チャンバ圧力を約64Torr~約80Torrに増大させると、非晶質エッチング速度は約2倍に増大する。

【0045】

図9は、64Torrの一定のチャンバ圧力、2slmの一定のH₂キャリアフロー、200sccmの一定のHClエッチャントフロー、および50sccmの10%GeH₄の一定のGeH₄エッチャントフローにおける、炭素ドーブシリコン薄膜の非晶質領域のエッチング速度を、温度の逆数の関数として示すグラフである。これらの化学物質については、絶対的なエッチング速度は超低温においても極めて高い。

【0046】

図10は、64Torrの一定のチャンバ圧力、550の一定のチャンバ温度、2slmの一定のH₂キャリアフロー、および200sccmの一定のHClエッチャントフ

ローにおける、炭素ドーブシリコン薄膜の非晶質領域の厚さを、エッチングの累積時間の関数として示すグラフである。図 10 にプロットされている線の勾配は、非晶質 Si : C 薄膜のエッチング速度に対応する。図に示すように、堆積される薄膜の中心部におけるエッチング速度は、堆積される薄膜のエッジにおけるエッチング速度より高い。したがって、好適な実施形態では、ウェーハは、非晶質 Si : C がエッチング速度の遅いウェーハのエッジから除去される可能性を高めるために「オーバーエッチング」される。図 10 にプロットされている線を y 軸へ外挿することで、非晶質薄膜の初期の厚さおよび成長速度を推定することが可能である。同様に、図 10 にプロットされている線を x 軸へ外挿することで、非晶質材料全体のエッチングに要する時間を推定することが可能である。図 10 は、与えられたプロセスパラメータにより、毎分約 140 のエッチング速度が達成されることを示す。

10

【0047】

図 11 は、550 の一定のチャンバ温度、64 Torr の一定のチャンバ圧力、2 slm の一定の H₂ キャリアフロー、および 200 sccm の一定の HCl エッチャントフローにおける、ウェーハ上へ堆積された炭素ドーブシリコン薄膜の非晶質領域のエッチング速度を、ウェーハ上の半径方向位置の関数として示すグラフである。図 11 は、ウェーハ中心部よりもウェーハエッジにおいて、エッチング速度が僅かに遅いことを示す。

【0048】

図 12 は、550 の一定のチャンバ温度、80 Torr の一定のチャンバ圧力、2 slm の一定の H₂ キャリアフロー、200 sccm の一定の HCl エッチャントフロー、および 6.5 sccm の一定の GeH₄ エッチャントフローにおける、ウェーハ上へ堆積された炭素ドーブシリコン薄膜の非晶質領域の厚さを、エッチングサイクルの様々な持続時間について、ウェーハ上の半径方向位置の関数として示すグラフである。

20

【0049】

図 13 は、ウェーハ上へ堆積された炭素ドーブシリコン薄膜の非晶質領域の厚さを、GeH₄ エッチャントの様々なエッチング化学物質およびエッチングサイクルの様々な持続時間について、ウェーハの半径方向位置の関数として示すグラフである。図 13 に示すように、より長いエッチングサイクルおよびより高い GeH₄ フロー速度は、より非一様なエッチングをもたらす。他の実施形態では、この効果は、延長された持続時間の最終エッチングサイクルを設けることによって補償され、これにより、ウェーハ中心部に残留する非晶質 Si : C を除去するための十分な「オーバーエッチング」がもたらされる。したがって、堆積およびエッチングは、各サイクルにおいて比較的小さい厚さで、好適にはサイクル当たり約 1 nm ~ 10 nm、より好適にはサイクル当たり約 2 nm ~ 5 nm の厚さで行なうことが望ましい。先に述べたように、表 A に類似する条件を使用して、毎分 4 ~ 11 nm の正味の堆積速度が達成されている。

30

【0050】

図 14 は、パターニングされた基板上に 1 堆積サイクルおよび 1 エッチングサイクルを実行することにより生成された、部分的に形成された炭素ドーブシリコン構造の一例を示す写真である。図に示すように、結晶性の Si : C : P がエピタキシャル基板領域上に存在し、一方で、非晶質の Si : C : P が酸化物上に存在する。堆積は、露出される結晶軸方向に依存して異なる成長速度で発生することから、非晶質 / エピタキシャル界面には、アモルファスポケットが存在する。図 14 に示す構造では、非晶質エッチング速度とエピタキシャルエッチング速度との比が 20 を超える。図 16 は、パターニングされた基板上に複数回の堆積およびエッチングサイクルを実行することにより生成された、部分的に形成された炭素ドーブシリコン構造の一例を示す写真である。図 14 と比較すると、非晶質の Si : C : P は、実質的に全て酸化物表面から除去されていて、結果的に、選択的なエピタキシャル形成が擬似的に生じている。図 17 は、本明細書に開示する所定の技術を使用して選択的に堆積されたエピタキシャル炭素ドーブシリコン薄膜の原子間力顕微鏡分析を示す。

40

【0051】

50

図 15 は、本明細書に開示する所定の技術を使用して形成された、部分的に形成された炭素ドーブシリコン薄膜の一例について、元素濃度を深さの関数として示すグラフである。図に示すように、エッチングフェーズ中の GeH_4 の使用に起因して、比較的少ないレベルのゲルマニウムが $\text{Si}:\text{C}$ 薄膜内に組み込まれる。好適には、ゲルマニウムの組み込みは約 5 原子%未満、より好適には約 2 原子%未満、最も好適には約 1 原子%未満である。

【0052】

図 18 は、本明細書に開示する所定の技術を使用して堆積された炭素ドーブシリコン薄膜の X 線回折の変動するカーブを示す。これらの曲線は、異なる量の堆積 / エッチングサイクルを示し、かつ増大するモノメチルシラン (「 MMS 」) フロー速度に対応し、このことは、シリコンエピタキシャル薄膜におけるより高い置換 C 濃度に対応する。

10

【0053】

$\text{Si}:\text{C}$ 薄膜の選択的なエピタキシャル堆積について本明細書に開示する技術は、従来技術を凌ぐ幾つかの優位点を提供する。例えば、絶縁領域からの多結晶または非晶質 $\text{Si}:\text{C}$ のサイクル的な除去は、非晶質 $\text{Si}:\text{C}$ とエピタキシャル $\text{Si}:\text{C}$ との間の界面の改良を促進する。具体的には、このサイクルプロセスが、もしそうでなければ非エピタキシャル成長が発生するであろう界面領域において、エピタキシャル成長の発生を可能にする。さらに、エッチング中の温度スパイクが除外され、よってエッチングサイクルが堆積サイクルに等しい、または堆積サイクルより僅かに上昇された温度で実行される実施形態では、より低い温度が多くの特長をもたらし、スループットは、温度 (および / または圧力) ランプおよび安定化時間を最小化することによって向上される。堆積温度は、引き続き、高い置換炭素含有量 (例えば、1.0 ~ 3.6 炭素%) を達成するのに十分な低さであることが可能であり、置換炭素および電気活性ドーパントの大部分は、エッチングの間に所定位置に留まり、よって、結果的には、最終的な薄膜内に、高濃度の置換炭素およびドーパントが存在する。

20

【0054】

高スループットには、幾つかの特徴が寄与する。例えば、トリシランの使用は、超低温において堆積速度を向上させ、よって例えば、より低い温度およびより高い堆積速度から結果的に生じる、堆積される置換ドーパントの高い濃度を犠牲にすることなく、堆積フェーズの持続時間を最短化することが見いだされている。前駆物質のシーケンスおよび選択はまた、非晶質絶縁領域上の大部分のまたは全面的非晶質堆積を促進し、同時に単結晶領域上および非晶質領域上双方に比較的一様な厚さ (厚さ比 1.6 : 1 未満) をもたらし、エッチングフェーズ中の全体的なエッチング時間を最短化する。

30

【0055】

前述の詳細な説明は、本発明の幾つかの実施形態を開示するが、本開示は単なる例示を目的とするものであって、本発明を限定するものでないことが理解されるべきである。本明細書に開示する特定の構成および動作が前述のものとは異なる可能性があること、および本明細書に開示する方法が半導体デバイスの製造以外のコンテキストで使用され得ることが認識されるべきである。

【図 1】

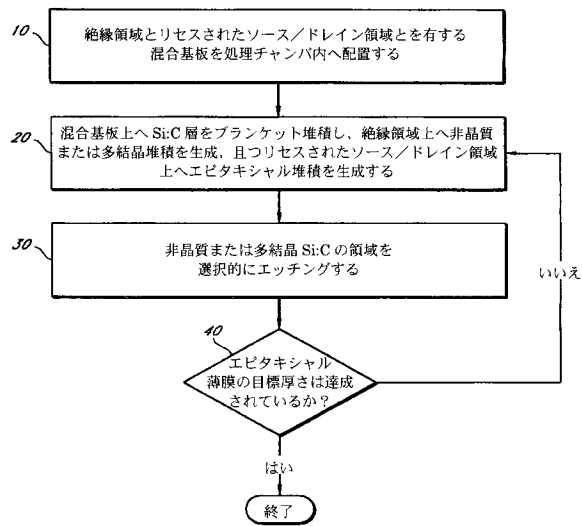


FIG. 1

【図 2】

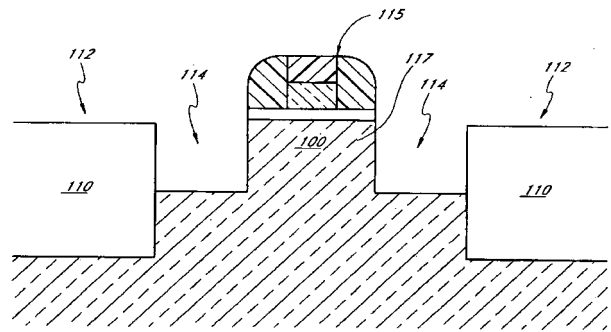


FIG. 2

【図 3】

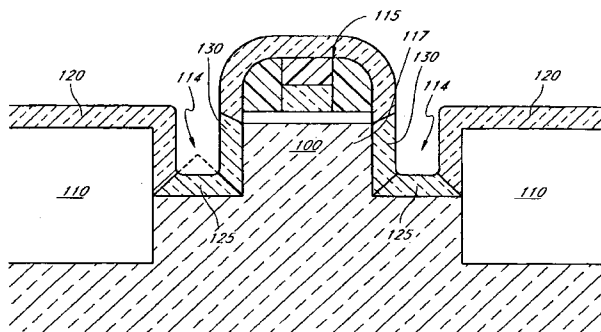


FIG. 3

【図 4】

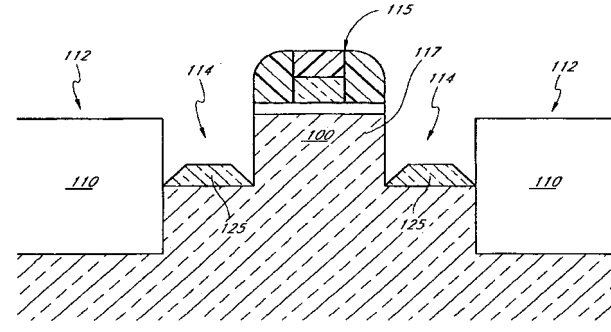


FIG. 4

【図 5 A】

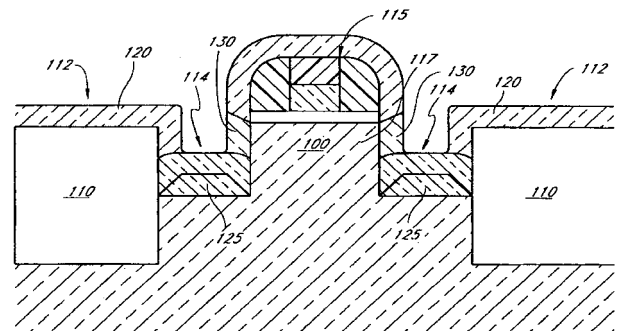


FIG. 5A

【図 5 B】

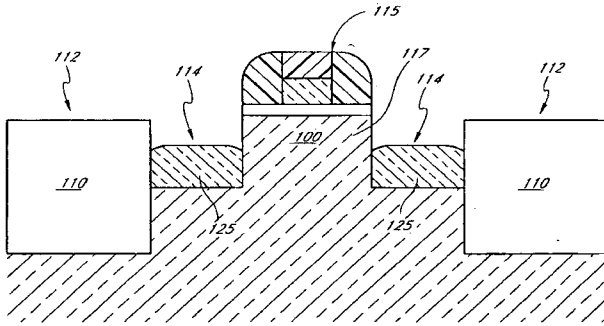


FIG. 5B

【図 5 C】

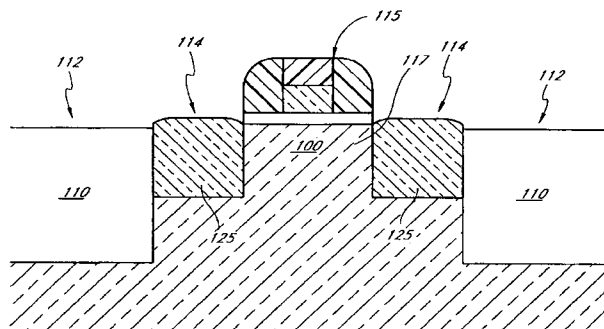


FIG. 5C

【図 5 D】

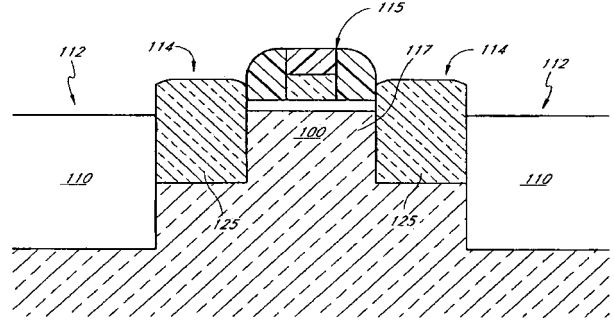


FIG. 5D

【図 6】

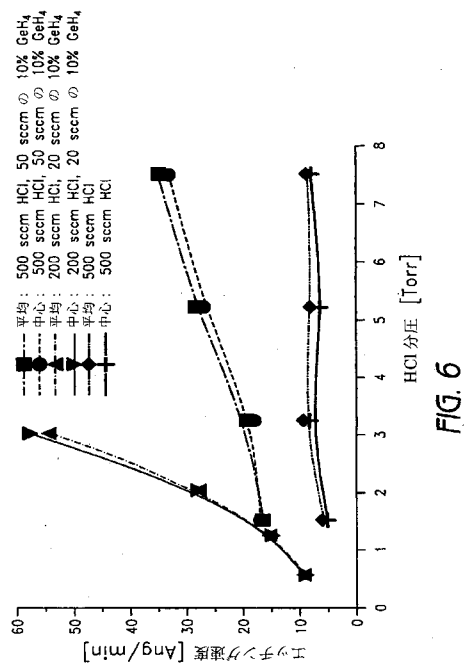


FIG. 6

【図 7】

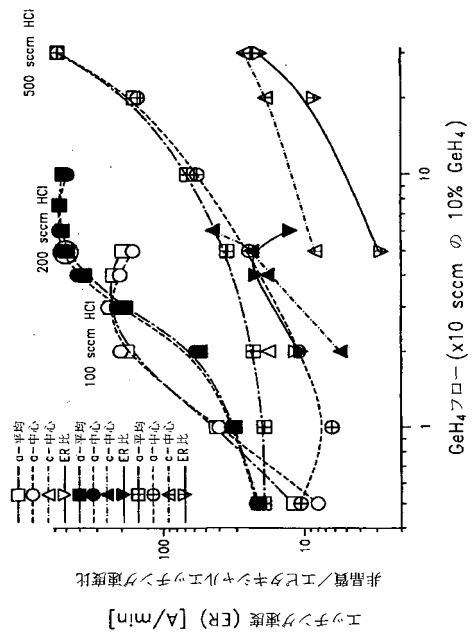


FIG. 7

【図 8】

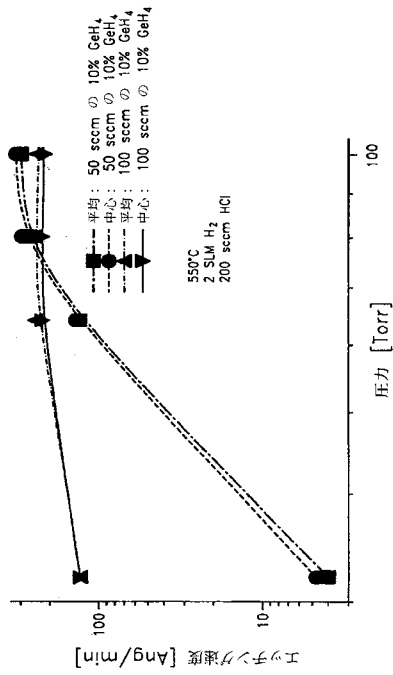


FIG. 8

【図 9】

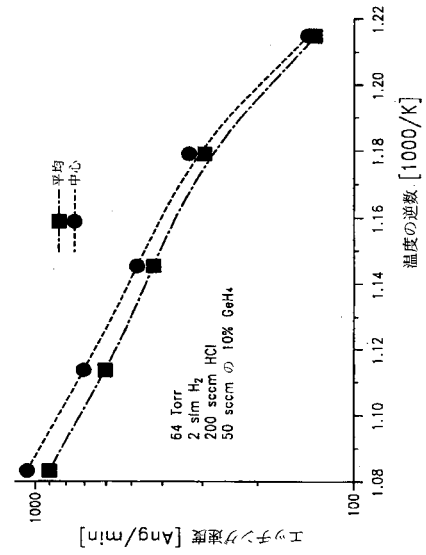


FIG. 9

【図 10】

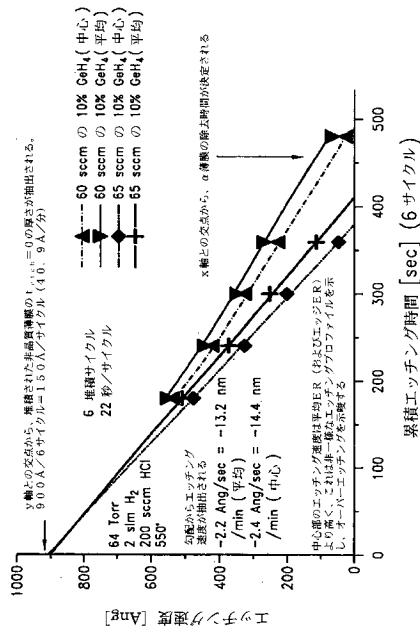


FIG. 10

【図 11】

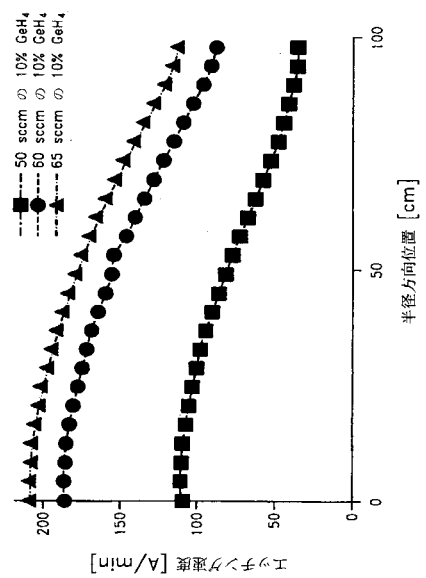


FIG. 11

【図 1 2】

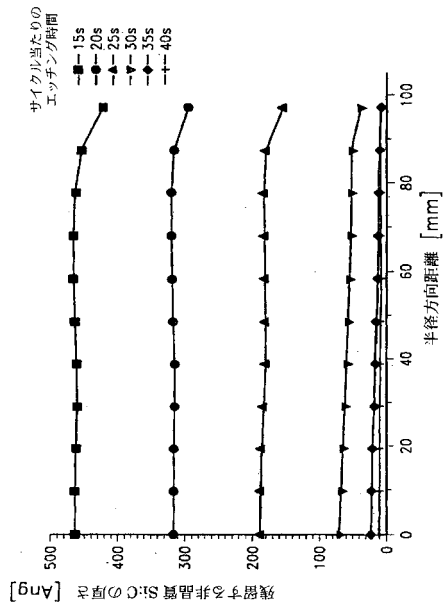


FIG. 12

【図 1 3】

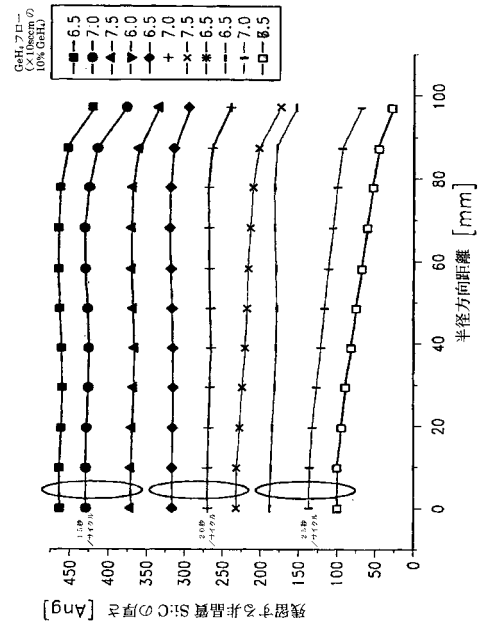


FIG. 13

【図 1 4】

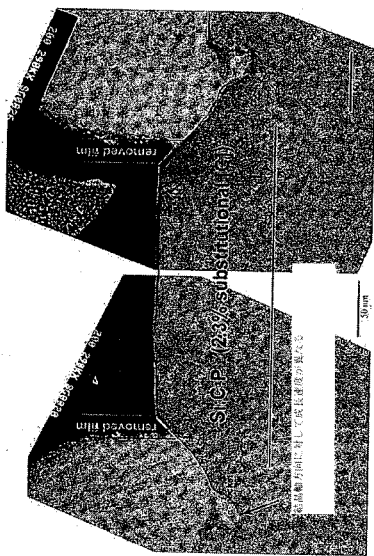


FIG. 14

【図 1 5】

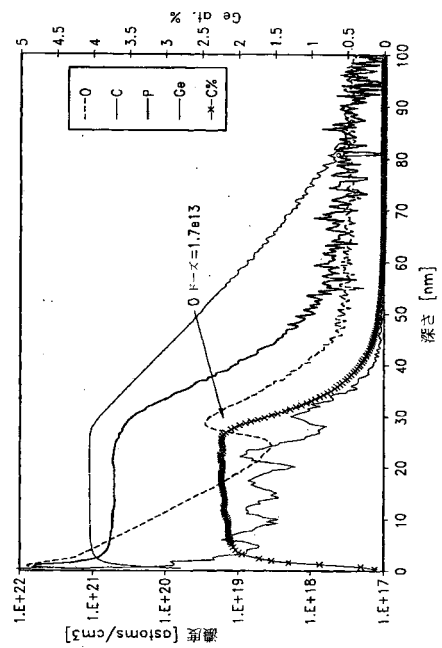


FIG. 15

【図 16】

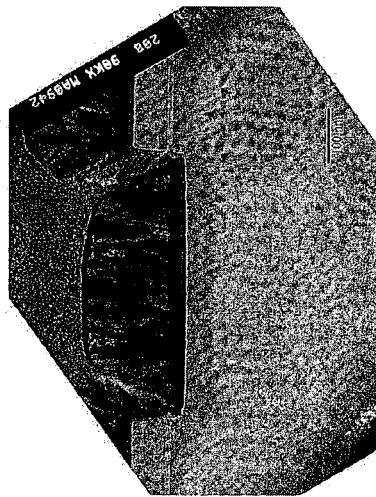


FIG. 16

【図 17】

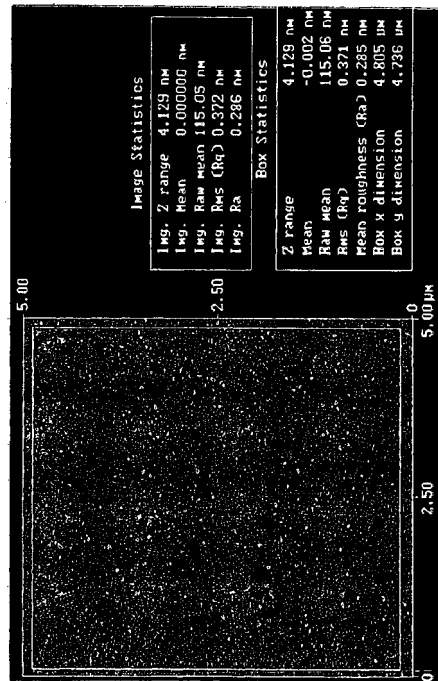


FIG. 17

【図 18】

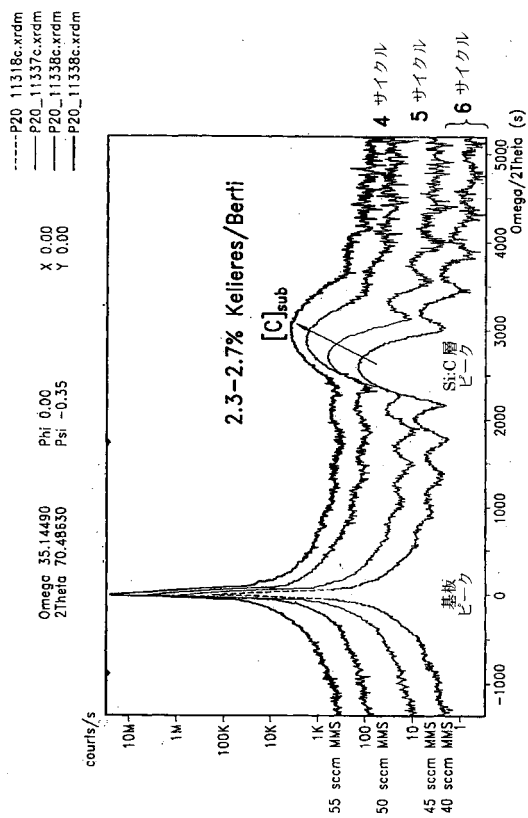


FIG. 18

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/011464

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CHOWDHURY A I ET AL: "IN-SITU REAL-TIME MASS SPECTROSCOPIC SENSING AND MASS BALANCE MODELING OF SELECTIVE AREA SILICON PECVD" AIP CONFERENCE PROCEEDINGS, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, NY, US, no. 449, 23 March 1998 (1998-03-23), pages 363-367, XP009041607 ISSN: 0094-243X page 363 - page 364	1-14, 16, 17, 25-28, 30-43, 45, 46
☒ Further documents are listed in the continuation of Box C.		
☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 November 2007		Date of mailing of the international search report 03/12/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentkan 2 NL - 2260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, Gerhard

Form PCT/ISA/210 (second sheet) (April 2006)

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2007/011464

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SMITH L L ET AL: "Plasma enhanced selective area microcrystalline silicon deposition on hydrogenated amorphous silicon: Surface modification for controlled nucleation" JOURNAL OF VACUUM SCIENCE AND TECHNOLOGY A. VACUUM, SURFACES AND FILMS, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, NY, US, vol. 16, no. 3, May 1998 (1998-05), pages 1316-1320, XP012003944 ISSN: 0734-2101 Abstract; II. EXPERIMENT	1-14,16, 17, 25-28, 30-43, 45,46
X	US 2006/115934 A1 (KIM YIHWAN [US] ET AL) 1 June 2006 (2006-06-01) paragraphs [0019] - [0030]; claims	1-14,16, 17, 25-28, 30-43, 45,46
X	US 2005/176220 A1 (KANEMOTO KEI [JP]) 11 August 2005 (2005-08-11) paragraphs [0064] - [0074]; claims	1-14,16, 17, 25-28, 30-43, 45,46
X	US 2002/022347 A1 (PARK JUNG-WOO [KR] ET AL) 21 February 2002 (2002-02-21) paragraphs [0021] - [0028]; claims; figure 1	1-14,16, 17, 25-28, 30-43, 45,46
A	US 2004/185665 A1 (KISHIMOTO DAISUKE [JP] ET AL) 23 September 2004 (2004-09-23) paragraphs [0036] - [0066]; figures	1-46
P,X	US 2007/006800 A1 (LEE DEOK-HYUNG [KR] ET AL) 11 January 2007 (2007-01-11) paragraphs [0035], [0036], [0059], [0061]; figure 3	15, 18-24, 29,44

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/011464

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006115934 A1	01-06-2006	EP 1829086 A2 KR 20070086439 A US 2006166414 A1 US 2006216876 A1 US 2007207596 A1 WO 2006060339 A2	05-09-2007 27-08-2007 27-07-2006 28-09-2006 06-09-2007 08-06-2006
US 2005176220 A1	11-08-2005	JP 2005158786 A	16-06-2005
US 2002022347 A1	21-02-2002	DE 10136682 A1 GB 2368726 A JP 2002057115 A KR 20020013197 A TW 487957 B	28-02-2002 08-05-2002 22-02-2002 20-02-2002 21-05-2002
US 2004185665 A1	23-09-2004	DE 102004010676 A1 JP 2004273742 A	14-10-2004 30-09-2004
US 2007006800 A1	11-01-2007	NONE	

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 2 7 B

H 0 1 L 21/205

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 バウアー マティアス

アメリカ合衆国 8 5 0 4 2 アリゾナ州 フィーニックス エス . ゴルフィスデ レーン 7
2 0 5

(72)発明者 ウィークス キース ドラン

アメリカ合衆国 8 5 2 3 3 アリゾナ州 ギルバート エス . ゴールデン キー 7 3 0

Fターム(参考) 5F045 AA03 AB02 AB03 AB05 AC01 AC13 AC19 DB03 HA13 HA23
5F110 AA01 CC02 DD01 DD02 GG02 GG06 GG12 GG42 HK08 HK25
HK32 HK41 HK42 NN65 QQ04
5F140 AA01 AC28 AC36 BA01 BA16 BA17 BF56 BH06 BH07 BH27
BK09 BK17 BK18 BK23 CB04 CE10 CF03
5F152 LL03 LN08 LN33 MM04 NN03 NQ02 NQ03