



(12) 发明专利

(10) 授权公告号 CN 108886363 B

(45) 授权公告日 2022.01.14

(21) 申请号 201780019706.4

(22) 申请日 2017.01.25

(65) 同一申请的已公布的文献号
申请公布号 CN 108886363 A

(43) 申请公布日 2018.11.23

(30) 优先权数据
15/088,035 2016.03.31 US

(85) PCT国际申请进入国家阶段日
2018.09.25

(86) PCT国际申请的申请数据
PCT/US2017/014949 2017.01.25

(87) PCT国际申请的公布数据
W02017/172002 EN 2017.10.05

(73) 专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72) 发明人 E·R·沃莱 R·贾里泽纳里
S·邓迪加 W·Y·陈
K·C·奇拉拉 T·康

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 唐杰敏 陈炜

(51) Int.Cl.
H03K 19/003 (2006.01)
H03K 19/0185 (2006.01)

(56) 对比文件
US 2012307408 A1, 2012.12.06
US 2005258875 A1, 2005.11.24
US 8339757 B2, 2012.12.25
EP 0482336 A1, 1992.04.29
US 6624992 B1, 2003.09.23
CN 105391041 A, 2016.03.09
CN 105047663 A, 2015.11.11
CN 101097917 A, 2008.01.02
CN 1145143 A, 1997.03.12
US 2015249078 A1, 2015.09.03
US 2005258875 A1, 2005.11.24
US 2013235496 A1, 2013.09.12
US 2006017462 A1, 2006.01.26
US 5780897 A, 1998.07.14

审查员 李桐

权利要求书4页 说明书10页 附图8页

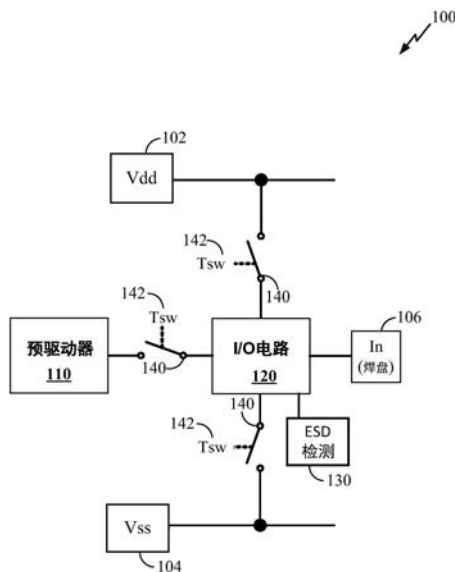
(54) 发明名称

静电放电 (ESD) 隔离输入/输出 (I/O) 电路

(57) 摘要

一种保护串行化器/解串器 (SERDES) 差分输入/输出 (I/O) 电路的方法包括检测静电放电事件。该方法还包括响应于检测到的静电放电事件而选择性地 将电源端子 (102) 与该 SERDES 差分 I/O 电路 (120) 的 I/O 晶体管对脱离。该方法进一步包括响应于检测到的静电放电事件而选择性地 将接地端子 (104) 与该 SERDES 差分 I/O 电路 (120) 的该 I/O 晶体管对脱离。

CN 108886363 B



1. 一种静电放电ESD保护串行化器/解串器SERDES差分驱动器电路,包括:

输入/输出I/O驱动器电路,其包括各自具有耦合至差分输出焊盘的漏极的第一晶体管驱动器和第二晶体管驱动器;

预驱动器电路,其包括与所述第一晶体管驱动器的栅极耦合的第一预驱动器反相器与与所述第二晶体管驱动器的栅极耦合的第二预驱动器反相器,其中所述预驱动器电路选择性地耦合在电源端子与接地端子之间;

开关晶体管,其耦合在所述电源端子、所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器之间;

共模晶体管,其耦合在所述接地端子、所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器之间;以及

ESD检测器电路,其被配置成选择性地所述电源端子与所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器脱离,并且被配置成选择性地所述接地端子与所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器脱离,所述ESD检测器电路包括:

n型场效应晶体管NFET开关,其具有与所述共模晶体管的栅极耦合的漏极、耦合至所述接地端子的源极、以及与来自所述ESD检测器电路的开关控制信号耦合的栅极;以及

传输门,其能操作于根据所述开关控制信号在正常操作期间将偏置电压馈送到所述共模晶体管以及在静电放电事件期间将互补开关控制信号馈送到所述共模晶体管。

2. 如权利要求1所述的ESD保护SERDES差分驱动器电路,进一步包括:

第一p型场效应晶体管PFET开关,其选择性地所述第一预驱动器反相器耦合至所述电源端子;以及

第二PFET开关,其选择性地所述第二预驱动器反相器耦合至所述电源端子,其中所述第一PFET开关和所述第二PFET开关能操作于响应于来自所述ESD检测器电路的开关控制信号而断开。

3. 如权利要求1所述的ESD保护SERDES差分驱动器电路,进一步包括:

第二n型场效应晶体管NFET开关,其选择性地所述第一预驱动器反相器耦合至所述接地端子;以及

第三NFET开关,其选择性地所述第二预驱动器反相器耦合至所述接地端子,其中所述第三NFET开关和所述第二NFET开关能操作于响应于来自所述ESD检测器电路的互补开关控制信号而断开。

4. 如权利要求1所述的ESD保护SERDES差分驱动器电路,其中,所述第一晶体管驱动器和所述第二晶体管驱动器包括n型场效应晶体管NFET。

5. 如权利要求1所述的ESD保护SERDES差分驱动器电路,其中,所述ESD保护SERDES差分驱动器电路被集成到调制解调器的I/O电路系统中。

6. 如权利要求1所述的ESD保护SERDES差分驱动器电路,其中,所述ESD保护SERDES差分驱动器电路被集成到显示器驱动器的I/O电路系统中。

7. 如权利要求1所述的ESD保护SERDES差分驱动器电路,其中,所述ESD保护SERDES差分驱动器电路被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

8. 一种静电放电ESD保护串行化器/解串器SERDES差分接收机电路,包括:

输入/输出I/O接收机电路,其包括各自具有耦合至差分输入焊盘的栅极和耦合至内部差分输出的漏极的第一晶体管接收器和第二晶体管接收器;

第一负载晶体管,其耦合在电源端子与所述第一晶体管接收器之间;以及第二负载晶体管,其耦合在所述电源端子与所述I/O接收机电路的所述第二晶体管接收器之间;

共模晶体管,其耦合在接地端子、所述I/O接收机电路的所述第一晶体管接收器和所述第二晶体管接收器之间;以及

ESD检测器电路,其被配置成选择性地所述电源端子与所述I/O接收机电路的所述第一晶体管接收器和所述第二晶体管接收器脱离,并且被配置成选择性地所述接地端子与所述I/O接收机电路的所述第一晶体管接收器和所述第二晶体管接收器脱离,所述ESD检测器电路包括:

p型场效应晶体管PFET开关,其具有与所述第一负载晶体管的栅极和所述第二负载晶体管的栅极耦合的漏极、耦合至所述电源端子的源极、以及与来自所述ESD检测器电路的开关控制信号耦合的栅极;以及

传输门,其能操作用于根据所述开关控制信号在正常操作期间将p型控制信号馈送到所述第一负载晶体管和所述第二负载晶体管以及在静电放电事件期间将互补开关控制信号馈送到所述第一负载晶体管和所述第二负载晶体管。

9. 如权利要求8所述的ESD保护SERDES差分接收机电路,其中,所述ESD检测器电路进一步包括:

n型场效应晶体管NFET开关,其具有与所述共模晶体管的栅极耦合的漏极、耦合至所述接地端子的源极、以及与来自所述ESD检测器电路的互补开关控制信号耦合的栅极;以及

传输门,其能操作用于根据所述互补开关控制信号在正常操作期间将n型控制信号馈送到所述共模晶体管以及在静电放电事件期间将所述开关控制信号馈送到所述共模晶体管。

10. 如权利要求8所述的ESD保护SERDES差分接收机电路,其中,所述第一晶体管接收器和所述第二晶体管接收器包括n型场效应晶体管NFET。

11. 如权利要求8所述的ESD保护SERDES差分接收机电路,其中,所述ESD保护SERDES差分接收机电路被集成到调制解调器的I/O电路系统中。

12. 如权利要求8所述的ESD保护SERDES差分接收机电路,其中,所述ESD保护SERDES差分接收机电路被集成到显示器驱动器的I/O电路系统中。

13. 如权利要求8所述的ESD保护SERDES差分接收机电路,其中,所述ESD保护SERDES差分接收机电路被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

14. 一种保护串行化器/解串器SERDES差分输入/输出I/O电路的方法,包括:

检测静电放电事件;

响应于检测到的静电放电事件而通过将互补开关控制信号馈送到耦合在电源端子与所述SERDES差分I/O电路的I/O晶体管对之间的开关晶体管来选择性地将所述电源端子与所述SERDES差分I/O电路的所述I/O晶体管对脱离;

响应于检测到的静电放电事件而通过将所述互补开关控制信号馈送到耦合在接地端

子与所述SERDES差分I/O电路的所述I/O晶体管对之间的共模晶体管来选择性地将所述接地端子与所述SERDES差分I/O电路的所述I/O晶体管对脱离;以及

通过预驱动器电路来控制所述SERDES差分I/O电路的所述I/O晶体管对,所述预驱动器电路包括第一预驱动器反相器和第二预驱动器反相器,其中所述预驱动器电路选择性地耦合在所述电源端子与所述接地端子之间。

15. 如权利要求14所述的方法,进一步包括将所述SERDES差分I/O电路集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或固定位置数据单元中。

16. 一种静电放电ESD保护串行化器/解串器SERDES差分驱动器电路,包括:

输入/输出I/O驱动器电路,其包括各自具有耦合至差分输出焊盘的漏极的第一晶体管驱动器和第二晶体管驱动器;

预驱动器电路,其包括与所述第一晶体管驱动器的栅极耦合的第一预驱动器反相器和与所述第二晶体管驱动器的栅极耦合的第二预驱动器反相器,其中所述预驱动器电路选择性地耦合在电源端子与接地端子之间;

开关晶体管,其耦合在所述电源端子、所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器之间;

共模晶体管,其耦合在所述接地端子、所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器之间;

用于选择性地将所述电源端子与所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器脱离的装置;

n型场效应晶体管NFET开关,其具有与所述共模晶体管的栅极耦合的漏极、耦合至所述接地端子的源极、以及与来自所述ESD检测器电路的开关控制信号耦合的栅极;以及

传输门,其能操作用于根据所述开关控制信号在正常操作期间将偏置电压馈送到所述共模晶体管以及在静电放电事件期间将互补开关控制信号馈送到所述共模晶体管以将所述接地端子与所述I/O驱动器电路的所述第一晶体管驱动器和所述第二晶体管驱动器脱离。

17. 如权利要求16所述的ESD保护SERDES差分驱动器电路,进一步包括:

第一p型场效应晶体管PFET开关,其选择性地将所述第一预驱动器反相器耦合至所述电源端子;以及

第二PFET开关,其选择性地将所述第二预驱动器反相器耦合至所述电源端子,其中所述第一PFET开关和所述第二PFET开关能操作用于响应于开关控制信号而断开。

18. 如权利要求16所述的ESD保护SERDES差分驱动器电路,进一步包括:

第二n型场效应晶体管NFET开关,其选择性地将所述第一预驱动器反相器耦合至所述接地端子;以及

第三NFET开关,其选择性地将所述第二预驱动器反相器耦合至所述接地端子,其中所述第三NFET开关和所述第二NFET开关能操作用于响应于互补开关控制信号而断开。

19. 如权利要求16所述的ESD保护SERDES差分驱动器电路,其中,所述第一晶体管驱动器和所述第二晶体管驱动器包括n型场效应晶体管NFET。

20. 如权利要求16所述的ESD保护SERDES差分驱动器电路,其中,所述ESD保护SERDES差

分驱动器电路被集成到调制解调器的I/O电路系统中。

21. 如权利要求16所述的ESD保护SERDES差分驱动器电路,其中,所述ESD保护SERDES差分驱动器电路被集成到显示器驱动器的I/O电路系统中。

22. 如权利要求16所述的ESD保护SERDES差分驱动器电路,其中,所述ESD保护SERDES差分驱动器电路被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

静电放电 (ESD) 隔离输入/输出 (I/O) 电路

技术领域

[0001] 本公开一般涉及集成电路 (IC)。更具体地,本公开涉及静电放电 (ESD) 隔离输入/输出 (I/O) 电路。

[0002] 背景

[0003] 电子设备中对静电放电 (ESD) 的防范一般使用钳位电路来执行。这些钳位电路可被用于通过使ESD电流分流来将电压信号的正峰值或负峰值变动固定或“钳位”到所定义的值。瞬态钳位电路的定时元件可通过使用电阻器和电容器 (RC) 来实现。此类钳位电路被称为RC钳。RC钳可使用人体模型 (HBM) 和充电器件模型 (CDM) 来确定其RC时间常数。另外,RC钳具有胜过其它类型的钳的数个优点,包括工艺可移植性、易于用标准金属氧化物半导体场效应晶体管 (MOSFET) 模型来模拟、更快速的响应时间以及较低的导通偏移电压。

[0004] 然而,随着工艺技术继续缩减尺度,ESD故障电压同样缩减。例如,对于最先进的工艺,使用充电器件模型CDM测试ESD压力的故障电压可导致故障电压低至3伏特。一种常用的ESD保护方法是结合RC钳来使用二极管。此办法展现出约1.6伏特的相对较低的传导偏移电压(其为二极管偏移电压与RC钳偏移电压之和)。

[0005] 遗憾的是,由于总偏移电压的约1.1伏特由二极管物理控制(其不缩放),因此总偏移电压向下缩减得非常慢,而RC钳偏移电压缩减得非常慢,因为其是MOSFET阈值电压相关的。当受保护的MOSFET在3伏特发生故障时,由于电压 (IR) 降仅为1.4伏特,因此这导致非常小的电压开销。如果峰值CDM电流为5安培 (A),则对于这一情形而言最大总电阻为0.28欧姆 (Ω)。由此,二极管“导通”电阻、总线电阻、以及RC钳电阻之和应当加总小于0.28欧姆。本领域技术人员将认识到,达成所提及的电阻和是非常有挑战性的。

[0006] 概述

[0007] 一种静电放电 (ESD) 保护串行化器/解串器 (SERDES) 差分驱动器电路可包括输入/输出 (I/O) 驱动器。该I/O驱动器电路可包括各自具有耦合至差分输出焊盘的漏极的第一晶体管驱动器和第二晶体管驱动器。该ESD保护SERDES差分驱动器电路还可包括预驱动器电路。该预驱动器电路可包括第一预驱动器反相器,其耦合至第一晶体管驱动器的栅极。该预驱动器电路还可包括第二预驱动器反相器,其耦合至第二晶体管驱动器的栅极。该预驱动器电路可以选择性地耦合在电源端子与接地端子之间。该ESD保护SERDES差分驱动器电路还可包括开关晶体管,其选择性地耦合在该电源端子、该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器之间。该ESD保护SERDES差分驱动器电路可进一步包括共模晶体管,其选择性地耦合在该接地端子、该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器之间。该ESD保护SERDES差分驱动器电路还可包括ESD检测器电路,其被配置成选择性地将该电源端子与该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器脱离,并且被配置成选择性地将该接地端子与该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器脱离。

[0008] 一种静电放电 (ESD) 保护串行化器/解串器 (SERDES) 差分接收机电路可包括输入/输出 (I/O) 接收机电路。该I/O差分接收机电路可包括第一晶体管接收器和第二晶体管接收

器,其各自具有耦合至差分输入焊盘的栅极和耦合至内部差分输出的漏极。该ESD保护SERDES差分接收机电路还可包括:第一负载晶体管,其选择性地耦合在电源端子与第一晶体管接收器之间;以及第二负载晶体管,其选择性地耦合在该电源端子与该I/O接收机电路的第二晶体管接收器之间。该ESD保护SERDES差分接收机电路可进一步包括共模晶体管,其选择性地耦合在接地端子、该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器之间。该ESD保护SERDES差分接收机电路还可包括ESD检测器电路,其被配置成选择性地将该电源端子与该I/O接收机电路的第一晶体管接收器和第二晶体管接收器脱离,并且被配置成选择性地将该接地端子与该I/O接收机电路的第一晶体管接收器和第二晶体管接收器脱离。

[0009] 一种保护串行化器/解串器(SERDES)差分输入/输出(I/O)电路的方法包括检测静电放电事件。该方法还包括响应于检测到的静电放电事件而选择性地将电源端子与该SERDES差分I/O电路的I/O晶体管对脱离。该方法进一步包括响应于检测到的静电放电事件而选择性地将接地端子与该SERDES差分I/O电路的该I/O晶体管对脱离。

[0010] 一种静电放电(ESD)保护串行化器/解串器(SERDES)差分驱动器电路可包括输入/输出(I/O)驱动器。该I/O驱动器电路可包括第一晶体管驱动器和第二晶体管驱动器,其各自具有耦合至差分输出焊盘的漏极。该ESD保护SERDES差分驱动器电路还可包括预驱动器电路。该预驱动器电路可包括第一预驱动器反相器,其耦合至第一晶体管驱动器的栅极。该预驱动器电路还可包括第二预驱动器反相器,其耦合至第二晶体管驱动器的栅极。该预驱动器电路可以选择性地耦合在电源端子与接地端子之间。该ESD保护SERDES差分驱动器电路还可包括开关晶体管,其选择性地耦合在该电源端子、该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器之间。该ESD保护SERDES差分驱动器电路可进一步包括共模晶体管,其选择性地耦合在该接地端子、该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器之间。该ESD保护SERDES差分驱动器电路还可包括用于选择性地将该电源端子与该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器脱离的装置,以及用于选择性地将该接地端子与该I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器脱离的装置。

[0011] 这已较宽泛地勾勒出本公开的特征和技术优势以便下面的详细描述可以被更好地理解。本公开的附加特征和优点将在下文描述。本领域技术人员应当领会,本公开可容易被用作修改或设计用于实施与本公开相同的目的的其他结构的基础。本领域技术人员还应认识到,这样的等效构造并不脱离所附权利要求中所阐述的本公开的教导。被认为是本公开的特性的新颖特征在其组织和操作方法两方面连同进一步的目的和优点在结合附图来考虑以下描述时将被更好地理解。然而,要清楚理解的是,提供每一幅附图均仅用于解说和描述目的,且无意作为对本公开的限定的定义。

[0012] 附图简述

[0013] 为了更全面地理解本公开,现在结合附图参阅以下描述。

[0014] 图1是根据本公开的一方面的ESD保护输入/输出(I/O)电路系统的示意图。

[0015] 图2解说了根据本公开的各方面的ESD保护低电压(LV)I/O电路。

[0016] 图3是根据本公开的一方面的瞬态静电放电(ESD)检测器电路的布局图。

[0017] 图4是根据本公开的一方面的静电放电(ESD)保护串行化器/解串器(SERDES)差分驱动器电路的示意图。

[0018] 图5是根据本公开的一方面的静电放电 (ESD) 保护串行化器/解串器 (SERDES) 差分接收机电路的示意图。

[0019] 图6是解说根据本公开的一方面的保护串行化器/解串器 (SERDES) 差分输入/输出 (I/O) 电路的方法的过程流程图。

[0020] 图7是示出其中可以有利地采用本公开的配置的示例性无线通信系统的框图。

[0021] 图8是解说根据一种配置的用于半导体组件的电路、布局、以及逻辑设计的设计工作站的框图。

[0022] 详细描述

[0023] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。如本文所述的,术语“和/或”的使用旨在代表“可兼性或”,而术语“或”的使用旨在代表“排他性或”。

[0024] 电子设备中对静电放电 (ESD) 的防范可使用钳位电路来执行。这些钳位电路被用于通过将电压信号的正峰值或负峰值变动固定或“钳位”到所定义的值来分流ESD电流。电阻器和电容器 (RC) 一般被用于实现瞬态钳位电路的定时元件。此类钳位电路被称为RC钳。RC钳可使用人体模型 (HBM) 或充电器件模型 (CDM) 来确定其RC时间常数值。这些RC钳具有胜过其它类型的钳的数个优点,包括工艺可移植性、易于用标准金属氧化物半导体场效应晶体管 (MOSFET) 模型来模拟、更快速的响应时间、以及较低的导通偏移电压。

[0025] 低电压 (LV) 核心晶体管通常在输入/输出 (I/O) 电路中用于提供功率和高数据速度两者。然而,随着工艺技术继续使低电压核心晶体管缩减尺度,静电放电故障电压同样缩减。例如,对于最先进的工艺,使用充电器件模型CDM测试静电放电压力的故障电压可导致故障电压低至3伏特。一种常用的I/O电路ESD保护方法是结合RC钳来使用二极管。此办法展现出约1.6伏特的相对较低的传导偏移电压(其为二极管偏移电压与RC钳偏移电压之和)。

[0026] 遗憾的是,由于总偏移电压的约1.1伏特由二极管物理控制(其不缩放),因此总偏移电压向下缩减得非常慢,而RC钳偏移电压缩减得非常慢,因为其是MOSFET阈值电压相关的。当受保护的MOSFET在3伏特发生故障时,由于电压 (IR) 降仅为1.4伏特,因此产生非常小的电压开销。如果峰值CDM电流为5安培 (A),则对于这一情形而言最大总电阻为0.28欧姆 (Ω)。由此,二极管“导通”电阻、总线电阻、以及RC钳电阻之和应当总和小于0.28欧姆。本领域技术人员将认识到,达成所提及的电阻和是非常有挑战性的。

[0027] 在本公开的一个方面,描述了一种ESD保护串行化器/解串器 (SERDES) 输入/输出 (I/O) 电路,其中故障电压被提升以克服所提及的减小的偏移电压开销。即,因为不存在降低偏移电压(其受到所提及的物理性质的限制)的显见方式,所以根据本公开的各方面的一种解决方案依赖于提升SERDES I/O电路的故障电压。例如,如果I/O故障电压可增大到5伏特,则根据以上所提供的示例,与放电IR降相关联的可允许最大电阻从0.28欧姆变为0.68欧姆。

[0028] 图1是根据本公开的一方面的ESD保护输入/输出 (I/O) 电路系统100的示意图。代表性地,输入/输出 (I/O) 驱动器电路120选择性地耦合至预驱动器电路110以驱动输入焊盘106。在本公开的此方面,开关140被安排在ESD保护I/O电路系统100的I/O驱动器电路120、

电源端子102 (Vdd)、接地端子104 (Vss)、以及预驱动器电路110之间。在操作中,ESD检测器电路130 (例如,瞬态检测器) 监视ESD保护I/O电路系统100的正常操作。ESD检测器电路130被配置成检测静电放电事件以及防止静电放电事件损坏I/O驱动器电路120。在本公开的一个方面,ESD检测器电路130可被配置成如图3中所示的那样。

[0029] 在本公开的此方面,在检测到的静电放电事件期间,ESD检测器电路130使用开关控制信号142 (Tsw) 断开开关140以使将I/O驱动器电路120耦合至ESD保护I/O电路系统100的诸节点浮置。开关控制信号142在检测到的静电放电事件期间可以为逻辑‘0’,而在正常操作期间可以为逻辑1。由此,在正常操作期间,开关140闭合,从而允许I/O驱动器电路120正常地起作用。尽管此安排假定开关控制信号142的逻辑‘1’使开关140闭合且逻辑‘0’使开关140断开,但开关控制信号142的其它配置也是可能的。例如,如图3中所示,ESD检测器电路可响应于检测到的静电放电事件而将开关控制信号Tsw断言为逻辑‘1’状态,并且在正常操作期间将该开关控制信号Tsw维持在逻辑‘0’状态。

[0030] 本公开的此方面在静电放电事件期间使用开关140来隔离I/O驱动器电路120。这允许I/O驱动器电路120的晶体管 (例如,金属氧化物半导体场效应晶体管 (MOSFET)) “浮置”,藉此消除了I/O电路放电路径直到I/O电路的MOSFET的漏-体故障电压的限制。可通过使用弱体结来增大MOSFET的漏-体故障电压,但使用弱体结应当用锁存易感性来调和。本公开的各方面通过提供对低电压 (LV) I/O电路 (例如,如图2中所示) 以及串行化器/解串器 (SERDES) 输入和输出驱动器电路 (例如,如图4和5中所示) 的静电放电检测来防止I/O驱动器电路晶体管的漏-体故障电压。

[0031] 图2解说了根据本公开的各方面的ESD保护低电压 (LV) I/O电路系统200。代表性地,受保护I/O电路系统200包括耦合至预驱动器电路210的I/O驱动器电路220。I/O驱动器电路220包括由预驱动器电路210的预驱动器反相器 (Inv) 驱动的低电压p型场效应晶体管 (PFET) 和n型FET (NFET) 驱动器。在此安排中,I/O驱动器电路220的n型晶体管驱动器N1和p型晶体管驱动器P1被用来驱动输出焊盘206 (Out)。

[0032] 在本公开的此方面,开关被用来浮置I/O驱动器电路220以及预驱动器电路210的一部分以提供对受保护I/O电路系统200的ESD保护。在此安排中,电源开关Sw6可被用来导通/断开p型晶体管驱动器P1至受保护I/O电路系统200的电源端子202 (Vdd) 的连接。类似地,接地开关Sw3作出或中断n型晶体管驱动器N1至受保护I/O电路系统200的接地端子204 (Vss) 的连接。另外,预驱动器电路210的预驱动器反相器Inv2包括电源开关Sw4和接地开关Sw1以提供ESD保护。类似地,预驱动器电路210的预驱动器反相器Inv4包括电源开关Sw5和接地开关Sw2。在此安排中,预驱动器电路210的耦合至预驱动器反相器Inv4的预驱动器反相器Inv3和耦合至预驱动器Inv2的预驱动器反相器Inv1直接耦合在接地端子204和电源端子202之间。

[0033] 如在图2中进一步解说的,电阻电容 (RC) 钳250耦合至受保护I/O电路系统200的电源端子202和接地端子204。在此安排中,RC钳250由包括电阻器Rrc、电容器Crc和反相器Inv5的ESD瞬态检测器启用。在静电放电事件期间,驱动器晶体管 (例如,n型晶体管驱动器N1和p型晶体管驱动器P1) 相对于电源轨 (例如,202、204) 和输入 (例如,210) “浮置”。n型晶体管驱动器N1的故障电压现在由n型晶体管驱动器N1的漏-体结来确定。在本公开的一个方面,较弱的体结可通过使用N阱环来增大n型晶体管驱动器N1的故障电压。

[0034] 在正常操作期间,电阻器Rrc使内部节点252保持在接近于电源端子202(例如,Vdd)的电压电平。内部节点252触发反相器Inv5的动作。这还使分流晶体管N2的栅极节点254保持在接地端子204的电压电平,这使晶体管N2保持截止(例如,不导电)。随着时间流逝,电阻器Rrc将跨电容器Crc的电压抬升(也被称为“上拉”)至电源端子202的电压电平。在此配置中,电源导通电压比Rrc和Crc的RC时间常数大得多。结果,N2在上电阶段期间保持截止。将电容器Crc上拉至电源端子202的电压电平Vdd将内部节点252的电压改变为高电压,这使反相器Inv5导通。一旦反相器Inv5被导通,接地端子204的电压就馈送到分流晶体管N2的栅极节点254中。这使分流晶体管N2关断。

[0035] 在静电放电事件之前,RC钳250不被上电,从而电容器Crc上的电荷为零。在静电放电事件期间,静电放电瞬态出现在电源端子202上,从而使电源端子202与接地端子204之间的电压快速上升(例如,在若干纳秒或更少时间内)。电容器Crc使内部节点252的电压短暂地保持在零伏特。反相器Inv5以电源端子202的电压电平在栅极节点254上输出电压,这使分流晶体管N2导通。

[0036] 分流晶体管N2被设计成吸收静电放电期间的电流,这维持了电源端子202与接地端子204之间的降低的电压范围。分流晶体管N2也被称为静电放电电流分流晶体管,因为它使静电放电引起的从电源端子202流向接地端子204的电流分流。分流晶体管N2结合由耦合在电源端子202、接地端子204以及驱动器晶体管(例如,n型晶体管驱动器N1和p型晶体管驱动器P1)之间的二极管Dp 209和二极管Dn 208提供的分流路径来操作。在一个实现中,电阻器Rrc可以是多晶硅电阻器。在另一实现中,电阻器Rrc可以是被偏置作为电阻器的晶体管(诸如MOSFET)。

[0037] 取决于受保护晶体管驱动器(例如,n型晶体管驱动器N1和p型晶体管驱动器P1)的故障容限以及压力状况,并非所有开关(例如,Sw2、Sw5、以及Sw6)都必须实现。例如,充电器件模型(CDM)的最差情形放电通常是在电流流入输出焊盘206、向上穿过二极管Dp 209并穿过RC钳250的分流晶体管N2时。此放电极性向n型晶体管驱动器N1施加比p型晶体管驱动器P1更多的压力。此外,P沟道晶体管(诸如p型晶体管驱动器P1)具有比N沟道晶体管(诸如n型晶体管驱动器N1)更高的电压容限。由此,接地开关Sw3、接地开关Sw1和电源开关Sw4可以是足够的,而添加接地开关Sw2、电源开关Sw5和电源开关Sw6可能不能提高输出焊盘206处的总体电压容限。

[0038] 在本公开的一个方面,使用金属氧化物半导体场效应晶体管(MOSFET)来实现电源开关和接地开关(Sw1、Sw2、Sw3、Sw4、Sw5、以及Sw6)。开关晶体管的大小可决定受保护I/O电路系统200的输出驱动器电阻量的增大。然而,由于大晶体管开关除增大布局面积以外不会负面地影响受保护I/O电路系统200的性能,所以开关晶体管的大小可增大。

[0039] 图3是根据本公开的一方面的瞬态静电放电(ESD)检测器电路300的布局图。代表性地,瞬态ESD检测器电路300包括电阻器R和电容器C。当电源端子302(Vdd)上的电压发生快速增大时,这些RC元件与反相器Inv6协同驱动开关控制信号Tsw上的逻辑‘1’状态。电源端子302上的该快速增大被标识为静电放电(ESD)事件,而不是正常操作期间慢得多的上电状况。

[0040] 瞬态ESD检测器电路300还包括耦合至反相器Inv7的n型晶体管开关N3和耦合至反相器Inv6的p型晶体管开关P2,它们在静电放电事件期间被“截止”,但在正常操作期间处于

“导通”状态以驱动开关控制信号 (T_{sw} 和 $\overline{T_{sw}}$)。替换地,瞬态信号可以从图2的RC钳250的反相器Inv5的输出中拉出。应当注意,n型晶体管开关N3和p型晶体管开关P2可以是低电压或高电压金属氧化物半导体场效应晶体管 (MOSFET)。在本公开的此方面,瞬态ESD检测器电路300响应于检测到的静电放电事件而将开关控制信号 T_{sw} 断言为逻辑‘1’状态,并且在正常操作期间将该开关控制信号 T_{sw} 维持在逻辑‘0’状态以提供对串行化器/解串器 (SERDES) 输入和输出驱动器电路 (例如,如图4中所示) 的ESD保护。

[0041] 每一RC钳 (诸如分别为图2和图3的RC钳250和瞬态ESD检测器电路300) 具有对应的RC时间常数。RC钳250和瞬态ESD检测器电路300可被配置成用于人体模型或充电器件模型。人体模型或充电器件模型随后被用于计算RC钳的RC时间常数。计算RC钳的RC时间常数可涉及将电阻器 (R_{rc} 和 R) 与定时电容器 (C_{rc} 和 C) 相乘以导出乘积,该乘积成为RC时间常数值。通常,人体模型计算出RC钳 (其可使用较大电阻值和电容值) 的较高RC时间常数值。充电器件模型设置比人体模型所设置的RC时间常数更短且更快的RC时间常数值。

[0042] 例如,与充电器件模型放电相关联的RC时间常数小于1纳秒或在1纳秒左右,而与人体模型放电相关联的另一RC时间常数可以为一百五十 (150) 纳秒左右或更高。充电器件模型通常还具有比人体模型高得多的电流振幅。人体模型还可比充电器件模型耗散更多的能量。

[0043] 对MOSFET器件的破坏常常在栅极氧化物电介质中发生,因为器件的这些区域对电压是非常敏感的。栅极电介质在高电压处崩溃。RC钳设计趋于有利于使总电压保持为低。因此,时间、电压电平以及电流电平之间的折衷被评估以导出有效的RC钳设计。根据本公开的各方面,针对串行化器/解串器 (SERDES) 输入和输出驱动器电路 (例如,如图4和5中所示) 提供了防止对MOSFET器件的破坏。

[0044] 图4是根据本公开的一方面的ESD保护串行化器/解串器 (SERDES) 输出驱动器400的示意图。代表性地,SERDES差分输出驱动器400包括耦合至预驱动器电路410的I/O驱动器电路420以驱动差分输出焊盘406。在本公开的此方面,I/O驱动器电路420包括由预驱动器电路410的预驱动器反相器 (Inv) 驱动的n型场效应晶体管 (NFET) 驱动器对。另外,负载对 (例如, R_{load0} 和 R_{load1}) 表示耦合至差分输出焊盘406的传输线的特性阻抗 (例如,100欧姆)。

[0045] 在静电放电事件期间,由二极管 D_p 409和二极管 D_n 408提供的分流路径可足以保护I/O驱动器电路420的NFET驱动器对的栅极氧化物电介质。根据本公开的各方面,SERDES差分输出驱动器400被配置成使用电源开关和接地开关来‘浮置’ I/O驱动器电路420的NFET驱动器对,如以下进一步详细描述。如本文中所描述的,术语‘浮置’可指代将I/O驱动器电路420的NFET驱动器对与电源轨以及该I/O驱动器电路的输入脱离。

[0046] 在此安排中,n型晶体管驱动器N4 (例如,第一晶体管驱动器) 被用于驱动差分输出焊盘406的互补输出 (\overline{Out})。另外,I/O驱动器电路420的n型晶体管驱动器N5 (例如,第二晶体管驱动器) 被用于驱动差分输出焊盘406的输出 (Out)。预驱动器反相器Inv6 (例如,第一预驱动器反相器) 耦合至n型晶体管驱动器N4的栅极G,以控制n型晶体管驱动器N4的操作。预驱动器反相器Inv6还通过电源开关Sw5 (例如,第一p型场效应晶体管 (PFET) 开关) 和接地开关Sw6 (例如,第一n型场效应晶体管 (NFET) 开关) 选择性地耦合在电源端子402 (Vdd) 和接

地端子404 (V_{ss}) 之间,以在静电放电事件期间保护n型晶体管驱动器N4。类似地,预驱动器反相器Inv7 (例如,第二预驱动器反相器) 耦合至n型晶体管驱动器N5的栅极,以控制n型晶体管驱动器N5的操作。预驱动器反相器Inv7还通过电源开关Sw7 (例如,第二PFET开关) 和接地开关Sw8 (例如,第二NFET开关) 选择性地耦合在电源端子402和接地端子404之间,以在静电放电事件期间保护n型晶体管驱动器N5。

[0047] 在此实现中,电源开关Sw5和电源开关Sw7以及接地开关Sw6和接地开关Sw8被配置成响应于开关控制信号T_{sw}和互补开关控制信号 $\overline{T_{sw}}$ 而分别禁用预驱动器反相器Inv6和预驱动器反相器Inv7。另外,p型开关晶体管P3被用于在检测到的静电放电事件期间将电源端子402与I/O驱动器电路420的n型晶体管驱动器N4和n型晶体管驱动器N5脱离。类似地,共模偏置n型晶体管N6被用于在检测到的静电放电事件期间将接地端子404与I/O驱动器电路420的n型晶体管接收器N4和n型晶体管接收器N5脱离。在此配置中,开关控制信号T_{sw}响应于检测到的静电放电事件而被断言为逻辑‘1’状态。然而,在正常操作期间,开关控制信号T_{sw}被维持在逻辑‘0’状态。

[0048] 为了脱离接地端子404,共模偏置n型晶体管N6要么被关断要么被切换至根据传输门460的偏置电压(V_{bias})节点。在正常操作期间,该传输门将V_{bias}节点电压馈送至共模偏置n型晶体管N6的栅极G。V_{bias}节点电压至共模偏置n型晶体管N6的馈送将共模偏置n型晶体管N6预偏置以在检测到静电放电事件的情况下加速响应时间。另外,在正常操作期间,n型开关N7响应于开关控制信号T_{sw}的解除断言(例如,逻辑‘0’)而截止。

[0049] 在静电放电事件期间,传输门460供应互补开关控制信号T_{sw}(例如,逻辑‘0’)以使共模偏置n型晶体管N6截止。另外,在静电放电事件期间,n型开关N7响应于开关控制信号T_{sw}的断言而被导通。在此配置中,n型开关N7具有与共模偏置n型晶体管N6的栅极G耦合的漏极D、耦合至接地端子404的源极S、以及耦合至开关控制信号T_{sw}的栅极G。在静电放电事件期间,n型开关N7被导通以将共模偏置n型晶体管N6的栅极G接地以脱离接地端子404。因为共模偏置n型晶体管N6被预偏置,所以共模偏置n型晶体管N6快速地作出响应以脱离接地端子404。

[0050] 在此配置中,电源开关(例如,Sw5和Sw7)对应于PFET,而接地开关(例如,Sw6和Sw8)对应于NFET。结果,在静电放电事件期间,电源开关(例如,Sw5和Sw7)响应于开关控制信号T_{sw}的断言(例如,逻辑‘1’)而断开;而接地开关(例如,Sw6和Sw8)响应于互补开关控制信号 $\overline{T_{sw}}$ (例如,逻辑‘0’)而断开。以此配置,接地开关(例如,Sw6和Sw8)可以用较小电路开销来实现,尤其是在开关控制信号T_{sw}和互补开关控制信号 $\overline{T_{sw}}$ 是从瞬态ESD检测器电路300导出的情况下,如图3中所示。在此配置中,p型开关晶体管P3基于最差情形放电极性以及差分负载电阻器R_{load1}和R_{load2}(其可以在约100欧姆的范围内)而是可任选的。

[0051] 图5是根据本公开的一方面的ESD保护串行化器/解串器(SERDES)差分接收机500的示意图。代表性地,SERDES差分接收机500包括耦合至差分输入焊盘506的I/O接收机电路520。在本公开的此方面,I/O接收机电路520包括n型场效应晶体管(NFET)接收机对。在静电放电事件期间,由二极管D_p 509和二极管D_n 508提供的分流路径不足以保护I/O接收机电路520的NFET接收机对的栅极氧化物电介质。

[0052] 根据本公开的各方面,SERDES差分接收机500被配置成‘浮置’I/O接收机电路520

的NFET接收机对,如以下进一步详细描述。如本文中所述的,术语‘浮置’可指代将I/O接收机电路520的NFET接收机对与SERDES差分接收机500的电源轨和接地轨脱离。

[0053] 在此安排中,n型晶体管接收器N8(例如,第一晶体管驱动器)被用于

[0054] 接收差分输入焊盘506的互补输入($\overline{\text{In}}$)。另外,I/O接收机电路520的n型晶体管接收器N9(例如,第二晶体管接收器)被用于接收差分输入焊盘506的输入(In)。互补差分输出($\overline{\text{Out}}$)耦合至n型晶体管接收器N8的漏极D,

[0055] 以供应差分输入焊盘506的收到互补输入($\overline{\text{In}}$)。另外,差分输出(Out)耦合至n型晶体管接收器N9的漏极,以供应差分输入焊盘506的收到输入(In)。

[0056] 在本公开的此方面,p型负载晶体管P4耦合在n型晶体管接收器N8的漏极D与电源端子502(Vdd)之间。另外,p型功率晶体管P5耦合在n型晶体管接收器N9的漏极D与电源端子502之间。共模n型晶体管N11也耦合在n型晶体管接收器N8和n型晶体管接收器N9两者的源极S与接地端子504(Vss)之间。在此安排中,共模n型晶体管N11可通过维持恒定的输出电流来用作I/O接收机电路520的电流镜像。

[0057] 在此实现中,P型负载晶体管P4(第一负载晶体管)被用于在静电放电事件期间将电源端子502与I/O接收机电路520的n型晶体管接收器N8脱离。另外,P型负载晶体管P5(第二负载晶体管)被用于在静电放电事件期间将电源端子502与I/O接收机电路520的n型晶体管接收器N9脱离。类似地,共模n型晶体管N10被用于在检测到的静电放电事件期间将接地端子504与I/O接收机电路520的n型晶体管接收器N8和n型晶体管接收器N9脱离。在此配置中,开关控制信号Tsw响应于检测到的静电放电事件而被解除断言至逻辑‘0’状态。然而,在正常操作期间,开关控制信号Tsw被维持在逻辑‘1’状态。

[0058] 为了脱离接地端子504,共模n型晶体管N10要么被关断要么被切换至根据传输门560的n型控制信号(ControlN)。在正常操作期间,传输门560将n型控制信号ControlN馈送到共模n型晶体管N10的栅极。在静电放电事件期间,传输门560馈送开关控制信号Tsw(例如,逻辑‘0’)以使共模晶体管N10截止。另外,n型开关N11响应于互补开关控制信号 $\overline{\text{Tsw}}$ (例如,逻辑‘1’)而被导通。在此配置中,n型开关N11具有与共模n型晶体管N10的栅极G耦合的漏极D、耦合至接地端子504的源极S、以及耦合至互补开关控制信号 $\overline{\text{Tsw}}$ 的栅极G。在此安排中,n型开关N11在检测到的静电放电事件期间响应于互补开关控制信号 $\overline{\text{Tsw}}$ (例如,逻辑‘1’)而通过将共模n型晶体管N10的栅极G短接至接地端子504来使共模n型晶体管N10接地。

[0059] 为了脱离电源端子502,负载p型晶体管P4和负载p型晶体管P5要么被关断要么被切换至根据传输门570的p型控制信号(ControlP)。在正常操作期间,传输门570将p型控制信号ControlP馈送到负载p型晶体管P4的栅极G和负载p型晶体管P5的栅极G。例如,在正常操作期间,将ControlP馈送到负载p型晶体管P4和负载p型晶体管可以使这些晶体管浮置。

[0060] 在静电放电事件期间,传输门570将互补开关控制信号 $\overline{\text{Tsw}}$ (例如,逻辑‘1’)馈送到负载p型晶体管P4和负载p型晶体管P5以用于关断p型负载晶体管。另外,p型开关P6响应于开关控制信号Tsw(例如,逻辑‘0’)而被导通。在此配置中,p型开关P6具有与负载p型晶体管P4和负载p型晶体管P5的栅极耦合的漏极D、耦合至电源端子502的源极S、以及耦合至开关控制信号Tsw的栅极G。在此安排中,n型开关N8在检测到的静电放电事件期间响应于开关控制信号Tsw的解除断言而通过将负载p型晶体管P4和负载p型晶体管P5的栅极短接至电源

端子502来使负载p型晶体管P4和负载p型晶体管P5接地。

[0061] 图6是解说根据本公开的一方面的保护串行化器/解串器(SERDES)差分输入/输出(I/O)电路的方法500的过程流程图。在框602,检测静电放电事件。例如,如图3中所示,瞬态ESD检测器电路300可在电源端子302(V_{dd})上的电压出现快速增大时检测到静电放电事件。电源端子302上的该快速增大被标识为静电放电(ESD)事件,而不是正常操作期间慢得多的上电状况。

[0062] 再次参照图6,在框604,选择性地将电源端子与该SERDES I/O电路的I/O晶体管对脱离。例如,如图4中所示,p型开关晶体管P3被用于在检测到的静电放电事件期间将电源端子402与I/O驱动器电路420的n型晶体管驱动器N4和n型晶体管驱动器N5脱离。如图5中所示,P型负载晶体管P4被用于在静电放电事件期间将电源端子502与I/O接收机电路520的n型晶体管接收器N8脱离。另外,P型负载晶体管P5被用于在静电放电事件期间将电源端子502与I/O接收机电路520的n型晶体管接收器N9脱离。

[0063] 再次参照图6,在框606,选择性地将接地端子与该SERDES I/O驱动器电路的该I/O晶体管对脱离。例如,如图4中所示,共模偏置n型晶体管N6被用于在检测到的静电放电事件期间将接地端子404与I/O驱动器电路420的n型晶体管接收器N4和n型晶体管接收器N5脱离。如图5中所示,共模n型晶体管N10被用于在检测到的静电放电事件期间将接地端子504与I/O接收机电路520的n型晶体管接收器N8和n型晶体管接收器N9脱离。

[0064] 根据本公开的进一步方面,描述了串行化器/解串器(SERDES)差分输入/输出(I/O)电路。该SERDES差分I/O电路包括用于选择性地将电源端子与I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器脱离的装置。该选择性脱离装置可以是图3的ESD检测器电路300。该SERDES差分I/O电路进一步包括用于选择性地将接地端子与I/O驱动器电路的第一晶体管驱动器和第二晶体管驱动器脱离的装置。例如,该选择性脱离装置可以是图3的ESD检测器电路300。在另一方面,前述装置可以是配置成执行由前述装置叙述的功能的任何电路、模块或任何装备。

[0065] 图7是示出其中可有利地采用本公开的一方面的示例性无线通信系统700的框图。出于解说目的,图7示出了三个远程单元720、730和750以及两个基站740。将认识到,无线通信系统可具有远多于此的远程单元和基站。远程单元720、730和750包括IC设备725A、725C、以及725B,这些IC设备包括所公开的ESD保护SERDES I/O电路。将认识到,其他设备也可包括所公开的ESD保护SERDES I/O电路,诸如基站、交换设备、和网络装备。图7示出了从基站740到远程单元720、730和750的前向链路信号780,以及从远程单元720、730和750到基站740的反向链路信号790。

[0066] 在图7中,远程单元720被示为移动电话,远程单元730被示为便携式计算机,而远程单元750被示为无线本地环路系统中的固定位置远程单元。例如,远程单元可以是移动电话、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理)、启用GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读数装备)、该远程单元的组件(诸如显示器驱动器、调制解调器、或者存储或检索数据或计算机指令的其他设备)、或者其组合。尽管图7解说了根据本公开的各方面的远程单元,但本公开不限于所解说的这些示例性单元。本公开的各方面可以合适地在包括所公开的ESD保护SERDES I/O电路的许多设备中采用。

[0067] 图8是解说用于半导体组件(诸如以上公开的ESD保护SERDES I/O电路)的电路、布局以及逻辑设计的设计工作站的框图。设计工作站800包括硬盘801,该硬盘包含操作系统软件、支持文件、以及设计软件(诸如Cadence或OrCAD)。设计工作站800还包括促成对电路810或半导体组件812(诸如ESD保护SERDES I/O电路)的设计的显示器802。提供存储介质804以用于有形地存储电路设计810或半导体组件812。电路设计810或半导体组件812可以文件格式(诸如GDSII或GERBER)存储在存储介质804上。存储介质804可以是CD-ROM、DVD、硬盘、闪存、或者其他合适的设备。此外,设计工作站800包括用于从存储介质804接受输入或者将输出写到存储介质804的驱动装置903。

[0068] 存储介质804上记录的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或者用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据,诸如时序图或网电路。在存储介质804上提供数据通过减少用于设计半导体晶片的工艺数目来促成电路设计810或半导体组件812的设计。

[0069] 对于固件和/或软件实现,这些方法体系可以用执行本文中所描述功能的模块(例如,规程、函数等等)来实现。有形地体现指令的机器可读介质可被用来实现本文所述的方法体系。例如,软件代码可被存储在存储器中并由处理器单元来执行。存储器可以在处理器单元内或在处理器单元外部实现。如本文所用的,术语“存储器”是指长期、短期、易失性、非易失性类型存储器、或其他存储器,而并不限于特定类型的存储器或存储器数目、或记忆存储在其上的介质的类型。

[0070] 如果以固件和/或软件实现,则功能可作为一条或多条指令或代码存储在计算机可读介质上。示例包括编码有数据结构的计算机可读介质和编码有计算机程序的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机存取的可用介质。作为示例而非限定,此类计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来存储指令或数据结构形式的期望程序代码且能被计算机访问的其他介质;如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘常常磁性地再现数据,而碟用激光光学地再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0071] 除了存储在计算机可读介质上,指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如,通信装备可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成使一个或多个处理器实现权利要求中叙述的功能。

[0072] 尽管已详细描述了本公开及其优势,但是应当理解,可在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本公开的技术。例如,诸如“上方”和“下方”之类的关系术语是关于基板或电子器件使用的。当然,如果该基板或电子器件被颠倒,则上方变成下方,反之亦然。此外,如果是侧面取向的,则上方和下方可指代基板或电子器件的侧面。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定配置。如本领域的普通技术人员将容易从本公开领会到的,根据本公开,可以利用现存或今后开发的与本文所描述的相应配置执行基本相同的功能或实现基本相同结果的过程、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

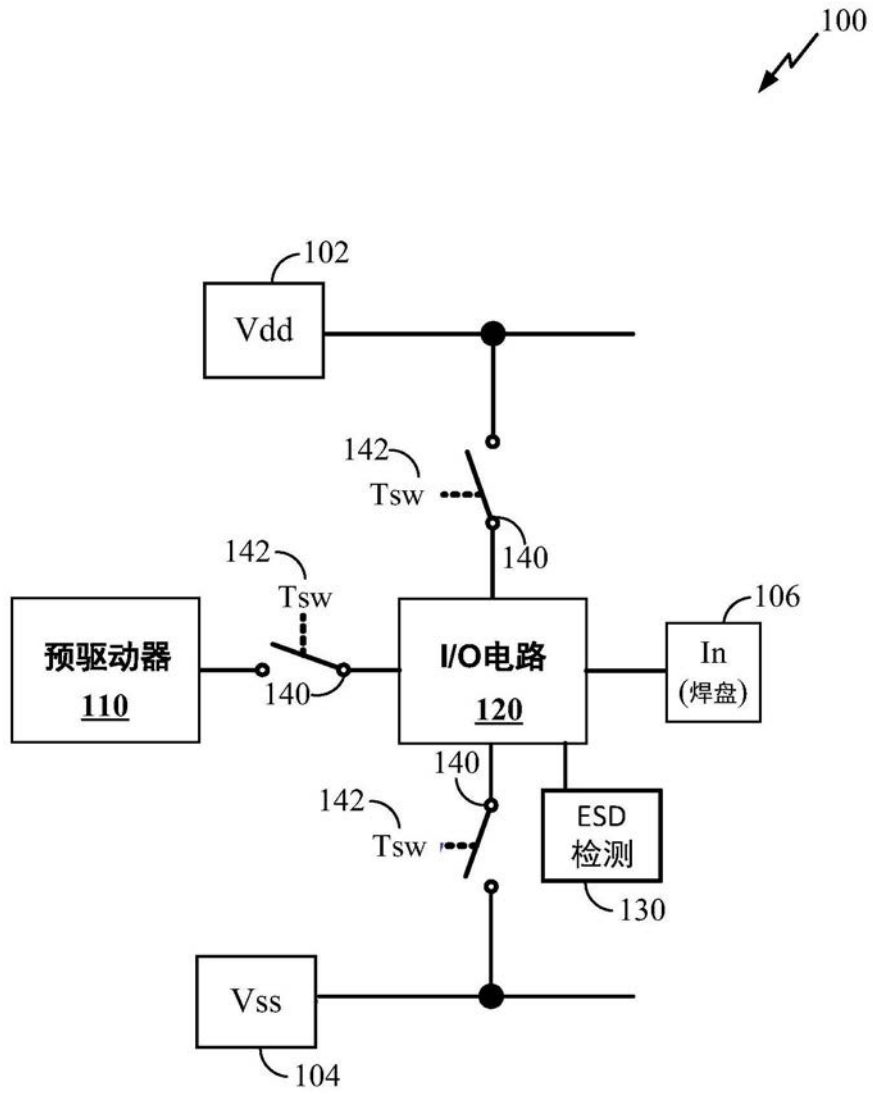


图1

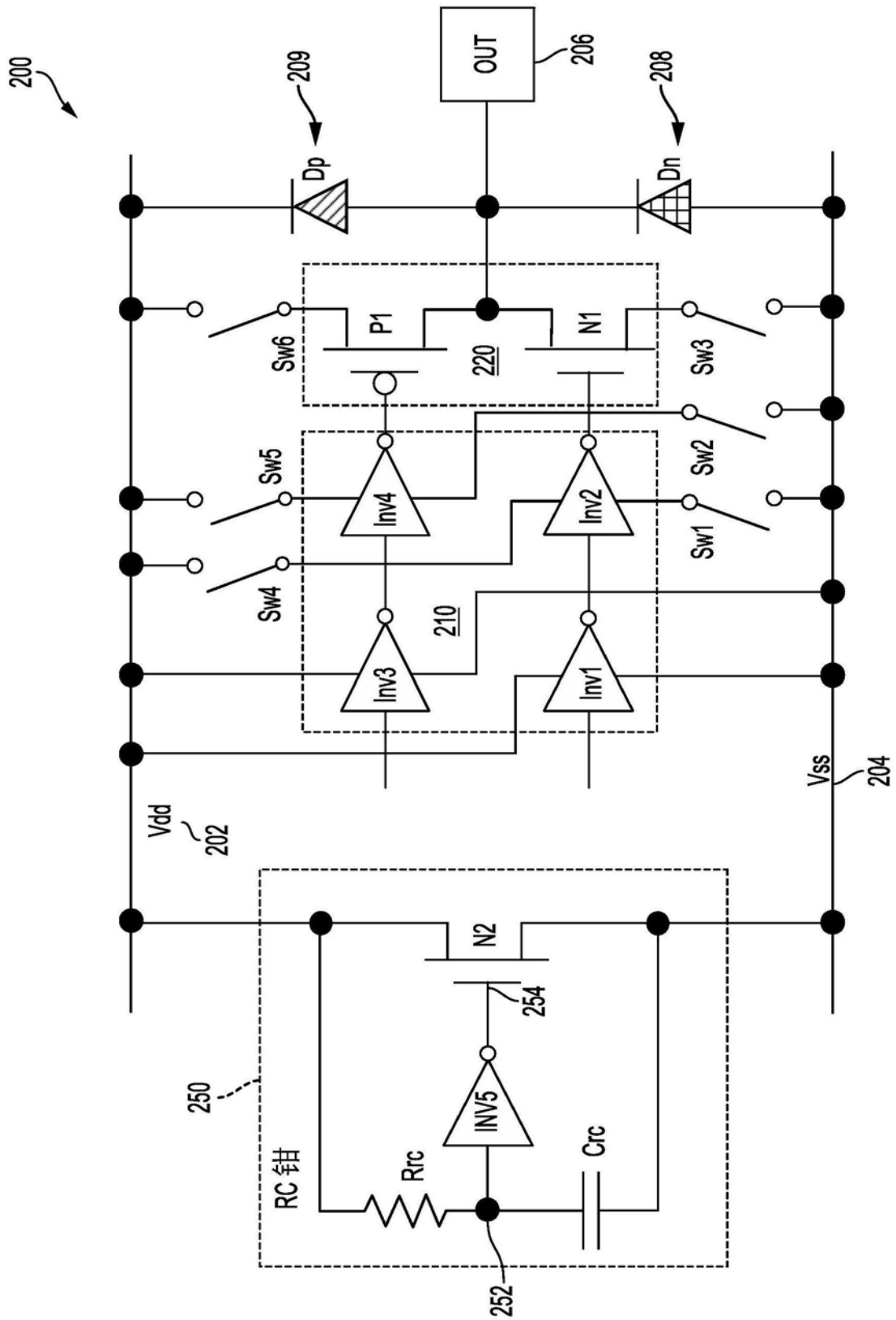


图2

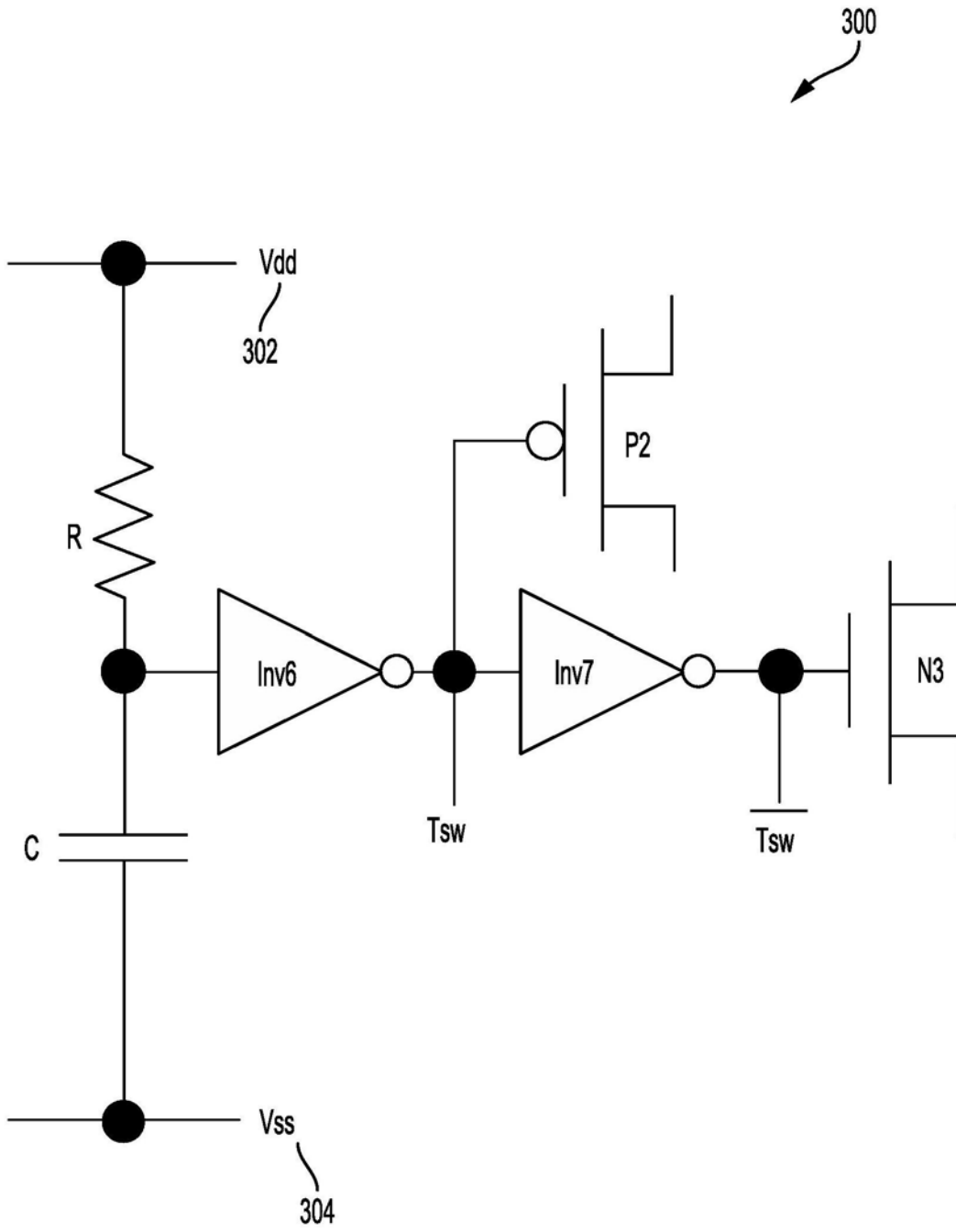


图3

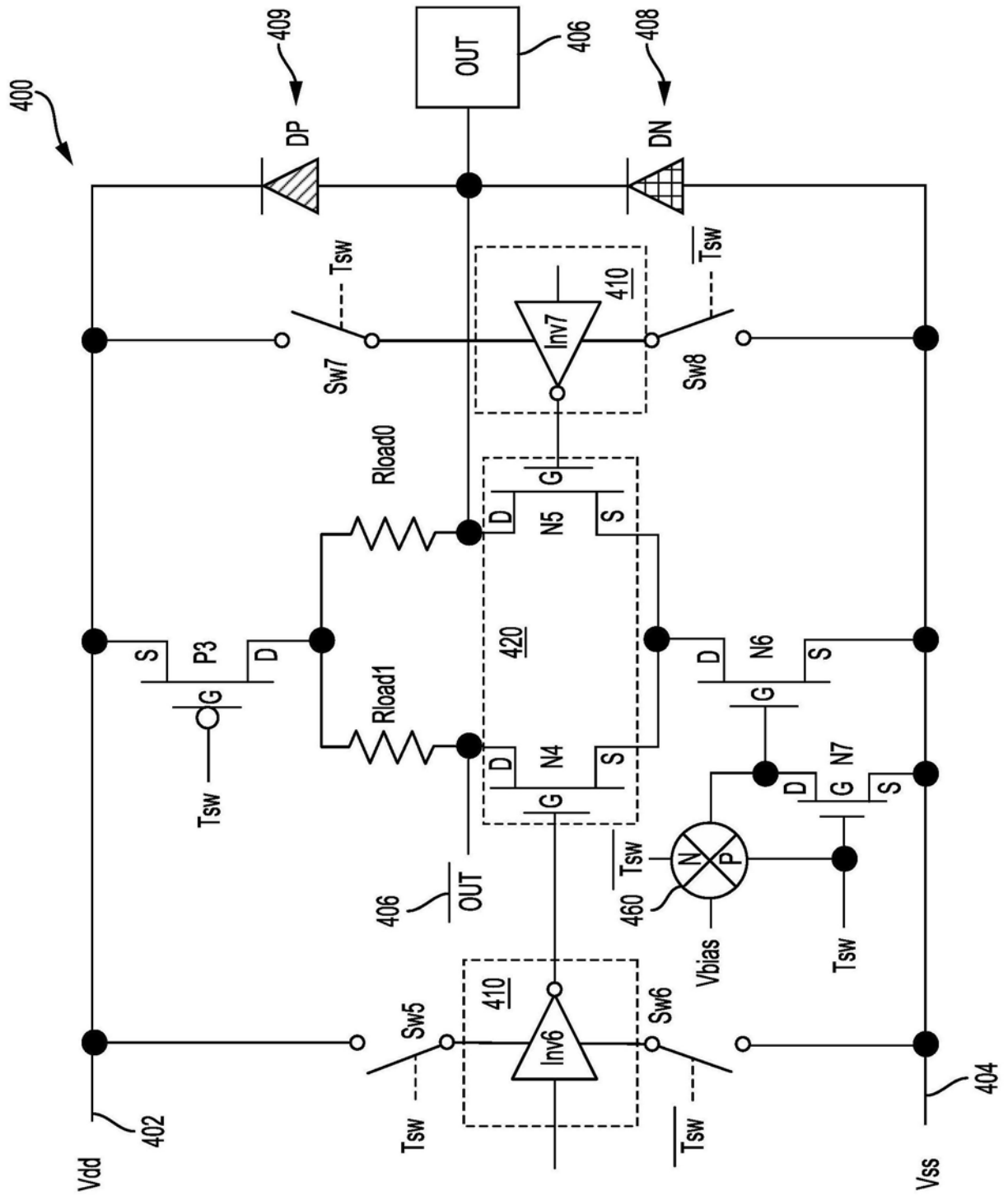


图4

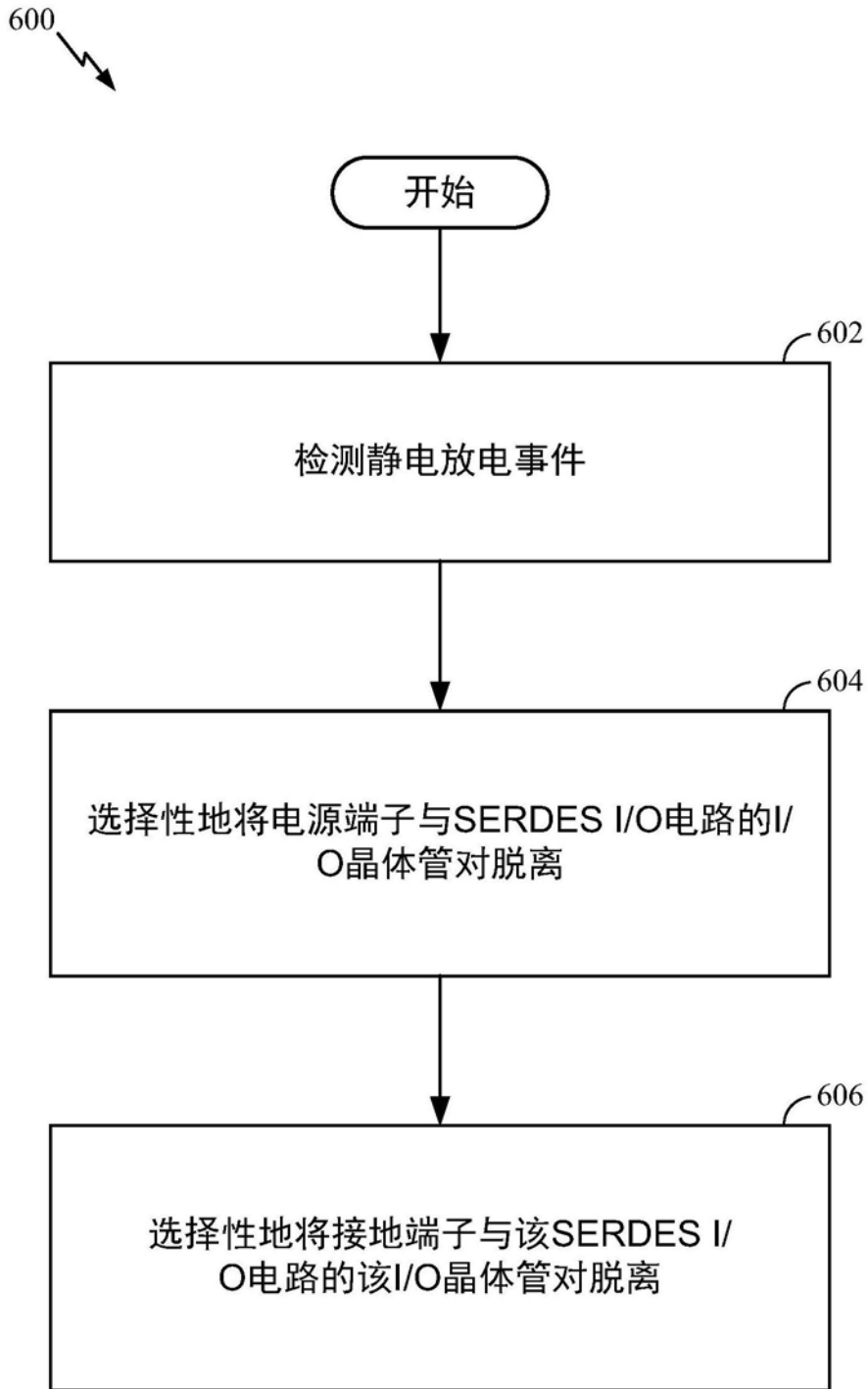


图6

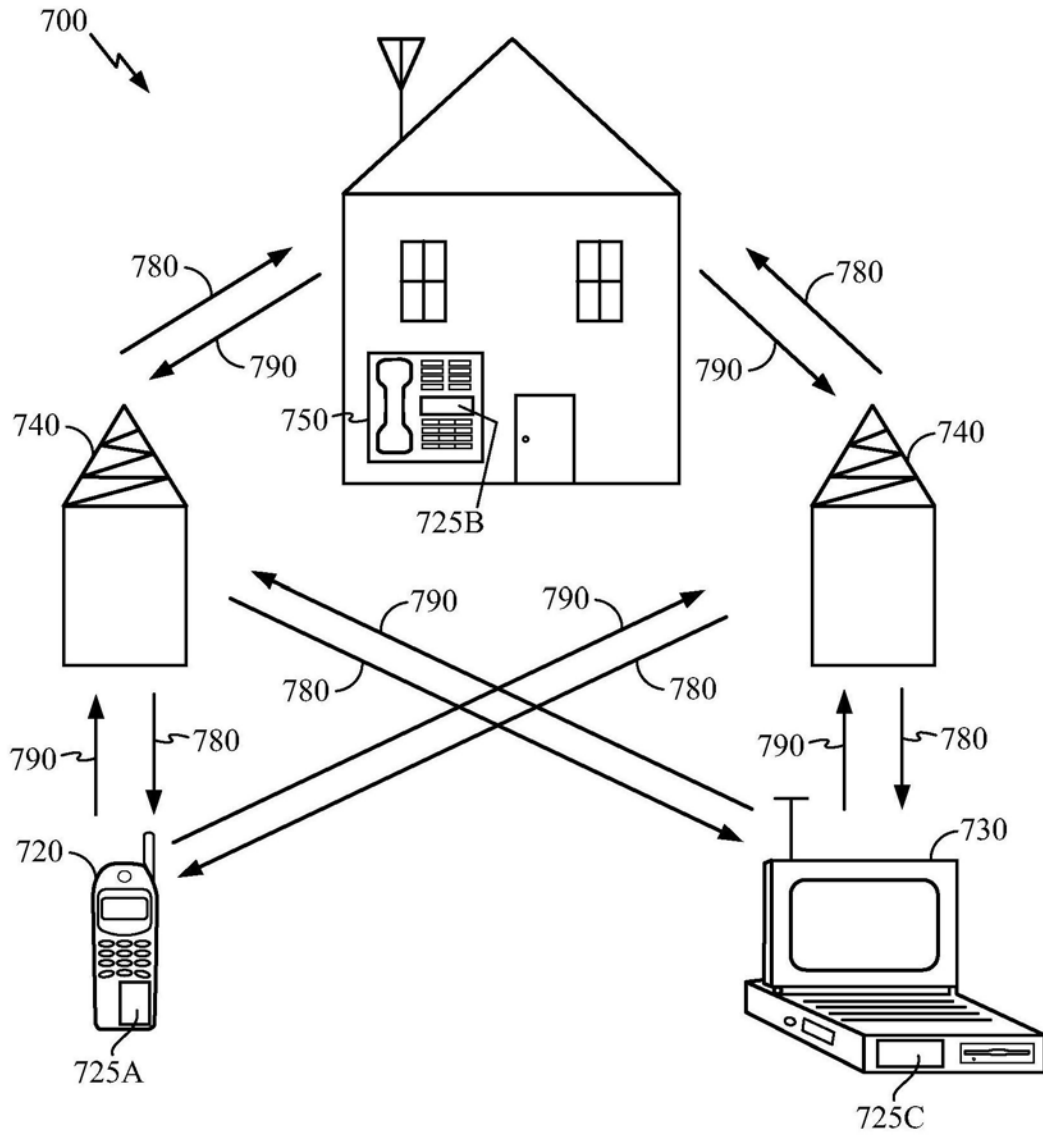


图7

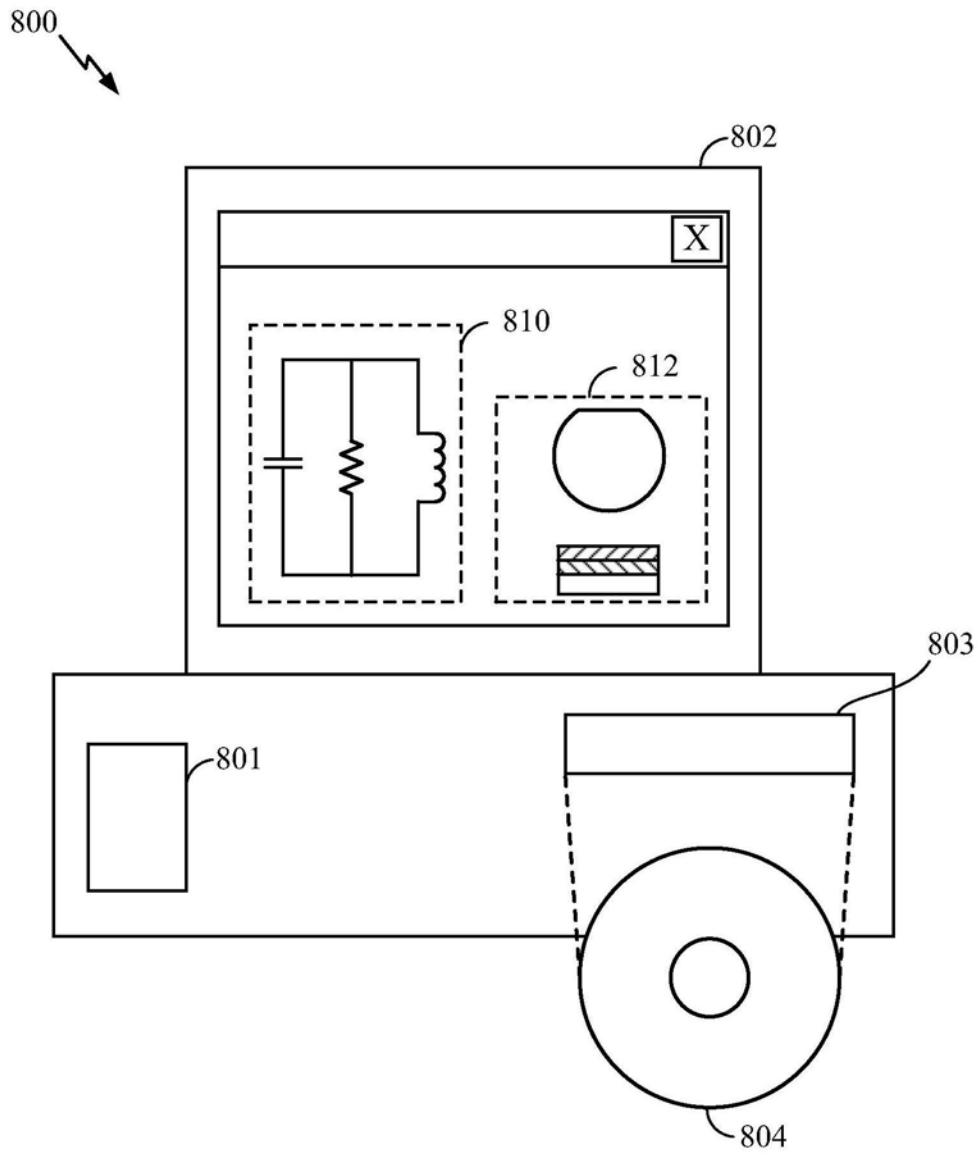


图8