



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I480733 B

(45)公告日：中華民國 104 (2015) 年 04 月 11 日

(21)申請案號：101111124

(22)申請日：中華民國 101 (2012) 年 03 月 29 日

(51)Int. Cl. : G06F12/02 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：詹清文 CHANG, CHING WEN (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200900930A

TW 200903249A

US 7650460B2

US 2011/0154163A1

審查人員：吳兆平

申請專利範圍項數：25 項 圖式數：11 共 52 頁

(54)名稱

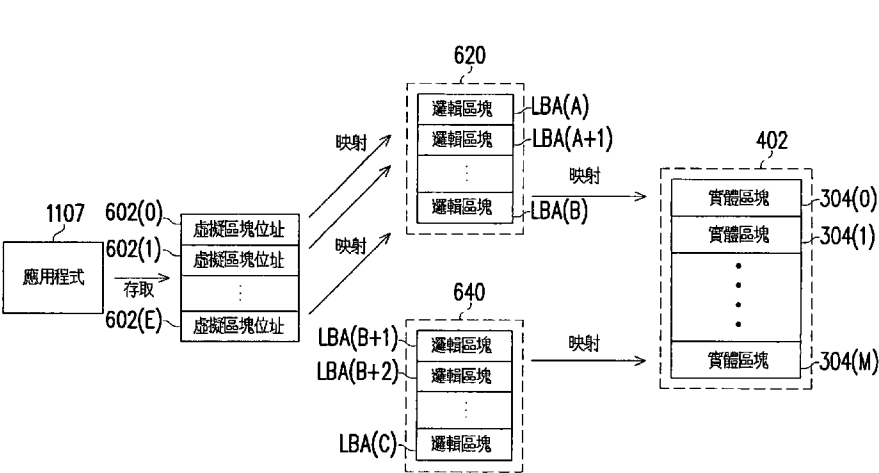
資料寫入方法、記憶體控制器與記憶體儲存裝置

DATA WRITING MEHOD, AND MEMORY CONTROLLER AND MEMORY STORAGE DEVICE
USING THE SAME

(57)摘要

一種資料寫入方法，用於具多個實體區塊的可複寫式非揮發性記憶體模組。此方法包括：配置虛擬區塊位址以映射至少部份的邏輯區塊；接收指示將檔案資料寫入至多個第一虛擬區塊位址的寫入指令，其中第一虛擬區塊位址是映射至上述至少部份的多個第一邏輯區塊。本方法還包括：將檔案資料寫入多個第二邏輯區塊所映射的實體區塊；在寫入期間，判斷是否發生程式化錯誤；以及，當未發生程式化錯誤時，將第一虛擬區塊位址重新映射至第二邏輯區塊。藉此，本方法可確保檔案資料更新的完整性。

A writing method for a rewritable non-volatile memory module containing physical blocks is provided. The method includes: configuring virtual block address for mapping to at least one part of the logical blocks; receiving a write command which indicates writing file data into first virtual block addresses, wherein the first virtual block addresses are mapped to first logical blocks in the at least on part. The method also includes: writing the file data into physical blocks to which a plurality of second logical blocks are mapped; determining whether a program fail occurs during the writing period; and, if no, mapping the first virtual block addresses to the second logical blocks. Accordingly, the method can ensure the completeness for the update of the file data.



LBA(A)~LBA
(C) . . . 邏輯區塊
304(0)~304(M) . . .
實體區塊
402 . . . 資料區
602(0)~602(E) . . .
虛擬區塊位址
620 . . . 儲存區
640 . . . 緩衝區
1107 . . . 應用程式

圖 6

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101111124

※申請日：101. 3. 29 ※IPC 分類：G06F 12/02 (2006.01)

一、發明名稱：

資料寫入方法、記憶體控制器與記憶體儲存裝置
DATA WRITING MEHOD, AND MEMORY
CONTROLLER AND MEMORY STORAGE DEVICE
USING THE SAME

二、中文發明摘要：

一種資料寫入方法，用於具多個實體區塊的可複寫式非揮發性記憶體模組。此方法包括：配置虛擬區塊位址以映射至少部份的邏輯區塊；接收指示將檔案資料寫入至多個第一虛擬區塊位址的寫入指令，其中第一虛擬區塊位址是映射至上述至少部份的多個第一邏輯區塊。本方法還包括：將檔案資料寫入多個第二邏輯區塊所映射的實體區塊；在寫入期間，判斷是否發生程式化錯誤；以及，當未發生程式化錯誤時，將第一虛擬區塊位址重新映射至第二邏輯區塊。藉此，本方法可確保檔案資料更新的完整性。

三、英文發明摘要：

A writing method for a rewritable non-volatile memory module containing physical blocks is provided. The method includes: configuring virtual block address for mapping to at least one part of the logical blocks; receiving a write

command which indicates writing file data into first virtual block addresses, wherein the first virtual block addresses are mapped to first logical blocks in the at least on part. The method also includes: writing the file data into physical blocks to which a plurality of second logical blocks are mapped; determining whether a program fail occurs during the writing period; and, if no, mapping the first virtual block addresses to the second logical blocks. Accordingly, the method can ensure the completeness for the update of the file data.

四、指定代表圖：

(一) 本案之指定代表圖：圖 6

(二) 本代表圖之元件符號簡單說明：

LBA(A)~LBA(C)：邏輯區塊

304(0)~304(M)：實體區塊

402：資料區

602(0)~602(E)：虛擬區塊位址

620：儲存區

640：緩衝區

1107：應用程式

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種資料寫入方法，且特別是有關於一種用於可複寫式非揮發性記憶體模組的資料寫入方法以及使用此方法的記憶體儲存裝置與記憶體控制器。

【先前技術】

數位相機、行動電話與 MP3 播放器在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體模組（例如，快閃記憶體）具有資料非揮發性、省電、體積小，以及無機械結構等特性，所以非常適合內建於上述所舉例的各種可攜式多媒體裝置中。

一般來說，可複寫式非揮發性記憶體模組會包括多個實體區塊，並且多個邏輯區塊會被配置以映射至部分的實體區塊。當一個主機系統要存取可複寫式非揮發性記憶體模組時，會下達存取這些邏輯區塊的指令給控制可複寫式非揮發性記憶體模組的記憶體控制器。在習知技術中，記憶體控制器是以一個實體區塊為單位來管理可複寫式非揮發性記憶體模組。在根據一個寫入指令將屬於一個邏輯區塊的資料寫入至一個實體區塊時，若發生程式化錯誤，記憶體控制器會確保此邏輯區塊所映射的實體區塊所儲存的資料是未執行寫入指令前的舊資料。然而，當一個檔案資料被分散地儲存到多個邏輯區塊，且執行寫入指令時發生程式化錯誤時，則會發生多個邏輯區塊所儲存之檔案資料

的完整性發生問題。詳細來說，已完成寫入動作的邏輯區塊會被映射至儲存有新資料的實體區塊，但發生程式化錯誤的邏輯區塊仍會映射至儲存有舊資料的實體區塊。如此一來，各個邏輯區塊所儲存的檔案資料會不完整(即，一部分有被更新，並且另一部分沒有被更新)。因此，如何確保被分散地儲存至多個邏輯區塊之資料的更新能夠完整，為此領域技術人員所關心的議題。

【發明內容】

本發明的範例實施例中提出一種資料寫入方法以及使用此方法的記憶體控制器與記憶體儲存裝置，可確保被分散地儲存至多個邏輯區塊之檔案資料的更新完整性。

本發明在一範例實施例中，提出一種資料寫入方法，用於一可複寫式非揮發性記憶體模組。此可複寫式非揮發性記憶體模組包括了多個實體區塊，其中多個邏輯區塊會被配置以映射至部分的實體區塊。此資料寫入方法包括：配置多個虛擬區塊位址以映射至少部分的邏輯區塊，並將這些虛擬區塊位址提供給一主機系統；接收來自主機系統的一個寫入指令，此寫入指令是指示將一檔案資料寫入至上述虛擬區塊位址之中的多個第一虛擬區塊位址，而這些第一虛擬區塊位址是映射至上述至少部份的邏輯區塊之中的多個第一邏輯區塊。本資料寫入方法還包括：將上述的檔案資料寫入至上述邏輯區塊中的多個第二邏輯區塊所映射的實體區塊；判斷在將檔案資料寫入至第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤；以及，當未

發生程式化錯誤時，將第一虛擬區塊位址映射至第二邏輯區塊。

在一範例實施例中，上述的資料寫入方法更包括：將邏輯區塊至少劃分為儲存區與緩衝區，其中上述至少部份的邏輯區塊會被劃分為儲存區，而第二邏輯區塊是屬於緩衝區。其中當未發生程式化錯誤時，將第一虛擬區塊位址映射至第二邏輯區塊的步驟還包括：將第二邏輯區塊關聯至上述的儲存區，並將第一邏輯區塊關聯至緩衝區。

在一範例實施例中，上述的資料寫入方法更包括：將上述的多個實體區塊邏輯地至少分組為一資料區與一閒置區。其中，上述的邏輯區塊是映射至資料區的實體區塊；第一邏輯區塊是分別地映射至資料區的實體區塊之中的多個第一實體區塊；並且，第二邏輯區塊是分別地映射至資料區的實體區塊之中的多個第二實體區塊。

在一範例實施例中，上述將檔案資料寫入至邏輯區塊之中的第二邏輯區塊所映射的實體區塊的步驟包括：從閒置區的實體區塊之中選擇多個第三實體區塊；將檔案資料寫入至第三實體區塊中；將第二邏輯區塊分別地重新映射至第三實體區塊；以及，將第二實體區塊關聯至閒置區並且將第三實體區塊關聯至資料區。

在一範例實施例中，上述的資料寫入方法更包括：將屬於第一邏輯區塊的有效資料從第一實體區塊複製到第三實體區塊。

在一範例實施例中，上述的資料寫入方法更包括：建

立一虛擬邏輯映射表，用以記錄上述的虛擬區塊位址與儲存區的邏輯區塊之間的映射關係。

在一範例實施例中，上述配置多個虛擬區塊位址以映射至儲存區的邏輯區塊，並將虛擬區塊位址提供給主機系統的步驟包括：提供這些虛擬區塊位址給執行於主機系統中的多個應用程式。上述建立虛擬邏輯映射表的步驟則包括：建立屬於每一個應用程式的虛擬邏輯映射表。

在一範例實施例中，上述的資料寫入方法更包括：當發生程式化錯誤時，傳送一錯誤訊息給主機系統以回應寫入指令。

在一範例實施例中，上述的第一邏輯區塊是映射至第一實體區塊，而上述的第二邏輯區塊是映射至第二實體區塊。上述將檔案資料寫入至邏輯區塊之中的第二邏輯區塊所映射的實體區塊的步驟包括：將上述的檔案資料寫入至第二實體區塊當中；以及，將屬於第一邏輯區塊的有效資料從第一實體區塊複製到第二實體區塊。

以另外一個角度來說，本發明在一範例實施例中提出一種記憶體儲存裝置，包括連接器、可複寫式非揮發性記憶體模組與記憶體控制器。其中，連接器是用以耦接至一主機系統。可複寫式非揮發性記憶體模組包括了多個實體區塊，其中多個邏輯區塊會被配置以映射至部分的實體區塊。記憶體控制器則耦接至連接器與可複寫式非揮發性記憶體模組，並會配置多個虛擬區塊位址以映射至少部份的邏輯區塊，並將這些虛擬區塊位址提供給主機系統。此外，

記憶體控制器會接收來自主機系統的一寫入指令，此寫入指令是指示將一個檔案資料寫入至上述虛擬區塊位址之中的多個第一虛擬區塊位址，而這些第一虛擬區塊位址是映射至上述至少部分的邏輯區塊之中的多個第一邏輯區塊。記憶體控制器也會將檔案資料寫入至上述邏輯區塊之中的多個第二邏輯區塊所映射的實體區塊。記憶體控制器還會判斷在將檔案資料寫入至第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤。當未發生程式化錯誤時，記憶體控制器會將第一虛擬區塊位址映射至第二邏輯區塊。

在一範例實施例中，上述的記憶體控制器更用以將上述的邏輯區塊至少劃分為儲存區與緩衝區，其中上述至少部份的邏輯區塊被劃分為儲存區，而第二邏輯區塊是屬於緩衝區。當未發生程式化錯誤時，記憶體控制器會將第二邏輯區塊關聯至儲存區，並將第一邏輯區塊關聯至緩衝區。

在一範例實施例中，上述的記憶體控制器更用以將實體區塊邏輯地至少分組為一資料區與一閒置區。其中，上述的邏輯區塊是映射至資料區的實體區塊，而第一邏輯區塊是分別地映射至資料區的實體區塊之中的多個第一實體區塊，並且，第二邏輯區塊是分別地映射至資料區的實體區塊之中的多個第二實體區塊。

在一範例實施例中，上述在將檔案資料寫入至邏輯區塊之中的第二邏輯區塊所映射的實體區塊的過程中，記憶體控制器更用以從閒置區的實體區塊之中選擇多個第三實體區塊，將檔案資料寫入至第三實體區塊中，將第二邏輯

區塊分別地重新映射至第三實體區塊，將第二實體區塊關聯至閒置區，以及將第三實體區塊關聯至資料區。

在一範例實施例中，上述的記憶體控制器更用以將屬於第一邏輯區塊的有效資料從第一實體區塊複製到第三實體區塊。

在一範例實施例中，上述的記憶體控制器更用以建立一虛擬邏輯映射表，以記錄虛擬區塊位址與儲存區的邏輯區塊之間的映射關係。

在一範例實施例中，上述的記憶體控制器更用以提供上述的虛擬區塊位址給執行於主機系統中的多個應用程式，並且建立屬於每一個應用程式的虛擬邏輯映射表。

在一範例實施例中，上述的記憶體控制器更用以在發生程式化錯誤時，傳送一錯誤訊息給主機系統以回應上述的寫入指令。

以另外一個角度來說，本發明在一範例實施例中提出一種記憶體控制器，包括主機介面、記憶體介面與記憶體管理電路。其中，主機介面是用以耦接至一主機系統。記憶體介面是耦接至一可複寫式非揮發性記憶體模組，此可複寫式非揮發性記憶體模組包括了多個實體區塊，而多個邏輯區塊會被配置以映射至部分的實體區塊。記憶體管理電路則耦接至主機介面與記憶體介面，並會配置多個虛擬區塊位址以映射至少部分的邏輯區塊，並將這些虛擬區塊位址提供給主機系統。此外，記憶體管理電路會接收來自主機系統的一寫入指令，此寫入指令是指示將一檔案資料

寫入至虛擬區塊位址之中的多個第一虛擬區塊位址，而這些第一虛擬區塊位址是映射至上述至少部份的邏輯區塊之中的多個第一邏輯區塊。記憶體管理電路也會將檔案資料寫入至上述邏輯區塊之中的多個第二邏輯區塊所映射的實體區塊。記憶體管理電路還會判斷在將檔案資料寫入至第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤。當未發生程式化錯誤時，記憶體管理電路會將第一虛擬區塊位址映射至第二邏輯區塊。

在一範例實施例中，上述的記憶體管理電路更用以將上述的邏輯區塊至少劃分為儲存區與緩衝區，其中上述至少部份的邏輯區塊被劃分為儲存區，而第二邏輯區塊是屬於緩衝區。當未發生程式化錯誤時，記憶體管理電路會將第二邏輯區塊關聯至儲存區，並將第一邏輯區塊關聯至緩衝區。

在一範例實施例中，上述的記憶體管理電路更用以將實體區塊邏輯地至少分組為一資料區與一閒置區。其中，上述的邏輯區塊是映射至資料區的實體區塊；而第一邏輯區塊是分別地映射至資料區的實體區塊之中的多個第一實體區塊；並且，第二邏輯區塊是分別地映射至資料區的實體區塊之中的多個第二實體區塊。

在一範例實施例中，上述在將檔案資料寫入至邏輯區塊之中的第二邏輯區塊所映射的實體區塊的過程中，記憶體管理電路更用以從閒置區的實體區塊之中選擇多個第三實體區塊。記憶體管理電路會將檔案資料寫入至第三實體

區塊中，將第二邏輯區塊分別地重新映射至第三實體區塊，並且將第二實體區塊關聯至閒置區並且將第三實體區塊關聯至資料區。

在一範例實施例中，上述的記憶體管理電路更用以將屬於第一邏輯區塊的有效資料從第一實體區塊複製到第三實體區塊。

在一範例實施例中，上述的記憶體管理電路更用以建立一虛擬邏輯映射表，以記錄虛擬區塊位址與儲存區的邏輯區塊之間的映射關係。

在一範例實施例中，上述的記憶體管理電路更用以提供上述的多個虛擬區塊位址給執行於主機系統中的多個應用程式，並且建立屬於每一個應用程式的虛擬邏輯映射表。

在一範例實施例中，上述的記憶體管理電路更用以在發生程式化錯誤時，傳送一錯誤訊息給主機系統以回應寫入指令。

基於上述，本發明範例實施例所提出的資料寫入方法、記憶體控制器與記憶體儲存裝置，可確保被分散地儲存至多個邏輯區塊之資料的更新能夠完整。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

[第一範例實施例]

一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電

路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

圖 1A 是根據第一範例實施例所繪示的主機系統與記憶體儲存裝置。

請參照圖 1A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。微處理器 1102 會執行載入至隨機存取記憶體 1104 中的作業系統 1105 與應用程式 1107，以使主機系統 1000 根據使用者之操作而提供對應的功能。輸入/輸出裝置 1106 包括如圖 1B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟 (Solid State Drive, SSD) 1216 等的可複寫式非揮發性記憶體儲存裝置。

一般而言，主機系統 1000 為可實質地與記憶體儲存裝

置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

在本範例實施例中，連接器 102 是相容於安全數位(Secure Digital, SD)介面標準。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準、通用序列匯流排(Universal Serial Bus, USB)標準、序列先進附件(Serial Advanced Technology Attachment, SATA)標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡

(Multi Media Card, MMC)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE) 標準或其他適合的標準。

記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。

可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且用以儲存主機系統 1000 所寫入之資料。可複寫式非揮發性記憶體模組 106 具有實體區塊 304(0)~304(R)。例如，實體區塊 304(0)~304(R)可屬於同一個記憶體晶粒(die)或者屬於不同的記憶體晶粒。每一實體區塊分別具有複數個實體頁面，並且每一實體頁面具有至少一實體扇區，其中屬於同一個實體區塊之實體頁面可被獨立地寫入且被同時地抹除。例如，每一實體區塊是由 128 個實體頁面所組成，並且每一實體頁面具有 8 個實體扇區(sector)。也就是說，在每一實體扇區為 512 位元組(byte)的例子中，每一實體頁面的容量為 4 千位元組(Kilobyte, KB)。然而，必須瞭解的是，本發明不限於此，每一實體區塊是可由 64 個實體頁面、256 個實體頁面或其他任意個實體頁面所組成。

更詳細來說，實體區塊為抹除之最小單位。亦即，每一實體區塊含有最小數目之一併被抹除之記憶胞。實體頁面為程式化的最小單元。即，實體頁面為寫入資料的最小

單元。然而，必須瞭解的是，在本發明另一範例實施例中，寫入資料的最小單位亦可以是實體扇區或其他大小。每一實體頁面通常包括資料位元區與冗餘位元區。資料位元區用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，錯誤檢查與校正碼）。

在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體模組，即一個記憶胞中可儲存至少 2 個位元資料。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞(Single Level Cell, SLC)NAND 快閃記憶體模組、複數階記憶胞（Trinary Level Cell, TLC）NAND 型快閃記憶體模組、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

圖 3 是根據第一範例實施例所繪示之記憶體控制器的概要方塊圖。

請參照圖 3，記憶體控制器 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

記憶體管理電路 202 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，此些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制

指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 202 包括微控制器、記憶體管理單元、記憶體寫入單元、記憶體讀取單元、記憶體抹除單元與資料處理單元。記憶體管理單元、記憶體寫入單元、記憶體讀取單元、記憶體抹除單元與資料處理單元是耦接至微控制器。其中，記憶體管理單元用以管理可複寫式非揮發性記憶體模組 106 的實體區塊；記憶體寫入單元用以對可複寫式非揮發性記憶體模組 106 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 106 中；記憶體讀取單元用以對可

複寫式非揮發性記憶體模組 106 下達讀取指令以從可複寫式非揮發性記憶體模組 106 中讀取資料；記憶體抹除單元用以對可複寫式非揮發性記憶體模組 106 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 106 中抹除；而資料處理單元用以處理欲寫入至可複寫式非揮發性記憶體模組 106 的資料以及從可複寫式非揮發性記憶體模組 106 中讀取的資料。

主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SD 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SATA 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

在本發明一範例實施例中，記憶體控制器 104 還包括緩衝記憶體 252、電源管理電路 254 與錯誤檢查與校正電路 256。

緩衝記憶體 252 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

電源管理電路 254 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

錯誤檢查與校正電路 256 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 256 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 256 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

圖 4 與圖 5 是根據第一範例實施例所繪示之管理可複寫式非揮發性記憶體模組的範例示意圖。

必須瞭解的是，在此描述可複寫式非揮發性記憶體模組 106 之實體區塊的運作時，以“提取”、“交換”、“分組”、“輪替”等詞來操作實體區塊是邏輯上的概念。也就是說，可複寫式非揮發性記憶體模組之實體區塊的實際位置並未更動，而是邏輯上對可複寫式非揮發性記憶體模組的實體

區塊進行操作。

請參照圖 4，記憶體控制器 104 會將可複寫式非揮發性記憶體模組的實體區塊 304(0)~304(R)邏輯地分組為資料區 402、閒置區 404、系統區 406 與取代區 408。

資料區 402 與閒置區 404 的實體區塊是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 402 是已儲存資料的實體區塊，而閒置區 404 的實體區塊是用以替換資料區 402 的實體區塊。因此，閒置區 404 的實體區塊為空或可使用的實體區塊，即無記錄資料或標記為已沒用的無效資料。也就是說，在閒置區 404 中的實體區塊已被執行抹除運作，或者當閒置區 404 中的實體區塊被提取用於儲存資料之前所提取之實體區塊會被執行抹除運作。因此，閒置區 404 的實體區塊為可被使用的實體區塊。

邏輯上屬於系統區 406 的實體區塊是用以記錄系統資料，其中此系統資料包括關於記憶體晶片的製造商與型號、記憶體晶片的實體區塊數、每一實體區塊的實體頁面數等。

邏輯上屬於取代區 408 中的實體區塊是替代實體區塊。例如，可複寫式非揮發性記憶體模組於出廠時會預留 4%的實體區塊作為更換使用。也就是說，當資料區 402、閒置區 404 與系統區 406 中的實體區塊損毀時，預留於取代區 408 中的實體區塊是用以取代損壞的實體區塊(即，壞實體區塊(bad block))。因此，倘若取代區 408 中仍存有正常之實體區塊且發生實體區塊損毀時，記憶體控制器 104

會從取代區 408 中提取正常的實體區塊來更換損毀的實體區塊。倘若取代區 408 中無正常之實體區塊且發生實體區塊損毀時，則記憶體控制器 104 會將整個記憶體儲存裝置 100 宣告為寫入保護(write protect)狀態，而無法再寫入資料。

特別是，資料區 402、閒置區 404、系統區 406 與取代區 408 之實體區塊的數量會依據不同的記憶體規格而有所不同。此外，必須瞭解的是，在記憶體儲存裝置 100 的運作中，實體區塊關聯至資料區 402、閒置區 404、系統區 406 與取代區 408 的分組關係會動態地變動。例如，當閒置區中的實體區塊損壞而被取代區的實體區塊取代時，則原本取代區的實體區塊會被關聯至閒置區。

請參照圖 5，如上所述，資料區 402 與閒置區 404 的實體區塊是以輪替方式來儲存主機系統 1000 所寫入之資料。在本範例實施例中，記憶體控制器 104 的記憶體管理電路 202 會配置邏輯區塊 LBA(0)~ LBA(D)以利於在以上述輪替方式來儲存資料之實體區塊中進行資料存取。具體來說，邏輯區塊 LBA(0)~ LBA(D)分別地具有多個邏輯頁面，並且邏輯區塊 LBA(0)~LBA(D)初始地映射至資料區 402 的實體區塊 304(0)~304(D)，其中一個邏輯區塊會映射資料區 402 中的一個實體區塊。例如，記憶體管理電路 202 會建立邏輯區塊-實體區塊映射表(logical block-physical block mapping table)，以記錄邏輯區塊與實體區塊之間的映射關係。

在本發明範例實施例中，記憶體控制器 104 的記憶體管理電路 202 會將邏輯區塊 LBA(0)~LBA(D)區分為儲存區與緩衝區，配置虛擬區塊位址以映射儲存區的邏輯區塊，並且將所配置的虛擬區塊位址提供給主機系統 1000 的應用程式進行存取，其中一個虛擬區塊位址是映射一個邏輯區塊。特別是，儲存區與緩衝區的邏輯區塊是以輪替方式來映射虛擬區塊位址。也就是說，當原先關聯至緩衝區的一個邏輯區塊若被映射至一個虛擬區塊位址，此邏輯區塊會被關聯至儲存區；並且當原先關聯至儲存區的一個邏輯區塊不再被映射至一個虛擬區塊位址時，此邏輯區塊會被關聯至緩衝區。

圖 6 是根據第一範例實施例說明主機系統的應用程式存取虛擬區塊位址的示意圖。

請參照圖 6，記憶體管理電路 202 將邏輯區塊 LBA(0)~LBA(D)劃分出儲存區 620 與緩衝區 640。例如，儲存區 620 包括邏輯區塊 LBA(A)~LBA(B)，而緩衝區 640 包括邏輯區塊 LBA(B+1)~LBA(C)。並且，記憶體管理電路 202 會將儲存區 620 與緩衝區 640 的邏輯區塊映射到資料區 402 的實體區塊 304(0)~304(M)。特別的是，記憶體管理電路 202 會配置虛擬區塊位址 602(0)~602(E)以映射至儲存區 620 中的邏輯區塊 LBA(A)~LBA(B)，並且將虛擬區塊位址 602(0)~602(E)提供給主機系統 1000，使得安裝在主機系統 1000 的應用程式 1107 可以存取虛擬區塊位址 602(0)~602(E)。值得注意的是，由於虛擬區塊位址

602(0)~602(E)只映射至邏輯區塊 LBA(A)~LBA(B)，因此主機系統 1000 並無法存取邏輯區塊 LBA(B+1)~LBA(C)。

此外，儘管在本範例實施例中，邏輯區塊 LBA(0)~LBA(D)是被至少劃分出儲存區 620 與緩衝區 640 來進行說明，但本發明並不在此限，在本發明另一範例實施例中，邏輯區塊 LBA(0)~LBA(D)亦被劃分為更多個區域來進行管理。並且，本發明並不限制儲存區 620 與緩衝區 640 中所包括的邏輯區塊個數。

例如，在一範例實施例中，記憶體管理電路 202 會建立屬於應用程式 1107 的一個虛擬邏輯映射表，用以記錄虛擬區塊位址 602(0)~602(E)與儲存區 620 的邏輯區塊 LBA(A)~LBA(B)之間的映射關係。

圖 7 是根據第一範例實施例說明進行寫入運作時調整邏輯區塊與實體區塊之間的映射關係的範例示意圖。

請參照圖 7，在此假設應用程式 1107 下達將檔案資料 702 寫入至虛擬區塊位址 602(0)的虛擬區域 704 與虛擬區塊位址 602(1)的虛擬區域 706(在此，虛擬區塊位址 602(0)與 602(1)亦被稱為第一虛擬區塊位址)的寫入指令給記憶體儲存裝置 100。也就是說，檔案資料 702 會包括多個片段，並且應用程式 1107 欲將此些片段分別地儲存至虛擬區域 704 以及虛擬區域 706。例如，虛擬區域 704 以及虛擬區域 706 包括了一個或多個虛擬位址以供應用程式 1107 來存取。特別的是，在本範例實施例中，欲寫入至虛擬區域 704 與虛擬區域 706 的檔案資料 702 是屬於同一個檔

案，因此，記憶體管理電路 202 能夠確保虛擬區域 704 與虛擬區域 706 所儲存之檔案資料的更新是完整的。

例如，記憶體管理電路 202 在接收到此寫入指令以後，可根據虛擬邏輯映射表找到映射至虛擬區塊位址 602(0)的邏輯區塊 LBA(A)，以及映射至虛擬區塊位址 602(1)的邏輯區塊 LBA(A+1)(在此，邏輯區塊 LBA(A)與 LBA(A+1)亦被統稱為第一邏輯區塊)。在圖 7 所示之範例中，邏輯區塊 LBA(A)與 LBA(A+1)是分別映射至資料區 402 的實體區塊 304(0)與 304(1)(在此，實體區塊 304(0)與 304(1)亦被統稱為第一實體區塊)。此外，邏輯區塊 LBA(A)包括映射至虛擬區域 708 的邏輯區域 718 以及映射至虛擬區域 704 的邏輯區域 714，並且邏輯區塊 LBA(A+1)包括映射至虛擬區域 706 的邏輯區域 716 與映射至虛擬區域 709 的邏輯區域 719。此外，邏輯區域 718 原始是映射至實體區塊 304(0)的實體區域 728；邏輯區域 714 原始是映射實體區塊 304(0)的至實體區域 724；邏輯區域 716 原始是映射至實體區塊 304(1)中的實體區域 726；並且邏輯區域 719 是原始映射至實體區塊 304(1)的實體區域 729。

從上述映射關係可以得知，應用程式 1107 是要根據檔案資料 702 來更新儲存在實體區域 724 與實體區域 726 中的資料。然而，在另一範例實施例中，虛擬區域 708 可以映射至邏輯區域 714，並且邏輯區域 718 可以映射至實體區域 724，本發明不限制虛擬區域、邏輯區域以及實體區域之間的映射關係。

在本範例實施例中，在接收到此寫入指令時，記憶體管理電路 202 會將檔案資料 702 寫入至緩衝區 640 的邏輯區塊 $LBA(B+1)$ 與 $LBA(B+2)$ (亦被稱為第二邏輯區塊) 所映射的實體區塊。具體來說，邏輯區塊 $LBA(B+1)$ 包括邏輯區域 738 與邏輯區域 734，並且邏輯區塊 $LBA(B+2)$ 包括邏輯區域 736 與邏輯區域 739。並且，邏輯區塊 $LBA(B+1)$ 原始是映射至資料區 402 的實體區塊 304(2) 並且邏輯區塊 $LBA(B+2)$ 原始是映射至資料區 402 的實體區塊 304(3) (在此，實體區塊 304(2) 與 304(3) 亦被統稱為第二實體區塊)。記憶體管理電路 202 會下達寫入指令給可複寫式非揮發性記憶體模組 106 以指示將檔案資料 702 寫入至邏輯區域 734 與 736 所對應的實體區域。值得注意的是，由於實體區塊在被抹除之前無法寫入新的資料，因此，記憶體管理電路 202 會從閒置區 404 中提取實體區塊 304(D+1) 與 304(D+2) (在此，實體區塊 304(D+1) 與 304(D+2) 亦被統稱為第三實體區塊)，用以將檔案資料 702 寫入。然而，本發明不限於此，本發明亦可用第二實體區塊 (實體區塊 304(2) 與 304(3)) 將檔案資料 702 寫入。

在本範例實施例中，一個邏輯區域可包括一或多個邏輯位址，一個實體區域可包括一或多個實體位址。邏輯區域中的邏輯位址是用以映射至虛擬區域中的虛擬位址，以及實體區域中的實體位址。例如，邏輯區域 718 包括一或多個邏輯位址，以映射至虛擬區域 708 中的一或多個虛擬位址與實體區域 728 中的一或多個實體位址。

圖 8 是根據圖 7 的範例繪示將檔案資料寫入至實體區塊的示意圖。

請參照圖 8，由於原始映射邏輯區塊 $LBA(A)$ 與 $LBA(A+1)$ 的實體區塊 304(0)與 304(1)儲存有未被更新的資料(亦稱為有效資料)，因此，除了將檔案資料 702 寫入至實體區塊 304(D+1)與 304(D+2)以外，記憶體管理電路 202 也會將實體區塊 304(0)與 304(1)中的有效資料(即，實體區域 728 與 729 中所儲存的資料)複製到實體區塊 304(D+1)與 304(D+2)中。另一方面，由於一個實體區塊所包括的實體頁面必須依序的被程式化，因此記憶體管理電路 202 會先將實體區域 728 所儲存的有效資料複製到實體區域 808，再將部份的檔案資料 702 寫入至實體區域 804。類似地，記憶體管理電路 202 會先將其他部份的檔案資料 702 寫入至實體區域 806，再將實體區域 729 所儲存的有效資料複製到實體區域 809。最後，記憶體管理電路 202 會將實體區塊 304(D+1)重新映射至邏輯區塊 $LBA(B+1)$ ，並將實體區塊 304(D+2)重新映射至邏輯區塊 $LBA(B+2)$ 。

請參照回圖 7，在將邏輯區塊 $LBA(B+1)$ 與 $LBA(B+2)$ 重新映射至實體區塊 304(D+1)與 304(D+2)後，記憶體管理電路 202 會將實體區塊 304(D+1)與 304(D+2)關聯至資料區 402，並將實體區塊 304(2)與 304(3)關聯至閒置區 404。也就是說，由於實體區塊 304(2)與 304(3)所儲存的資料已是舊資料，因此可以被關聯至閒置區 404，並且在經過抹除以後便於下次執行寫入運作或其他運作時用來寫入資料。

此外，順利完成實體區塊 304(D+1)與 304(D+2)的程式化(即，未發生程式化錯誤)後，記憶體管理電路 202 會將虛擬區塊位址 602(0)重新映射至邏輯區塊 LBA(B+1)，並將虛擬區塊位址 602(1)重新映射至邏輯區塊 LBA(B+2)。

值得注意的是，在本範例實施例中，倘若在將檔案資料 702 寫入至實體區塊 304(D+1)與 304(D+2)的期間發生程式化錯誤時，記憶體管理電路 202 會維持虛擬區塊位址 602(0)與 602(1)與邏輯區塊 LBA(A)與 LBA(A+1)之間的映射關係，並且傳送一個錯誤訊息給主機系統 1000 以回應所接收的寫入指令。具體來說，如上所述，虛擬區域 704 與 706 所儲存之的資料是屬於同一個檔案，因此，必須確保虛擬區域 704 與 706 所儲存之資料的完整性(即，皆是舊資料或皆為已被更新的資料)。因此，在本範例實施例中，記憶體管理電路 202 會在確認實體區塊 304(D+1)與 304(D+2)皆成功地完成程式化後，才將虛擬區塊位址 602(0)與虛擬區塊位址 602(1)重新映射至邏輯區塊 LBA(B+1)與 LBA(B+2)，以確保虛擬區域 704 與 706 所儲存之的資料皆為已更新資料；並且當實體區塊 304(D+1)與 304(D+2)的任一個未完成程式化時，會維持虛擬區塊位址 602(0)與 602(1)與邏輯區塊 LBA(A)與 LBA(A+1)之間的映射關係，以確保虛擬區域 704 與 706 所儲存之的資料皆為舊資料。

特別是，在確認順利完成程式化後並且將虛擬區塊位址 602(0)與虛擬區塊位址 602(1)重新映射至邏輯區塊 LBA(B+1)與 LBA(B+2)後，記憶體管理電路 202 會將邏輯

區塊 $LBA(A)$ 與 $LBA(A+1)$ 關聯至緩衝區 640，並將邏輯區塊 $LBA(B+1)$ 與 $LBA(B+2)$ 關聯至儲存區 620。也就是說，由於邏輯區塊 $LBA(A)$ 與 $LBA(A+1)$ 所儲存的資料為無效資料因此可以被關聯至緩衝區 640 並被使用於執行下個寫入指令的過程中。

值得注意的是，在另一範例實施例中，在指示將檔案資料 702 寫入至邏輯區塊 $LBA(B+1)$ 所映射的實體區塊時，記憶體管理電路 202 可以先寫入屬於邏輯區域 734 的資料，再將屬於邏輯區域 718 的有效資料複製到邏輯區域 738 所映射的實體區塊中，本發明並不在此限。

值得一提的是，儘管在本範例實施例中，是將所有虛擬區塊位址分配給安裝於主機系統的一個應用程式來存取，然而本發明不限於此。在一範例實施例中，主機系統 1000 上可執行多個應用程式。特別的是，記憶體管理電路 202 會分配多個虛擬區塊位址給每一個應用程式。並且，對於每一個應用程式，記憶體管理電路 202 會建立屬於各個應用程式的虛擬邏輯映射表。如此一來，記憶體管理電路 202 在接收到各個應用程式所下達的存取虛擬區塊位址的寫入指令時，便可以根據各自的虛擬邏輯映射表找到正確映射的邏輯區塊。

圖 9 是根據一範例實施例繪示資料寫入方法的流程圖。

請參照圖 9，在步驟 S904 中，記憶體管理電路 202 會配置多個虛擬區塊位址 $602(0) \sim 602(E)$ 以映射至少部份

(例如，儲存區 620)的邏輯區塊，並將虛擬區塊位址 602(0)~602(E)提供給主機系統 1000。

在步驟 S906 中，記憶體管理電路 202 會從主機系統 1000 接收用以指示將檔案資料寫入至多個虛擬區塊位址(以下稱為第一虛擬區塊位址)的一個寫入指令，其中第一虛擬區塊位址是映射至上述至少部份的多個邏輯區塊(以下稱為第一邏輯區塊)。

在步驟 S908 中，記憶體管理電路 202 會將上述的檔案資料寫入多個邏輯區塊(以下稱為第二邏輯區塊)所映射的實體區塊中。將資料寫入至第二邏輯區塊所映射的實體區塊中的運作已配合圖 8 詳細描述如上，在此不再重複描述。

之後，在步驟 S910 中，記憶體管理電路 202 會判斷在將檔案資料寫入至第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤。若發生程式化錯誤，則在步驟 S912 中，記憶體管理電路 202 會傳送一錯誤訊息給主機系統 1000 以回應上述寫入指令。

若未發生程式化錯誤，則在步驟 S914 中，記憶體管理電路 202 會將第一虛擬區塊位址重新映射至第二邏輯區塊。在此，將第一虛擬區塊位址重新映射至第二邏輯區塊的運作以配合圖 7 詳細描述如上，在此不再重複描述。

[第二範例實施例]

第二範例實施例與第一範例實施例類似，以下僅就不同之處加以說明。在第一範例實施例中，儲存區與緩衝區

的邏輯區塊皆是映射到資料區的實體區塊。然而，在第二範例實施例中，儲存區的邏輯區塊是映射至資料區的實體區塊，但緩衝區的邏輯區塊是映射至閒置區的實體區塊。

圖 10 是根據第二範例實施例說明主機系統的應用程式存取虛擬區塊位址的示意圖。

請參照圖 10，記憶體管理電路 202 會將邏輯區塊 LBA(0)~LBA(D)至少劃分出儲存區 1020 與緩衝區 1040。儲存區 1020 包括了邏輯區塊 LBA(F)~LBA(G)，而緩衝區 1040 包括了邏輯區塊 LBA(G+1)~LBA(H)。值得注意的是，邏輯區塊 LBA(F)~LBA(G)是映射至資料區 402 中的實體區塊 304(0)~304(K)，而邏輯區塊 LBA(G+1)~LBA(H)是映射至閒置區 404 中的實體區塊 304(D+1)~304(P)。在此範例實施例中，由於分配給應用程式 1107 的虛擬區塊位址 602(0)~602(E) 僅映射至儲存區 1020 的邏輯區塊 LBA(F)~LBA(G)，因此應用程式 1107 並無法直接存取緩衝區 1040 的邏輯區塊 LBA(G+1)~LBA(H)。與第一範例實施例相同的是，在記憶體管理電路 202 接收到指示將一檔案資料寫入至虛擬區塊位址的寫入指令時，會先將此檔案資料寫入至緩衝區 1040。並且，在確定寫入此檔案資料時沒有發生程式化錯誤以後，記憶體管理電路 202 才會改變虛擬區塊位址與邏輯區塊之間的映射關係。

圖 11 是根據第二範例實施例說明進行寫入運作時調整邏輯區塊與實體區塊之間的映射關係的範例示意圖。

請參照圖 11，當接收到欲將檔案資料 702 寫入至虛擬

區塊位址 602(0)與 602(1)(亦稱第一虛擬區塊位址)的寫入指令以後，記憶體管理電路 202 會根據虛擬邏輯映射表找到映射至虛擬區塊位址 602(0)的邏輯區塊 LBA(F)與映射至虛擬區塊位址 602(1)的邏輯區塊 LBA(F+1)(在此，邏輯區塊 LBA(F)與 LBA(F+1)亦統稱為第一邏輯區塊)。其中，邏輯區塊 LBA(F)是原始映射至實體區塊 304(0)，而邏輯區塊 LBA(F+1)是原始映射至實體區塊 304(1)。也就是說，在此範例實施例中，主機系統 1000 是要根據檔案資料 702 來更新儲存在實體區塊 304(0)與 304(1)的資料。特別的是，記憶體管理電路會將檔案資料 702 指示寫入至邏輯區塊 LBA(G+1)與 LBA(G+2)(亦稱為第二邏輯區塊)。其中，邏輯區塊 LBA(G+1)是原始映射至實體區塊 304(D+1)，而邏輯區塊 LBA(G+2)是原始映射至實體區塊 304(D+2)。由於一個實體區塊必須先被抹除才能被重新寫入，因此記憶體管理電路 202 會提取實體區塊 304(D+3)與 304(D+4)來寫入檔案資料 702。

記憶體管理電路 202 會將儲存在實體區塊 304(0)的有效資料複製至實體區塊 304(D+3)，並將檔案資料 702 的一部分寫入至實體區塊 304(D+3)。並且，記憶體管理電路 202 會將儲存在實體區塊 304(1)的有效資料複製至實體區塊 304(D+4)，並將檔案資料 702 的另一部分寫入至實體區塊 304(D+4)。在將檔案資料 702 寫入至實體區塊 304(D+3)與 304(D+4)的過程中，記憶體管理電路 202 還會判斷是否發生一程式化錯誤。若沒有，則會將虛擬區塊位址 602(0)映

射至邏輯區塊 $LBA(G+1)$ ，將虛擬區塊位址 $602(1)$ 映射至邏輯區塊 $LBA(G+2)$ 。並且，邏輯區塊 $LBA(G+1)$ 與 $LBA(G+2)$ 會被關聯至儲存區 1020，而邏輯區塊 $LBA(F)$ 與 $LBA(F+1)$ 會被關聯至緩衝區 1040。如此一來，可以確保虛擬區塊位址 $602(0)$ 與 $602(1)$ 所儲存的資料的完整性。

與第一範例實施例不同的是，原始映射至邏輯區塊 $LBA(G+1)$ 與 $LBA(G+2)$ 的實體區塊 $304(D+1)$ 和 $304(D+2)$ 是屬於閒置區 404，故在本範例實施例中，記憶體管理電路 202 亦可將儲存在實體區塊 $304(0)$ 的有效資料複製至實體區塊 $304(D+1)$ ，並將檔案資料 702 的一部分寫入至實體區塊 $304(D+1)$ 。並且，記憶體管理電路 202 會將儲存在實體區塊 $304(1)$ 的有效資料複製至實體區塊 $304(D+2)$ ，並將檔案資料 702 的另一部分寫入至實體區塊 $304(D+2)$ 。

綜上所述，本發明範例實施例所提出的資料寫入方法、記憶體控制器與記憶體儲存裝置，是將檔案資料寫入的過程分為虛擬區塊位址、邏輯區塊與實體區塊三個層級來管理。並且，當在判斷實體區塊的程式化過程沒有發生程式化錯誤時，才會更新虛擬區塊位址與邏輯區塊之間的映射關係。如此一來，當欲寫入的資料是對應到多個實體區塊，且發生程式化錯誤時，可以確保虛擬區塊位址所儲存的資料的完整性，由此避免屬於同一個檔案之資料的一部份被更新，而另一部未被更新的情形。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離

本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是根據第一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 1B 是根據第一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據第一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3 是根據第一範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 4 與圖 5 是根據第一範例實施例所繪示之管理可複寫式非揮發性記憶體模組的範例示意圖。

圖 6 是根據第一範例實施例說明主機系統的應用程式存取虛擬區塊位址的示意圖。

圖 7 是根據第一範例實施例說明進行寫入運作時調整邏輯區塊與實體區塊之間的映射關係的範例示意圖。

圖 8 是根據圖 7 的範例繪示將檔案資料寫入至實體區塊的示意圖。

圖 9 是根據一範例實施例繪示資料寫入方法的流程圖。

圖 10 是根據第二範例實施例說明主機系統的應用程式存取虛擬區塊位址的示意圖。

圖 11 是根據第二範例實施例說明進行寫入運作時調整邏輯區塊與實體區塊之間的映射關係的範例示意圖。

【主要元件符號說明】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1105：作業系統
- 1106：輸入/輸出裝置
- 1107：應用程式
- 1108：系統匯流排
- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置

- 100：記憶體儲存裝置
- 102：連接器
- 104：記憶體控制器
- 106：可複寫式非揮發性記憶體模組
- 304(0)~304(R)：實體區塊
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 254：電源管理電路
- 252：緩衝記憶體
- 256：錯誤檢查與校正電路
- 402：資料區
- 404：閒置區
- 406：系統區
- 408：取代區
- LBA(0)~LBA(D)：邏輯區塊
- 602(0)~602(E)：虛擬區塊位址
- 620、1020：儲存區
- 640、1040：緩衝區
- 702：檔案資料
- 704、706、708、709：虛擬區域
- 714、716、718、719、734、736、738、739：邏輯區域
- 724、726、728、729、804、806、808、809：實體區域
- S904、S906、S908、S910、S912、S914：資料寫入方法的步驟

七、申請專利範圍：

1. 一種資料寫入方法，用於一可複寫式非揮發性記憶體模組，該可複寫式非揮發性記憶體模組包括多個實體區塊，其中多個邏輯區塊會被配置以映射至部分的該些實體區塊，該資料寫入方法包括：

配置多個虛擬區塊位址以映射至至少部分的該些邏輯區塊，並將該些虛擬區塊位址提供給一主機系統；

接收來自該主機系統的一寫入指令，其中該寫入指令是指示將一檔案資料寫入至該些虛擬區塊位址之中的多個第一虛擬區塊位址，該些第一虛擬區塊位址是映射至該至少部分的該些邏輯區塊之中的多個第一邏輯區塊；

將該檔案資料寫入至該些邏輯區塊之中的多個第二邏輯區塊所映射的實體區塊；

判斷在將該檔案資料寫入至該些第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤；以及

當未發生該程式化錯誤時，將該些第一虛擬區塊位址映射至該些第二邏輯區塊。

2. 如申請專利範圍第 1 項所述的資料寫入方法，更包括：

將該些邏輯區塊至少劃分為一儲存區與一緩衝區，其中該至少部分的該些邏輯區塊被劃分為該儲存區，該些第二邏輯區塊是屬於該緩衝區，

其中當未發生該程式化錯誤時，將該些第一虛擬區塊位址映射至該些第二邏輯區塊的步驟還包括：

將該些第二邏輯區塊關聯至該儲存區，並將該些第一邏輯區塊關聯至該緩衝區。

3. 如申請專利範圍第 1 項所述的資料寫入方法，更包括：

將該些實體區塊邏輯地至少分組為一資料區與一閒置區，其中該些邏輯區塊是映射至該資料區的實體區塊，該些第一邏輯區塊是分別地映射至該資料區的實體區塊之中的多個第一實體區塊並且該些第二邏輯區塊是分別地映射至該資料區的實體區塊之中的多個第二實體區塊，其中該資料區的實體區塊是已儲存資料的實體區塊且該閒置區的實體區塊用以替換該資料區的實體區塊。

4. 如申請專利範圍第 3 項所述的資料寫入方法，其中將該檔案資料寫入至該些邏輯區塊之中的該些第二邏輯區塊所映射的實體區塊的步驟包括：

從該閒置區的實體區塊之中選擇多個第三實體區塊；

將該檔案資料寫入至該些第三實體區塊中；

將該些第二邏輯區塊分別地重新映射至該些第三實體區塊；以及

將該些第二實體區塊關聯至該閒置區並且將該些第三實體區塊關聯至該資料區。

5. 如申請專利範圍第 4 項所述的資料寫入方法，更包括：

將屬於該些第一邏輯區塊的有效資料從該些第一實體區塊複製到該些第三實體區塊。

6. 如申請專利範圍第 2 項所述的資料寫入方法，更包括：

建立一虛擬邏輯映射表，用以記錄該些虛擬區塊位址與該儲存區的該些邏輯區塊之間的一映射關係。

7. 如申請專利範圍第 6 項所述的資料寫入方法，其中配置該些虛擬區塊位址以映射至該儲存區的該些邏輯區塊，並將該些虛擬區塊位址提供給該主機系統的步驟包括：

提供該些虛擬區塊位址給執行於該主機系統中的多個應用程式；

其中建立該虛擬邏輯映射表的步驟包括：

建立屬於每一該些應用程式的該虛擬邏輯映射表。

8. 如申請專利範圍第 1 項所述的資料寫入方法，更包括：

當發生該程式化錯誤時，傳送一錯誤訊息給該主機系統以回應該寫入指令。

9. 如申請專利範圍第 1 項所述的資料寫入方法，其中該些第一邏輯區塊是映射至該些實體區塊中的多個第一實體區塊，該些第二邏輯區塊是映射至該些實體區塊中的多個第二實體區塊，並且將該檔案資料寫入至該些邏輯區塊之中的該些第二邏輯區塊所映射的實體區塊的步驟包括：

將該檔案資料寫入至該些第二實體區塊當中；以及

將屬於該些第一邏輯區塊的有效資料從該些第一實體區塊複製到該些第二實體區塊。

10. 一種記憶體儲存裝置，包括：

一連接器，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，包括多個實體區塊，其中多個邏輯區塊會被配置以映射至部分的該些實體區塊；以及

一記憶體控制器，耦接至該連接器與該可複寫式非揮發性記憶體模組；

其中，該記憶體控制器配置多個虛擬區塊位址以映射至至少部分的該些邏輯區塊，並將該些虛擬區塊位址提供給該主機系統；

其中，該記憶體控制器接收來自該主機系統的一寫入指令，其中該寫入指令是指示將一檔案資料寫入至該些虛擬區塊位址之中的多個第一虛擬區塊位址，該些第一虛擬區塊位址是映射至該至少部份的該些邏輯區塊之中的多個第一邏輯區塊；

其中，該記憶體控制器將該檔案資料寫入至該些邏輯區塊之中的多個第二邏輯區塊所映射的實體區塊；

其中，該記憶體控制器判斷在將該檔案資料寫入至該些第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤；

當未發生該程式化錯誤時，該記憶體控制器將該些第一虛擬區塊位址映射至該些第二邏輯區塊。

11. 如申請專利範圍第 10 項所述的記憶體儲存裝置，其中該記憶體控制器更用以將該些邏輯區塊至少劃分為一儲存區與一緩衝區，其中該至少部分的該些邏輯區塊

被劃分為該儲存區，該些第二邏輯區塊是屬於該緩衝區，

其中當未發生該程式化錯誤時，該記憶體控制器將該些第二邏輯區塊關聯至該儲存區，並將該些第一邏輯區塊關聯至該緩衝區。

12. 如申請專利範圍第 10 項所述的記憶體儲存裝置，其中該記憶體控制器更用以將該些實體區塊邏輯地至少分組為一資料區與一閒置區，其中該些邏輯區塊是映射至該資料區的實體區塊，該些第一邏輯區塊是分別地映射至該資料區的實體區塊之中的多個第一實體區塊並且該些第二邏輯區塊是分別地映射至該資料區的實體區塊之中的多個第二實體區塊，其中該資料區的實體區塊是已儲存資料的實體區塊且該閒置區的實體區塊用以替換該資料區的實體區塊。

13. 如申請專利範圍第 12 項所述的記憶體儲存裝置，其中在將該檔案資料寫入至該些邏輯區塊之中的該些第二邏輯區塊所映射的實體區塊的過程中，該記憶體控制器更用以從該閒置區的實體區塊之中選擇多個第三實體區塊，將該檔案資料寫入至該些第三實體區塊中，將該些第二邏輯區塊分別地重新映射至該些第三實體區塊，將該些第二實體區塊關聯至該閒置區，並且將該些第三實體區塊關聯至該資料區。

14. 如申請專利範圍第 13 項所述的記憶體儲存裝置，其中該記憶體控制器更用以將屬於該些第一邏輯區塊的有效資料從該些第一實體區塊複製到該些第三實體區

塊。

15. 如申請專利範圍第 11 項所述的記憶體儲存裝置，其中該記憶體控制器更用以建立一虛擬邏輯映射表，以記錄該些虛擬區塊位址與該儲存區的該些邏輯區塊之間的一映射關係。

16. 如申請專利範圍第 15 項所述的記憶體儲存裝置，其中該記憶體控制器更用以提供該些虛擬區塊位址給執行於該主機系統中的多個應用程式，並且建立屬於每一該些應用程式的該虛擬邏輯映射表。

17. 如申請專利範圍第 10 項所述的記憶體儲存裝置，其中該記憶體控制器更用以在發生該程式化錯誤時，傳送一錯誤訊息給該主機系統以回應該寫入指令。

18. 一種記憶體控制器，包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，耦接至一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體區塊，其中多個邏輯區塊會被配置以映射至部分的該些實體區塊；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面；

其中，該記憶體管理電路配置多個虛擬區塊位址以映射至至少部分的該些邏輯區塊，並將該些虛擬區塊位址提供給該主機系統；

其中，該記憶體管理電路接收來自該主機系統的一寫

入指令，其中該寫入指令是指示將一檔案資料寫入至該些虛擬區塊位址之中的多個第一虛擬區塊位址，該些第一虛擬區塊位址是映射至該至少部分的該些邏輯區塊之中的多個第一邏輯區塊；

其中，該記憶體管理電路將該檔案資料寫入至該些邏輯區塊之中的多個第二邏輯區塊所映射的實體區塊；

其中，該記憶體管理電路判斷在將該檔案資料寫入至該些第二邏輯區塊所映射的實體區塊期間是否發生一程式化錯誤；

當未發生該程式化錯誤時，該記憶體管理電路將該些第一虛擬區塊位址映射至該些第二邏輯區塊。

19. 如申請專利範圍第 18 項所述的記憶體控制器，其中該記憶體管理電路更用以將該些邏輯區塊至少劃分為一儲存區與一緩衝區，其中該至少部分的該些邏輯區塊被劃分為該儲存區，該些第二邏輯區塊是屬於該緩衝區，

其中當未發生該程式化錯誤時，該記憶體管理電路將該些第二邏輯區塊關聯至該儲存區，並將該些第一邏輯區塊關聯至該緩衝區。

20. 如申請專利範圍第 18 項所述的記憶體控制器，其中該記憶體管理電路更用以將該些實體區塊邏輯地至少分組為一資料區與一閒置區，其中該些邏輯區塊是映射至該資料區的實體區塊，該些第一邏輯區塊是分別地映射至該資料區的實體區塊之中的多個第一實體區塊並且該些第二邏輯區塊是分別地映射至該資料區的實體區塊之中的多個

第二實體區塊，其中該資料區的實體區塊是已儲存資料的實體區塊且該閒置區的實體區塊用以替換該資料區的實體區塊。

21. 如申請專利範圍第 20 項所述的記憶體控制器，其中在將該檔案資料寫入至該些邏輯區塊之中的該些第二邏輯區塊所映射的實體區塊的過程中，該記憶體管理電路更用以從該閒置區的實體區塊之中選擇多個第三實體區塊，將該檔案資料寫入至該些第三實體區塊中，將該些第二邏輯區塊分別地重新映射至該些第三實體區塊，將該些第二實體區塊關聯至該閒置區，並且將該些第三實體區塊關聯至該資料區。

22. 如申請專利範圍第 21 項所述的記憶體控制器，其中該記憶體管理電路更用以將屬於該些第一邏輯區塊的有效資料從該些第一實體區塊複製到該些第三實體區塊。

23. 如申請專利範圍第 19 項所述的記憶體控制器，其中該記憶體管理電路更用以建立一虛擬邏輯映射表，以記錄該些虛擬區塊位址與該儲存區的該些邏輯區塊之間的一映射關係。

24. 如申請專利範圍第 23 項所述的記憶體控制器，其中該記憶體管理電路更用以提供該些虛擬區塊位址給執行於該主機系統中的多個應用程式，並且建立屬於每一該些應用程式的該虛擬邏輯映射表。

25. 如申請專利範圍第 18 項所述的記憶體控制器，其中該記憶體管理電路更用以在發生該程式化錯誤時，傳送

一錯誤訊息給該主機系統以回應該寫入指令。

八、圖式：

103. 9. 19
年 月 日修正本

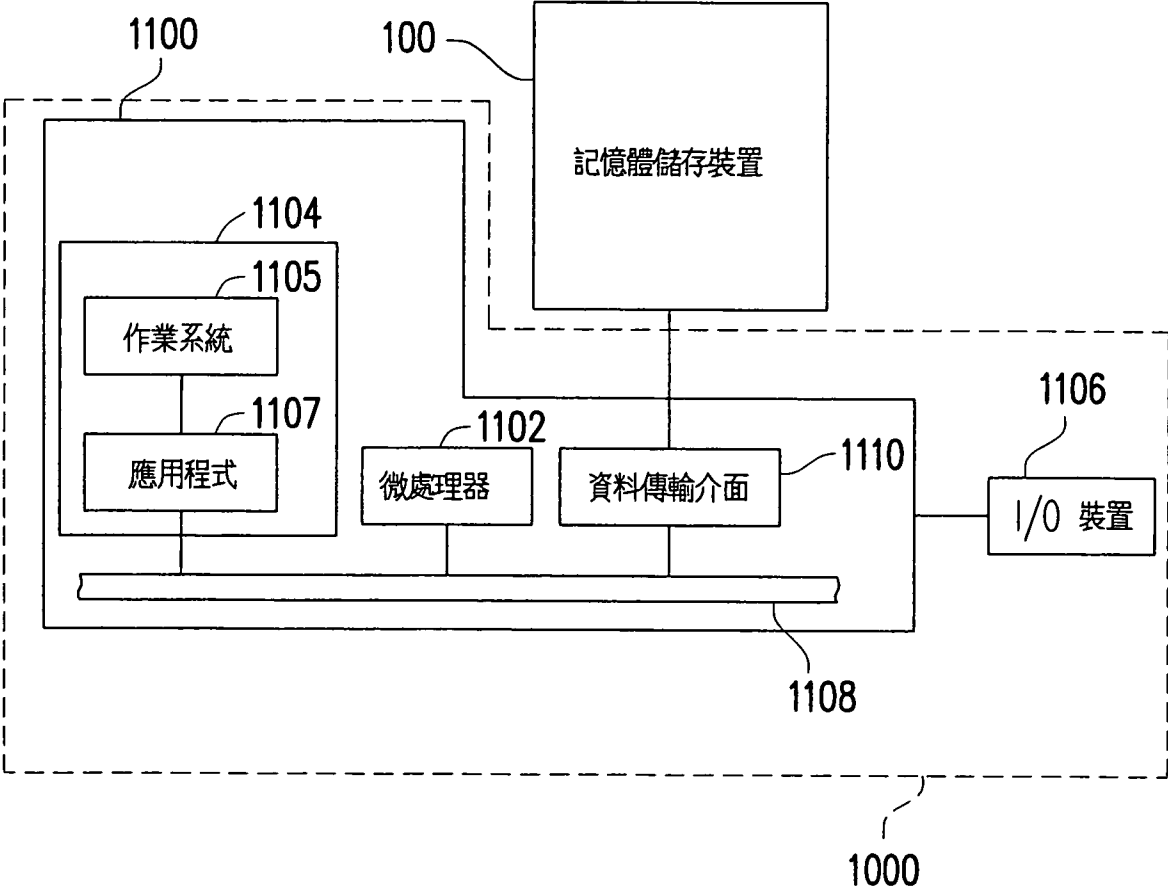


圖 1A

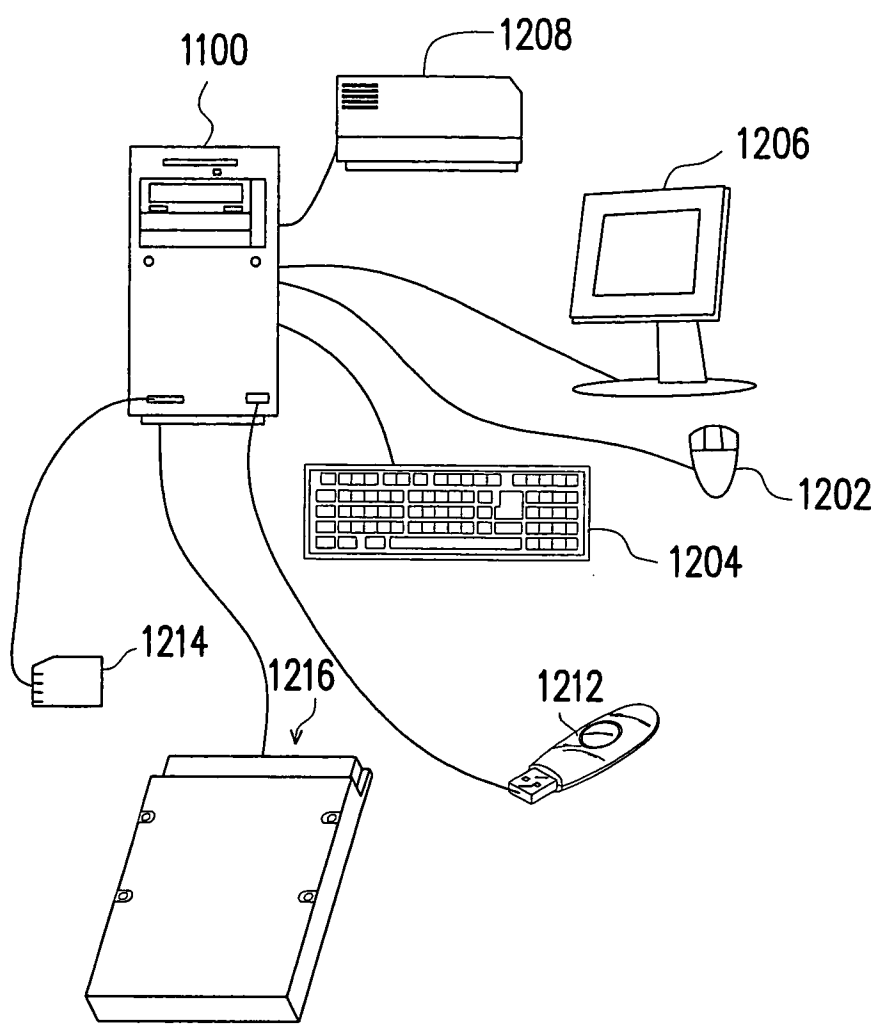


圖 1B

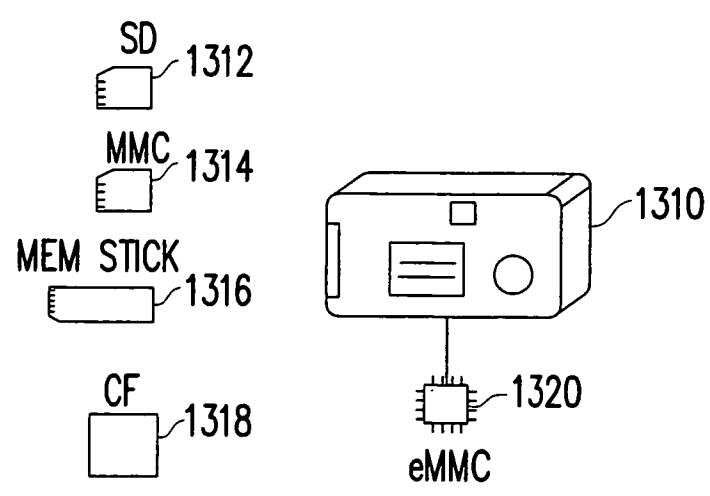


圖 1C

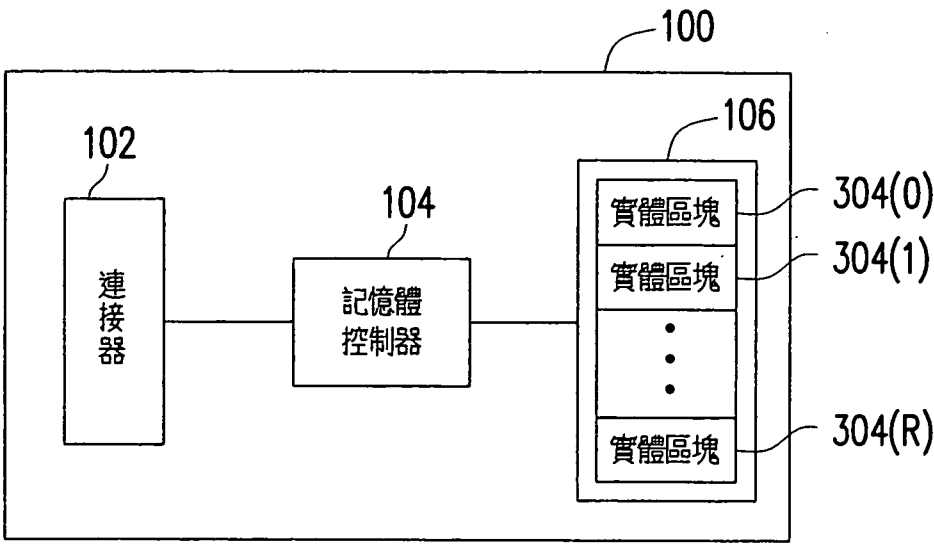


圖 2

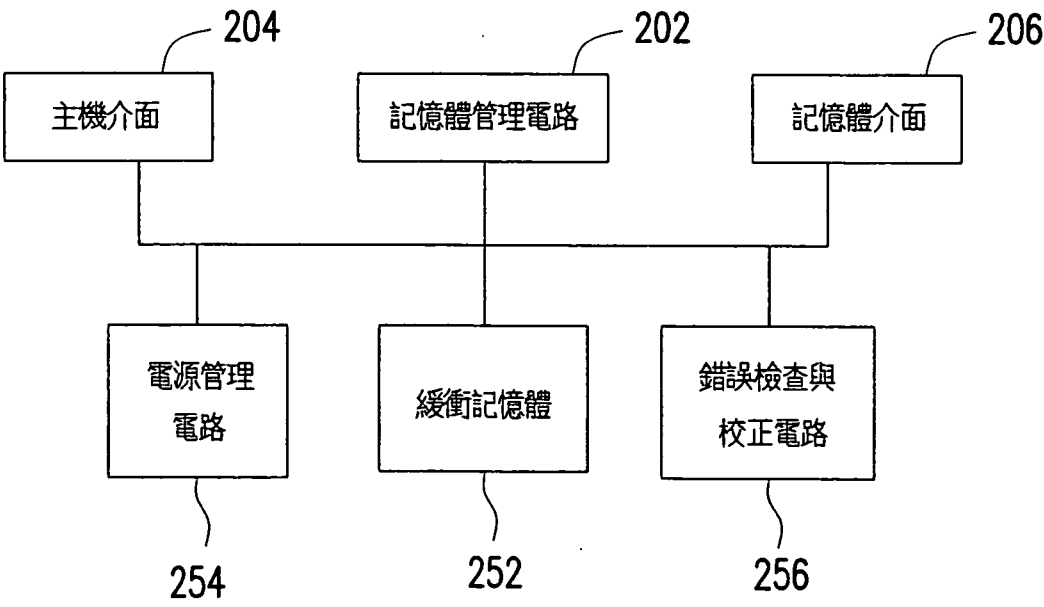


圖 3

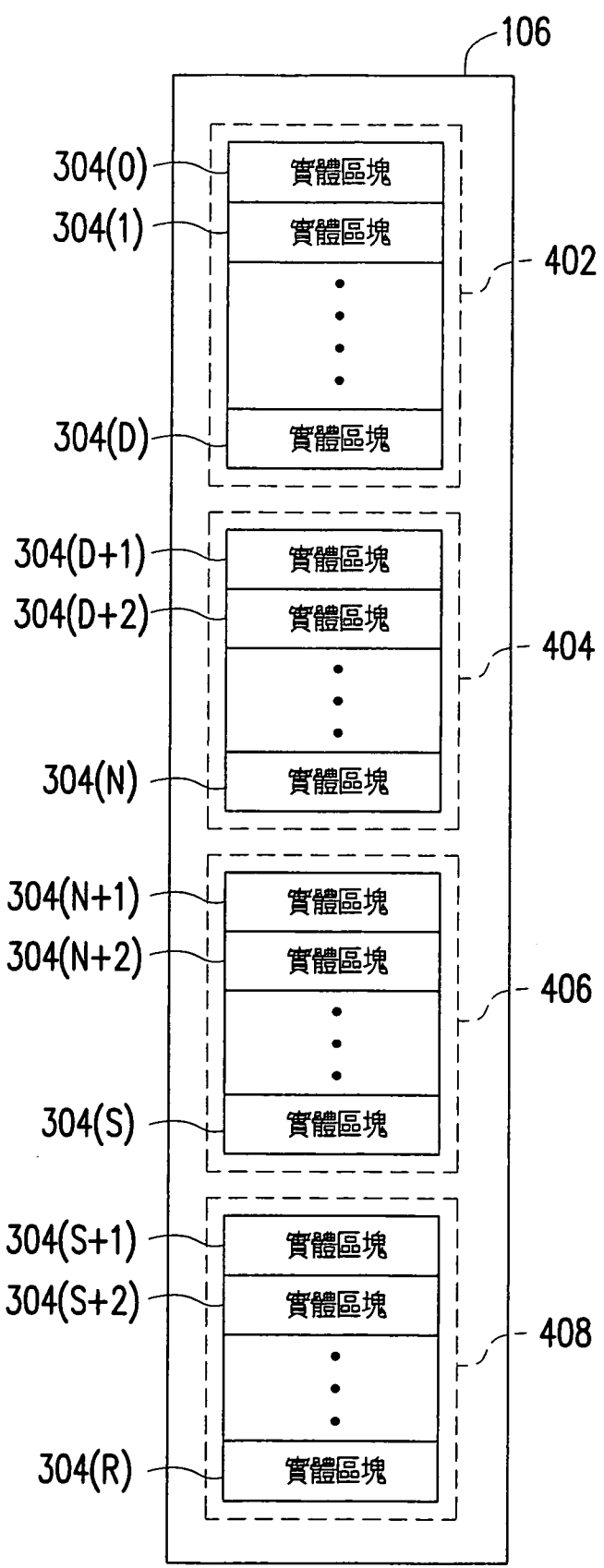


圖 4

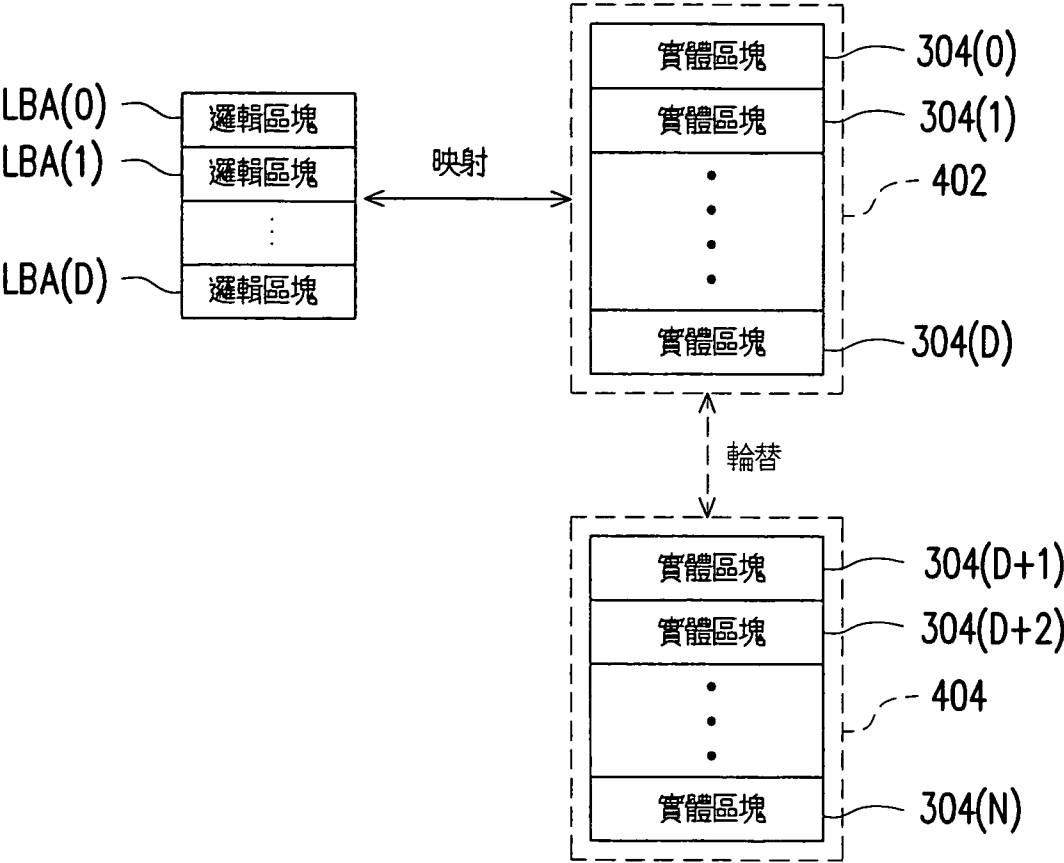


圖 5

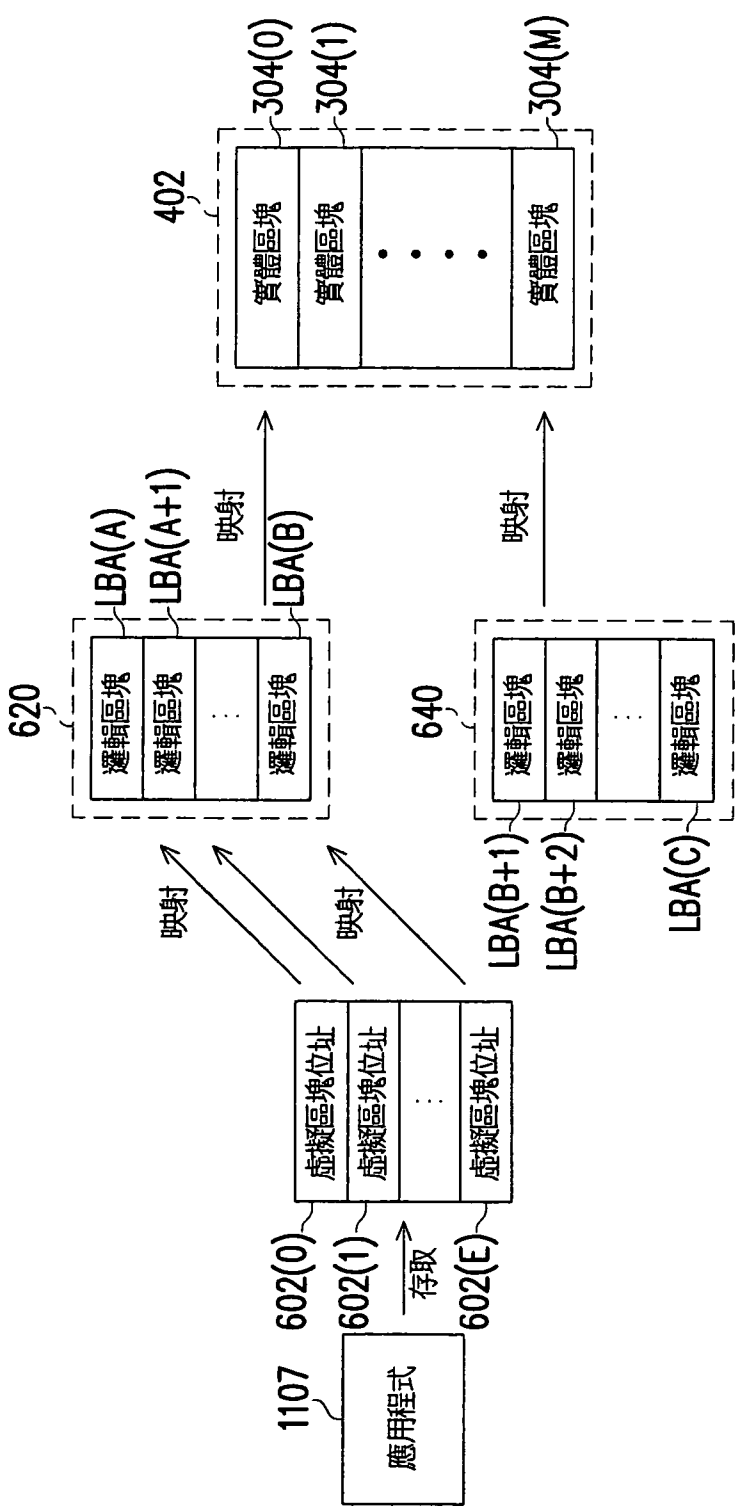


圖6

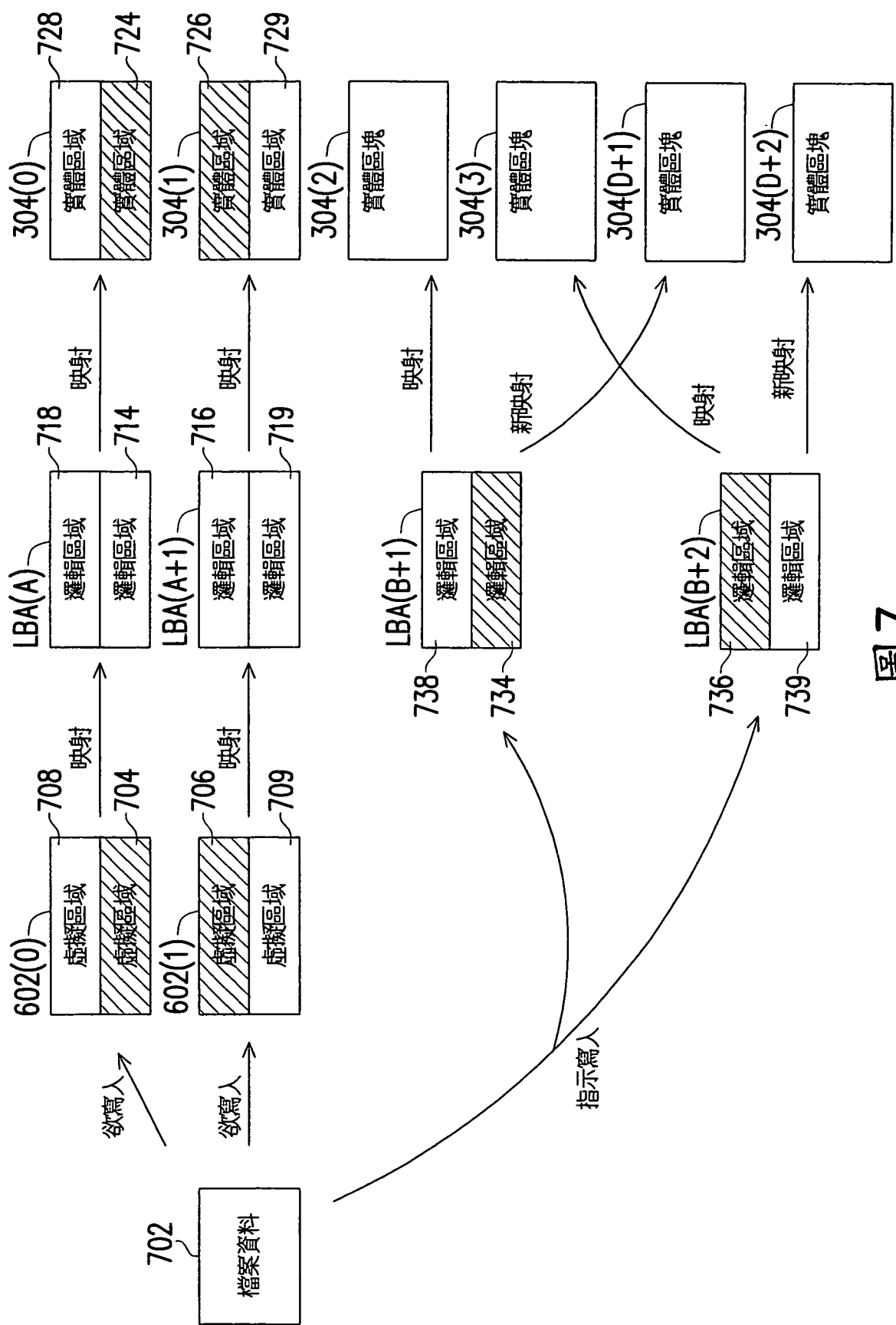


圖7

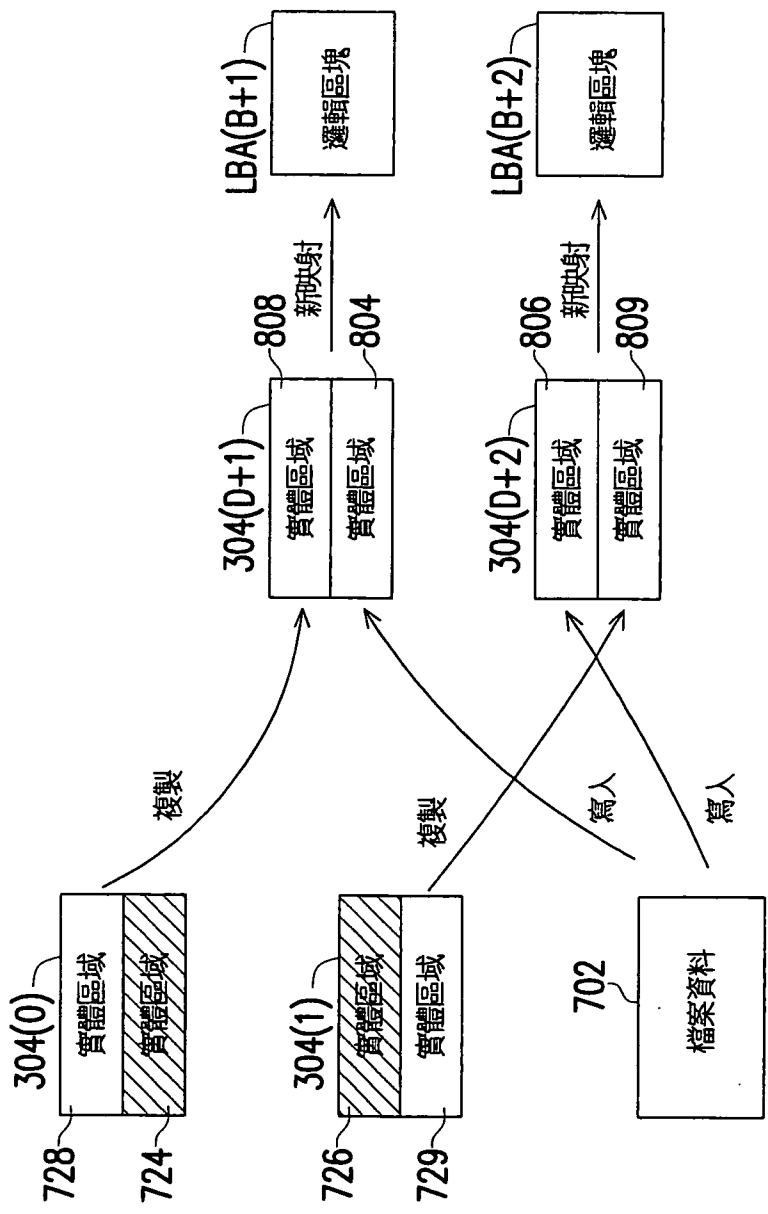


圖 8

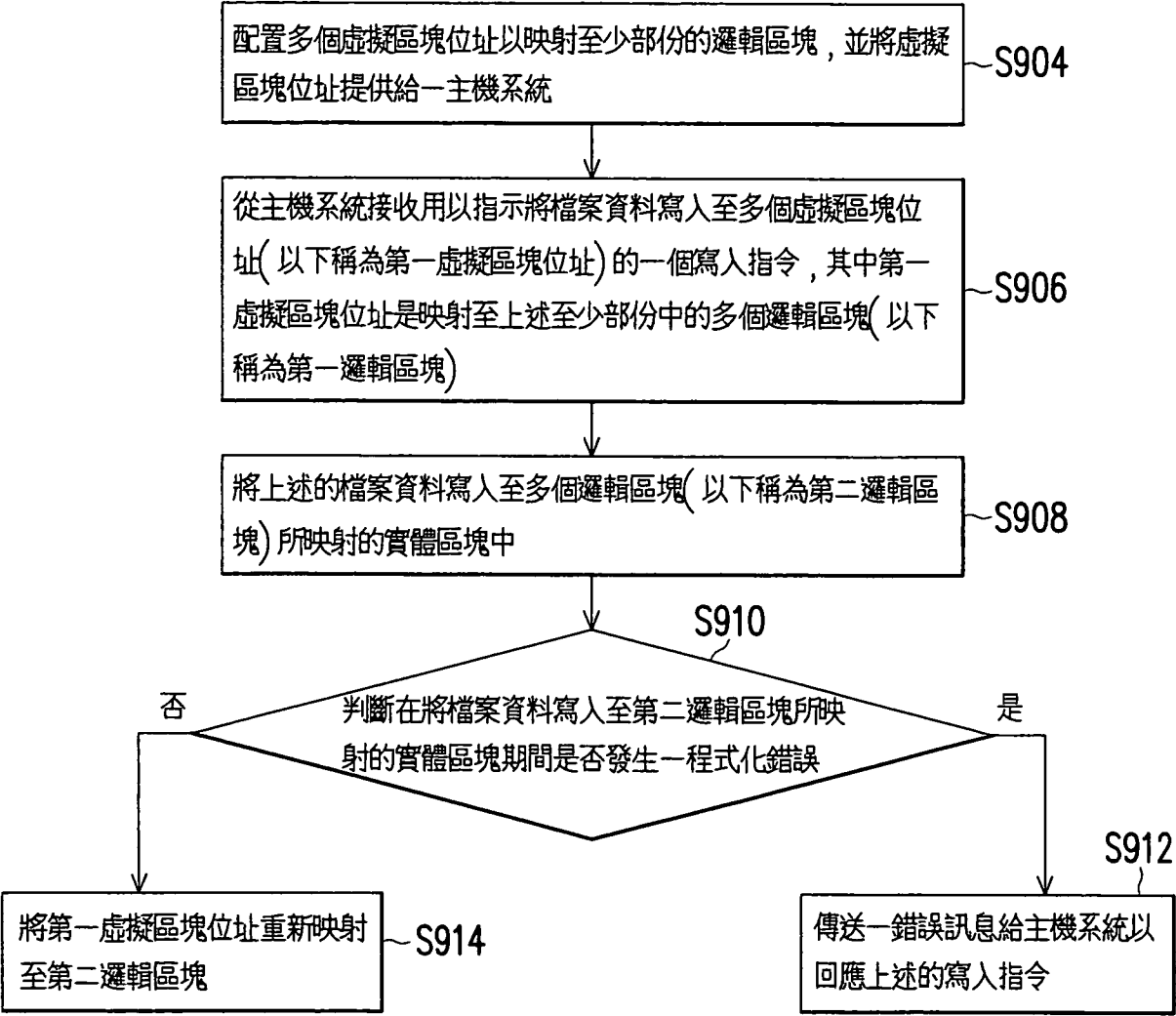


圖 9

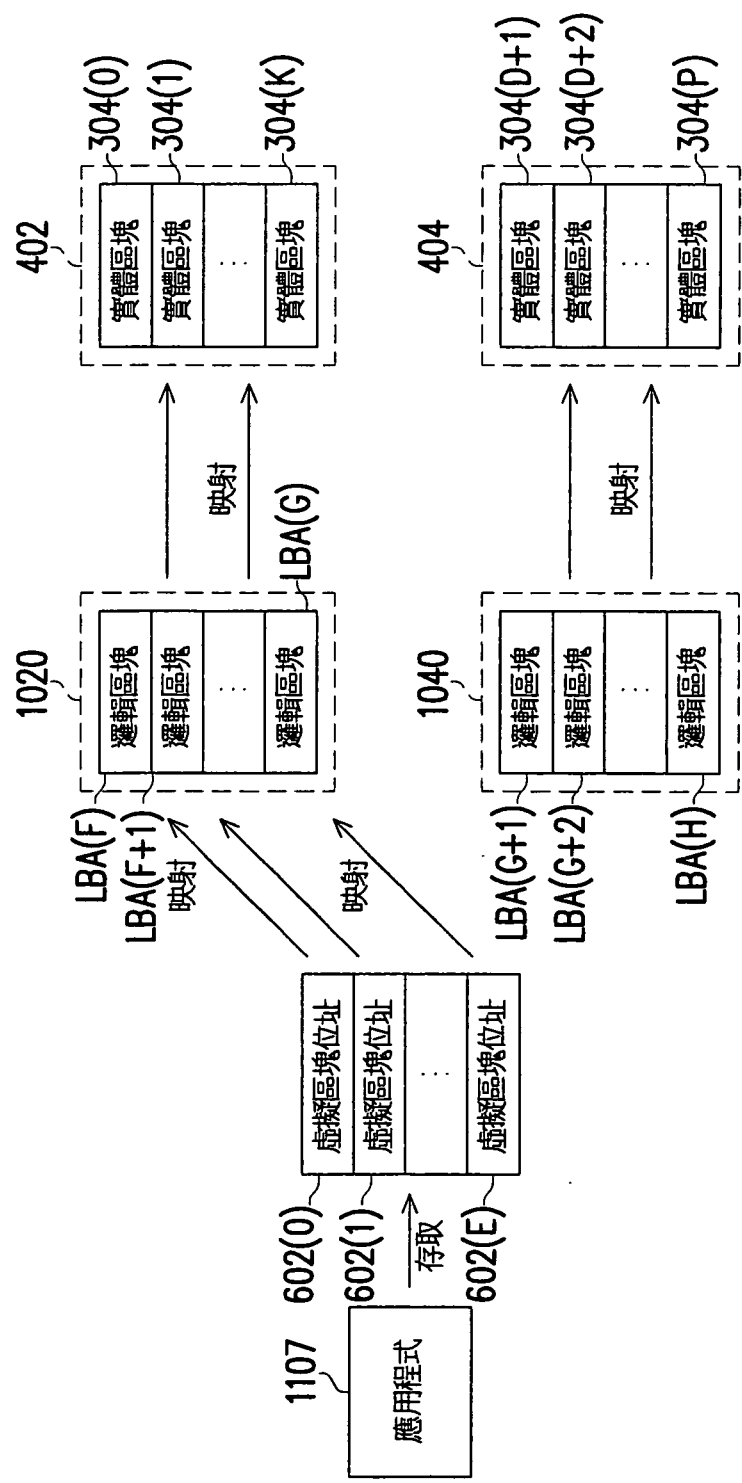


圖 10

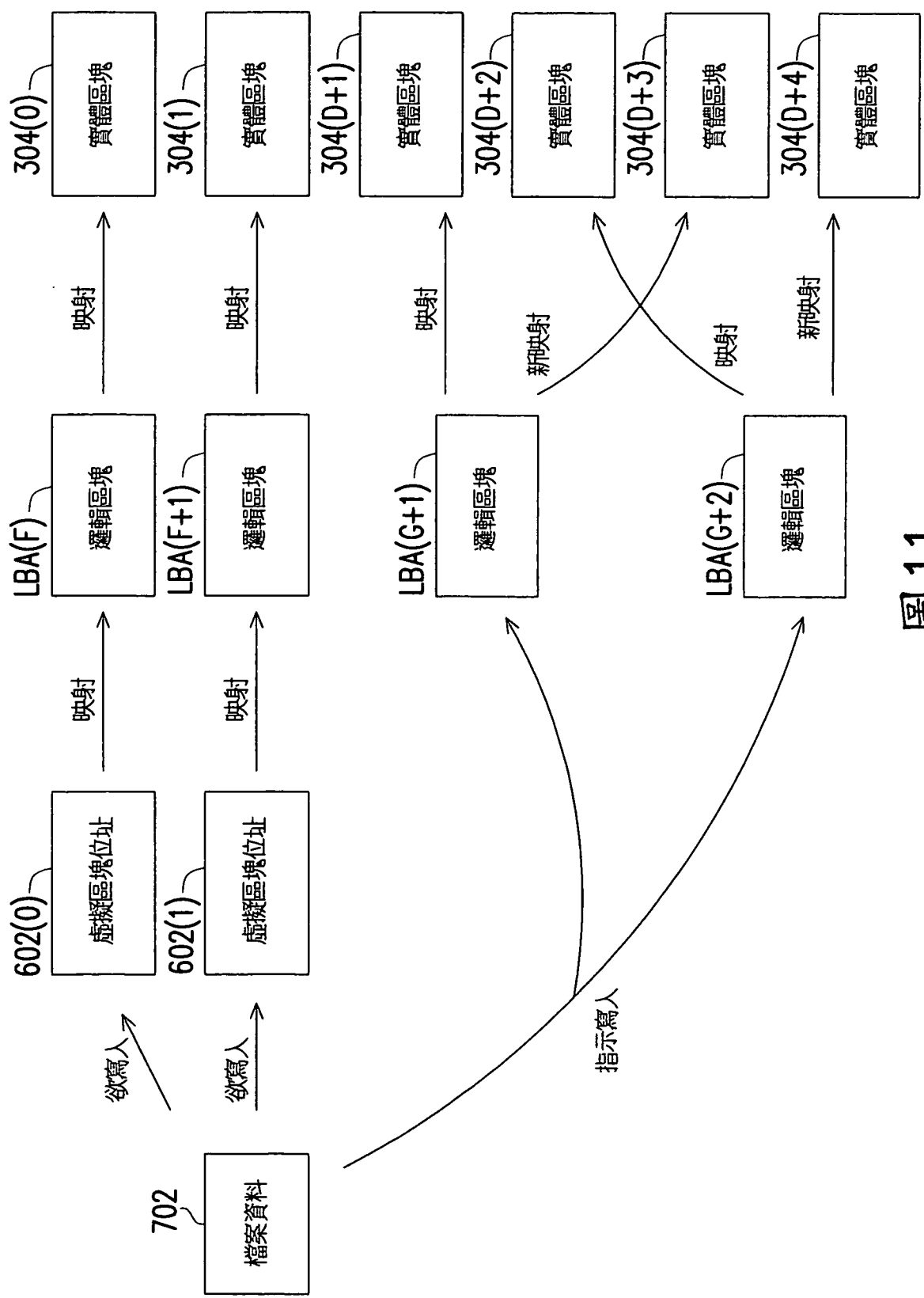


圖 11