

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
5. April 2012 (05.04.2012)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2012/041925 A1

(51) Internationale Patentklassifikation:

H01L 33/60 (2010.01) H01L 33/00 (2010.01)
H01L 33/54 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2011/066917

(22) Internationales Anmeldedatum:
28. September 2011 (28.09.2011)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102010047156.9
30. September 2010 (30.09.2010) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstraße 4, 93055 Regensburg (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **AHLSTEDT, Magnus** [SE/DE]; Hermann-Köhl-Straße 6a, 93049 Regensburg (DE). **RAMCHEN, Johann** [DE/DE]; Eglseer Weg 5, 84032 Altdorf (DE). **RACZ, David** [DE/DE]; Pfeilstraße 3, 93051 Regensburg (DE). **KRÄUTER, Gertrud** [DE/DE]; Johann-Igl-Weg 24, 93051 Regensburg (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENT-ANWALTSGESELLSCHAFT MBH**; Ridlerstraße 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

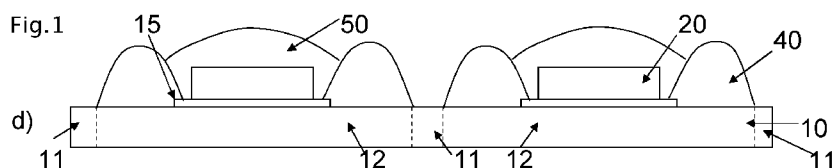
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

(54) Title: OPTOELECTRONIC COMPONENT AND METHOD FOR PRODUCING AN OPTOELECTRONIC COMPONENT

(54) Bezeichnung : OPTOELEKTRONISCHES BAUELEMENT UND VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN BAUELEMENTS



(57) Abstract: An optoelectronic component having a light-emitting chip and a housing laterally surrounding the light-emitting chip are stated. A method for producing an optoelectronic component is also stated, in which a liquid housing material is applied to a substrate.

(57) Zusammenfassung: Es wird ein optoelektronisches Bauelement mit einem Licht emittierenden Chip und ein dem Licht emittierenden Chip seitlich umgebendes Gehäuse angegeben. Des Weiteren wird ein Verfahren zur Herstellung eines optoelektronischen Bauelements angegeben, bei dem ein flüssiges Gehäusematerial auf einem Substrat aufgebracht wird.

WO 2012/041925 A1

Beschreibung

Optoelektronisches Bauelement und Verfahren zur Herstellung eines optoelektronischen Bauelements

5

Es wird ein optoelektronisches Bauelement und ein Verfahren zur Herstellung eines optoelektronischen Bauelements angegeben.

10 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2010 047 156.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Optoelektronische Bauelemente, beispielsweise LEDs, weisen
15 Gehäuse auf. Diese werden nach bislang bekannten Verfahren in getrennten Formgebungsverfahren, beispielsweise durch Spritzguss oder mittels eines Dünnschicht-/Dickschicht-basierten Verfahrens, hergestellt.

20 Aufgabe zumindest einer Ausführungsform der Erfindung ist die Bereitstellung eines optoelektronischen Bauelements, das ein verbessertes Gehäuse aufweist. Diese Aufgabe wird durch ein optoelektronisches Bauelement gemäß Anspruch 1 gelöst.

25 Aufgabe zumindest einer weiteren Ausführungsform der Erfindung ist die Bereitstellung eines Verfahrens zur Herstellung eines optoelektronischen Bauelements mit einem Gehäuse, das einfach auszuführen ist. Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 7 gelöst.

30

Weitere Ausführungsformen des optoelektronischen Bauelements und des Verfahrens zur Herstellung eines optoelektronischen Bauelements sind Gegenstand abhängiger Ansprüche.

Es wird ein optoelektronisches Bauelement angegeben, das ein Substrat, einen Licht emittierenden Chip auf dem Substrat und ein den Licht emittierenden Chip seitlich umgebendes Gehäuse auf dem Substrat aufweist. Zwischen Seitenwänden des Licht emittierenden Chips und dem Gehäuse kann ein Abstand von weniger als 2 μm vorhanden sein. Damit wird ein optoelektronisches Bauelement bereitgestellt, dessen Gehäuse einen verkleinerten Abstand zu den Seitenwänden des Licht emittierenden Chips hat. Der Abstand zwischen Chip und Gehäuse kann auch aus einem Bereich ausgewählt sein, der 10 nm bis weniger als 2 μm umfasst.

Das Gehäuse kann ein Material aufweisen, das eine Matrix und einen Füllstoff umfasst. Die Matrix kann aus einer Gruppe ausgewählt sein, die Silikon, ungesättigte Polyester und Epoxidharz umfasst. Der Füllstoff kann aus einer Gruppe ausgewählt sein, die ZrO_2 , ZnO , BaSO_4 und TiO_2 umfasst. Der Füllgrad des Füllstoffs in der Matrix kann größer 20 Gew%, beispielsweise 25 bis 30 Gew% sein. Somit umfasst das Gehäuse ein Material, das in flüssigem Zustand aufgebracht werden kann und aushärtbar ist. Dadurch kann die Ausformung des Gehäuses während seiner Herstellung vereinfacht werden. Der Füllstoff kann gleichmäßig in der Matrix verteilt sein.

Gemäß einer Ausführungsform kann das Gehäuse von dem Chip emittiertes Licht reflektieren. Damit wird also ein Gehäuse eines optoelektronischen Bauelements bereitgestellt, das zugleich als Reflektor dient. Die reflektiven Eigenschaften sind durch den Füllstoff, beispielsweise TiO_2 Partikel, gegeben. Der Füllstoff, beispielsweise TiO_2 Partikel, kann diffus reflektierende Eigenschaften haben. Ist das Gehäuse zudem so ausgeformt, dass es eine vom Substrat abgewandte abgerundete Oberfläche hat, kann es in Zusammenarbeit mit

dem Füllstoff eine gute Farbhomogenität über den gesamten Betrachtungswinkel erzeugen. Weiterhin kann durch das Material des Gehäuses, beispielsweise TiO_2 gefülltes Silikon, die Auskoppelleffizienz eines optoelektronischen Bauelements gesteigert werden, da dieses Gehäusematerial eine Reflektivität von bis zu 95% aufweist. Damit werden Verluste an emittiertem Licht gering gehalten. Insbesondere wenn der Licht emittierende Chip seitlich Licht emittiert, kann dieses durch das Gehäuse reflektiert werden und somit die Auskoppelleffizienz gesteigert werden.

Der Licht emittierende Chip kann ein LED-Chip sein. Insbesondere kann auch ein Saphirchip eingesetzt werden. Damit kann die Kombination aus Saphirchip und TiO_2 haltigenm Reflektor bereitgestellt werden.

Unter Saphirchip ist in diesem Zusammenhang ein LED-Chip zu verstehen, der ein Substrat, das Al_2O_3 umfasst, aufweist. Auf diesem Substrat sind dann weitere funktionelle Schichten angeordnet.

Gemäß einer weiteren Ausführungsform wird ein Verfahren zur Herstellung eines optoelektronischen Bauelements angegeben, das ein Gehäuse aufweist, das die folgenden Verfahrensschritte umfasst:

- A) Beschichtung zumindest eines ersten Teilbereichs eines Substrats mit einer nicht benetzbaren Schicht,
- B) Beschichtung zumindest eines Licht emittierenden Chips mit einer nicht benetzbaren Schicht,

C) Aufbringen des Licht emittierenden Chips auf einem zweiten Teilbereich des Substrats, der frei von der benetzbaren Schicht ist,

5 D) Aufbringen eines flüssigen Gehäusematerials auf dem Substrat,

E) Härten des Gehäusematerials,

10 wobei sich im Verfahrensschritt D) das Gehäusematerial zwischen dem zumindest einen ersten Teilbereich und Seitenwänden des Licht emittierenden Chips auf dem Substrat zu einem Gehäuse formt, das im Verfahrensschritt E) gebildet wird.

15

Damit wird ein einfaches Verfahren zur Herstellung eines optoelektronischen Bauelements angegeben, dessen Gehäuse durch Selbstorganisation eines flüssigen Gehäusematerials, das zwischen einem Licht emittierenden Chip und einer nicht
20 benetzbaren Schicht aufgebracht wird, ausgebildet wird. In den Verfahrensschritten A) und B) können somit erste Teilbereiche des Substrats, beispielsweise Sägespuren und Randbereiche, sowie ein Licht emittierender Chip mit der nicht benetzbaren Schicht beschichtet werden. Die nicht
25 benetzbare Schicht kann mit einer Dicke von weniger als 2 µm aufgebracht werden. Beispielsweise kann sie mit einer Dicke aufgebracht werden, die aus einem Bereich ausgewählt ist, der 10 nm bis weniger als 2 µm umfasst.

30 Ein Überlaufen des flüssigen Gehäusematerials über den Chip wird durch die nicht benetzbare Beschichtung des Chips vermieden. Somit bildet sich ein Gehäuse auf dem Substrat nur dort, wo keine nicht benetzbare Schicht vorhanden ist, aus.

Unter Sägespuren sind die Bereiche des Substrats zu verstehen, in denen das Substrat geteilt werden kann, um mehrere Substrate mit jeweils einem Chip und einem Gehäuse zu erhalten.

5

Unter Randbereichen sind die Bereiche zu verstehen, die den zweiten Teilbereich umgeben, auf dem ein Chip aufgebracht wird, so dass der Chip auf einem nicht beschichteten Bereich aufgebracht wird, und von einer nicht benetzbaren Schicht auf dem Substrat umgeben ist.

Der Licht emittierende Chip wird dabei insbesondere an den Seitenwänden sowie an seiner Oberseite, die nach Aufbringung des Chips von dem Substrat abgewandte Seite, mit der nicht benetzbaren Schicht beschichtet, während die Unterseite, die nach Aufbringung des Chips dem Substrat zugewandte Seite, frei von der nicht benetzbaren Schicht ist. Dazu kann die Unterseite, die von der nicht benetzbaren Schicht frei bleiben soll, während der Beschichtung des Chips beispielsweise mit einer Folie geschützt werden.

Mit diesem Verfahren können auch mehrere optoelektronische Bauelemente gleichzeitig hergestellt werden. Dazu werden mehrere erste Teilbereiche mit der nicht benetzbaren Schicht beschichtet und im Verfahrensschritt D) mehrere Licht emittierende Chips auf zweiten Teilbereichen des Substrats, die frei von der benetzbaren Schicht sind, aufgebracht. Die ersten Teilbereiche können insbesondere eine symmetrische Anordnung auf dem Substrat aufweisen, beispielsweise ein Gitternetz auf dem Substrat bilden. In den zweiten Teilbereichen, die somit Quadrate innerhalb von ersten Teilbereichen darstellen, können Licht emittierende Chips aufgebracht werden. Dabei weisen die Chips einen kleineren

Durchmesser auf, als die durch die ersten Teilbereiche vorgegebenen quadratischen zweiten Teilbereiche. Zwischen den Chips und den ersten Teilbereichen wird dann jeweils flüssiges Gehäusematerial aufgebracht, so dass im fertig
5 gestellten Bauelement jeder Chip auf dem Substrat ein Gehäuse aufweist.

Der zumindest eine Licht emittierende Chip kann auf eine Metallisierung, die sich in zweiten Teilbereichen des
10 Substrats befindet, aufgebracht werden. Bei der Metallisierung kann es sich um eine Metallschicht handeln, deren Durchmesser mindestens so groß ist wie der Durchmesser des Chips, und kleiner ist als der Durchmesser des zweiten Teilbereichs, der von der nicht benetzbaren Schicht des
15 ersten Teilbereichs begrenzt ist.

Gemäß einer Ausführungsform wird der zumindest eine Licht emittierende Chip im Verfahrensschritt C) auf das Substrat bzw. auf die Metallisierung beispielsweise geklebt oder
20 gelötet.

Es wird ein kostengünstiges Verfahren zur Herstellung eines optoelektronischen Bauelements bereitgestellt, da das Gehäusematerial in diesem Verfahren im Batchverfahren
25 aufgebracht werden kann.

Mit dem Verfahren kann ein Bauelement gemäß den obigen Ausführungen hergestellt werden.

30 Gemäß einer weiteren Ausführungsform kann in einem Verfahrensschritt F), der dem Verfahrensschritt E) folgt, die nicht benetzbare Schicht entfernt werden. Die Entfernung der nicht benetzbaren Schicht kann mit einem Mittel erfolgen, das

ausgewählt ist aus einer Gruppe, die O₂-Plasma, CF₄-Plasma, Ar-Plasma und Isopropanol umfasst. Damit können die Oberflächen des Licht emittierenden Chips mit weiteren Schichten beziehungsweise Bauteilen versehen werden.

5

Weiterhin ergibt sich somit ein Abstand zwischen dem Gehäuse und dem Licht emittierenden Chip, der durch die Dicke der entfernten nicht benetzbaren Schicht vorgegeben ist. Somit kann ein sehr geringer Abstand zwischen Gehäuse und

10 Seitenwänden des Chips erzeugt werden.

Beispielsweise kann über einem Licht emittierenden Chip ein Lichtauskoppelkörper aufgebracht werden, der beispielsweise auf dem den Chip umgebenden Gehäuse aufliegt. Die Gehäusewand bildet bei der Herstellung des Lichtauskoppelkörpers eine geeignete Stopperkante für beispielsweise dispensbare oder screenprintbare Materialien, mit denen beispielsweise Auskoppellinsen aus transparentem oder phosphorgefülltem Material erzeugt werden.

20

Somit kann in einem weiteren Verfahrensschritt ein flüssiges Material zur Ausformung eines Lichtauskoppelkörpers, der entweder transparent oder phosphorgefüllt sein kann, hergestellt werden. Dies wird auch durch die Form der von dem Substrat abgewandten Oberfläche des Gehäuses begünstigt, welche aufgrund der Selbstorganisation des flüssigen Gehäusematerials rund ausgebildet ist.

25

Die nicht benetzbare Schicht in den Verfahrensschritten A) und B) kann ein Material aufweisen, das hydrophob ist. Das Material kann aus einer Gruppe ausgewählt sein, die fluoriertes Silikon, Polytetrafluorethylen oder Derivate davon umfasst. Diese Materialien können mit Mitteln gemäß den

30

obigen Ausführungen nach dem Aushärten des Gehäusematerials gut entfernt werden. Somit wird eine temporäre, strukturierbare, nicht benetzbare Schicht bereitgestellt, die für die Herstellung des Gehäuses verwendet wird.

5

Gemäß einer weiteren Ausführungsform kann in einem dem Verfahrensschritt F) folgenden Verfahrensschritt G) das Substrat im Bereich des zumindest einen ersten Teilbereichs geteilt werden. Die Teilung erfolgt also nach der Entfernung
10 der nicht benetzbaren Schicht, sodass nur ein Material, das des Substrats, durchtrennt werden muss. Damit wird der Vereinzelungsprozess, wenn mehrere Bauelemente hergestellt werden sollen, optimiert. Der erste Teilbereich kann also eine Sägespur darstellen.

15

Das Substrat kann ein PCB (Printed circuit board), eine Keramik, eine Leiterplatte oder eine Aluminiumschicht sein.

Das Gehäusematerial im Verfahrensschritt D) kann mit einer
20 Methode aufgebracht werden, die aus einer Gruppe ausgewählt ist, die Screenprinting, Spincoating, Sprühen, Jetten, Dispensen oder Gießen umfasst. Mit diesen Methoden kann das Gehäusematerial mittels eines Batchverfahrens aufgebracht werden.

25

Die nicht benetzbare Schicht kann in den Verfahrensschritten A) und B) mittels Photolithographie aufgebracht werden. Je nachdem, was für eine Form das flüssige Gehäusematerial annehmen soll, kann der Benetzungswinkel mit dieser Methode
30 eingestellt werden. Beispielsweise kann eine kugelähnliche Form der von dem Substrat abgewandten Oberfläche des Gehäuses ausgebildet werden. Dabei dienen nicht benetzbare Bereiche, also erste Teilbereiche auf dem Substrat, sowie der

beschichtete Chip, als Stopperkanten für das flüssige Gehäusematerial. Der Benetzungswinkel kann dabei von der Polarität der Oberflächengruppen der nicht benetzbaren Schicht sowie von der Rauigkeit der nicht benetzbaren Schicht abhängen.

Im Verfahrensschritt D) kann ein Gehäusematerial aufgebracht werden, das eine Matrix und einen Füllstoff umfasst. Beispielsweise kann die Matrix ein Material umfassen, das aus einer Gruppe ausgewählt ist, die Silikon, ungesättigte Polyester und Epoxidharz umfasst. Als Füllstoff kann beispielsweise ZnO, ZrO₂, BaSO₄ oder TiO₂ ausgewählt werden. Der Füllstoff kann in der Matrix mit einem Gehalt von mehr als 20 Gew% vorhanden sein. Damit wird ein reflektierender Füllstoff bereitgestellt, der dem Gehäuse des Bauelements reflektive Eigenschaften verleiht. Damit ist das Gehäuse des Bauelements gleichzeitig ein Reflektor. Das Gehäuse beziehungsweise der Reflektor werden durch Selbstausformung mit dem oben beschriebenen Verfahren hergestellt. Durch geeignete Auswahl des Materials des Gehäuses kann das Gehäuse auch als Isolation für einen Oberflächenkontakt, beispielsweise ein CPHF-Kontakt (CPHF: compact planar high flux), dienen.

Im Verfahrensschritt B) kann ein LED-Chip beschichtet werden. Damit wird ein Verfahren zur Herstellung von LEDs mit Gehäusen bereitgestellt. Dieses Verfahren eignet sich für LED-Chips mit zwei rückseitigen Kontakten, für LED-Chips mit Topkontakten sowie für Saphirchips, die beispielsweise mittels CPHF-Kontakten kontaktiert werden können. Beispielsweise kann ein LED-Chip mit zwei Bodenkontakten durch das Verfahren hergestellt werden, bei dem sowohl das Gehäuse beziehungsweise der Reflektor als auch ein

Auskoppelkörper durch Selbstausformung hergestellt werden kann.

Anhand der Figuren und der Ausführungsbeispiele soll die
5 Erfindung näher erläutert werden.

Figur 1 a) bis d) schematische Seitenansicht der
Herstellung eines optoelektronischen Bauelements,

10 Figur 2 a) bis e) schematische dreidimensionale
Seitenansicht der Herstellung eines
optoelektronischen Bauelements.

Figur 1 zeigt die schematische Seitenansicht der Herstellung
15 eines optoelektronischen Bauelements am Beispiel einer LED.

In Figur 1a) ist das Substrat 10 gezeigt, das beispielsweise
ein PCB, ein Keramiksubstrat, eine Leiterplatte oder eine
Aluminiumplatte sein kann. Auf dem Substrat 10 sind in ersten
20 Teilbereichen 11 nicht benetzbare Schichten 30 angeordnet.
Diese befinden in diesem Beispiel im Sägespurbereich zur
späteren Teilung des Substrats 10. Weiterhin sind auf dem
Substrat Metallisierungen 15 vorhanden, auf die jeweils ein
Licht emittierender LED-Chip 20 aufgebracht ist. Diese
25 befinden sich auf zweiten Bereichen 12 des Substrats 10.

Am Beispiel der Figur 1 wird die Herstellung von zwei LEDs
gezeigt, mit dem Verfahren kann jedoch auch nur ein LED-Chip
20 beziehungsweise mehrere LED-Chips 20 auf einem Substrat 10
30 aufgebracht werden. Der LED-Chip 20 ist auch mit einer nicht
benetzbaren Schicht 30 beschichtet, und zwar an den
Seitenrändern sowie auf der von dem Substrat 10 abgewandten
Oberseite des Chips.

Die nicht benetzbare Schicht 30 kann ein fluoriertes Silikon, Polytetrafluorethylen oder Derivate davon umfassen. Die Beschichtung des LED-Chips 20 und des Substrats 10 mit der nicht benetzbaren Schicht 30 kann beispielsweise durch

5 Photolithographie erfolgen. Die Beschichtung der LED-Chips 20 erfolgt vor ihrem Aufbringen auf das Substrat 10 und nach ihrem Vereinzeln aus dem Waferbund. Die LED-Chips 20 werden auf das Substrat beziehungsweise auf die Metallisierung 15 geklebt oder gelötet.

10

In Figur 1b) ist weiterhin das Gehäuse 40 gezeigt. Dieses wird als flüssiges Gehäusematerial aufgebracht und formt sich aufgrund der nicht benetzenden Eigenschaften der nicht benetzbaren Schicht 30 zwischen Seitenwänden des LED-Chips 20

15 und den mit der nicht benetzbaren Schicht 30 beschichteten zweiten Teilbereichen 12 auf dem Substrat. Durch Einstellung des Benetzungswinkels werden Gehäuse mit einer von dem Substrat abgewandten runden Oberfläche ausgebildet. Durch den symmetrischen Aufbau der nicht benetzbaren Bereiche (in den

20 Figuren 1a bis 1d nicht sichtbar) formt sich das Gehäuse in benetzbaren Bereichen, den zweiten Teilbereichen 12 auf dem Substrat 10.

Das Aufbringen des flüssigen Gehäusematerials kann

25 beispielsweise durch Screenprinting, Spincoating, Spraysen, Jetten, Dispensen oder Gießen erfolgen. Das Gehäusematerial kann eine Matrix und einen Füllstoff aufweisen. Die Matrix ist beispielsweise Silikon oder Epoxidharz, der Füllstoff beispielsweise TiO_2 .

30

Damit hat das Gehäusematerial auch reflektierende Eigenschaften, womit das Gehäuse 40 auch als Reflektor für Licht, das der LED-Chip 20 emittiert, fungiert. Nach dem

Aufbringen des flüssigen Gehäusematerials wird das Gehäusematerial gehärtet, beispielsweise bei einer Temperatur von 150°C.

5 Figur 1c) zeigt das gehärtete Gehäuse 40, das die LED-Chips 20 umgibt, nachdem die nicht benetzbare Schicht 30 entfernt worden ist. Somit befindet sich keine nicht benetzbare Schicht mehr auf den LED-Chips 20 und in den ersten Teilbereichen des Substrats 10. Die Entfernung der nicht
10 benetzbaren Schicht 30 kann beispielsweise mittels O₂-Plasma, CF₄-Plasma, Ar-Plasma und/oder Isopropanol erfolgen.

Der Abstand zwischen dem Gehäuse 40 und dem LED-Chip 20 ist nur so groß wie die Dicke der entfernten nicht benetzbaren
15 Schicht 30.

Durch die Entfernung der nicht benetzbaren Schicht 30 wird das Aufbringen weiterer Bauteile oder Schichten ermöglicht. Dies ist in Figur 1d) gezeigt, wo beispielhaft eine
20 Auskoppellinse 50 über dem LED-Chip 20 und zwischen zwei Gehäusewänden 40 aufgebracht ist. Die Auskoppellinse 50 kann ebenso als flüssiges Material aufgebracht werden, sich zwischen Gehäusewänden, die als Stopperkanten dienen, selbst ausformen und danach gehärtet werden. Eine Auskoppellinse
25 kann transparent sein und somit die emittierte Strahlung beziehungsweise das emittierte Licht nur auskoppeln, oder sie kann mit Phosphormaterialien gefüllt sein, sodass das emittierte Licht zu einer anderen Wellenlänge konvertiert werden kann. Durch das Vorhandensein des reflektierenden
30 Gehäuses 40 wird die Auskoppelleffizienz des Bauelements in jedem Fall erhöht.

Mit diesem Verfahren kann auch ein Saphirchip zur Herstellung eines optoelektronischen Bauelements verarbeitet werden.

Figur 2 zeigt das Herstellungsverfahren in schematischer
5 Seitenansicht in dreidimensionaler Form. Gleiche Bezugszeichen bezeichnen die gleichen Elemente, wie in Figur 1.

In Figur 2 sind beispielhaft vier Licht emittierende LED-
10 Chips 20 auf einem Substrat 10 aufgebracht, siehe Figur 2b).

In Figur 2a) ist das Substrat 10 gezeigt, auf dem in ersten Teilbereichen 11 eine nicht benetzbare Schicht 30 aufgebracht ist, und in zweiten Teilbereichen 12, die frei von der nicht
15 benetzbaren Schicht ist, Metallisierungen 15 aufgebracht sind. Die Metallisierungen haben einen geringeren Durchmesser als der zweite Teilbereich, der zwischen dem ersten mit einer nicht benetzbaren Schicht versehenen Teilbereich vorhanden ist. Somit ist der zweite Teilbereich teilweise frei von
20 Metallisierungen 15. Aufgrund der symmetrischen Anordnung des ersten Teilbereichs 11, ist der zweite Teilbereich 12 quadratisch ausgeformt.

Auf die Metallisierungen 15 werden LED-Chips 20 mit zwei
25 Kontakten 25 aufgebracht (Figur 2b). Anschließend wird flüssiges Gehäusematerial auf die zweiten Teilbereiche, zwischen die nicht benetzbare Schicht 30 und die LED-Chips 20 aufgebracht, wie in Figur 2c) gezeigt. Durch Selbstausformung bildet sich ein Gehäuse 40, das durch Aushärten fertig
30 gestellt wird. Anschließend wird die nicht benetzbare Schicht 30 von dem Substrat 10 und den LED-Chips 20 entfernt.

In Figur 2d) ist gezeigt, wie zwischen das Gehäuse 40 über den LED-Chips 20 eine Auskoppellinse 50 zur Auskopplung des emittierten Lichts aufgebracht ist. Diese kann ebenfalls durch Selbstausformung erzeugt werden, in dem das Gehäuse 40 als Stopperkante dient und zur Selbstausformung des flüssig aufgetragenen Materials der Auskopplungslinse hilfreich ist.

Schließlich ist in Figur 2e) eine beispielhafte Kontaktierung 60 gezeigt, die die einzelnen LED-Chips 20 kontaktiert. Es kann sich wie hier um eine CPHF-Kontaktierung handeln. Das Substrat 10 kann in den Bereichen, in denen eine nicht benetzbare Schicht 30 vorhanden war, also den ersten Teilbereichen, getrennt werden und somit mehrere Bauelemente mit jeweils einem LED-Chip 20 bereitgestellt werden.

Damit wird ein vereinfachtes Herstellungsverfahren angegeben, das die Selbstausformung eines Gehäuses 40, sowie das Vereinzeln nur eines einzigen Materials, nämlich das des Substrats 10, ermöglicht.

Die Erfindung ist nicht auf die oben genannten Ausführungsbeispiele beschränkt. Vielmehr sind auch Kombinationen davon und Ausgestaltungen umfasst, auch wenn diese nicht explizit in den Ausführungsbeispielen oder den Ansprüchen angegeben sind.

Patentansprüche

1. Optoelektronisches Bauelement aufweisend
 - 5 - ein Substrat (10),
 - einen Licht emittierenden Chip (20) auf dem Substrat (10),
und
 - ein den Licht emittierenden Chip (20) seitlich umgebendes
Gehäuse (40) auf dem Substrat (10), wobei zwischen
 - 10 Seitenwänden des Licht emittierenden Chips (20) und dem
Gehäuse (40) ein Abstand von weniger als 2 µm vorhanden ist.
2. Bauelement nach dem vorhergehenden Anspruch, wobei das
Gehäuse (40) ein Material aufweist, das eine Matrix und einen
 - 15 Füllstoff umfasst.
3. Bauelement nach dem vorhergehenden Anspruch, wobei die
Matrix aus einer Gruppe ausgewählt ist, die Silikon,
ungesättigte Polyester und Epoxidharz umfasst.
 - 20
4. Bauelement nach einem der Ansprüche 2 bis 3, wobei der
Füllstoff aus einer Gruppe ausgewählt ist, die ZrO₂, ZnO,
BaSO₄ und TiO₂ umfasst.
5. Bauelement nach einem der vorhergehenden Ansprüche, wobei
 - 25 das Gehäuse (40) von dem Chip (20) emittiertes Licht
reflektiert.
6. Bauelement nach einem der vorhergehenden Ansprüche, wobei
 - 30 der Licht emittierende Chip (20) ein LED-Chip ist.

7. Verfahren zur Herstellung eines optoelektronischen Bauelements, das ein Gehäuse (40) aufweist, umfassend die Verfahrensschritte:

A) Beschichtung zumindest eines ersten Teilbereichs (11)
5 eines Substrats (10) mit einer nicht benetzbaren Schicht (30),

B) Beschichtung zumindest eines Licht emittierenden Chips (20) mit einer nicht benetzbaren Schicht (30),

C) Aufbringen des Licht emittierenden Chips (20) auf einem
10 zweiten Teilbereich (12) des Substrats (10), der frei von der benetzbaren Schicht (30) ist,

D) Aufbringen eines flüssigen Gehäusematerials auf dem Substrat (10),

E) Härten des Gehäusematerials,

15 wobei sich im Verfahrensschritt D) das Gehäusematerial zwischen dem zumindest einen ersten Teilbereich (11) und Seitenwänden des Licht emittierenden Chips (20) auf dem Substrat (10) zu einem Gehäuse (40) formt, das im Verfahrensschritt E) gebildet wird.

20

8. Verfahren nach dem vorhergehenden Anspruch, wobei in einem dem Verfahrensschritt E) folgenden Verfahrensschritt F) die nicht benetzbare Schicht (30) entfernt wird.

25 9. Verfahren nach einem der Ansprüche 7 oder 8, wobei in einem dem Verfahrensschritt F) folgenden Verfahrensschritt G) das Substrat (10) im Bereich des zumindest einen ersten Teilbereichs (11) geteilt wird.

30 10. Verfahren nach einem der Ansprüche 7 bis 9, wobei in den Verfahrensschritten A) und B) als nicht benetzbare Schicht (30) ein Material aufgebracht wird, das aus einer Gruppe

ausgewählt ist, die fluoriertes Silikon,
Polytetrafluorethylen oder Derivate davon umfasst.

11. Verfahren nach einem der Ansprüche 7 bis 10, wobei das
5 Gehäusematerial im Verfahrensschritt D) mit einer Methode
aufgebracht wird, die aus einer Gruppe ausgewählt ist, die
Screen printing, Spincoating, Sprühen, Jetten, Dispensen oder
Gießen umfasst.
- 10 12. Verfahren nach einem der Ansprüche 7 bis 11, wobei die
nicht benetzbare Schicht (30) in den Verfahrensschritten A)
und B) mittels Photolithographie aufgebracht wird.
13. Verfahren nach Anspruch 8, wobei die nicht benetzbare
15 Schicht (30) in dem Verfahrensanspruch F) mit einem Mittel
entfernt wird, das ausgewählt ist aus einer Gruppe, die O₂-
Plasma, CF₄-Plasma, Ar-Plasma und Isopropanol umfasst.
14. Verfahren nach einem der Ansprüche 7 bis 13, wobei im
20 Verfahrensschritt D) ein Gehäusematerial aufgebracht wird,
das eine Matrix und einen Füllstoff umfasst.
15. Verfahren nach einem der Ansprüche 7 bis 14, wobei im
Verfahrensschritt B) ein LED-Chip (20) beschichtet wird.

Fig. 1

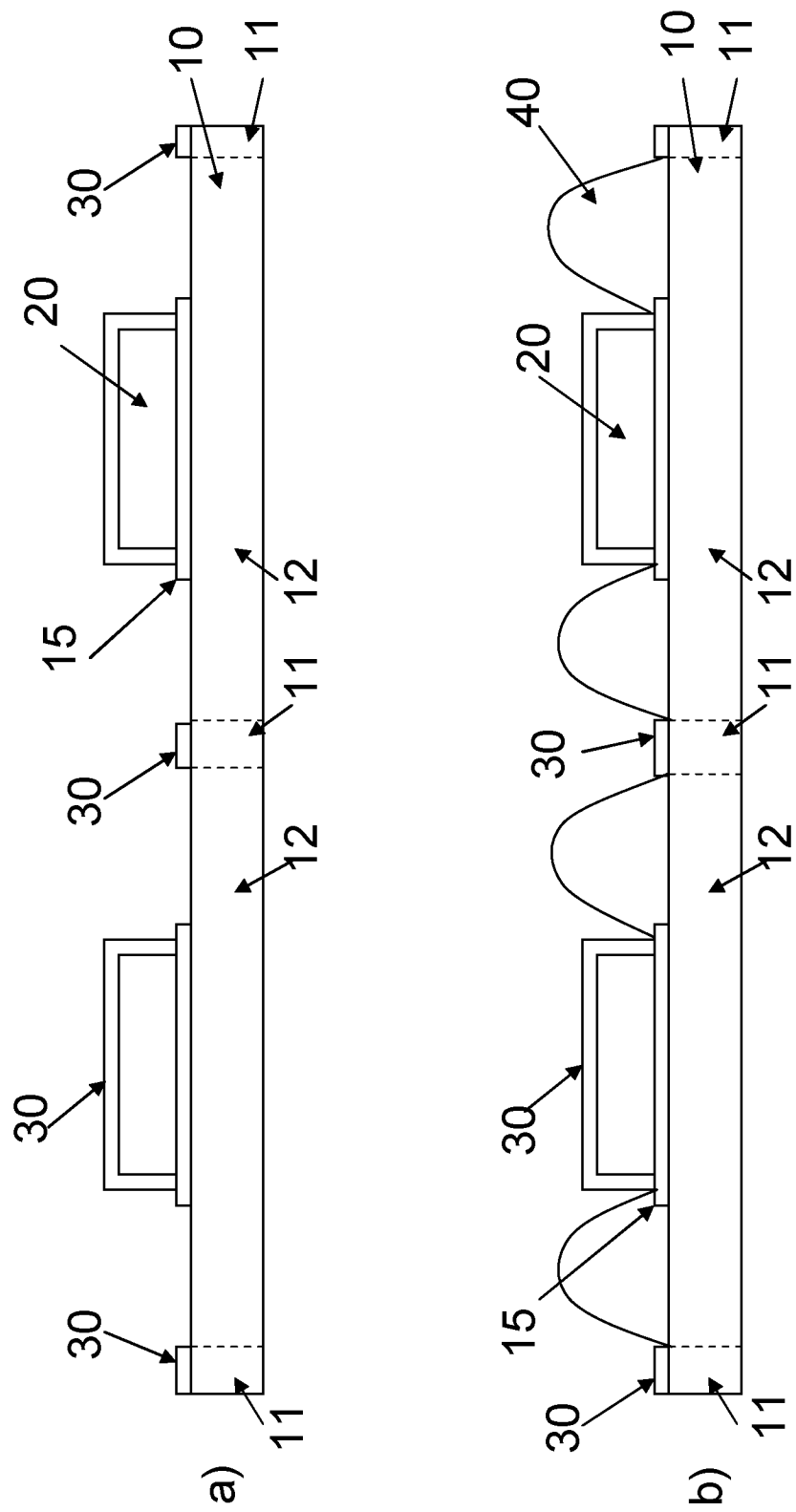


Fig.1 (cont.)

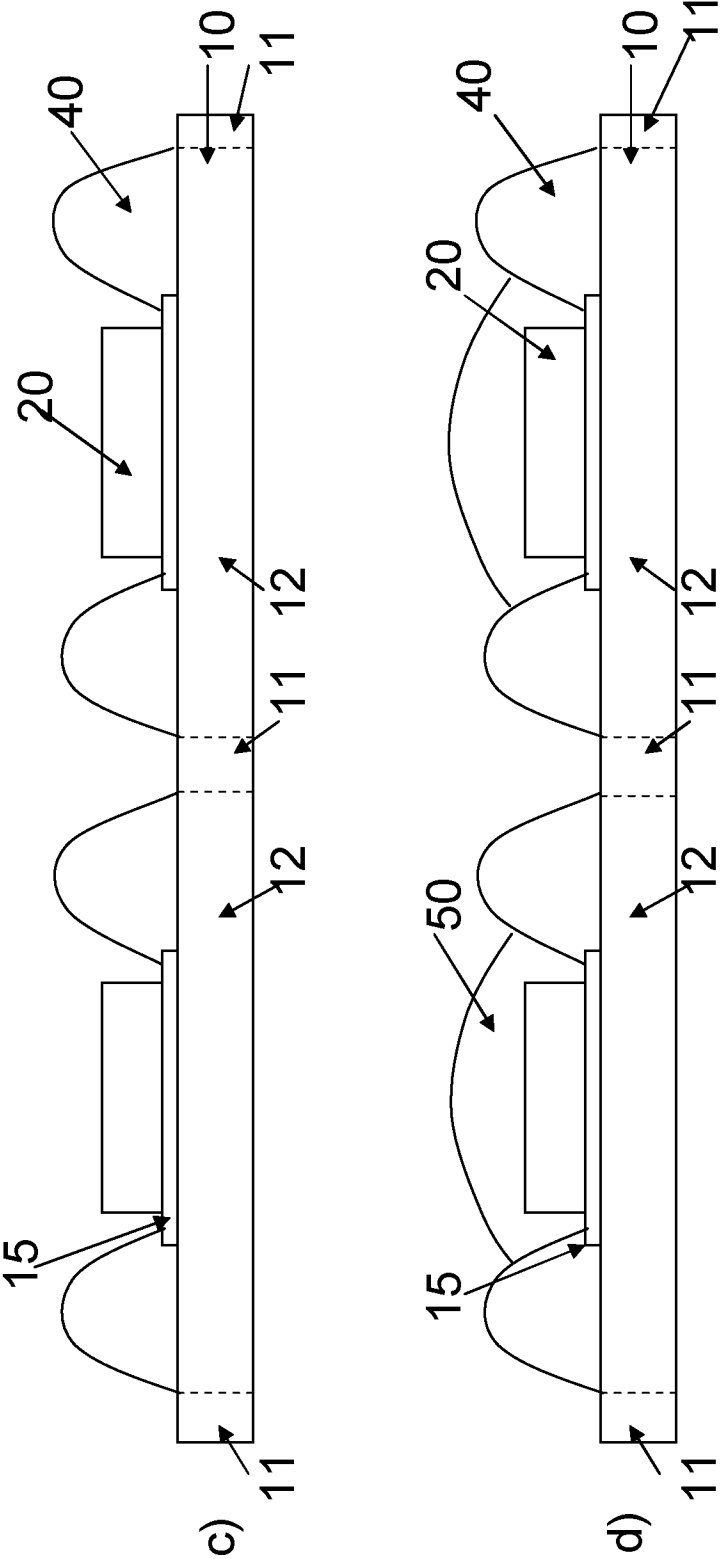


Fig. 2

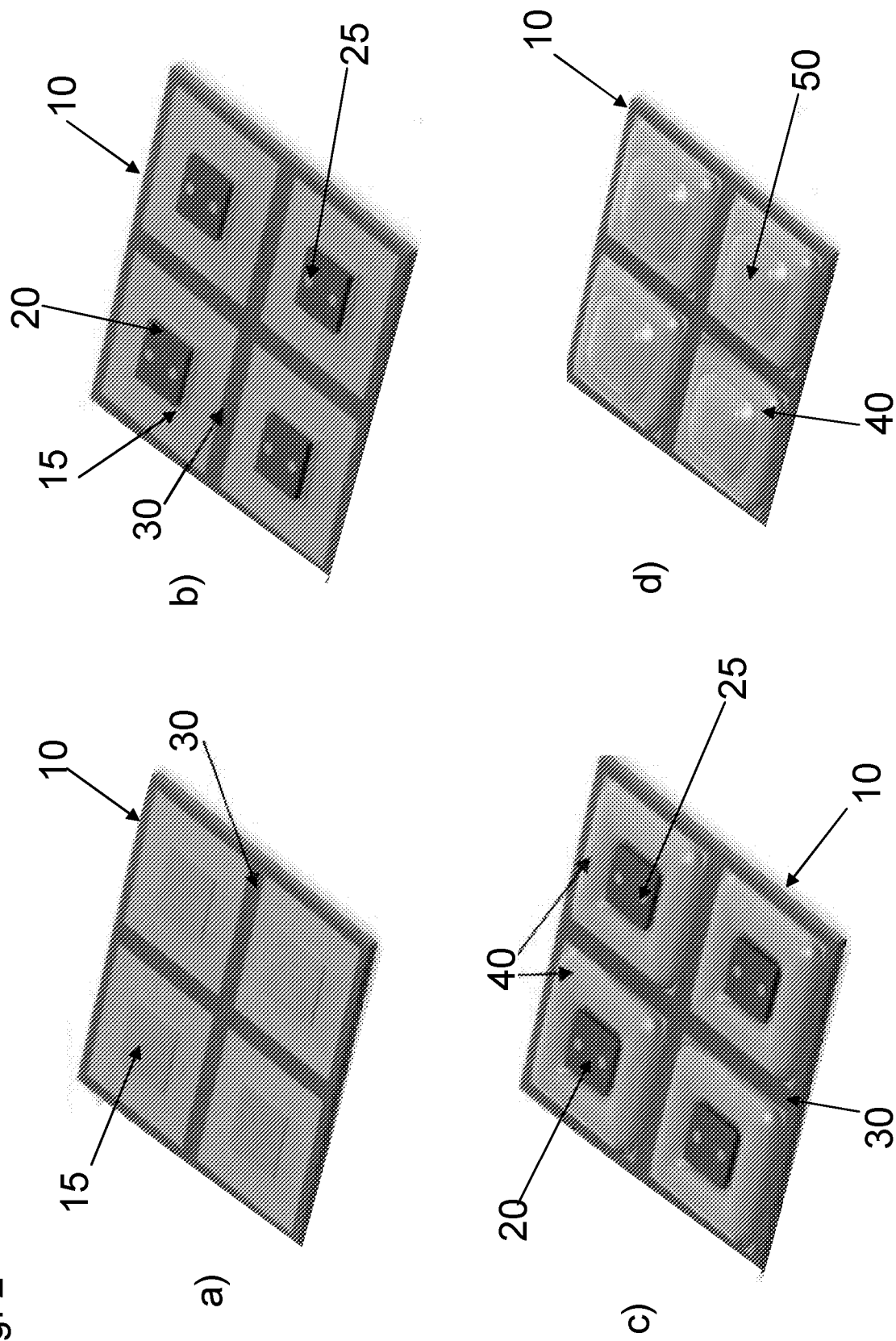
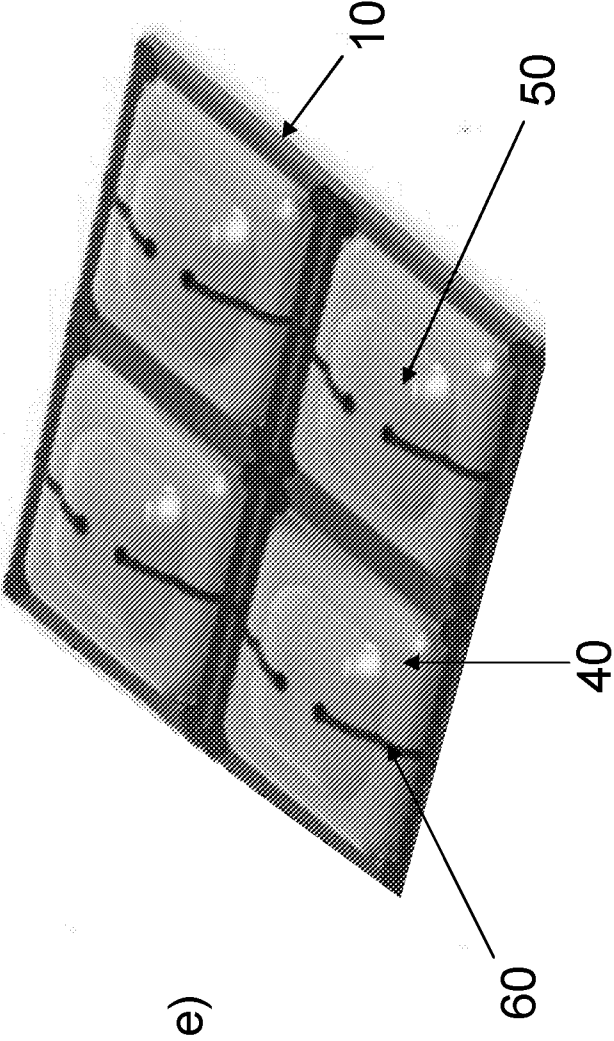


Fig.2 (cont.)



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2011/066917

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/60 H01L33/54

ADD. H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/012992 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; JADUCANA DANDY N [PH]; CATALLA JO) 1 February 2007 (2007-02-01)	1,6-8, 10-13,15
Y	page 6, line 32 - page 9, line 24; figures 3-4b	9,14
A	page 1, line 1 - page 2, line 29; figures 1-2	2-5
X	US 2010/140648 A1 (HARADA MITSUNORI [JP] ET AL) 10 June 2010 (2010-06-10)	1-6
Y	paragraph [0022] - paragraph [0066];	14
A	figures 1-9	8-10,15
	----- -/--	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

7 December 2011

Date of mailing of the international search report

14/12/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, Claus

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2011/066917

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2009 012517 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16 September 2010 (2010-09-16)	1,6
Y	paragraph [0051] - paragraph [0070];	9
A	figures 1-5d	2-5,7,8, 10-15
X	----- US 6 489 637 B1 (SAKAMOTO NORIAKI [JP] ET AL) 3 December 2002 (2002-12-03)	1,5,6
A	column 4, line 59 - column 13, line 4; figures 1-8	7-15
X	----- US 6 303 978 B1 (DANIELS DWIGHT L [US] ET AL) 16 October 2001 (2001-10-16)	1,5,6
A	column 2, line 21 - column 5, line 18; figures 1-7	7-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2011/066917

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2007012992 A1	01-02-2007	CN 101233619 A EP 1913641 A1 JP 2009503837 A US 2009127690 A1 WO 2007012992 A1	30-07-2008 23-04-2008 29-01-2009 21-05-2009 01-02-2007
US 2010140648 A1	10-06-2010	JP 4808244 B2 JP 2010140942 A KR 20100066397 A US 2010140648 A1	02-11-2011 24-06-2010 17-06-2010 10-06-2010
DE 102009012517 A1	16-09-2010	DE 102009012517 A1 TW 201112457 A WO 2010102685 A1	16-09-2010 01-04-2011 16-09-2010
US 6489637 B1	03-12-2002	KR 20010006914 A US 6489637 B1	26-01-2001 03-12-2002
US 6303978 B1	16-10-2001	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L33/60 H01L33/54

ADD. H01L33/00

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2007/012992 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; JADUCANA DANDY N [PH]; CATALLA JO) 1. Februar 2007 (2007-02-01)	1,6-8, 10-13,15
Y	Seite 6, Zeile 32 - Seite 9, Zeile 24;	9,14
A	Abbildungen 3-4b Seite 1, Zeile 1 - Seite 2, Zeile 29; Abbildungen 1-2	2-5

X	US 2010/140648 A1 (HARADA MITSUNORI [JP] ET AL) 10. Juni 2010 (2010-06-10)	1-6
Y	Absatz [0022] - Absatz [0066]; Abbildungen	14
A	1-9	8-10,15

	-/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

7. Dezember 2011

Absendedatum des internationalen Recherchenberichts

14/12/2011

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, Claus

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2009 012517 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 16. September 2010 (2010-09-16)	1,6
Y	Absatz [0051] - Absatz [0070]; Abbildungen	9
A	1-5d	2-5,7,8, 10-15

X	US 6 489 637 B1 (SAKAMOTO NORIAKI [JP] ET AL) 3. Dezember 2002 (2002-12-03)	1,5,6
A	Spalte 4, Zeile 59 - Spalte 13, Zeile 4; Abbildungen 1-8	7-15

X	US 6 303 978 B1 (DANIELS DWIGHT L [US] ET AL) 16. Oktober 2001 (2001-10-16)	1,5,6
A	Spalte 2, Zeile 21 - Spalte 5, Zeile 18; Abbildungen 1-7	7-15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2011/066917

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO 2007012992	A1	01-02-2007	CN	101233619 A		30-07-2008
			EP	1913641 A1		23-04-2008
			JP	2009503837 A		29-01-2009
			US	2009127690 A1		21-05-2009
			WO	2007012992 A1		01-02-2007

US 2010140648	A1	10-06-2010	JP	4808244 B2		02-11-2011
			JP	2010140942 A		24-06-2010
			KR	20100066397 A		17-06-2010
			US	2010140648 A1		10-06-2010

DE 102009012517	A1	16-09-2010	DE	102009012517 A1		16-09-2010
			TW	201112457 A		01-04-2011
			WO	2010102685 A1		16-09-2010

US 6489637	B1	03-12-2002	KR	20010006914 A		26-01-2001
			US	6489637 B1		03-12-2002

US 6303978	B1	16-10-2001	KEINE			
