

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95149933

※申請日期：95,12,29

※IPC 分類：609G 3/8

一、發明名稱：(中文/英文)

薄膜液晶顯示器之閘極驅動電路/ Gate Driver Structure of TFT-LCD Display

二、申請人：(共1人)

其樂達科技股份有限公司/Cheertek Inc.

代表人：(中文/英文)

葉垂奇/YEH, Tsuei-Chi

住居所或營業所地址：(中文/英文)

新竹市科學工業園區篤行一路2號/

No.2, Du-Sing First Road Science-Based Industrial Park, Hsinchu 300, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共3人)

姓名：(中文/英文)

張雅惠/ Chang, Ya-Hui

葉松鈞/ Yeh, Sung Yau

林志儒/ Jizoo Lin

國籍：(中文/英文)

中華民國/R.O.C

中華民國/R.O.C

中華民國/R.O.C

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種薄膜電晶體液晶顯示器 (TFT-LCD) 之控制電路，特別是有關於一種具有 XAO 功能之薄膜電晶體液晶顯示器之閘極控制電路結構。

### 【先前技術】

第 1 圖為一個薄膜電晶體液晶顯示器 10 (TFT-LCD) 之系統方塊圖，其中包含液晶面板 11 (LCD Panel)、源極驅動器 13 (Source Driver) 或稱資料驅動器(Data Driver)、閘極驅動器 12 (Gate Driver)或稱掃瞄驅動器(Scan Driver)、時序控制電路 14 (Timing Controller)及背光模組 15 (Backlight Module)。液晶面板顯示 11 是由背光模組 15 來提供光源以及由源極驅動器 13 和閘極驅動器 12 驅動作為顯示影像的控制，而時序控制電路 14 主要是產生時序控制信號，用來控制源極驅動器 13 和閘極驅動器 12 之動作。另外，因為內部電路需要很多組電壓源，故可藉由直流-直流轉換器 (power supply) 來產生多組電壓源供給其他電路使用。

第 2 圖為 TFT-LCD 面板的等效電路。如第 2 圖所示，TFT-LCD 面板 11 上的每一個子像素主要是由薄膜電晶體 16 (Thin Film Transistor; TFT)、液晶 161 和儲存電容  $C_s$  162 所構成。薄膜電晶體 16 的作用是當作一個開關，由閘極驅動器 12 依序掃描每一條掃描線，使其由上而下依序打開，如第 3 圖所示；在一整列的薄膜電晶體 16 打開同時，由源極驅動器 13 寫入資料電壓。儲存電容 ( $C_s$ ) 162，和液晶 161 並聯是用來增加電容量，以保持資料電壓。因此，閘極驅動器 12 主要是用來推動液晶面板 11 (Panel) 的閘陣列的驅動電路。

以一個高解析度的 TFT-LCD 顯示器來說，一個基本的顯示單元 pixel 則需要三個顯示的點，即分別為 RGB 三原色。例如，以一個 3000\*2400 解析度的 TFT-LCD 來說，共需要 3000\*2400\*3 個這樣的點組合而成。當 TFT-LCD 顯示器進行掃瞄時，係藉由閘極驅動器 12 送出的波形，依序將每一行的薄膜電晶體 16 打開，以便讓整排的源極驅動器 13 同時將一整行的顯示點充電到各自所需的電壓，以顯示不同的灰階。當這一行充好電時，閘極驅動器 12 便將電壓關閉，然後下一行的閘極驅動器 12 便將電壓打開，再由相同的一排源極驅動器 13 對下一行的顯示點進行充放電。如此依序下去，當充好了最後一行的顯示點，便又回過來從頭從第一行再開始充電，從而產生顯示效果。所以閘極驅動器 12 的主要功能是對液晶面板 11 充電到最高電壓或放電至最低電壓。

由於閘極驅動器 12 是要驅動薄膜電晶體液晶顯示面板 11 上的每一列 (row) 上所有的薄膜電晶體 16 之閘極，所以薄膜電晶體液晶顯示面板 11 本身就是一個很大的負載，又由於液晶顯示面板 11 上的薄膜電晶體 16 之閘極係使用高電壓來驅動，也就是使用高電壓驅動的方式來驅動薄膜電晶體 16 之閘極。基本的閘極驅動器之架構如第 4 圖所示，係由移位暫存器 120 (Shift Register)、邏輯控制電路 121 (Logic Control Circuit)、升壓器 122 (Level Shifter) 以及輸出緩衝器 124 (Output Buffer) 等部份所組成。當顯示資料由控制器 (未顯示於圖中) 輸出後，就由移位暫存器 120 係將所要顯示的資料連續讀入，以決定資料驅動的排列順序，然後將排序好的驅動資料送至邏輯控制電路 121 後，再逐次將資料送至升壓電路 122，最後再將升壓後的驅動資料經過輸出緩衝器 124 以高速及高電壓的驅動方式來驅動液晶顯示面板 11 上的每一個薄膜電晶體 16 之閘極。此外，由於閘極驅動電路整個運作過程均由數位電路驅動，因此移位暫存器 120 是由複數個 D 型正反器 (D Flip-Flop) 所組成；

而對於輸出點之主要考量為高速之高驅動力為主，因此輸出緩衝器 124 則由複數個反向閘 (inverter) 所組成。

此外，為了解決 TFT-LCD 關機殘影 (Image-Retention Effect) 的問題，目前大都使用 XAO function (power off control) 的技術來改善。XAO function 是指關機時，將 XAO 設定為低電壓狀態 (low level)，例如將邏輯低電壓設定為 0~3.3 伏特，使得閘極驅動器所有的輸出同時拉到高電壓狀態 (high level;  $V_{gh}$ )，並將所有薄膜電晶體 16 啟動，以使儲存電容 162 內的電荷能夠釋放掉，藉此方式來改善關機的殘影的問題。然而，XAO function 普遍的做法是將 XAO 訊號放進邏輯控制電路 121 並經過升壓器 122 將低電壓狀態轉換至至高壓輸出。在關機後，因所有電源只靠電容維持電壓，而使用這種電路時，會造成所有在低壓的薄膜電晶會同時動作，故吃掉很多電容上的電荷。因此，當高解析度的 TFT-LCD 在 XAO 的脈衝 (pulse) 到達後，係同時將所有的薄膜電晶體 16 之閘極電壓拉到高電壓狀態 ( $V_{gh}$ )，因此在啟動閘極驅動電路上的薄膜電晶體 16 之閘極的瞬間，產生大電流，而此一大電流會造成閘極驅動電路上的線路 (trace) 有燒毀之虞。此外，也會使得 VDD 電壓下降的很快，而導致升壓電路 122 轉態失敗，而使 XAO 失效。

#### 【發明內容】

在先前技術中，改善 TFT LCD 關機殘影之方式為將 XAO 的電壓設定為 low level，致使閘極驅動器所有的輸出同時拉到高壓狀態，以便能將所有薄膜電晶體打開，以放掉  $C_s$  (儲存電容) 內的電荷。但是同時啟動所有閘極驅動器上的薄膜電晶體，會使導線產生大電流而有燒毀之虞。為改善此一問題，本發明的設計可以降低瞬間同時啟動閘極驅動器上的薄膜電晶體，故可預防 trace 燒毀。同時，本發明係直接在高

壓做邏輯轉換，而不是從低壓轉高壓狀態，因此可以解決升壓裝置轉態失敗的機率。

依據上述之傳統閘極驅動器之缺點，本發明之一主要目的在提供一種薄膜電晶體液晶顯示器之閘極驅動電路結構，用以預防 XAO 啟動時，產生大電流燒毀 trace。

本發明之另一主要目的在提供一種薄膜電晶體液晶顯示器之閘極驅動電路結構，係將 XAO 只做高壓狀態控制，以防止 VDD 被往下拉導致 XAO 失效。

依據上述之目的，本發明首先提供一種薄膜電晶體液晶顯示器之閘極驅動器，包括：一個與輸入緩衝裝置連接之位移暫存裝置，複數個第一升壓裝置，其每一輸入端與位移暫存裝置連接；複數個輸出緩衝裝置，其每一輸入端與第一升壓裝置之每一個輸出端連接，並形成複數個輸出級 (cell)，且每一輸出緩衝裝置之輸入端均再與複數個輸出緩衝裝置之前一級之輸出端連接；及一個第二升壓裝置，其一輸入端與一低壓訊號連接，其第一輸出端與每一複數個第一升壓裝置連接，而第二輸出端則與每一輸出緩衝裝置之輸入端連接。

本發明接著提供一種薄膜電晶體液晶顯示器之閘極驅動電路結構，包括：複數個第一升壓裝置，其每一個輸入端與一個輸入訊號連接；複數個輸出緩衝裝置，其每一個輸入端與第一升壓裝置之每一個輸出端連接，並且有複數個輸出端；一個第二升壓裝置，其輸入端與一個低壓訊號連接且其第一輸出端與複數個第一升壓裝置連接；而複數個第一升壓裝置之每一個輸出端與複數個輸出緩衝裝置之每一個輸入端的連接線之間更並聯一對串接之第一金氧半導體元件及第二金氧半導體元件，並且每一個第一金氧半導體元件之閘極端與前一級之輸出緩衝裝置之輸出端連接，而每一個第二金氧半導體元件之閘極端均與第二升壓裝置之第二輸出端連接。

本發明接著再提供一種薄膜電晶體液晶顯示器之閘極驅動電路結構，包括：複數個第一升壓裝置，其每一個輸入端與一個輸入訊號連接；複數個輸出緩衝裝置，其每一個輸入端與第一升壓裝置之每一個輸出端連接，並且有複數個輸出端；一個第二升壓裝置，其輸入端與一個低壓訊號連接且其第一輸出端與複數個第一升壓裝置連接；而複數個第一升壓裝置之每一個輸出端與複數個輸出緩衝裝置的輸入端之連接線之間更並聯一對串接之第一互補式金氧半導體元件及第二互補式金氧半導體元件，並且每一個第一互補式金氧半導體元件之閘極端均與前一級之輸出緩衝裝置之輸出端連接，而每一個第二互補式金氧半導體元件之閘極端與第二升壓裝置之第二輸出端及第三輸出端連接。

本發明進一步提供一種薄膜電晶體液晶顯示器之閘極驅動電路結構，包括：複數個第一升壓裝置，其每一個輸入端與一個輸入訊號連接；複數個輸出緩衝裝置，其每一個輸出緩衝裝置均由一個 P 型金氧半導體元件與一個第一 N 型金氧半導體元件串接所形成，並且有複數個輸出端，而每一個 P 型金氧半導體元件之閘極端與一個第一反向器之輸出端連接且第一反向器之輸入端與一個補償電路之輸出端連接，同時第一反向器之輸入端再與第一升壓裝置之一第一輸出端連接，而每一個第一 N 型金氧半導體元件之閘極端與第一升壓裝置之第二輸出端以及一個第二 N 型金氧半導體元件連接；一個第二升壓裝置，其輸入端與一個低壓訊號連接且其第一輸出端與複數個第一升壓裝置連接，而其第二輸出端與複數個第二 N 型金氧半導體元件連接。

### 【實施方式】

本發明在此所探討的方向為一種薄膜電晶體液晶顯示器之閘極控

制電路之結構。為了能徹底地瞭解本發明，將在下列的描述中提出詳盡的構造。本發明的較佳實施例會詳細描述如下，然而除了這些詳細描述之外，本發明還可以廣泛地施行在其他的實施例中，且本發明的範圍不受限定，其以之後的申請專利範圍為準。

首先，請參考第 5 圖，係本發明之閘極驅動器之架構圖，由輸入緩衝器 520 (input buffer)、移位暫存器 521 (shift register)、邏輯控制電路 555、複數個第 1 升壓裝置 522 (1<sup>st</sup> level shifter)、第 2 升壓裝置 523 (2<sup>nd</sup> level shifter) 以及複數個輸出緩衝器 524 (output buffer) 等所組成。同樣的，當顯示資料由控制器 (未顯示於圖中) 輸出並經過輸入緩衝器 520 (input buffer) 之後，就由移位暫存器 521 依據啟動訊號 (Vertical Start Pulse; STV) 將所要掃描的資料從複數個輸入端連續讀入，以決定資料驅動的排列順序，然後將排序好的驅動資料從複數個輸出端送至邏輯控制電路 121 後，再逐次將資料送至對應的複數個第 1 升壓裝置 522，以將掃描訊號電壓升高，最後再將升壓後的複數個掃描驅動資料經過輸出緩衝器 524 以高速的驅動方式來驅動液晶顯示面板 11 上的每一個薄膜電晶體 16 之閘極。同時，為解決傳統之 TFT-LCD 關機殘影的問題，本發明將 XAO 訊號與第 2 升壓裝置 523 連接，因此當 XAO 訊號到達後，將此 XAO 訊號經過第 2 升壓裝置 523，除了將 XAO 訊號升至高電壓外，還進一步第 1 升壓裝置 522 之正回授路徑打斷，因此使得第 1 升壓裝置 522 之輸出端為浮動 (floating) 狀態；同時，第 2 升壓裝置 523 之輸出端則分別與複數個輸出緩衝器 524 連接。此外，本發明更將複數個輸出緩衝器 524 所形成之複數個輸出級 (cell) 再回授至下一級的輸出緩衝器 524，如此一來，所有輸出緩衝器 524 會因前一級的輸出訊號拉到高電壓後，才會啟動下一級的輸出訊號跟著被拉到高電壓，因此輸出緩衝器 524 的每一個輸入訊號是依序被拉到高電壓，故可改善 XAO 啟動時，所有輸出緩衝器 524 的輸出訊號同時



被拉到高壓而產生大電流，故可解決大電流燒毀導線的缺點。並因 XAO 只在高壓電路作控制，可防止 VDD 被往下拉導致 XAO 失效。接著，將以實際的電路來說明。

接著，請參考第 6 圖及第 7 圖，係本發明閘極驅動電路之示意圖，其中第 6 圖係本發明閘極驅動電路之一個基本單元，而第 7 圖則為本發明之一個具體實施例之電路之示意圖。

如第 6 圖所示，本發明之閘極驅動電路之基本單元係由一個第 1 升壓裝置 522、一個輸出緩衝器 524、一個第 2 升壓裝置 523、及兩個半導體元件 (M1; M2) 所組成，此半導體元件 (M1; M2) 可以是 N 型半導體元件或是 P 型半導體元件；例如，當半導體元件 M1 及 M2 均為 NMOS 時，則此兩個半導體元件 M1 及 M2 的閘極端是與前一級的輸出訊號 (Pre\_out) 及 XAO 之高電壓之反轉訊號 (反 HV\_XAO) 連接。當正常動作時，第 1 升壓裝置 522 接收來自位移暫存器 521 之低電壓訊號後，會將此低電壓訊號升至高電壓狀態，此高電壓狀態包括高電壓高位準訊號 (Vgh)，例如 +25V，及高電壓低位準訊號 (Vgl)，例如 -15V。然後將此高電壓訊號傳送至個輸出緩衝器 524，此時，兩個半導體元件 M1 及 M2 均沒有導通。當 XAO 訊號到達後，XAO 訊號會經過第 2 升壓裝置 523，一方面將 XAO 訊號升至高電壓，另一方面將第 1 升壓裝置 522 的正迴授電路打斷，使得第 1 升壓裝置 522 之輸出端為浮動狀態。由於，半導體元件 M2 之閘極與第 2 升壓裝置 523 之高電壓高位準 (Vgh) 訊號連接，故此時的半導體元件 M2 已經準備導通 (ready to turn on)。因此，當半導體元件 M1 之閘極電壓 (Pre\_out) 為一高電壓訊號時，則可將半導體元件 M1 及 M2 均導通，而使得輸出緩衝器 524 之輸入端訊號被拉到高電壓低位準 (Vgl) 的狀態，最後再經由輸出緩衝器 524 將此 Vgl 訊號轉換為高電壓高位準訊號 (Vgh) 並回

授至下一級的半導體元件 M1 之閘極端。

在此要強調，第 6 圖係本發明閘極驅動電路基本單元之結構及操作說明，其實際之電路將在第 7 圖中詳細說明。同時，第 1 升壓裝置 522 也可以使用兩個串聯的升壓裝置來逐漸將低壓訊號升高至高壓訊號，其過程係屬先進之技術，不在此贅述。

請繼續參考第 7 圖，第 7 圖係本發明之一具體實施例，係由一個第 2 升壓裝置 523 及複數個基本單元所組成，而每一個基本單元包括一個第 1 升壓裝置 522 及一個輸出緩衝器 524，並且個第 1 升壓裝置 522 及輸出緩衝器 524 的连接線之間還並聯兩個半導體元件 M1 及 M2。由於基本單元的操作過程已於第 6 圖中說明，故在本實施例如下的說明中，係以 XAO 訊號到達後之電路操作為說明重點。

首先，當 XAO 尚未啟動時，複數個輸出緩衝器 524 的輸出訊號如第 3 圖所示，為一群依序排列的脈衝訊號。接著，當 XAO 啟動時，因 XAO 提供一個低電壓之訊號，並且經過第 2 升壓裝置 523 轉為高電壓訊號，同時也會發出一個訊號將第 1 升壓裝置 522 之正回授路徑被打斷(即關閉;OFF)，因此使得第 1 升壓裝置 522 之輸出端為浮動(floating)狀態；因此在第 1 升壓裝置 522 之輸出端轉變為浮動的瞬間，會使得第 1 升壓裝置 522 之輸出端的電壓及電流產生變動，例如：第 1 升壓裝置 522 之輸出端的電壓可能由寄生電容維持  $V_{gh}$ ，但也有可能由寄生電容維持  $V_{gl}$ 。此時，每一單元中的半導體元件 M2 之閘極端與第 2 升壓裝置 523 之輸出端連接，同時，因第 2 升壓裝置 523 之輸出為高電壓訊號，故使得半導體元件 M2 已經處在準備導通的狀態。以最上層的單元為例來說明，由於半導體元件 M11 與前一級的輸出端連接，故當前一級輸出訊號的高電壓脈衝尚未到達前，即使半導體元件 M21 已經準備導通，但因半導體元件 M11 並未導通，故半導體元件 M11 及

M21 均不會被導通；唯有當前一級輸出之高電壓脈衝到達後，使得半導體元件 M11 被導通，同時也一併將半導體元件 M21 導通，使得輸出緩衝裝置 524 之輸入電壓會改變成  $V_{gl}$ ，故輸出緩衝裝置 524 之輸出訊號會變成高壓 ( $V_{gh}$ )。接著，將此第 1 級輸出電壓訊號再回授至下一級 (即第 2 級) 之半導體元件 M12 之閘極 (請參考第 7 圖)。半導體元件 M12 會在前一級輸出之高電壓訊號到達時被啟動，隨之也啟動半導體元件 M22。由於半導體元件 M12 及半導體元件 M22 均啟動，因此第 2 級的輸出緩衝裝置 524 之輸入電壓會改變成  $V_{gl}$ ，故第 2 級之輸出緩衝裝置 524 之輸出電壓會變成  $V_{gh}$ ；很明顯地，第 2 級的輸出訊號變成高電壓訊號與第 1 級輸出訊號變成高電壓訊號之間會有一個時間延遲，這是因為回授電路所產生的時間延遲。同樣的，當輸出緩衝器 524 的第 2 級輸出訊號再依序回授至第  $n$  級時，也會使得半導體元件  $M1n$  及半導體元件  $M2n$  均啟動，因此第  $n$  級之輸出緩衝裝置 524 之輸入電壓會改變成  $V_{gl}$ ，故其輸出訊號也會變成  $V_{gh}$ ；同樣的，第  $n$  級之輸出訊號變成高電壓訊號與前一級之高電壓輸出訊號之間也有一個時間延遲。如此一來，所有輸出緩衝器 524 會因前一級輸出訊號拉到高電壓後，下一級的輸出訊號會在一個時間延遲後才會跟著被拉到高電壓，故輸出緩衝器 524 的每一個輸入訊號是依序被拉到高電壓，如第 8 圖所示。很明顯地，本發明之閘級驅動電路可改善 XAO 啟動時，所有輸出緩衝器 524 的輸出訊號同時被拉到高電壓而產生大電流的問題，而每一輸出訊號間的位移 (shifting) 時間可為 10 微秒 ( $10\mu s$ ) 至 10 奈秒 ( $10ns$ ) 之間，故可解決大電流燒毀導線的缺點。此外，在上述之過程中，電路均在高電壓做邏輯轉換，而不是從低電壓轉高電壓狀態，因此也可以同時解決升壓裝置 (522; 523) 轉態失敗的機率。

接著，本發明繼續提供另一閘極驅動電路，請參考第 9 圖。第 9 圖係本發明閘極驅動電路之另一實施例之基本單元，而本具體實施例

之電路連接方式同第 7 圖之連接方式。如第 9 圖所示，本發明之閘極驅動電路之基本單元其由一個第 1 升壓裝置 522、一個第 2 升壓裝置 523、一個輸出緩衝器 524 及四個半導體元件 (M1; M2; M3; M4) 所形成的兩個互補式金氧半導體元件 (CMOS) 所組成，其中 M1 及 M4 所形成的互補式金氧半導體元件的閘極端是與前一級的輸出訊號 (Pre\_out) 連接，而 M2 及 M3 所形成的互補式金氧半導體元件的閘極端是與 HV\_XAO 及反 HV\_XAO 訊號連接；此外，第 2 升壓裝置 523 與第 1 升壓裝置 522 連接。很明顯地，第 9 圖與第 6 圖之間的差異在於第 9 圖多了兩個半導體元件 (M3; M4)。

當 XAO 啟動時，因 XAO 提供一個低電壓之訊號，並且經過第 2 升壓裝置 523 轉為高電壓訊號，同時也會發出一個訊號將第 1 升壓裝置 522 之正回授路徑被打斷，因此使得第 1 升壓裝置 522 之輸出端為浮動 (floating) 狀態；因此在第 1 升壓裝置 522 之輸出端轉變為浮動的瞬間，會使得第 1 升壓裝置 522 之輸出端的電壓及電流產生變動。此時半導體元件 M2 及半導體元件 M3 之閘極分別與第 2 升壓裝置 523 所輸出之高電壓高位準 Vgh (即反 HV\_XAO) 及高電壓低位準 Vgl (即 HV\_XAO) 連接，故此時的半導體元件 M2、M3 已準備導通，同時半導體元件 M1 及半導體元件 M4 之閘極與輸出緩衝器 524 的前一級輸出訊號連接。故當前一級輸出緩衝器 524 之輸出訊號為 Vgl 時，半導體元件 M3 及 M4 會被導通，而半導體元件 M1 未被導通，使得半導體元件 M2 也不會被導通，因此第 9 圖上的 A 點會因為半導體元件 M3 及 M4 的導通而為一高壓訊號 (Vgh)，很明顯地，A 點的浮動 (floating) 狀態已經被解除；換句話說，A 點的電壓訊號係由半導體元件 M3 及 M4 的導通狀態決定。因此，當 M3 及 M4 被導通而使 A 點維持在高電壓時，可以使得輸出緩衝器 524 的輸出訊號保持為 Vgl 訊號。而當第 N 個輸出訊號的高電壓脈衝到達後，會使半導體元件 M4 被關閉，同時使

半導體元件 M1 及 M2 被導通，因而使得 A 點電壓被拉到  $V_{gl}$ ，也就是說，A 點的低電壓訊號係由半導體元件 M1 及 M2 的導通狀態來決定，故使得輸出緩衝器 524 的輸出訊號轉變為高電壓 ( $V_{gh}$ )。很明顯地，A 點的電壓訊號係由四個半導體元件 (M1; M2; M3; M4) 的導通狀態決定，故可改善 XAO 啟動時，第 1 升壓裝置 522 之輸出端為浮動的狀態。很明顯地，將本實施例之基本單元取代第 7 圖中的基本單元後，其每一個輸出緩衝器 524 之輸出電壓會因前一級輸出訊號拉到高電壓 ( $V_{gh}$ ) 後，下一級的輸出訊號會在一個時間延遲後才會跟著被拉到  $V_{gh}$ ，因此每一個輸出緩衝器 524 的輸入訊號是依序被拉到高電壓，如第 8 圖所示。故本發明之閘級驅動電路也可改善 XAO 啟動時，所有輸出緩衝器 524 的輸出訊號同時被拉到高電壓而產生大電流，而每一輸出訊號間的位移 (shifting) 時間可為 10 微秒 ( $10\mu s$ ) 至 10 奈秒 ( $10ns$ ) 之間，故可解決大電流燒毀導線的缺點。此外，在上述之過程中，電路均在高電壓做邏輯轉換，而不是從低電壓轉高電壓狀態，因此也可以同時解決升壓裝置 (522; 523) 轉態失敗的機率。

在本發明上述之閘極驅動電路中，輸出緩衝裝置 524 均為一反向器 (Inverter)，當反向器在做訊號轉換時，會有短暫的瞬間使 PMOS 及 NMOS 同時導通，這會產生暫態電流，故當閘極驅動電路在高壓、高速及高電流狀態下進行驅動時，此一暫態電流會消耗大量的功率 (Power)。為了使本發明之閘極驅動電路不會產生此種暫態電流，將再揭露一種具有補償電路的閘極驅動電路。

請參考第 10 圖，為本發明之具有補償電路的閘極驅動電路之再一實施例之基本單元，而本具體實施例之電路連接方式同第 7 圖之連接方式。如第 10 圖所示，本實施例之閘極驅動電路之基本單元係由一個第 1 升壓裝置 522 及一個第 2 升壓裝置 523，以及由一個 P 型金氧半導

體元件 MP 與一個 N 型金氧半導體元件 MN 串接所形成之輸出緩衝器，其中每一個 P 型金氧半導體元件 MP 之閘極端再與一個反向器 I1 之輸出端連接且反向器 I1 之輸入端與一個補償電路 526 之輸出端連接，接著，反向器 I1 之輸入端再與第 1 升壓裝置 522 之一端連接，例如一正向之輸出端；而每一 N 型金氧半導體元件 MN 之閘極端與第 1 升壓裝置 522 之另一端以及另一 N 型金氧半導體元件 M5 連接，而半導體元件 M5 之閘極端與反 HV\_XOA 電壓連接；其中上述補償電路 526 係由一對互補式半導體元件 (M1; M2; M3; M4) 所組成，其中兩個半導體元件之閘極端(例如 M2 及 M3)與另一反向器 I2 之輸出端連接，而此一反向器 I2 之輸入端與前一級之輸出訊號 (Pre\_out) 連接；此外，補償電路 526 之另一個互補式半導體元件之 PMOS (M1) 的閘極端與 HV\_XOA 電壓連接，而 NMOS (M4) 的閘極端與反 HV\_XOA 電壓連接。

當 XAO 啟動時，因 XAO 提供一個低電壓之訊號，並且經過第 2 升壓裝置 523 轉為高電壓訊號，同時也會發出一個訊號將第 1 升壓裝置 522 之正回授路徑被打斷，因此使得第 1 升壓裝置 522 之輸出端為浮動 (floating) 狀態。在第 1 升壓裝置 522 之輸出端轉變為浮動的瞬間，會使得第 1 升壓裝置 522 之輸出端的電壓及電流產生變動。此時半導體元件 M5 之閘極與高壓的反 HV\_XAO 訊號連接，故半導體元件 M5 會導通 (Turn on)，使得 B 點的電壓變成  $V_{gl}$ ，也因此使得輸出緩衝器中的半導體元件 MN 關閉 (Turn off)。同時，當補償電路 526 中的反向器 I2 在前一輸出訊號之脈衝尚未到達前 (即還未拉到高壓)，補償電路 526 中的半導體元件 M2 被關閉，而半導體元件 M1、M3 及 M4 被導通，因此使得 A 點的電壓維持在  $V_{gl}$ ，也因此輸出緩衝器中的半導體元件 MP 也是關閉的，直到前一個輸出訊號之高電壓脈衝到達後，使得補償電路 526 中的半導體元件 M3 被關閉而半導體元件 M1、M2

及 M4 被導通時，會使得 A 點的電壓轉變成高電壓 ( $V_{gh}$ )，在經過反向器 I1 後，可將 A 點的  $V_{gh}$  轉變成  $V_{gl}$ ，故此時的半導體元件 MP 會被導通並且輸出一個  $V_{gh}$  之輸出訊號。

很明顯地，將本實施例之基本單元取代第 7 圖中的基本單元後，本具體實施例的電路也會與前述之電路相同的輸出結果，也就是說，當所有輸出緩衝器會因前一級輸出訊號拉到高電壓後，下一級的輸出訊號才會在一個時間延遲後，跟著被拉到高電壓，因此輸出緩衝器的每一個輸入訊號是依序被拉到高電壓，故可改善 XAO 啟動時，使所有輸出緩衝器的輸出訊號同時被拉到高壓而產生大電流，而在本實施例中，每一輸出訊號間的位移 (shifting) 時間可為 10 微秒 ( $10\mu s$ ) 至 10 奈秒 ( $10ns$ ) 之間，故可解決大電流燒毀導線的缺點。此外，在上述之過程中，電路均在高壓做邏輯轉換，而不是從低壓轉高壓狀態，因此也可以同時解決升壓裝置 (522; 523) 轉態失敗的機率。更由於輸出緩衝器中的半導體元件 MP 及 MN 的閘極是由第 1 升壓裝置 522 的兩個輸出端分開控制，故在輸出緩衝器輸出驅動訊號時，會先把 MN 半導體元件關閉，故可減少 MP 到 MN 半導體元件間的漏電。

顯然地，依照上面實施例中的描述，本發明可能有許多的修正與差異。因此需要在其附加的權利要求項之範圍內加以理解，除了上述詳細的描述外，本發明還可以廣泛地在其他的實施例中施行。上述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成的等效改變或修飾，均應包含在下述申請專利範圍內。

#### 【圖式簡單說明】

第 1 圖係 TFT-LCD 顯示器之先前技術構造之示意圖；

第 2 圖係先前技術之 TFT-LCD 顯示面板之等效示意圖；

第 3 圖係先前技術之閘極驅動器之輸出訊號示意圖；

第 4 圖係先前技術之閘極驅動器之構造示意圖；

第 5 圖係本發明之閘極驅動器之構造示意圖；

第 6 圖係本發明之閘極驅動電路之一基本單元示意圖；

第 7 圖係本發明之閘極驅動電路之一具體實施例示意圖；

第 8 圖係本發明之閘極驅動電路之輸出訊號示意圖

第 9 圖係本發明之閘極驅動電路之另一具體實施例示意圖；以及

第 10 圖係本發明之閘極驅動電路之再一具體實施例示意圖。

**【主要元件符號說明】**

10 薄膜電晶體液晶顯示器

11 液晶面板

12 閘極驅動器

13 源極驅動器

14 時序控制電路

15 背光模組

16 薄膜電晶體

120 移位暫存器

121 邏輯控制電路

122 升壓器

124 輸出緩衝器

161 儲存電容

162 液晶

520 輸入緩衝器



521 移位暫存器

522 第 1 升壓裝置

523 第 2 升壓裝置

524 輸出緩衝裝置

526 補償電路

555 邏輯控制電路

M 半導體元件

I 反向器元件

## 五、中文發明摘要：

一種薄膜電晶體液晶顯示器之閘極驅動電路結構，包括：複數個第一升壓裝置，其每一個輸入端與一個輸入訊號連接；複數個輸出緩衝裝置，其每一個輸入端與第一升壓裝置之每一個輸出端連接，並且有複數個輸出端；一個第二升壓裝置，其輸入端與一個低壓訊號連接且其第一輸出端與複數個第一升壓裝置連接；而複數個第一升壓裝置之每一個輸出端與複數個輸出緩衝裝置之每一個輸入端的連接線之間更並聯一對串接之第一金氧半導體元件及第二金氧半導體元件，並且每一個第一金氧半導體元件之閘極端與前一級之輸出緩衝裝置之輸出端連接，而每一個第二金氧半導體元件之閘極端均與第二升壓裝置之第二輸出端連接。

## 六、英文發明摘要：

A gate driver structure of TFT-LCD display, comprising: a plurality of first level shifts, each input terminal of which being connected with an input signal; a plurality of output buffers with a plurality of output terminals, each input terminal of the output buffers being connected with each output terminal of the first level shifts; a second level shift, the input terminal of which being connected with a low voltage signal and the first output terminal of which being connected with a plurality of first level shifts. In addition, the connecting wires between each output terminal of the plurality of first level shifts and each input terminal of the plurality of output buffers are in parallel with a pair of first MOS and second MOS daisy-chained together. The gate of each first MOS is connected with the output terminal of output buffer of the previous level, and the

gate of each second MOS is connected with the second output terminal of the second level shift.

### 七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

- |     |        |
|-----|--------|
| 520 | 輸入緩衝裝置 |
| 521 | 位移暫存器  |
| 522 | 第1升壓裝置 |
| 523 | 第2升壓裝置 |
| 524 | 輸出緩衝裝置 |
| 555 | 邏輯控制電路 |

### 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 十、申請專利範圍：

1. 一種薄膜電晶體液晶顯示器之閘極驅動電路，包括：

複數個第一升壓裝置，其每一輸入端與一個輸入訊號連接；

複數個輸出緩衝裝置，其每一輸入端與該第一升壓裝置之每一輸出端連接，並且有複數個輸出端；及

一第二升壓裝置，其一輸入端與一低壓訊號連接且其第一輸出端與該複數個第一升壓裝置連接；

其中該複數個第一升壓裝置之每一輸出端與該複數個輸出緩衝裝置之每一輸入端的連接線之間更並聯一對串接之一第一金氧半導體元件（MOS）及一第二金氧半導體元件，並且每一該第一金氧半導體元件之閘極端與一前一級之該輸出緩衝裝置之輸出端連接，而每一該第二金氧半導體元件之閘極端均與該第二升壓裝置之一第二輸出端連接。

2. 如申請專利範圍第 1 項所述之閘極驅動電路，其中該輸出緩衝裝置為一反向閘。

3. 如申請專利範圍第 1 項所述之閘極驅動電路，其中該對串接之金氧半導體元件為 N 型金氧半導體元件（NMOS）。

4. 如申請專利範圍第 1 項所述之閘極驅動電路，其中該第二升壓裝置之該低壓訊號為一 XAO 訊號。

5. 如申請專利範圍第 1 項所述之閘極驅動電路，其中該第二金氧半導體元件之閘極端與一高電壓高位準之 XAO 訊號（反 HV\_XAO）連接。

6. 一種薄膜電晶體液晶顯示器之閘極驅動電路，包括：

複數個第一升壓裝置，其每一輸入端與一個輸入訊號連接；

複數個輸出緩衝裝置，其每一輸入端與該第一升壓裝置之每一輸出端連接，並且有複數個輸出端；及

一第二升壓裝置，其一輸入端與一低壓訊號連接且其第一輸出端與該複數個第一升壓裝置連接；

其中該複數個第一升壓裝置之每一輸出端與該複數個輸出緩衝裝置的輸入端之連接線之間更並聯一對串接之一第一互補式金氧半導體元件 (CMOS) 及一第二互補式金氧半導體元件，並且每一該第一互補式金氧半導體元件之閘極端均與一前一級之該輸出緩衝裝置之輸出端連接，而每一該第二互補式金氧半導體元件之閘極端與該第二升壓裝置之一第二輸出端及一第三輸出端連接。

7. 如申請專利範圍第 6 項所述之閘極驅動電路，其中該輸出緩衝裝置為一反向閘。

8. 如申請專利範圍第 6 項所述之閘極驅動電路，其中該第二升壓裝置之該低壓訊號為一 XAO 訊號。

9. 如申請專利範圍第 6 項所述之閘極驅動電路，其中該第二互補式金氧半導體元件中之一 P 型金氧半導體元件之閘極端與一高電壓低位準之 XAO 訊號 (HV\_XAO) 連接，而該第二互補式金氧半導體元件中之一 N 型金氧半導體元件之閘極端與一高電壓高位準之 XAO 訊號 (反 HV\_XAO) 連接。

10. 一種薄膜電晶體液晶顯示器之閘極驅動電路，包括：

複數個第一升壓裝置，其每一輸入端與一個輸入訊號連接；

複數個輸出緩衝裝置，其每一輸出緩衝裝置均由一 P 型金氧半導體元件 (PMOS) 與一第一 N 型金氧半導體元件 (NMOS) 串接所形成，並且有複數個輸出端，其中每一該 P 型金氧半導體元件之閘極端與一第一反向器之輸出端連接且該第一反向器之輸入端與一補償電路之輸出端連接，同時該第一反向器之輸入端再與該第一升壓裝置之一第一輸出端連接，而每一該第一 N 型金氧半導體元件之閘極端與該第一升壓裝置之一第二輸出端以及一第二 N 型金氧半導體元件連接；及

一第二升壓裝置，其一輸入端與一低壓訊號連接且其第一輸出端與該複數個第一升壓裝置連接，而其第二輸出端與該複數個第二 N 型金氧半導體元件連接。

11. 如申請專利範圍第 10 項所述之閘極驅動電路，其中該第二升壓裝置之該低壓訊號為一 XAO 訊號。

12. 如申請專利範圍第 10 項所述之閘極驅動電路，其中該補償電路係由一第一互補式金氧半導體元件 (CMOS)、一第二互補式金氧半導體元件以及一第二反向器所組成。

13. 如申請專利範圍第 10 項所述之閘極驅動電路，其中該補償電路中之該第一互補式金氧半導體元件之閘極端均與該第二反向器之輸出端連接，而該第二反向器之輸入端與前一級之該輸出緩衝裝置之輸出端連接。

14. 如申請專利範圍第 10 項所述之閘極驅動電路，其中該補償電路中之該第二互補式金氧半導體元件中之一 P 型金氧半導體元件之閘極端與一高電壓低位準之 XAO 訊號 (HV\_XAO) 連接，而該第二互補式金氧半導體元件中之一 N 型金氧半導體元件之閘極端與一高電壓高位準之 XAO 訊號 (反 HV\_XAO) 連接。

15. 一種薄膜電晶體液晶顯示器，係由一液晶面板、至少一個源極驅動器、至少一個閘極驅動器、一時序控制電路以及一背光模組所組成，其特徵在於每一該閘極驅動電路，包括：

複數個第一升壓裝置，其每一輸入端與一個輸入訊號連接；

複數個輸出緩衝裝置，其每一輸入端與該第一升壓裝置之每一輸出端連接，並且有複數個輸出端；及

一第二升壓裝置，其一輸入端與一低壓訊號連接且其第一輸出端與該複數個第一升壓裝置連接；

其中該複數個第一升壓裝置之每一輸出端與該複數個輸出緩衝裝

置之每一輸入端的連接線之間更並聯一對串接之一第一金氧半導體元件 (MOS) 及一第二金氧半導體元件，並且每一該第一金氧半導體元件之閘極端與一前一級之該輸出緩衝裝置之輸出端連接，而每一該第二金氧半導體元件之閘極端均與該第二升壓裝置之一第二輸出端連接。

16. 如申請專利範圍第 15 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該輸出緩衝裝置為一反向閘。

17. 如申請專利範圍第 15 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該對串接之金氧半導體元件為 N 型金氧半導體元件 (NMOS)。

18. 如申請專利範圍第 15 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該第二升壓裝置之該低壓訊號為一 XAO 訊號。

19. 如申請專利範圍第 15 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該第二金氧半導體元件之閘極端與一高電壓高位準之 XAO 訊號 (反 HV\_XAO) 連接。

20. 一種薄膜電晶體液晶顯示器，係由一液晶面板、至少一個源極驅動器、至少一個閘極驅動器、一時序控制電路以及一背光模組所組成，其特徵在於每一該閘極驅動電路，包括：

複數個第一升壓裝置，其每一輸入端與一個輸入訊號連接；

複數個輸出緩衝裝置，其每一輸入端與該第一升壓裝置之每一輸出端連接，並且有複數個輸出端；及

一第二升壓裝置，其一輸入端與一低壓訊號連接且其第一輸出端與該複數個第一升壓裝置連接；

其中該複數個第一升壓裝置之每一輸出端與該複數個輸出緩衝裝置的輸入端之連接線之間更並聯一對串接之一第一互補式金氧半導體元件 (CMOS) 及一第二互補式金氧半導體元件，並且每一該第一互補

式金氧半導體元件之閘極端均與一前一級之該輸出緩衝裝置之輸出端連接，而每一該第二互補式金氧半導體元件之閘極端與該第二升壓裝置之一第二輸出端及一第三輸出端連接。

21. 如申請專利範圍第 20 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該輸出緩衝裝置為一正反器。

22. 如申請專利範圍第 20 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該第二升壓裝置之該低壓訊號為一 XAO 訊號。

23. 如申請專利範圍第 20 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該第二互補式金氧半導體元件中之一 P 型金氧半導體元件之閘極端與一高電壓低位準之 XAO 訊號 (HV\_XAO) 連接，而該第二互補式金氧半導體元件中之一 N 型金氧半導體元件之閘極端與一高電壓高位準之 XAO 訊號 (反 HV\_XAO) 連接。

24. 一種薄膜電晶體液晶顯示器，係由一液晶面板、至少一個源極驅動器、至少一個閘極驅動器、一時序控制電路以及一背光模組所組成，其特徵在於每一該閘極驅動電路，包括：

複數個第一升壓裝置，其每一輸入端與一個輸入訊號連接；

複數個輸出緩衝裝置，其每一輸出緩衝裝置均由一 P 型金氧半導體元件 (PMOS) 與一第一 N 型金氧半導體元件 (NMOS) 串接所形成，並且有複數個輸出端，其中每一該 P 型金氧半導體元件之閘極端與一第一反向器之輸出端連接且該第一反向器之輸入端與一補償電路之輸出端連接，同時該第一反向器之輸入端再與該第一升壓裝置之一第一輸出端連接，而每一該第一 N 型金氧半導體元件之閘極端與該第一升壓裝置之一第二輸出端以及一第二 N 型金氧半導體元件連接；及

一第二升壓裝置，其一輸入端與一低壓訊號連接且其第一輸出端與該複數個第一升壓裝置連接，而其第二輸出端與該複數個第二 N 型金氧半導體元件連接。

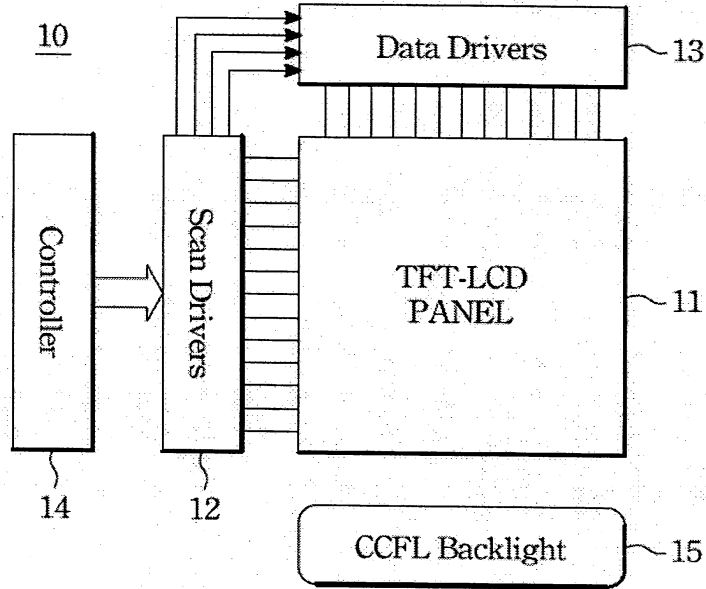


25. 如申請專利範圍第 24 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該第二升壓裝置之該低壓訊號為一 XAO 訊號。
26. 如申請專利範圍第 24 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該補償電路係由一第一互補式金氧半導體元件 (CMOS)、一第二互補式金氧半導體元件以及一第二反向器所組成。
27. 如申請專利範圍第 24 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該補償電路中之該第一互補式金氧半導體元件之閘極端均與該第二反向器之輸出端連接，而該第二反向器之輸入端與前一級之該輸出緩衝裝置之輸出端連接。
28. 如申請專利範圍第 24 項所述之薄膜電晶體液晶顯示器，其中該閘極驅動電路之該補償電路中之該第二互補式金氧半導體元件中之一 P 型金氧半導體元件之閘極端與一高電壓低位準之 XAO 訊號 (HV\_XAO) 連接，而該第二互補式金氧半導體元件中之一 N 型金氧半導體元件之閘極端與一高電壓高位準之 XAO 訊號 (反 HV\_XAO) 連接。
29. 一種薄膜電晶體液晶顯示器之閘極驅動器，包括：  
一位移暫存裝置，係與一輸入緩衝裝置連接；  
複數個第一升壓裝置，其每一輸入端與該位移暫存裝置連接；  
複數個輸出緩衝裝置，其每一輸入端與該第一升壓裝置之每一輸出端連接，並形成複數個輸出級 (cell)，且每一該輸出緩衝裝置之輸入端均再與該複數個輸出緩衝裝置之前一級之輸出端連接；及  
一第二升壓裝置，其一輸入端與一低壓訊號連接，其一第一輸出端與每一該複數個第一升壓裝置連接，而其第二輸出端則與每一該輸出緩衝裝置之輸入端連接。
30. 如申請專利範圍第 29 項所述之閘極驅動器，其進一步具有一邏輯控制電路與該位移暫存裝置及該第一升壓裝置連接。

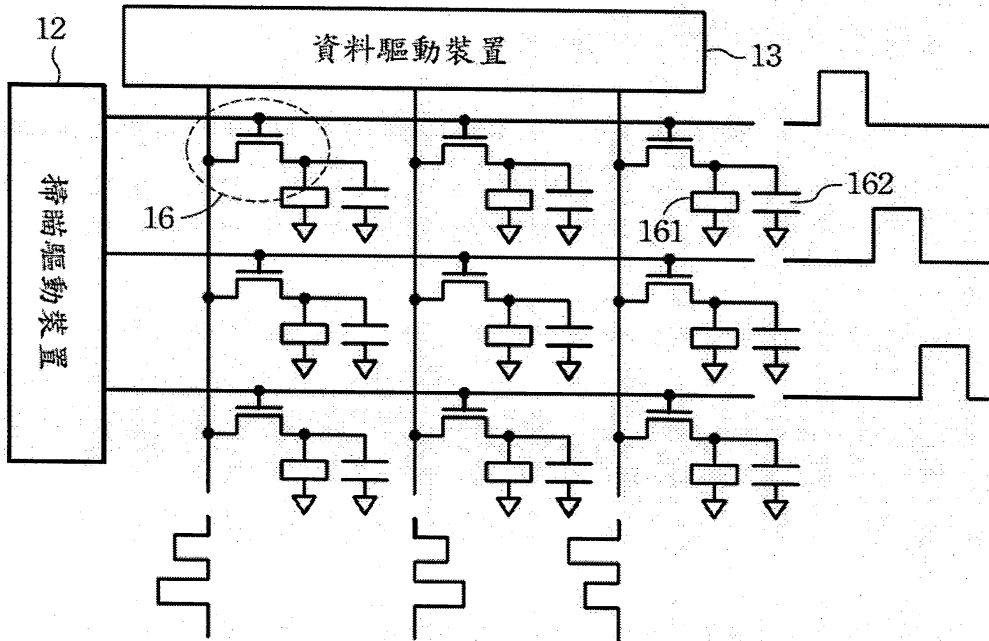
31. 如申請專利範圍第 29 項所述之閘極驅動器，其中該輸出緩衝裝置為一反向閘。

32. 如申請專利範圍第 29 項所述之閘極驅動器，其中該第二升壓裝置之該低壓訊號為一 XAO 訊號。

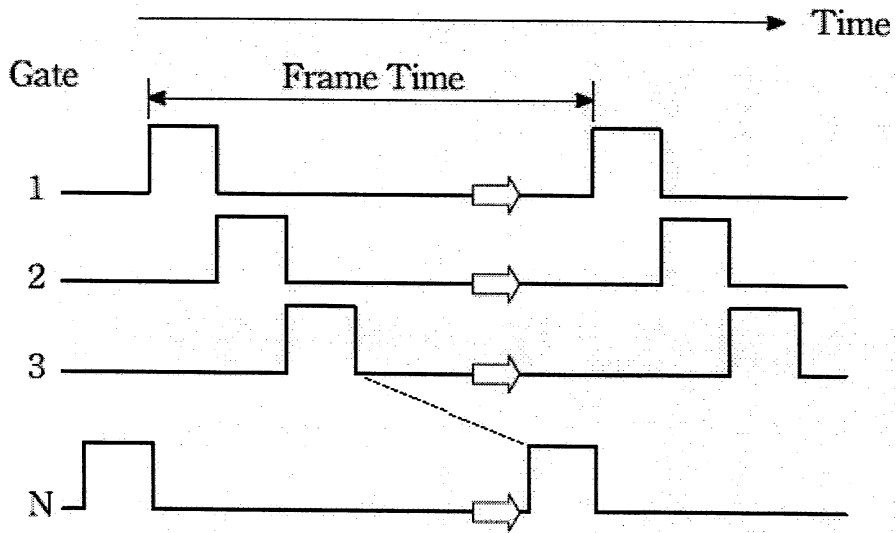
十一、圖式：



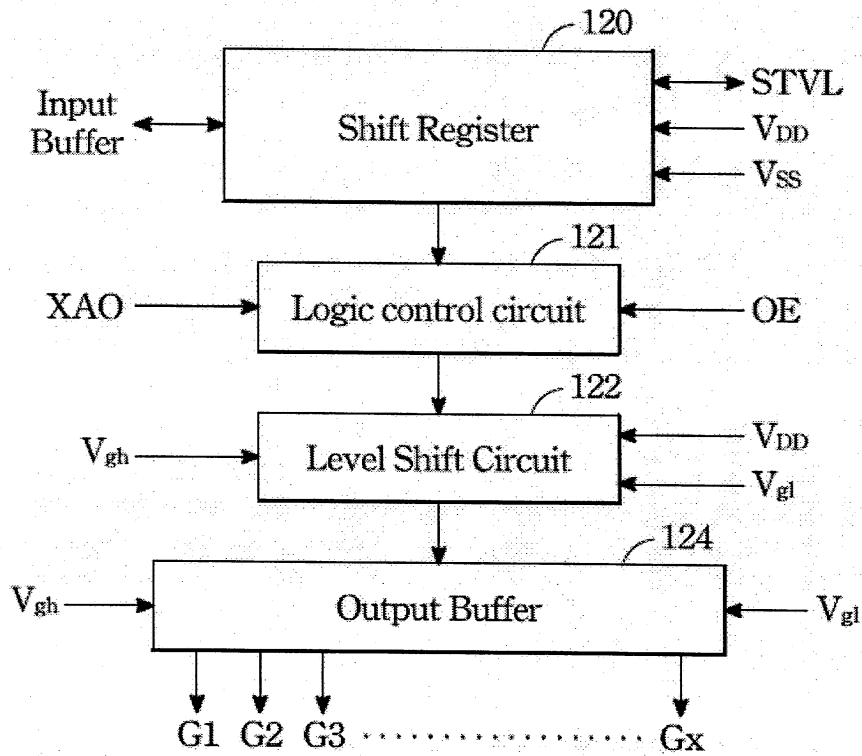
第 1 圖 ( 先前技術 )



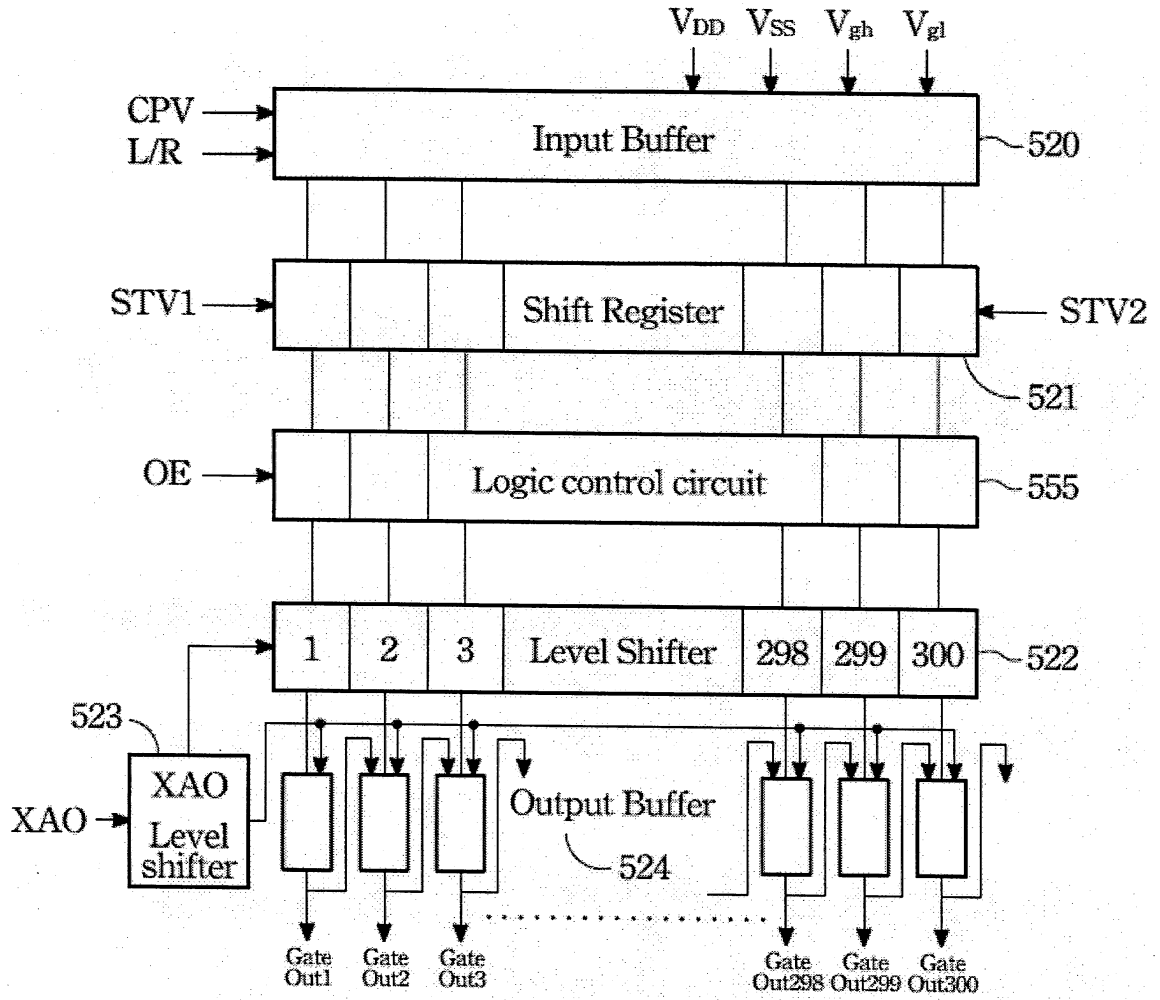
第 2 圖 ( 先前技術 )



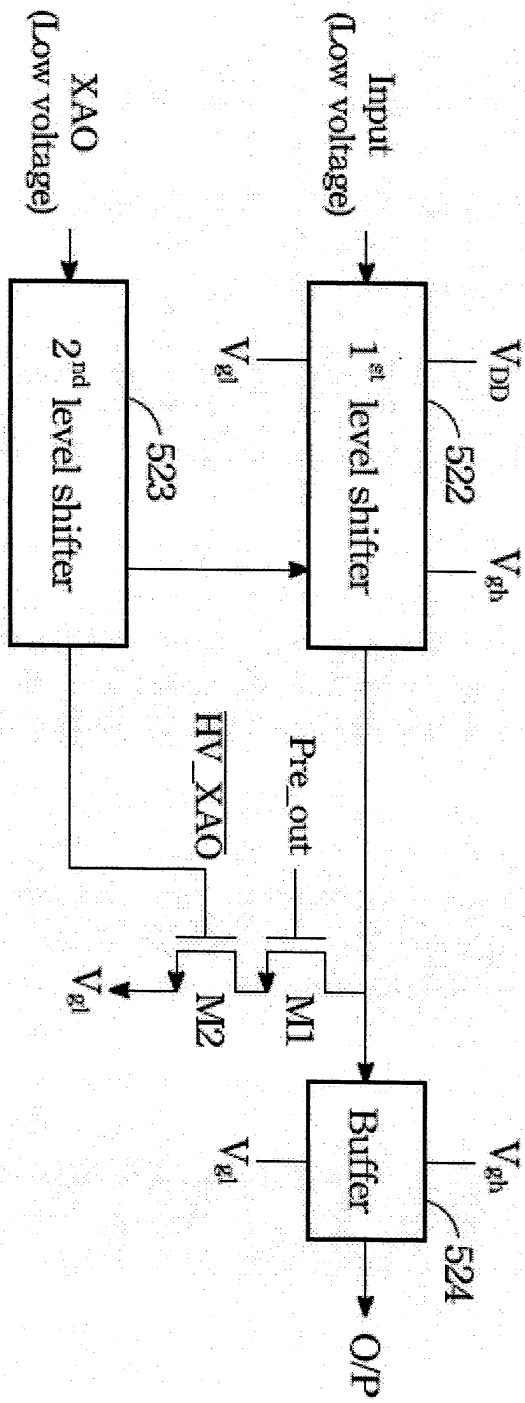
第 3 圖 ( 先前技術 )



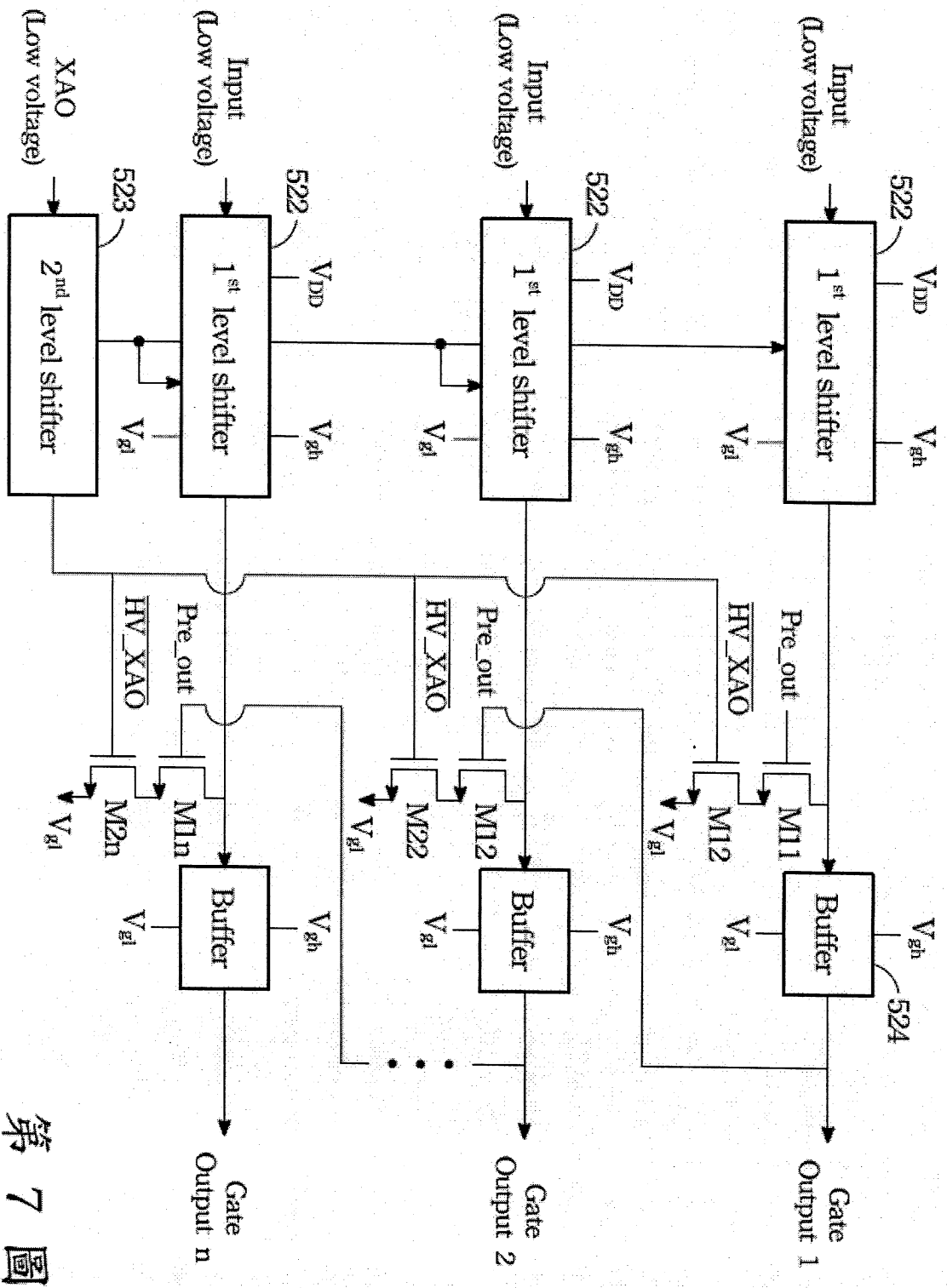
第 4 圖 ( 先前技術 )

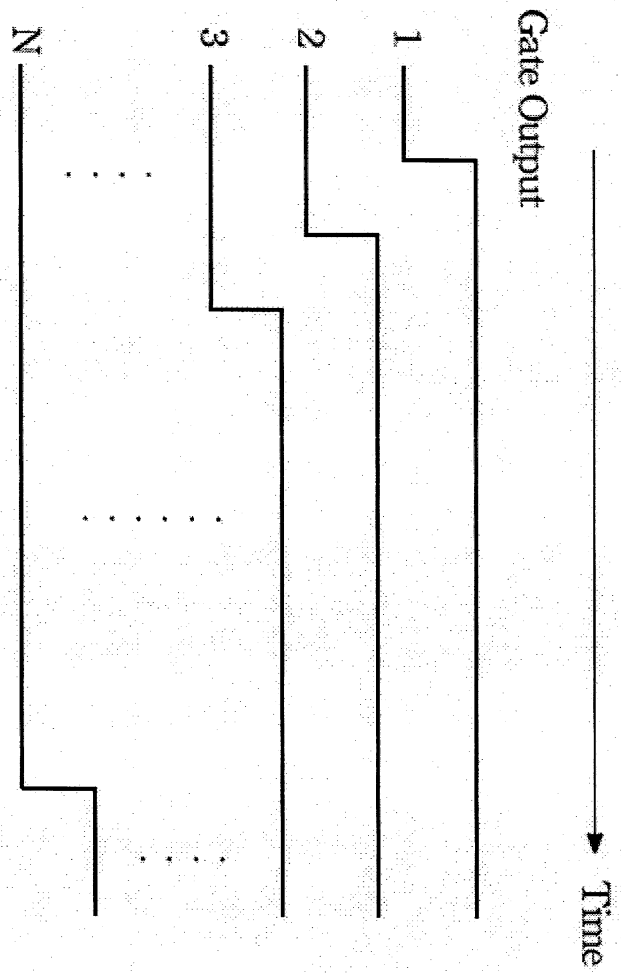


第 5 圖



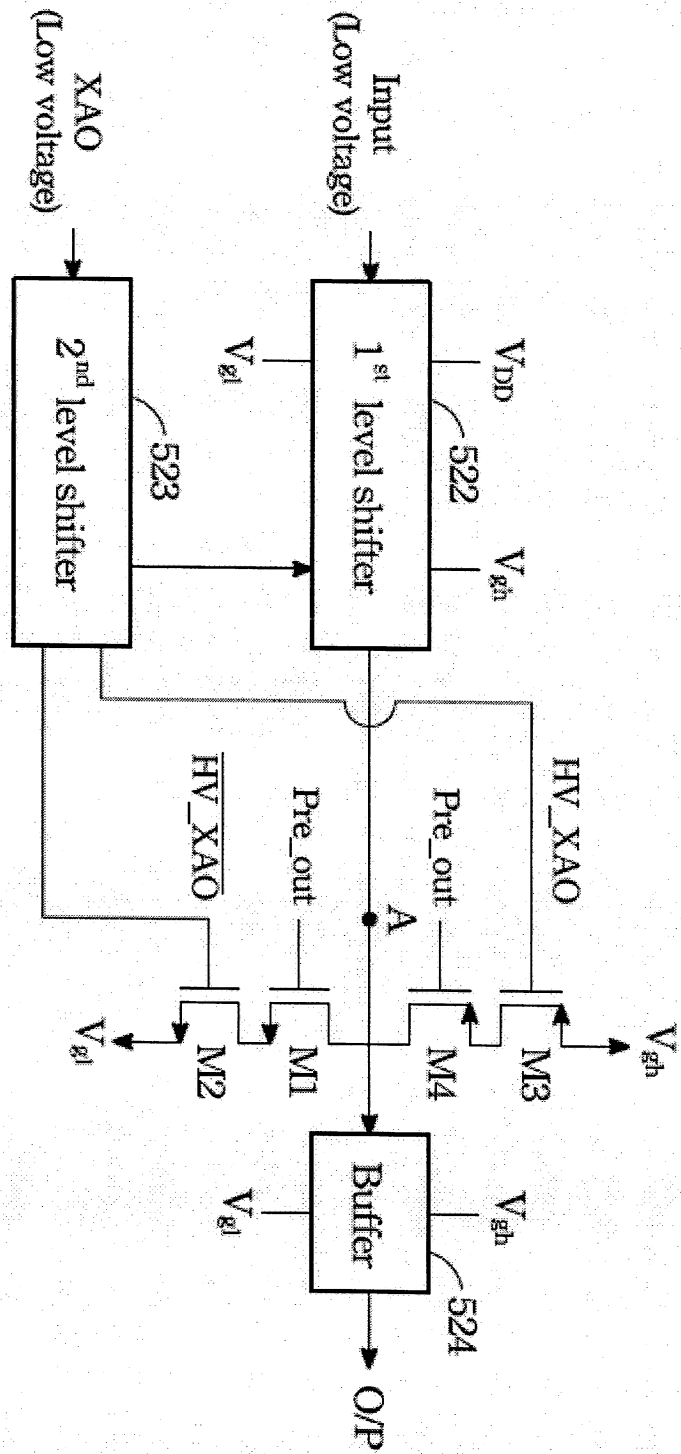
第 6 圖



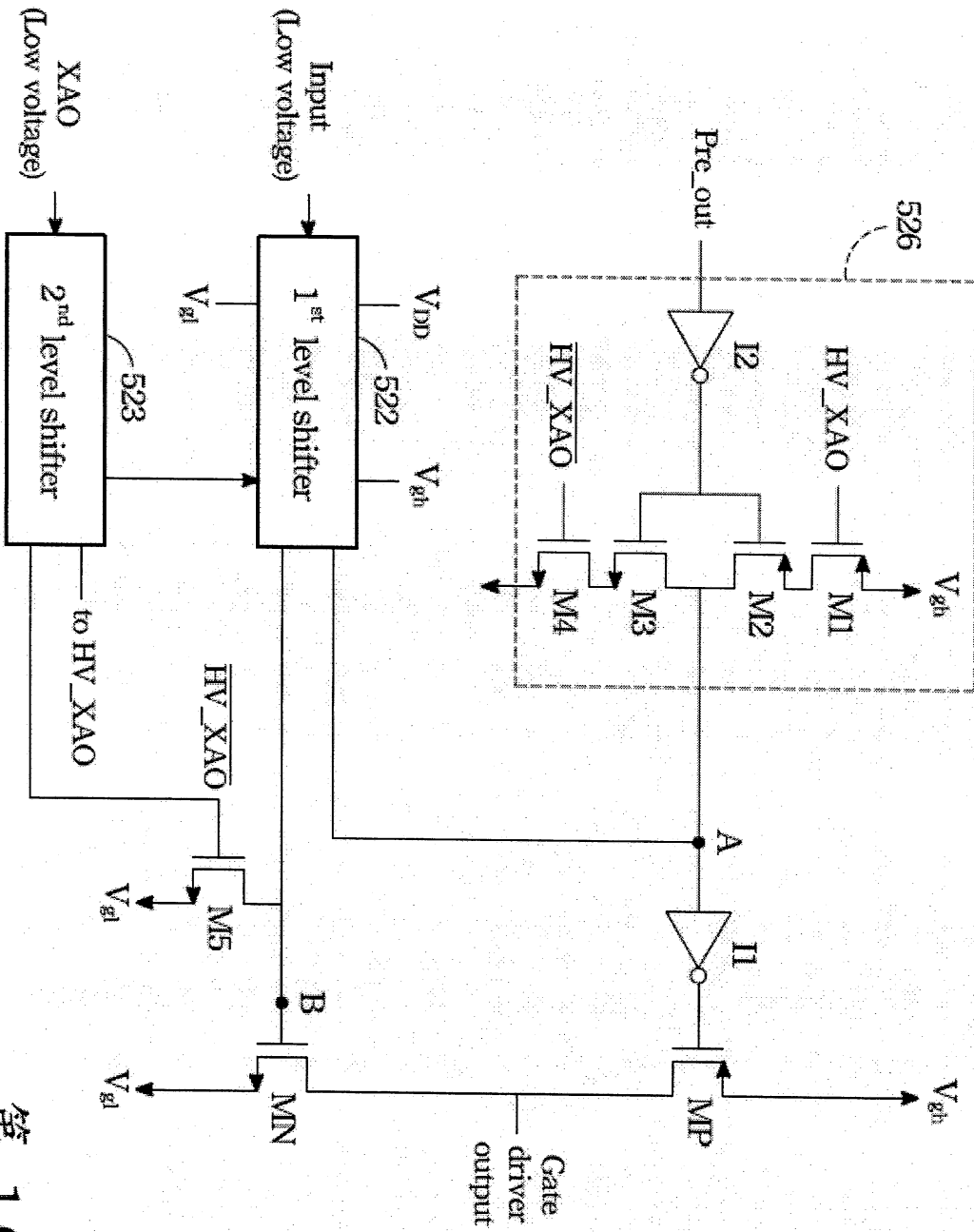


第 8 圖





第 9 圖



第 10 圖

gate of each second MOS is connected with the second output terminal of the second level shift.

### 七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

- 520 輸入緩衝裝置
- 521 位移暫存器
- 522 第1升壓裝置
- 523 第2升壓裝置
- 524 輸出緩衝裝置
- 555 邏輯控制電路

### 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無